

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4741149号
(P4741149)

(45) 発行日 平成23年8月3日(2011.8.3)

(24) 登録日 平成23年5月13日(2011.5.13)

(51) Int.Cl. F I
H O 4 L 29/10 (2006.01) H O 4 L 13/00 3 0 9 A

請求項の数 16 (全 22 頁)

(21) 出願番号	特願2001-557315 (P2001-557315)	(73) 特許権者	595020643 クアアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92 121-1714、サン・ディエゴ、モア ハウス・ドライブ 5775
(86) (22) 出願日	平成13年2月2日(2001.2.2)	(74) 代理人	100084618 弁理士 村松 貞男
(65) 公表番号	特表2003-524331 (P2003-524331A)	(74) 代理人	100092196 弁理士 橋本 良郎
(43) 公表日	平成15年8月12日(2003.8.12)	(74) 代理人	100095441 弁理士 白根 俊郎
(86) 国際出願番号	PCT/US2001/003441		
(87) 国際公開番号	W02001/058191		
(87) 国際公開日	平成13年8月9日(2001.8.9)		
審査請求日	平成20年2月4日(2008.2.4)		
(31) 優先権主張番号	60/180,228		
(32) 優先日	平成12年2月4日(2000.2.4)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 モデム及びサブスクライバインタフェースモジュール間のインタフェース

(57) 【特許請求の範囲】

【請求項1】

無線通信装置(WCD)(104)におけるモデム(120)をサブスクライバインタフェースモジュール(SIM)(122)に仲介するための回路(130)であって、前記SIMはシリアルデータを送信及び受信するための入力/出力(I/O)ポート(206)と、SIMクロックを受信するためのクロック入力(208)とを含み、

前記回路は、

モデムコントローラ(302)と、

前記モデムコントローラに接続されたユニバーサル非同期受信機/送信機(UART)(312)であって、共通データライン(212)を介してそれぞれ、前記SIM I/Oポートにデータを送信し該SIM I/Oポートからのデータを受信するために送信機(334)及び受信機(336)を含むユニバーサル非同期受信機/送信機(UART)(312)と、

プログラブルクロック回路(316、314)であって、このプログラブルクロック回路に供給された共通クロック(350)に基づいてSIMクロック及びUARTクロックを生成するのに適し、前記モデムコントローラからのクロック制御信号(352、354または356)に応答して、互いに別個に前記SIMクロックと前記UARTクロックとを生成するのに適したプログラブルクロック回路(316、314)と、

前記UART送信機に結合された入力と、前記共通データラインに結合された出力とを有するバスインタフェース(I/F)回路(214)と、を具備し、

10

20

前記SIM I/Oポートは、オープンドレインI/Oポートとして構成され、前記共通データラインは前記SIM I/Oポート及び前記UART受信機間に接続され、前記バスインタフェース(I/F)回路は、前記UART送信機が前記バスI/Fインタフェース回路の入力に対して第1ロジックレベルを印加したときに前記共通データラインに対して高インピーダンスを呈し、前記UART送信機が前記バスI/Fインタフェース回路の入力に対して第2ロジックレベルを印加したときに前記共通データラインに対して低インピーダンスを呈する回路。

【請求項2】

前記モデムコントローラ、前記UART、そして前記プログラマブルクロック回路はそれぞれ同じ集積回路(IC)チップ(301)上に構成されている請求の範囲第1項に記載の回路。

10

【請求項3】

前記プログラマブルクロック回路は、SIMクロックイネーブル/ディセーブル制御信号(356)にตอบสนองして、UARTクロックとは別個に前記SIMクロックを選択的にイネーブル及びディセーブルするのに適している請求項1記載の回路。

【請求項4】

前記プログラマブルクロック回路は、

前記共通クロックに基づいてかつ前記モデムコントローラからの第1周波数制信号(354)に従ってSIMクロックを生成するための第1プログラマブルデバイダ(316)と、

20

前記共通クロックに基づいてかつ前記モデムコントローラからの第2周波数制御信号(352)に従って前記UARTクロックを生成するための第2プログラマブルデバイダ(314)と

を具備する請求の範囲第1項に記載の回路。

【請求項5】

前記SIM I/Oポート及び前記UART送信機にいずれか一方は、シリアルデータバイトを前記共通データラインを介して前記UARTに送信するのに適し、前記モデムコントローラは、前記UART受信機が前記シリアルデータバイトを収集するバイトモードで動作するように前記UARTを構成するのに適し、かつ、前記UARTから前記データバイトを読み出すのに適する請求の範囲第1項に記載の回路。

30

【請求項6】

前記SIM I/Oポート及び前記UART送信機のいずれか一方は、所定のボーレートでシリアルデータビットを前記共通データラインを介して前記UART受信機に送信するのに適し、かつ、前記モデムコントローラは前記UARTを、前記UART受信機がサンプルデータバイトを収集するために、前記所定のボーレートの倍数であるサンプルレートで共通データラインの信号状態を反復的にサンプルするサンプルモードで動作するように構成するのに適し、さらに、前記モデムコントローラは、前記サンプルデータバイトを読み出し、前記UART受信機によって収集された前記サンプルデータバイトに基づいて前記SIMに関連するエラー状態を検出するのに適した請求の範囲第1項に記載の回路。

【請求項7】

40

前記SIMは、SIMリセット信号を受信するためのリセット入力(210)を含み、前記回路はさらに、前記モデムコントローラからのSIMリセット制御信号(360)にตอบสนองして、前記SIMリセット信号を引き出して、当該SIMリセット信号を選択的にアサート及びデ・アサートするのに適するリセット回路(320)をさらに具備する請求の範囲第1項に記載の回路。

【請求項8】

パワーを前記バスI/F回路に供給するのに使用される前記WCDのパワー供給レールと、前記バスI/F回路のパワー入力間に接続されたパワースイッチ(244)であって、スイッチ制御信号にตอบสนองして前記WCDパワー供給レールを前記バスI/F回路のパワー入力に選択的に接続及び分離するのに適したパワースイッチ(244)と、

50

前記モデムコントローラからの制御信号(332)にตอบสนองして前記スイッチ制御信号を引き出すのに適したスイッチ制御回路(310)であって、これによって、前記モデムコントローラは選択的に前記バスI/F回路に対してパワーを印加したり前記バスI/F回路からパワーを除去するスイッチ制御回路(310)と、

をさらに具備する請求の範囲第1項に記載の回路。

【請求項9】

パワーを前記SIMに供給するのに使用されるWCDのパワー供給レールと、前記SIMのパワー入力間に接続された第2パワースイッチ(232)であって、前記第2パワースイッチは、第2スイッチ制御信号にตอบสนองして、前記WCDパワー供給レールを選択的に前記SIMパワー入力に接続したり分離する請求の範囲第8項に記載の回路。

10

【請求項10】

前記回路は、さらに、

パワーを前記SIMに供給するのに使用される前記WCDのパワー供給レールと、前記SIMのパワー入力間に接続されたパワースイッチ(232)であって、スイッチ制御信号にตอบสนองして、前記WCDパワー供給レールを選択的に前記SIMパワー入力に接続したり前記SIMパワー入力から分離するのに適したパワースイッチ(232)と、

前記モデムコントローラからの制御信号(330)にตอบสนองして、前記スイッチ制御信号を引き出すのに適したスイッチ制御回路(308)であって、これによって、前記モデムコントローラは、選択的に前記SIMにパワーを供給したり前記SIMからパワーを除去するスイッチ制御回路(308)と、

20

をさらに具備する請求の範囲第1項に記載の回路。

【請求項11】

さらにインターバルタイマ(318)を具備し、前記インターバルタイマ(318)は、前記インターバルタイマによって受信されたクロック(350)に基づいてかつ前記モデムコントローラからの遅延制御信号(358)に従ってプログラブル遅延時間の後に、前記モデムコントローラに対するインタラプト(306)を生成するのに適している請求の範囲第1項に記載の回路。

【請求項12】

無線通信装置(WCD)(104)におけるモデム(120)をサブスクライバインタフェースモジュール(SIM)(122)に仲介するために集積回路(IC)チップ(301)上に設けられた回路(130a)であって、前記SIMは、シリアルデータ、SIMクロックを受信するためのクロック入力(208)、SIMリセット信号を受信するためのリセット入力(210)とを送信及び受信するための入力/出力(I/O)ポート(206)を含み、

30

前記回路(130a)は、

モデムコントローラ(302)と、

前記モデムコントローラに接続されたユニバーサル非同期受信機/送信機(UART)(312)であって、共通データライン(212)を介してそれぞれ前記SIM I/Oポートにデータを送信したり前記SIM I/Oポートからデータを受信する送信機(334)及び受信機(336)を含むユニバーサル非同期受信機/送信機(UART)(312)と、

40

前記プログラブルクロック回路に供給された共通クロック(350)に基づいて前記SIMクロック及び前記UARTクロックを生成するのに適したプログラブルクロック回路(314, 316)であって、前記モデムコントローラからのクロック制御信号(352)にตอบสนองして、互いに別個に前記SIMクロック及び前記UARTクロックを生成するのに適したプログラブルクロック回路(314, 316)と、

前記モデムコントローラからのSIMリセット制御信号(360)にตอบสนองして、前記SIMリセット信号を引き出して選択的にアサート及びデ・アサートするのに適したリセット回路(320)と、

前記UART送信機に結合された入力と、前記共通データラインに結合された出力とを

50

有するバスインタフェース（I/F）回路（214）と、を具備し、

前記SIM I/Oポートは、オープンドレインI/Oポートとして構成され、前記共通データラインは前記SIM I/Oポート及び前記UART受信機間に接続され、前記バスインタフェース（I/F）回路は、前記UART送信機が前記バスI/Fインタフェース回路の入力に対して第1ロジックレベルを印加したときに前記共通データラインに対して高インピーダンスを呈し、前記UART送信機が前記バスI/Fインタフェース回路の入力に対して第2ロジックレベルを印加したときに前記共通データラインに対して低インピーダンスを呈する回路。

【請求項13】

無線通信装置（WCD）（104）におけるモデム（120）をサブスクライバインタフェースモジュール（SIM）に仲介するための回路（130）であって、前記SIMは、シリアルデータを送信及び受信するための入力/出力（I/O）ポート（206）を含み、前記SIM I/Oポートはオープンドレイン構成を有し、

前記回路（130）は、

モデムコントローラ（302）と、

前記モデムコントローラに接続されたユニバーサル非同期受信機/送信機（UART）（312）であって、共通データライン（212）を介してそれぞれ前記SIM I/Oポートにデータを送信したり前記SIM I/Oポートからデータを受信するユニバーサル非同期受信機/送信機（UART）（312）と、

前記UART送信機に結合された入力と、前記共通データラインに結合された出力とを有するバスインタフェース（I/F）回路（214）であって、前記UART送信機を前記SIM I/Oポートに適合したオープンドレイン構成に変換するのに適したバスインタフェース（I/F）回路（214）と、

前記WCDのパワー供給レールと、前記バスI/F回路のパワー供給入力間に接続されたスイッチ（244）であって、スイッチ制御信号にตอบสนองして、前記WCDパワー供給レールを選択的に前記バスI/F回路のパワー入力に接続したり前記バスI/F回路のパワー入力から分離するスイッチ（244）と、

前記モデムコントローラからの制御信号（332）にตอบสนองして、前記スイッチ制御信号を引き出すのに適したスイッチ制御回路（310）であって、これによって、前記モデムコントローラが選択的に前記バスI/F回路にパワーを供給したり前記バスI/F回路からパワーを除去するスイッチ制御回路（310）と、

を具備する回路（130）。

【請求項14】

前記SIMにパワーを供給するのに使用される前記WCDのパワー供給レールと、前記SIMのパワー入力間に接続された第2スイッチ（232）であって、第2スイッチ制御信号にตอบสนองして、前記WCDパワー供給レールを前記SIMパワー入力に対して選択的に接続または分離するのに適した第2スイッチ（232）と、

前記モデムコントローラからの第2制御信号（330）にตอบสนองして前記第2スイッチ制御信号を引き出すのに適した第2スイッチ制御回路（308）であって、それによって、前記モデムコントローラは前記SIMに選択的にパワーを供給したり前記SIMからパワーを除去する第2スイッチ制御回路（308）と、

を具備する請求の範囲第13項に記載の回路。

【請求項15】

無線通信装置（WCD）（104）におけるモデム（120）をサブスクライバインタフェースモジュール（SIM）に仲介する方法であって、前記モデムは、ユニバーサル非同期受信機/送信機（UART）（312）に結合されたモデムコントローラ（302）を含み、前記UARTは、1つ以上の所定のボーレートで共通データライン（212）を介してそれぞれ前記SIMにシリアルデータを送信したり前記SIMからシリアルデータを受信する送信機（334）及び受信機（336）を含み、前記UART受信機は、前記UART受信機が所定のボーレートでそれに送信されたシリアルデータバイトを収集する

10

20

30

40

50

バイトモードと、前記U A R T受信機が、前記所定のボーレートを越えるサンプルレートで前記共通データラインの状態をサンプルするサンプルモードのいずれかのモードで動作するように構成可能であり、

前記方法は、

(a) 前記U A R Tを前記サンプルモード(5 0 2)で動作するように構成する工程と

、
(b) 前記U A R T送信機(5 0 4)を使用して前記共通ラインを介してバイトを前記S I Mに送信する工程と、

(c) 前記バイトが工程(b)において送信された後に発生するエラー信号ウィンドウの間に、前記共通ラインの状態を反復的にサンプルし、これによって、
前記S I Mに関連するエラーが発生したかどうかを示すサンプルバイトを収集する工程と

10

、
(d) 前記S I Mに関連する前記エラーが発生したかどうかを前記サンプルバイト(6 0 6)に基づいて決定する工程と、

(e) 前記S I Mに関連するエラーが発生した(6 1 4)と決定されたときに、前記バイトを前記S I Mに再送する工程と、

を具備する方法。

【請求項16】

(f) 前記バイトが工程(b)で送信されてから所定のガードタイムがいつ経過したかを、さらなるサンプルバイト(6 2 0 , 6 2 2)を計数することによって決定する工程と

20

、
(g) 前記所定のガードタイムが経過した(6 3 0)ときに、工程(b)を反復する工程と、

をさらに具備する請求の範囲第15項に記載の方法。

【発明の詳細な説明】

【0001】

発明の背景

発明の分野

本発明は概して無線通信装置に関し、特に、サブスクライバアイデンティティモジュールを含むワイヤレス通信装置に関するものである。

30

【0002】

背景技術

サブスクライバアイデンティティモジュール(S I M)は、スマートカードあるいはそれに類似したものであり、例えば、セルラ無線電話などの、無線通信装置(W C D)と関連して使用される。従来のS I Mは、コントローラとメモリをもつ小型のコンピュータシステムを含む。S I Mメモリは、W C Dのサブスクライバ/ユーザに関する情報を含み、例えば、サブスクライバ/ユーザ識別子、電話番号、メッセージ、空中を介しての安全なデータ通信のための暗号化シーケンスからなる蓄積バンクを識別する電話帳、その他のものを含む、概して、サブスクライバは、S I MをW C D内にインストールしたり、S I MをW C Dから除去することができる。S I Mは第1のW C Dから取り外して第2のW C Dにインストールすることができ、これによって、ユーザがW C D間でその“身元”を実質的に転送することができる柔軟性を備えている。

40

【0003】

従来のS I Mは、(W C Dなどの)他の装置にシリアルデータを送信したり、他の装置からシリアルデータを受信したりするためのS I M I / Oポートと、クロックを受信するためのS I Mクロック入力と、リセット信号を受信するためのリセット入力とを含む、比較的簡単な電気インタフェースを含む。しかしながら、S I Mがプロセッサを有しており、さらには、S I Mとの通信のために比較的複雑な方法を概して要求する(移動体通信のためのグローバルシステム(G S M)基準などの)種々の現存する基準が存在するので、従来のS I Mと機能的に仲介する(interface)(例えば、S I Mからのデータを交換した

50

リアクセスする)ことは複雑化している。従って、機能的なSIMインタフェースを介してSIMと機能的に仲介することは、例えば、単にメモリからデータを読み出すことよりも複雑である。その代わりに、SIM及びそれに接続された要求装置(例えばWCD)は実際はコマンドを交換しながら試行錯誤の方法で応答する。さらに、ある種のSIMは、一般的に受け入れられている(GSMなどの)SIMインタフェース基準に合わないという事実はこのことをさらに複雑にしている。

【0004】

従って、WCDを電氣的及び機能的にSIMに仲介するためのインタフェースを提供することに対する必要性が存在し、これによって、WCDはSIMに含まれる情報を制御したりリアクセスすることができる。WCDが、一般的に受け入れられているSIMインタフェース基準に適合するSIM及び、そのような基準に適合しないSIMと仲介できるインタフェースを提供することに対する関連した必要性がある。

10

【0005】

電力消費の低減さらには、WCDの部品点数、サイズ及びコストの低減に対する必要性が増大している。従って、WCDをSIMに仲介するためのインタフェースを含む、WCDにおけるこれらすべての側面を低減することが望ましい。

【0006】

本発明の簡単な要約

要約
本発明はWCDにおけるモデムをSIMに仲介するための方法及び回路を提供する。このSIMは、シリアルデータを送信及び受信するための入力/出力(I/O)ポートと、SIMクロックを受信するためのクロック入力と、リセット信号を受信するためのリセット入力とを含む。一実施形態において、本発明は、モデムをSIMに仲介するための回路を具備する。この回路は、モデムコントローラ及びこのモデムコントローラに接続されたユニバーサル非同期受信機/送信機(UART)を具備する。UARTは、共通のデータラインを介してそれぞれSIM I/Oポートにデータを送信したり、該SIM I/Oポートからデータを受信するための送信機及び受信機を含む。前記回路は、プログラマブルクロック回路に供給される共通クロックに基づいて、SIMクロック及びUARTクロックを生成するのに適したプログラマブルクロック回路を含む。このプログラマブルクロック回路は、前記モデムコントローラからのクロック制御信号に応答して、SIMクロックとUARTクロックを互いに別個に生成するのに適している。

20

30

【0007】

本発明の側面によれば、モデムコントローラ、UART、プログラマブルクロック回路はそれぞれ、同一の集積回路(IC)チップ上に構成される。

【0008】

本発明の他の側面によれば、プログラマブルクロック回路は、SIMクロックイネーブル/ディセーブル制御信号に応答して、SIMクロックをUARTクロックとは別個に選択的にイネーブルあるいはディセーブルにするのに適している。

【0009】

本発明のさらに他の側面によれば、モデムコントローラは、プログラマブルボーレートで送信されるときにUART受信機がUART送信機からあるいはSIM I/Oポートからシリアルデータバイトを収集するバイトモードで動作するようにUARTを構成するのに適している。

40

【0010】

本発明の他の側面によれば、モデムコントローラは、UARTを、UART受信機が、サンプルデータバイトを収集するためにプログラマブルボーレートの倍数であるサンプルレートで共通データラインの信号状態を反復的にサンプルするサンプルモードで動作するように構成するのに適している。モデムコントローラはさらに、サンプルデータバイトを読み出し、UART受信機によって収集されたサンプルデータバイトに基づいてSIMに関連したエラー状態を検出するのに適している。

50

【0011】

本発明のさらに他の側面によれば、当該回路は、モデムコントローラからのSIMリセット制御信号にตอบสนองして、SIMリセット信号を引き出し、選択的にアサートあるいはデアサートするのに適したリセット回路を含む。

【0012】

前記したSIM I/Oポートは、オープンドレインI/Oポートとして構成され、前記した共通データラインはSIM I/Oポート及びUART受信機間に接続される。本発明の他の側面によれば、当該回路はさらに、UART送信機に結合された入力と、共通データラインに結合された出力をもつバスI/F回路を具備する。バスI/F回路は、送信機がオープンドレインインタフェース回路の入力に第1ロジックレベルを適用したときに共通データラインに高インピーダンスを呈示するとともに、送信機がオープンドレインインタフェース回路の入力に第2ロジックレベルを適用したときに共通データラインの信号に対して低インピーダンスを呈示するのに適している。

10

【0013】

本発明のさらに他の側面によれば、当該回路は、電力をバスI/F回路に供給するのに使用されるWCDのパワー供給レール(rail)と、バスI/F回路のパワー入力との間に接続された第1パワースイッチを具備する。第1パワースイッチは、第1スイッチ制御信号にตอบสนองして、WCDパワー供給レールをバスI/F回路のパワー入力に対して選択的に接続及び分離するのに適している。当該回路はさらに、前記モデムコントローラからの第1制御信号にตอบสนองして前記第1スイッチ制御信号を引き出す第1スイッチ制御回路を具備する。

20

【0014】

本発明のさらに他の側面によれば、当該回路は、SIMに電力を供給するのに使用されるWCDのパワー供給レールとSIMのパワー入力間に接続された第2のパワースイッチを具備する。第2のパワースイッチは、第2のスイッチ制御信号にตอบสนองして、WCDパワー供給レールをSIMパワー入力に選択的に接続及び分離するのに適している。当該回路はさらに、モデムコントローラから第2制御信号にตอบสนองして第2スイッチ制御信号を引き出すのに適しており、これによって、モデムコントローラはSIMへの電力の供給とSIMからの電力の除去を選択的に行なう。

【0015】

本発明のさらなる側面によれば、当該回路は、インターバルタイムを具備し、該インターバルタイムによって受信されたクロックと、モデムコントローラからの遅延制御信号とに従ってプログラブル遅延時間の後にモデムコントローラに対するインタラプトを生成するのに適する。

30

【0016】

他の実施形態において、本発明は、モデムをSIMに仲介する方法を具備する。当該方法は、前記サンプルモードで動作するべくUARTを構成すること、UART送信機を使用して共通ラインを介してバイトをSIMに送信することを具備する。当該方法はさらに、前記バイトが送信された後に発生するエラー信号ウィンドウの間に共通ラインの状態を反復的にサンプルし、これによって、SIMに関連するエラーが発生したかどうかを示すサンプルバイトを収集する。当該方法はさらに、サンプルバイトに基づいてSIMに関連するエラーが発生したかどうかを決定し、当該SIMに関連するエラーが発生したと判断されたときに当該バイトをSIMに対して再送することを具備する。

40

【0017】

特徴及び利点

本発明は、WCDをSIMに対して電氣的かつ機能的に仲介するための方法及び回路を含むインタフェースを提供するものであり、これによってWCDはSIMに含まれる情報を制御したりアクセスすることができる。当該インタフェースは、WCDが、一般的に受け入れられているSIMインタフェース基準に適合するSIMと、そのような基準に適合しないSIMとを仲介するのに十分な柔軟性を有する。

50

【 0 0 1 8 】

当該インタフェースは、単一の集積回路チップ上に構成された複数のインタフェース回路を含み、それによってWCDにおける部品点数、サイズ、電力要求を低減する。

【 0 0 1 9 】

当該インタフェースは、インタフェースを実装及び制御するのに専用のコントローラを追加する代わりに、モデムコントローラを含む、WCDの回路とモデムの機能とを再使用し、これによって、WCDの部品点数をさらに低減するとともに電力を保存する。

【 0 0 2 0 】

例えば、インタフェースは、モデムUARTを介してモデムとSIMとの間にデータ接続性を提供する。インタフェースはUARTクロックとSIMクロックとを互いに別個に引き出しかつ制御する。また、インタフェースは、SIM及びUARTクロックとは別個にSIMリセット信号を引き出しかつ制御する。その結果、インタフェースは、SIMにおけるロジックを初期化及び/またはリセットし、SIMにより送信されたエラー状態を検出し、SIMがWCDにいつインストールされたかあるいはいつWCDから除去されたか、などを検出する柔軟性を有している。

10

【 0 0 2 1 】

インタフェースはモデムとSIM間に接続されたバスインタフェース回路を含み、これによってモデムとSIMが2つの装置間でデータを通信するのに使用される共通データラインを共有することを可能にする。インタフェースは、SIMに関連するエラー状態を検出するためにサンプルモードで共通データラインを反復的にサンプルすることができる。一方、インタフェースはバイトモードで共通データラインをサンプルすることができ、これによって当該共通データラインに関して通信されたデータバイトあるいは文字を収集する。

20

【 0 0 2 2 】

インタフェースはバスインタフェース回路に電力を供給すること及びバスインタフェース回路から電力を除去することを選択的に行なうことができ、これによってWCDにおける電力を保存し、SIMが使用中でないときにSIM及びモデムを保護する。

【 0 0 2 3 】

インタフェースはSIMに電力を供給すること及びSIMから電力を除去することを選択的に行なうことができ、これによってWCDにおける電力をさらに保存する。

30

【 0 0 2 4 】

本発明の詳細な説明
環境

図1は、本発明が実行可能な例示的WCD104のブロック図である。WCD104の限定されない例は、セルラ無線電話、衛星無線電話、コンピュータ内に組み込まれたPCMCIAカード、などを含む。WCD104は、送信/受信アンテナ106及びアンテナ106に結合した信号処理モジュール108を含む。WCD104はデータリンク112によってコンピュータ110に結合可能である。

【 0 0 2 5 】

信号処理モジュール108は、無線周波数(RF)受信(Rx)及び送信(Tx)部116、モデム120、従来のSIM122を含む。このSIM122は、信号処理モジュール108にインストールしたり(例えばプラグを差し込む)、信号処理モジュール108から除去する(例えばプラグを引き抜く)のに適したものである。モデム120は、復調器/復号器部及び符号器/変調器部を含み、両者はRF Rx/Tx部116に結合されている。モデム120は、以下に詳細に記載するように、モデム及びSIM122を制御するためのモデムコントローラを含む。従来のSIM122は、コントローラ及びメモリを有する小型コンピュータシステムを含む。SIMメモリは、例えば、サブスクライバ/ユーザ識別子、電話番号、メッセージ、空中を介しての安全なデータ通信のための暗号化シーケンス、などの蓄積データバンクを識別する電話帳を含む、WCD104のサブスクライバ/ユーザに関する情報を含む。本発明は、次の基準(ISO/IEC 7816、T

40

50

IA/EIA IS-820、GSM11.11及びGSM11.12)に適合するSIMとともに使用可能である。しかしながら、本発明はこのようなSIMとの使用に限定されず、そのような基準に厳格に適合しないSIMとともに使用可能である。

【0026】

信号処理モジュール108は、モデム120をSIM122に仲介するための、本発明の原理に従って構成かつ動作する、SIMインタフェース(I/F)130(図1の点線により示されている)をさらに含む。SIM I/F130は、モデム120内すなわちモデム120の内部のSIM I/F130aを含む。SIM I/F130は、モデム120の内部のSIM I/F130bを含む。モデム120は、以下に詳述する方法によって、SIM I/F130を介してSIM122に含まれる情報を制御かつアクセスす

10

【0027】

WCD104の動作についての説明を完全にするために以下に簡単な説明を加えておく。受信方向において、WCD104のアンテナ106は、基地局、移動装置、などの他の無線通信装置(図示せず)から送信されたRF信号140を受信する。RF信号140は、例えば、符号分割多元接続(CDMA)通信プロトコルを含む任意の数の通信プロトコルに適合可能である。加えて、RF信号140は、TCP/IP(送信制御プロトコル/インターネットプロトコル)などの、データプロトコルに従ってフォーマットされた情報を運ぶことができる。

20

【0028】

アンテナ106は、RF信号140をRF Rx/Tx部116に供給する。RF部116は、受信したRF信号を周波数ダウンコンバートし、中間周波数(IF)あるいはベースバンド信号などの、周波数ダウンコンバートされた信号をモデム120の復調器/復号器部に供給する。復調器/復号器部は、前記ダウンコンバートされた信号を復調しかつ続いて復号して、例えばWCD104またはコンピュータ110において使用可能な復調されかつ復号された信号を生成する。

【0029】

送信方向において、モデム120の変調器/符号器部は、遠隔装置に無線で送信するべきデータを符号化かつ変調して、符号化及び変調されたベースバンドあるいはIF信号をRF Rx/Tx部116に供給する。RF Rx/Tx部116は、ベースバンドあるいはIF信号を周波数アップコンバートしてRF送信信号を生成する。RF Rx/Tx部116はRF送信信号をアンテナによって咽んで送信されるべくアンテナ106に供給する。

30

【0030】

外部SIM I/F(130b)

図2は、本発明の実施形態に従った、外部SIM I/F130bのブロック図である。図2において、外部SIM I/F130bは、モデム120及び従来のSIM122に関連して記載されている。従来のSIM122は、シリアルデータビットをモデム120に送信したりモデム120からのシリアルデータビットを受信するためのSIM入力/出力(I/O)ポート206と、SIMクロック入力208及びSIMリセット入力210

40

【0031】

SIM I/Oポート206は、SIM I/OポートとモデムRXポート間で接続された共通データライン212を介してモデム120の受信ポート("RX"と呼ばれる)に、シリアルデータビットを含むデータ信号を送信可能である。モデム120は、シリアルデータビットを含むデータ信号をSIM I/Oポート206に送信するための送信ポート("TX"と呼ばれる)を含む。モデムTXポートは、モデムTXポートに接続された入力と、共通データライン212に接続された出力とを有するバスI/F回路214を介してI/Oポート206にデータ信号を送信する。モデムTXポートはまず、バスI/F回路入力にデータ信号を送信し、その応答として、バスI/F回路出力はデータ信号を

50

共通データライン 212 を介して SIM I/O 206 に送信する。従って、モデム 120 は、共通データライン 212 を介して、シリアルデータを SIM I/O ポート 206 に送信し、かつ、SIM I/O ポート 206 からのシリアルデータを受信する。本発明において、モデム 120 及び SIM I/O ポート 206 は、以下に詳細に述べるように、バス I/F 回路 214 のために、共通データライン 212 を安全に共有する。

【0032】

モデム 120 は、図 2 に示す “CLK” と呼ばれるモデム出力で SIM クロック (“SIM_CLK”) を引き出し、この SIM クロックを クロックライン 220 を介して SIM 入力 208 に送信する。SIM クロックは SIM 122 内のロジックを駆動する。モデム 120 は SIM クロックを制御 SIM 122 に対して選択的にイネーブル及びディセーブルする。

10

【0033】

モデム 120 は、図 2A における “RST” と呼ばれるモデム出力で SIM リセット信号 (“SIM_RST”) を引き出して、当該 SIM リセット信号をリセットライン 222 を介して SIM リセット入力 210 に送信する。SIM リセット信号は SIM 122 をリセットするために使用可能である。モデム 120 は制御 SIM 122 に対して SIM リセット信号を選択的にアサート及びデ・アサートする。

【0034】

モデム 120 に対して外部となる第 1 のパワー供給レール 230 (“SIM_VDD” と呼ばれる) は、電力を SIM パワースイッチ 232 を介して SIM 122 のパワー供給入力に供給する。パワースイッチ 232 は、ライン 234 を介してスイッチ 232 に供給される SIM パワー制御信号にตอบสนองして、選択的に SIM 122 に電力を供給したり、SIM 122 からの電力を除去することができる。モデム 120 は、モデム 120 (“PWR_EN1” と呼ばれる) の第 1 のパワーイネーブル出力で SIM パワー制御信号を引き出し、これによって当該モデムは、SIM 122 が未使用のときに電力を節約するために SIM 122 を選択的にパワーオンしたりパワーオフする。パワースイッチ 232 のための例示的スイッチング回路は、パワー供給レール 230 と SIM 122 のパワー供給入力間で接続されたソースドレイン電流経路と、ライン 234 に対して接続されたゲート電極とをもつ FET トランジスタを含む。

20

【0035】

第 2 の外部パワー供給レール 240 (“バス VDD” と呼ぶ) は、バスパワースイッチ 244 を介してバス I/F 回路 214 のパワー供給入力に電力を供給する。パワー供給レール 230 及び 240 は同一または異なるパワー供給レールである。パワースイッチ 244 は、ライン 248 を介してスイッチ 244 に供給されたバスパワー制御信号にตอบสนองして、バス I/F 回路 214 に電力を供給したり、バス I/F 回路 214 からの電力を除去する。モデム 120 は、モデム 120 の第 2 パワーイネーブル出力 (“PWR_EN2” と呼ばれる) でバスパワー制御信号を引き出し、これによって、モデムは、バス I/F 回路 214 を選択的にパワーオンあるいはパワーオフすることができ、本発明における SIM とモデム回路の電力をさらに節約して保護することができる。パワースイッチ 244 は、上記した、スイッチ 234 のそれに類似したスイッチング回路を含む。

30

40

【0036】

上記したように、外部 SIM I/F 130b は、パワースイッチ 232 及び、244、バス I/F 回路 214、上記したインタフェース信号 (例えば、SIM_CLK、SIM_RST、データ信号、そしてパワー制御信号) をモデム 120 及び SIM 122 間で伝達するのに必要な、種々の信号ライン 234、248、212、220、222 などを含む。

【0037】

上記したように、モデム 120 及び SIM 122 は共通ライン 212 を共有する。SIM I/O ポート 206 は、オープンドレイン出力として構成される。そのようなオープンドレイン出力は当業界で知られている。したがって、SIM I/O ポート 206 に取り

50

付けられた共通ライン 212 は、ここではオープンドレインバスと呼ばれる。バス I/F 回路 214 は、モデム 120 または SIM 122 は共通ライン 212 (オープンドレインバス) を、以下に述べるように、共通ラインを共有する他の装置に損害を与えることなしに所望の電圧レベルに駆動することができる機構を提供する。

【0038】

本発明において、モデム送信及び受信ポート TX 及び RX はそれぞれ専用の機能を有している。モデム送信ポート TX は、それに取り付けられたラインを高いまたは低い電圧レベル (例えばロジックハイ “1” またはロジックロー “0” の二進値に対応する) にアクティブに駆動するための駆動回路を含む。モデム受信ポート RX は、共通ライン 212 についての電圧レベルを感知 (すなわち、サンプル) するものであり、当該レベルをロジックハイ “1” またはロジックロー “0” の二進値に変換する。概して、RX ポートは、物理的接続が RX と TX ポート間に存在することなしに、TX ポートのレベル (すなわち、状態) を検知できない。

10

【0039】

TX ポート駆動回路はアクティブにそれに付属するラインを駆動するので、当該 TX ポートと干渉する方法で同じラインを駆動する他の装置は、TX ポート駆動回路に損害を与え、かつ/あるいは不必要な電流を発生する可能性がある。例えば、SIM I/O ポート 206 をモデム TX ポートに直接接続することは、SIM I/O ポート 206 が例えば低抵抗バスをグラウンドに供給することによって低ロジックレベルを駆動するのに対して、モデム TX ポートが高ロジックレベルを駆動するという状況になる。グラウンドへの低抵抗バス間に電位差が存在するので、SIM I/O ポート 206 は、上記した条件の下でモデム TX ポートからの高電流をシンクする。その結果、モデム 106 あるいは SIM 122 に対する損害が発生する。

20

【0040】

モデム TX 及び RX ポートの両方を SIM ポート 206 に安全に仲介するために、バス I/F 214 は、モデム TX ポートを SIM I/O ポート 206 に適合するオープンドレインバス構成に適合させる。バス I/F 214 は以下のように動作する。

【0041】

1) モデム TX ポートが、バス I/F 回路 214 に対する入力でロジックハイを駆動しているときに、バス I/F 回路の出力は共通ライン 212 に対して高インピーダンスを呈し、これによって、共通ラインに接続された外部装置は、共通ライン 212 についての電圧をロジックハイレベルに “プルアップ” するか、当該電圧をロジックローレベルに “プルダウン” する。また、

30

2) モデム TX ポートが、バス I/F 回路 214 に対する入力でロジックローを駆動しているときに、バス I/F 回路 214 の出力は、共通ライン 212 についての信号に対してグラウンド (例えば、SIM I/O ポート 206) に対して低インピーダンスバスを呈し、これによって、共通ライン 212 上の電圧はロジックローレベルにまで駆動される。

【0042】

図 3 は、バス I/F 回路 214 に対応する例示的なバス I/F 回路 260 の回路図である。図 3 において、基準レベル “Rx” (“R4” など) は抵抗を表わし、基準ラベル “Qx” は (“Q1” など) はトランジスタを表わす。バス I/F 回路 260 は、第 1 NPN トランジスタ 262 (Q2) と、この第 1 NPN トランジスタに直列に接続された第 2 NPN トランジスタ 264 (Q4) とを含む。トランジスタ 262 及び 264 のそれぞれはオープンコレクタインバータとして構成されている。上記したように、バス I/F 回路 260 の出力端子 266 (共通ライン 212 に接続されている) は、高または低電圧レベルにตอบสนองして、バス I/F 回路 (モデム TX ポートに接続された) の入力端子 270 でそれぞれ、共通ラインについての信号に対してグラウンドに対して高インピーダンスまたは低インピーダンスバスを呈示する。

40

【0043】

簡単さのために、抵抗 262 及び 264 に対応する 2 つのインバータステージは、図 2 に

50

おけるそれと同一なものとして示されている。しかしながら、インバータステージは同一である必要がない。例えば、第1インバータステージは、例えば、TTLまたはCMOSなどの、任意のタイプのロジックにおいて実行されるロジックインバータである。また、第2のインバータステージは、NチャネルエンハンスメントMOS-FETである。さらに、2つのインバータステージの使用は、かならずしも必要ではない。上記した入力/出力要求に合致した任意の回路を使用可能である。

【0044】

内部回路

図4は、本発明の実施形態による、内部SIM I/F130a(上記した、外部SIM O/F130bに関連して記載される)のブロック図である。好ましい実施形態において、内部SIM I/F130aに関連する複数の回路は、モデム120(以下に説明するように)内の単一の集積回路チップ301上に構成されており、これによって好都合なことにWCD104におけるサイズ及び部品点数を都合よく低減することができる。

10

【0045】

モデムコントローラ

内部SIM I/F130aは、データバス304に結合されたモデムコントローラ302(中央処理ユニット(CPU)と呼ばれる)を含む。データバス304に関連するのは、当業者にとって自明である、アドレスバス及びデータリード及びライト信号(図示せず)である。モデムコントローラ302は、好ましくは32ビットコントローラ(32ビットRISCなど)であり、これに対応してデータバス304は好ましくは32ビットバス

20

【0046】

モデムコントローラ302は、データ及び/またはコマンドをデータバス304に結合した他の回路要素(後述する)に書き込むことができる。モデムコントローラ302はさらに、適当なときに他の回路要素からデータを読み取ることができる。モデムコントローラ302は、メモリマップトアクセス技術、I/Oポートアクセス技術、あるいは当業者にとって明らかな他の任意の技術を使用してデータバス304に結合された種々の他の要素にアクセス(例えば書き込む及び/または読み出し)することができる。

【0047】

モデムコントローラ302は、以下にさらに記載するように、それぞれが、データバス304に結合した種々の回路要素からの異なるインタラプト条件に関連する、1つ以上のインタラプト信号306を受信可能である。インタラプトを受信することに関連する特定の機構は当業界でよく知られているので、ここでは詳細を述べない。

30

【0048】

モデムコントローラ302は、復調/復号、符号化/変調、モデム104内及びモデムとコンピュータ110などの外部装置間でデータを転送することなどの、モデム104をSIM122に仲介することに直接関連しないモデム104における回路及び機能を制御する。本発明は、SIMインタフェースコントローラとしてモデムコントローラ302を再使用する。この利点は、SIMインタフェースを制御することに特化した別個のコントローラの追加を避けることができ、これによって、WCD104における電力消費、コスト

40

【0049】

内部SIM I/F130aはさらに、SIMパワー制御回路308、バスパワー制御回路310、UARTクロック回路314、SIMクロック回路316、インターバルタイマー318、そしてSIMリセット回路320を含み、それぞれはデータバス304に結合されている。

【0050】

パワー制御

SIMパワー制御回路308は、モデムコントローラ302から受信されたSIMパワー

50

制御信号 330 (コマンド 330 と呼ばれる) に応答して SIM パワー制御信号 (図 2 A に関連して上記した) を引き出し、これによって、モデムコントローラ 302 は SIM 122 をパワーオンしたりパワーオフすることができる。

【 0051 】

同様に、バスパワー制御回路 310 は、モデムコントローラ 302 から受信したバスパワー制御信号 332 に応答してバスパワー制御信号 (図 2 に関連する上記した) を引き出し、これによってモデムコントローラ 302 はバス I / F 回路 214 をパワーオンあるいはパワーオフすることができる。制御回路 308 及び 310 はデータバス 304 を介してそれに供給されたラッチデータ値 (“ 0 ” または “ 1 ”) にラッチ可能である。

【 0052 】

他の実施形態においては、パワースイッチ 232 及び 244 の一方あるいは両方、それらに関連する制御回路 308 及び 310 を除去することができる。例えば、他の一実施形態において、図 2 に示されているスイッチ 232 及びパワーレール 230 は除去することができる。そのような実施形態において、スイッチ 244 は、バス I / F 回路 214 と SIM 122 の両方に選択的に電力を供給する。スイッチ 232 を除去することによって、この実施形態は WCD 104 における部品点数を都合よく低減する。

【 0053 】

さらに、1つ以上のバス I / F 回路 214、スイッチ 244 及び 232 は集積回路 301 上に構成することができ、外部回路 130 b の代わりに内部 I / F 130 a の一部を構成する。

【 0054 】

ユニバーサル非同期受信機 / 送信機 (UART)

UART 312 は、(モデム 120 の TX ポートに対応する) UART 送信機 334 と、(モデム 120 の RX ポートに対応する) UART 受信機 336 とを含む。モデムコントローラ 302 は、UART 制御信号 338 を UART 312 に送信して UART 受信機及び送信機 334 及び 336 を構成して制御する。例えば、モデムコントローラ 302 は、ボーレート、文字フレーム (すなわちバイト)、ストップビットの数、UART 312 によって使用されるパリティ (偶数または奇数) を構成する。UART 312 は、UART 送信機 334 及び / または受信機 336 の状態に応じて、インタラプト信号 306 の 1 つ以上をモデムコントローラ 302 に供給する。

【 0055 】

モデム 120 に関する送信方向において、モデムコントローラ 302 は、SIM I / O 206、及び UART 送信機 334 に送信するべき 1 つ以上のデータバイト 340 を書き込むことができる。これに応答して、UART 送信機 334 はシリアルデータビットの形態のデータバイトを、上記したようにバス I / F 回路 214 を介して SIM I / O 206 に送信する。

【 0056 】

受信方向において、UART 受信機 336 は、共通ラインの信号状態に対応するサンプルバイトを収集するために、共通ライン 212 の信号状態 (すなわち、ロジックレベル) を反復的にサンプルする。次に、モデムコントローラ 302 は、UART 受信機 336 によって UART 受信機から収集されたサンプルバイト (図 4 においてサンプルバイト 342 として示されている) を読み出すことができる。UART 312 は、UART が以下に詳細に述べる方法で SIM I / O ポート 206 または UART 送信機 334 によって送信されたデータバイト (に対応するサンプルバイト) を受信及び収集したことを示すインタラプト信号 (306) をモデムコントローラ 302 に供給する。

【 0057 】

UART 312 は UART クロック回路 314 (以下に述べる) によって引き出されあるいは生成された UART クロック 344 を受信する。UART 312 は、UART クロック 344 により及びモデムコントローラ 302 から受信したボーレート制御信号 (338) に従って決定された異なるボーレートでシリアルデータを送信及び受信する。

10

20

30

40

50

【 0 0 5 8 】

UART受信機336は、モデムコントローラ302から受信したモード制御コマンド(338)に従って、バイトモード及びサンプルモードを含む、2つのモードのいずれかで動作可能である。バイトモードに主導権があるときに、UART受信機336は、SIM I/Oポート206によって送信されたシリアルデータバイトを受信して収集する。これを行なうために、UART受信機336は、SIM I/Oポート206(またはUART送信機334)が共通データライン212を介してシリアルデータビットを送信するポーレートに一致するサンプルレートで受信したシリアルデータビットをサンプルする。概して、UARTは、バイトモードにおいて、各受信シリアルデータビットを一回か二回だけサンプルする。そのような動作は従来技術である。

10

【 0 0 5 9 】

しかしながら、サンプルモードに主導権があるときに、UART受信機336は、SIM I/Oポート206がシリアルデータビットを送信するポーレートよりも何倍も大きいサンプルレートで共通データライン212を反復的にサンプルする。例えば、UART受信機336は、レート16X現在のポーレートで共通ライン212をサンプルし、これによってUART受信機336は、(SIM I/Oポート206またはUART送信機334によって送信されたシリアルビットの)単一のシリアルビット時間の間、16回だけ共通ラインをサンプルする。この例において、UART受信機336は、SIM I/Oポート206によって送信された各シリアルビットあたり16のサンプルバイトを収集する。

20

【 0 0 6 0 】

UART受信機336は、SIM I/Oポート206またはUART送信機334がデータを共通ライン212に送信する間、共通ライン212をサンプルまたはバイトモードでサンプル可能である。したがって、UART受信機336は、重複した(wrap-around)形態で動作可能であり、これによって、受信機はUART送信機334によって送信されたデータをサンプルして収集する。また、UART受信機336は、SIM I/Oポート206あるいはUART送信機334のいずれもが共通ライン212にデータを送信しないときに、共通ライン212をサンプル可能である。

【 0 0 6 1 】

クロック及びタイミング

内部SIM I/F130aは、例えば水晶発振器などの、外部クロック源352から共通クロック350を受信する。共通クロック350の例示的な周波数は、19.2、19.68、及び19.8MHzを含む。プログラマブルUARTクロック回路314、プログラマブルSIMクロック回路316、そして、プログラマブルインターバルタイマー318はそれぞれの各入力で共通クロック350を受信する。

30

【 0 0 6 2 】

UARTクロック回路314は、共通クロック350に基づいてかつモデムコントローラ302から受信したUARTクロック制御信号352に従ってUARTクロック344を引き出す。UARTクロック回路314は、UARTクロック制御信号352に従う値Nで共通クロック350の周波数を割り算するプログラマブルデバイダであり、これによって、制御された周波数でUARTクロック344を生成する。加えて、SIMクロック回路314は、モデムコントローラ302から受信した第2のSIMクロック制御(イネーブル/ディセーブル)信号356にตอบสนองして、SIMクロックを選択的にイネーブルまたはディセーブルにする。SIMクロック回路316は、モデムコントローラ302からSIMクロックディセーブル信号を受信することに対応して、ライン220をリセットするために、スタティックロジックロー("0")またはロジックハイ("1")を供給する。

40

【 0 0 6 3 】

インターバルタイマー318は、共通クロック350に基づいてかつモデムコントローラ302から受信したタイマ制御信号358に従ってプログラマブル遅延時間を引き出す。イ

50

インターバルタイマ318は、プログラマブルデバイダ及び/又は共通クロック350のクロックサイクルを計数するためのカウンタを含む。動作時、モデムコントローラ302は、遅延時間でインターバルタイマ318をプログラムする。遅延時間が経過した後、インターバルタイマ318は、タイムアウトインタラプト(306)をモデムコントローラ302に供給し、これによって、モデムコントローラ302は、SIM122を制御することに関連するタイミングを追跡する。

【0064】

リセット

SIMリセット制御回路320は、モデムコントローラ302から受信したSIMリセット制御信号360にตอบสนองしてSIMリセット信号を引き出し、これによって、モデムコントローラ320は、SIM122をリセットすることができる。SIMリセット制御回路320は、それに供給されたデータ値("0"または"1")をラッチするためのラッチである。

10

【0065】

信号及びクロックタイミング図

図5は、本発明のインタフェース回路に関連した信号の(a)から(g)の一連の例示的タイミング図である。タイミング図は、SIM I/Oポート206またはモデム送信機334によって共通データライン212に供給された例示的なシリアルデータバイト402を表わす。シリアルデータバイト402は、スタートビット"ST"(ロジック"0")、D0からD7までの8つのデータビット、パリティビット"P"、そして、1つ以上のストップビット"SP"(ロジック"1")を含む。タイミング図に示されるシリアルデータバイト402のフォーマットは例示的なものである。例えば、異なる数のストップビットを含む他のフォーマットであってもよい。

20

【0066】

SIM122がシリアルデータバイト(例えば、データバイト402)をモデム120に送信したとき、あるいは、当該シリアルデータバイトをモデム120から受信したとき、SIMは、シリアルデータバイトのストップビットに続いて、SIMエラーウィンドウ404と呼ばれる時間周期404の間、エラー状態を示す。SIM122は、狭いSIMエラーパルス406を生成するために、共通ライン212のロジック状態をロジック"0"に設定することによってそのようなエラー状態の発生を示す。エラーウィンドウ404に関連したSIMエラーパルス406の各々は、データビットD0-D8の各々よりも時間的に実質的に短い。

30

【0067】

タイミング図(b)は、UART受信機がサンプルモードにあるときにUART受信機336がいつ共通データライン212をサンプルかを示す例示的時間ライン408である。サンプルストローク410及び412の各々はサンプリング発生を示し、UART受信機336により収集されるサンプルバイトとなる。サンプルモードにある間、UART受信機334は、サンプルストローク412に関連した比較的高いサンプルレートのために、狭いSIMエラーパルス406の発生を検出することができる。このようにして、モデムコントローラ302は、SIM122から、1つ以上のビットエラー、パリティエラー及びフォルト状態を検出することができる。

40

【0068】

タイミング図(c)は、UART送信機334がいつシリアルデータバイト402を送信するかに対応する例示的UARTインタラプトタイムライン416である。

【0069】

データバイト402の送信の後、UART送信機334は、(インタラプト信号306に対応する)インタラプト418をモデムコントローラ302に対してアサートする。

【0070】

タイミング図(d)は、UART送信機334(またはSIM I/Oポート206)によって送信される連続的シリアルデータバイト422a及び422bを表わす例示的タイ

50

ムラインである。モデムコントローラ 302 は、データバイト 422 a 及び 422 b 間に所定のガードタイム 424 を割り当てる。例えば GSM 11.11 基準によれば、ガードタイム 424 は、データバイト 422 a 及び 422 b の各々に関連する所定のストップビットの最大数よりも大きい。従って、そのようなガードタイムは、インターバルタイム 318 を使用するモデムコントローラ 302 によって設定される。

【0071】

タイミング図 (e) は、UART クロック 344 の一例である。

【0072】

タイミング図 (f) は、UART クロック 344 に関連して示された SIM クロック (SIM_CLK) の一例である。モデムコントローラ 302 は、UART クロック 344 に関連して別個にかつ非同期に SIM クロックを制御可能である。例えば、波形図 (f) に示されるように、SIM_CLK は、開始フルクロックサイクル 430、第 2 クロックサイクル 432 の開始部分、SIM_CLK がモデムコントローラ 302 によっていつディセーブルにされたかに対応する中間ロジックロー部分 434、そして、モデムコントローラ 302 がいつ SIM_CLK を再イネーブルにしたかに対応する次のクロックサイクル 436 を含む。

【0073】

UART が共通ライン 212 をサンプルするべく動作する間、SIM クロックはディセーブルにされるので、モデムコントローラ 302 は、共通ライン 212 の異常なバス状態を検出できる。そのような異常な状態は、SIM 122 が異常な状態で動作したり、SIM が、WCD 104 から除去されたか、あるいは当該 WCD 104 内にインストールされたために、共通ライン 212 がハイまたはローに“固定”する状態を含む。

【0074】

タイミング図 (g) は、SIM リセット信号 SIM_RST の一例である。GSM 11.11 に従う例示的 SIM リセット / 初期化シーケンスにおいて、モデムコントローラ 302 は、SIM_CLK をディセーブルにし、SIM_CLK をロジックハイからロジックローに遷移させた後、ロジックハイに戻し、次に、SIM_CLK をイネーブルにする。モデムコントローラ 302 は、上記したクロックと信号のそのような非同期シーケンス動作に一致させるためにインターバルタイマー 320 を使用する。

【0075】

方法

バイトの送信

図 6 は、本発明に従って、データバイトをモデム 102 から SIM I/O ポート 206 へ送る (すなわち、送信する) ことに関連した、例示的制御方法 500 (図 6 において“バイトの送信”として示される) のフローチャートである。最初のステップ 502 で、モデムコントローラ 302 は、UART 受信機 336 をサンプルモードに設定する。

【0076】

次のステップ 504 で、モデムコントローラ 302 は、データバイトを UART 送信機 334 に送信し、該 UART にデータバイトを送らせる。これに回答して、UART 送信機 334 は、UART 受信機 336 が共通ライン 212 を反復的にサンプルする間、共通ライン 212 を介して、データバイトをシリアルデータビットとして SIM I/O ポート 206 に送信する。

【0077】

UART 送信機 334 がデータバイトを送信した後、そして、UART 受信機 336 は上記した重複した (wrap-around) 態様で同じデータバイトを受信した後、UART 受信機は、受信インタラプト (306) をデータバイトの受信を示すモデムコントローラ 302 に供給する。受信インタラプトは、例えば、インタラプト状態 = “Tx バイト” (“送信バイト”の略)、または、インタラプト状態 = “ガードタイムを処理”、などの、相対インタラプト状態または値に関連する。この場合、UART 送信機 334 はデータバイトを送信したことは既知なので受信インタラプト状態 = “Tx バイト”である。

10

20

30

40

50

【 0 0 7 8 】

受信インタラプトは、次のステップ 5 0 6 を開始する。ステップ 5 0 6 で、モデムコントローラ 3 0 2 は、受信インタラプトサービスルーチン（略して“ R x I S R ”と呼ぶ）を使用する受信インタラプトを提供する。R x I S R は、受信インタラプトに関連した状態に応じて特定の処理または方法ステップを引き起こす。この場合、R x I S R は、R x I S R 状態 = “ T x バイト ” に従う方法ステップを引き起こす。R x I S R に対応する詳細な方法を以下に説明する。

【 0 0 7 9 】

次のステップ 5 0 8 で、モデムコントローラ 3 0 2 は、U A R T 受信機 3 3 4 からのさらなるサンプルバイトを待つ。

10

【 0 0 8 0 】

サービスルーチンの停止

図 7 は、上記した、R x I S R に対応する例示的方法 6 0 0 のフローチャートである。方法 6 0 0 は、図 7 において“ R x I S R ”と呼ばれ、モデムコントローラ 3 0 2 上に実行可能である。方法 6 0 0（すなわち、R x I S R）は、U A R T 3 1 2 からの受信インタラプトによって開始される。

【 0 0 8 1 】

最初の決定ステップ 6 0 2 で、R x I S R 状態 = “ T x バイト ”（方法 5 0 0 に関連して上記したように）か、または、

R x I S R 状態 = “ ガードタイムを処理 ” かどうかを決定する。

20

【 0 0 8 2 】

（ステップ 5 0 6 で上記したように）R x I S R 状態 = “ T x バイト ” であるときに、フロー制御は次のステップ 6 0 4 に進む。ステップ 6 0 4 では、データバイトが送信されている間（例えば、上記したステップ 5 0 4 の間）、U A R T 受信機 3 3 4 によって収集されたすべてのサンプルバイトはスキップされ、S I M エラー信号ウィンドウ（例えば、図 5 のタイミング図に関連して議論した、エラー信号ウィンドウ 4 0 4）の間に収集されたサンプルバイトのみを残す。

【 0 0 8 3 】

次の決定ステップ 6 0 6 で、エラー信号ウィンドウの間に収集されたサンプルバイトは、エラー信号が示されたかどうかを決定するために検査される。ステップ 6 0 6 でエラー信号が示されなかった場合は、フロー制御は次のステップ 6 0 8 に進む。ステップ 6 0 8 で、ステータス信号は、データバイトが（上記ステップ 5 0 4 及び 6 0 4）が首尾よく送られたかどうかを示すために設定される。

30

【 0 0 8 4 】

次のステップ 6 1 0 で、R x I S R 状態は、“ ガードタイム処理 ” に設定される。次のステップ 6 1 2 で、処理はさらなるサンプルバイトを待つ。方法ステップ 6 0 4 - 6 1 4 は、方法 5 0 0 に関連して上記したステップ 5 0 6 で引き起こされる。

【 0 0 8 5 】

一方、エラー信号がステップ 6 0 6 で示されたとき、フローは次のステップ 6 1 4 に進む。ステップ 6 1 4 で、状態信号は“ 再送 ” に設定され、これによって、データバイトを再送信することが必要であることを示す。フローは次に、ステップ 6 1 0 に進む。

40

【 0 0 8 6 】

最初の決定ステップ 6 0 2 に戻って、R x I S R 状態 = “ ガードタイムを処理 ” のときには、フローは次のステップ 6 2 0 に進む。ステップ 6 2 0 で、受信（収集）したサンプルバイトの数が計数される。

【 0 0 8 7 】

次の決定ステップ 6 2 2 で、受信したサンプルバイトの数がガードタイムに対応するサンプルバイトの数よりも大きいがあるいは等しいかどうかを決定する。不十分な数のサンプルバイトが収集されたとき、フローは次のステップ 6 2 4 に進み、さらなるサンプルバイトが受信される。

50

【 0 0 8 8 】

十分な数のバイトが収集されたとき、フローは次のステップ 6 2 6 に進む。ステップ 6 2 6 で、U A R T 3 1 2 はリセットされ、U A R T 受信機 3 3 6 は、サンプルモードから抜け出す。

【 0 0 8 9 】

次の決定ステップ 6 2 8 で、状態信号 = “再送バイト” かどうかを決定するために状態信号が検査される。状態信号が “再送バイト” に等しくないときに、フローは次のステップ 6 3 0 に進む。ステップ 6 3 0 で、次のデータバイトは例えば方法 5 0 0 を使用して送信される。

【 0 0 9 0 】

一方、状態信号 = “再送バイト” であるならば、フローは次のステップ 6 3 2 に進む。次のステップ 6 3 2 で、送信された再度のデータバイトは例えば方法 5 0 0 を使用して再送される。

【 0 0 9 1 】

コンピュータシステム

本発明の方法は、コンピュータを主としたシステムの文脈で動作するコントローラ（例えばモデムコントローラ 3 0 2）を使用して実行される。本発明を実行するのに特に通信に適したハードウェアが使用されるが、汎用のコンピュータシステムの次の記載が完璧さのために提供される。本発明は、モデムコントローラ 3 0 2 によって実行されるソフトウェアと例えばインタフェース回路との組み合わせにより実行される。従って、本発明は、コンピュータシステムまたは他の処理システムにおいて実行される。

【 0 0 9 2 】

そのようなコンピュータシステム 7 0 0 の一例は、図 8 に示される。本発明において、上記した方法またはプロセス、例えば方法 5 0 0 及び 6 0 0 は、コンピュータシステム 7 0 0 について実行される。コンピュータシステム 7 0 0 は、プロセッサ 7 0 4（例えばモデムコントローラ 3 0 2 に対応）などの、1 つ以上のプロセッサを含む。プロセッサ 7 0 4 は、通信インフラストラクチャ 7 0 6（例えば、図 4 に関連して議論したデータバス 3 0 4 を含むバスまたはネットワーク）に接続されている。種々のソフトウェア実装がこの例示的コンピュータシステムの観点から記載される。この記載を熟読することにより、他のコンピュータシステム及び/またはコンピュータアーキテクチャを用いて本発明が当業者によりどのようにして実行されるのかが明らかになる。

【 0 0 9 3 】

コンピュータシステム 7 0 0 はまた、主メモリ、好ましくはランダムアクセスメモリ（RAM）を含み、第 2 のメモリ 7 1 0 を含む。第 2 のメモリ 7 1 0 は、例えばハードディスクドライブ 7 1 2 及び/またはフロッピーディスクドライブ、磁気テープドライブ、光学的ディスクドライブなどに代表されるリムーバブル記憶ドライブ 7 1 4 を含む。リムーバブル記憶ドライブ 7 1 4 は、既知の方法を用いてリムーバブル記憶ユニット 7 1 8 に対して読み書きを行なう。リムーバブル記憶ユニット 7 1 8 は、フロッピーディスク、磁気テープ、光ディスクなどに代表され、リムーバブル記憶ドライブ 7 1 4 によって読み出しや書込みが行なわれる。良く知られているように、リムーバブル記憶ユニット 7 1 8 は、コンピュータソフトウェア及び/またはデータを記憶したコンピュータ使用可能記憶媒体を含む。

【 0 0 9 4 】

他の実施形態において、第 2 メモリ 7 1 0 は、コンピュータプログラムまたは他の指令がコンピュータシステム 7 0 0 内にロードされるように他の同様な手段を含む。そのような手段は、例えばリムーバブル記憶ユニット 7 2 2 及びインタフェース 7 2 0 を含む。そのような手段の一例は、（ビデオゲーム装置において見出されるような）プログラムカートリッジ及びカートリッジインタフェース、（EPROM または PROM などの）リムーバブルメモリチップ、そして関連するソケット、さらには、他のリムーバブル記憶ユニット 7 2 2 及びソフトウェア及びデータがリムーバブル記憶ユニット 7 2 2 からコンピュータシ

10

20

30

40

50

ステム 700 へ転送されるのを可能にするインタフェース 720 を含む。

【0095】

コンピュータシステム 700 は通信インタフェース 724 を含む。通信インタフェース 724 は、ソフトウェア及びデータのコンピュータシステム 700 と外部装置間での転送を可能にする。通信インタフェース 724 の一例は、モデム、(イーサネットカード等の) ネットワークインタフェース、通信ポート、PCMCIA スロット及びカードなどを含む。通信インタフェース 724 を介して転送されたソフトウェア及びデータは、電子的、電磁的、光学的または通信インタフェース 724 によって受信可能な他の信号により実現される信号 728 の形態である。これらの信号 728 は、通信パス 726 を介して通信インタフェース 724 に供給される。通信パス 726 は信号 728 を運び、ワイヤまたはケーブル、光ファイバ、電話線、セルラ電話リンク、RF リンク及び他の通信チャネルを使用して実現される。

10

【0096】

この文書において、術語“コンピュータプログラム媒体”及び“コンピュータ使用可能媒体”は、概して、リムーバブル記憶ドライブ 714、ハードディスクドライブ 712 にインストールされたハードディスクなどの媒体、そして信号 728 を意味するのに使用される。これらのコンピュータプログラム製品はソフトウェアをコンピュータシステム 700 に供給するための手段である。

【0097】

コンピュータプログラム(あるいはコンピュータ制御ロジック)は、主メモリ 708 及び/または第 2 メモリ 710 に記憶される。コンピュータプログラムは、通信インタフェース 724 を介して受信される。そのようなコンピュータプログラムは、実行されたときに、コンピュータシステム 700 が本発明をここで議論したように実行するのを可能にする。特に、コンピュータプログラムは、実行されたときに、プロセッサ 704 が本発明のプロセスを実行する。従って、そのようなコンピュータプログラムは、コンピュータシステム 700 のコントローラを代表する。一例として、本発明の好ましい実施形態において、モデムコントローラ 302 によって実行されるプロセスは、コンピュータ制御ロジックによって実行される。本発明がソフトウェアを使用して実行される場合、当該ソフトウェアはコンピュータプログラム製品に記憶されてリムーバブル記憶ドライブ 714、ハードドライブ 712、または通信インタフェース 724 を使用してコンピュータシステム内にロードされる。

20

30

【0098】

結論

本発明の種々の実施形態について説明したが例示のみであり、本発明はそれらに限定されない。すなわち、本発明の広さと範囲は上記した具体的な実施形態及び構成のいずれにも限定されることはなく、次の請求の範囲及びそれらの均等物に沿ってのみ規定される。

【0099】

本発明は、特定の機能及びそれらの関係の実行を示す機能的ブロックの補助により上記された。これらの機能的ブロックの境界は、説明の都合上適宜規定されたものである。したがって、特定の機能及び関係が適宜実行される限りにおいて、他の実施形態が規定される。すなわち、そのような任意の他の境界は請求された発明の範囲及び精神に属する。当業者ならば、これらの機能的ブロックは個々の要素、特定用途向け集積回路(A S I C)、適当なソフトウェアを実行するプロセッサ、あるいはそれらの任意の組み合わせによって実行することが可能である。すなわち、本発明の広さと範囲は上記の具体的実施形態によって限定されるべきではなく、次の請求の範囲及びその均等物に従ってのみ規定されるべきである。

40

【図面の簡単な説明】

本発明の上記した及びその他の特徴及び利点は添付の図面を参照して例示された以下の記載から、より詳細には本発明の好ましい実施形態の説明から、明らかになる。

【図 1】 本発明が実行可能な例示的 W C D のブロック図である。

50

【図2】 本発明の実施形態に従った、図1のSIMインタフェースの外部のブロック図である。

【図3】 本発明に従った、図2の例示的バスインタフェース回路の回路図である。

【図4】 本発明の実施形態に従った、図1のSIMインタフェースの内部のブロック図である。

【図5】 図1のSIMインタフェースの信号またはクロックに対応する、一連の例示的タイミング図である。

【図6】 本発明の実施形態に従った、データバイトをモデムから図1のSIM送信することに関する例示的方法のフローチャートである。

【図7】 本発明の実施形態に従った、受信インタラプトサービスルーチンに対応する例示的方法のフローチャートである。

【図8】 本発明の一部が実行可能な例示的コンピュータシステムのブロック図である。

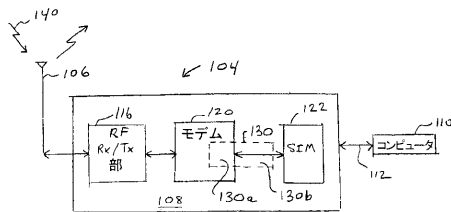
【符号の説明】

- 104 WCD
- 106 アンテナ
- 108 信号処理モジュール
- 110 コンピュータ
- 112 データリンク
- 116 受信(Rx)及び送信(Tx)部
- 120 モデム
- 130 SIM I/F
- 140 RF信号

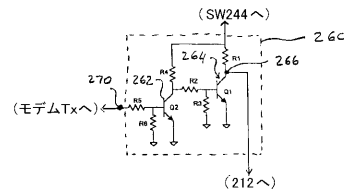
10

20

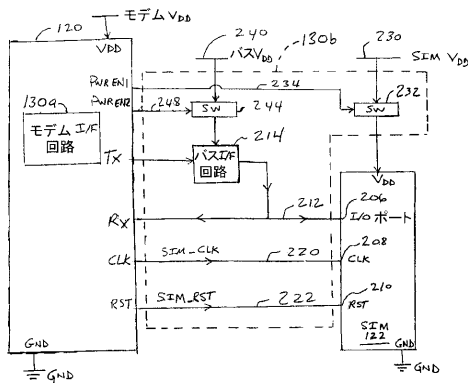
【図1】



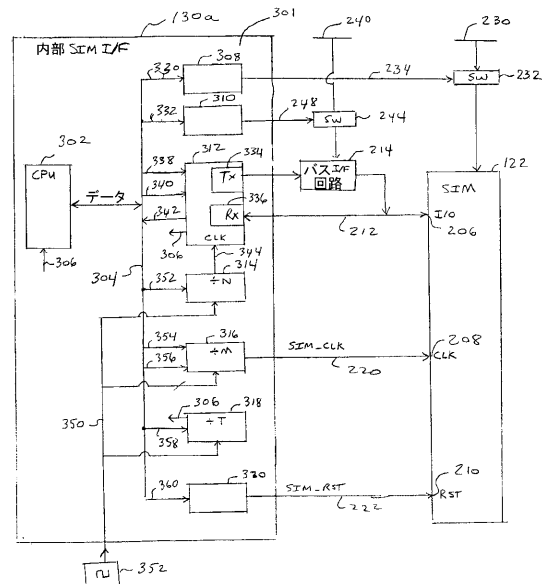
【図3】



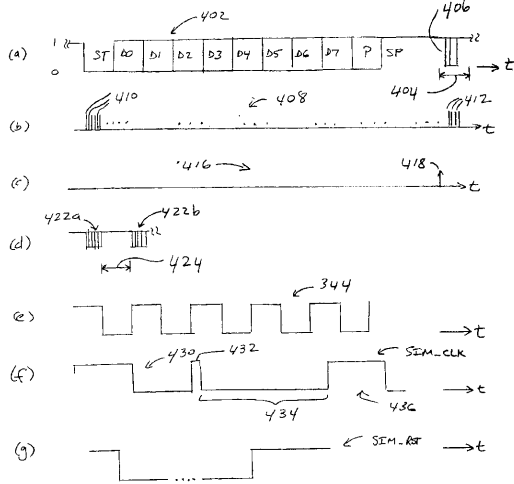
【図2】



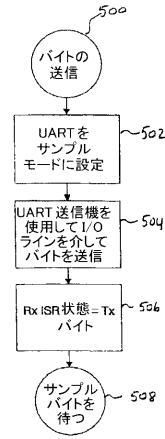
【図4】



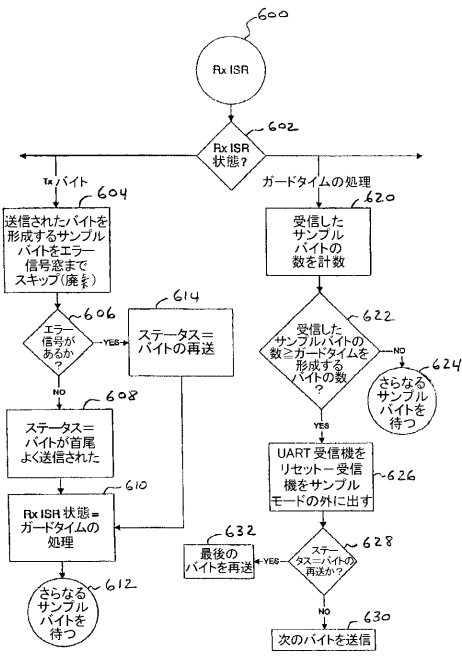
【図5】



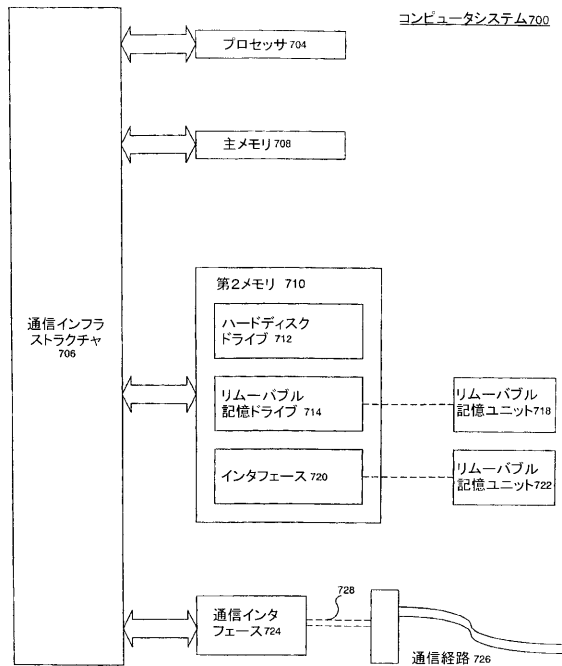
【図6】



【図7】



【図8】



フロントページの続き

- (72)発明者 ハチソン、ジェームス・エー・ザ・フォース
アメリカ合衆国、カリフォルニア州 9 2 1 2 3 サン・ディエゴ、カーディナル・ドライブ 2
0 1 3
- (72)発明者 スタンカヨ、スティーブン・アイ
アメリカ合衆国、カリフォルニア州 9 2 1 0 9 サン・ディエゴ、ナンバー 2、フェルスパー
1 1 3 4

審査官 阿部 弘

- (56)参考文献 欧州特許出願公開第00926619 (EP, A1)
特開平11-340868 (JP, A)
特開平11-275215 (JP, A)
特開平11-150582 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H04L 29/10