

# 公告本

申請日期	88.7.20
案號	88112818
類別	G11C 5/14

A4  
C4

457485

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中 文	積體半導體記憶體
	英 文	Integrated Semiconductor-memory
二、發明 創作人	姓 名	1. 梭艾-泰里 (Thoai-Thai Le) 2. 侏根林朵夫 (Jürgen Lindolf) 3. 愛克哈特布雷斯 (Eckhard Brass) 4. 馬丁布羅克斯 (Martin Brox)
	國 籍	1. 德國 2. - 4. 皆屬德國
	住、居所	1. 德國慕尼黑黑 81737 奧托魯恩納街 43 號 2. 德國佛萊德堡 86316 厄普潘爾街 20 號 3. 德國安特哈欽 82008 雅德傑路 20 號 4. 德國慕尼黑黑 81825 吉恩特菲爾德街 111 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑黑 D-80333 威田巴黎廣場 2 號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權  
 德 1998年9月8日 19840983.4

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( )

本發明係關於一種積體半導體記憶體，其具有許多記憶體單胞。這些單胞配置在至少二個記憶排(bank)中。

積體半導體記憶體含有許多記憶體單胞。就像 US 5,109,265 中所示一樣，記憶體單胞劃分成多個記憶排(bank)。

在積體半導體記憶體中由所傳送之電源電壓而產生各種不同之其它電壓或電位且施加於記憶體單胞陣列中。例如，在基體上施加一種基體預備壓，在記憶排之字線上施加一種字線電壓；位元線則以位元線電壓來供電。基體電位則低於此種由外部供應至半導體晶片之電源電壓之值，字線電位則高於此種由外部所供應之電源電壓，位元線電位則在此種由外部所傳送之電源電壓之範圍內。各別之電壓產生器會消耗功率，這特別在基體電壓和字線電壓之情況中是很重要的。

隨著逐漸增加之記憶體大小，則由各別之電壓源所驅動之電容性負載(例如，字線電容、位元線電容或基體電容)亦逐漸增加。相對應之電壓產生器因此需要較高之驅動能力。隨著逐漸增加之記憶體大小，電壓源之功率補給因此會增加且相對於其餘之功率消耗源(source)而言已不可忽略。記憶體大小大約由 1Gb 開始時此種效應即變成很顯著。

在 DE 1,951,3667 A1 中描述一種半導體記憶體，其中各字線電壓、基體電壓和位元線電壓均由一共同源提供。此種共同源提供較高之驅動能力來驅動基體電壓，且其電壓則以較低之驅動能

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( > )

力來驅動。所有觀察到之記憶體單胞是由相同之位址解碼器來控制。

本發明之目的是提供一種積體半導體記憶體，其功率消耗較低。

此目的是由一種具有申請專利範圍第1項特徵之積體半導體記憶體來達成。

依據本發明，積體半導體記憶體晶片之每一記憶排 (bank) 都設有電源電壓源。此種電源電壓源交替地 (alternatively) 或組合地產生字線電位，位元線電位或基體電位。若某一記憶排在記憶體存取時被驅動 (其中適用一種相對應之已解碼之位址信號)，則可提高所屬電源電壓源之驅動能力。若另一記憶排被驅動且所觀察到之記憶排被去 (de-) 驅動，則此電源電壓源之驅動能力又再下降。這樣可使所消耗之功率降低。電源電壓源在驅動所屬之記憶排時是在全載 (full load) 時操作。在記憶排去驅動時此電壓源是以較全載時還低之驅動功率來操作，因此只須對記憶體單胞陣列中之漏電流損耗進行補償；或其完全被截止 (off)。

字線電位和基體電位用之電源電壓源是一種所謂電壓升壓器，其所產生之輸出電壓或所產生之相對於參考電位之輸出電位是位於輸入側所傳送之電源電壓範圍外。此種電壓源是以時脈 (clock) 來驅動且含有一個振盪器。在全載轉換至部份負載時只有電壓源之時脈頻率會下降。

另有  
04年  
04月  
27日  
修正  
本頁  
三頁

發明說明 ( > )

力來驅動。所有觀察到之記憶體單胞是由相同之位址解碼器來控制。

本發明之目的是提供一種積體半導體記憶體，其功率消耗較低。

此目的是由一種具有申請專利範圍第1項特徵之積體半導體記憶體來達成。

依據本發明，積體半導體記憶體晶片之每一記憶排 (bank) 都設有電源電壓源。此種電源電壓源交替地 (alternatively) 或組合地產生字線電位，位元線電位或基體電位。若某一記憶排在記憶體存取時被驅動 (其中適用一種相對應之已解碼之位址信號)，則可提高所屬電源電壓源之驅動能力。若另一記憶排被驅動且所觀察到之記憶排被去 (de-) 驅動，則此電源電壓源之驅動能力又再下降。這樣可使所消耗之功率降低。電源電壓源在驅動所屬之記憶排時是在全載 (full load) 時操作。在記憶排去驅動時此電壓源是以較全載時還低之驅動功率來操作，因此只須對記憶體單胞陣列中之漏電流損耗進行補償；或其完全被截止 (off)。

字線電位和基體電位用之電源電壓源是一種所謂電壓升壓器，其所產生之輸出電壓或所產生之相對於參考電位之輸出電位是位於輸入側所傳送之電源電壓範圍外。此種電壓源是以時脈 (clock) 來驅動且含有一個振盪器。在全載轉換至部份負載時只有電壓源之時脈頻率會下降。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明( )

本發明中上述之電壓、基體預偏壓或位元線電壓有關之構成方式敘述在申請專利範圍各附屬項中。

本發明以下將依據圖式作詳述，圖式簡單說明如下：

第 1 圖係本發明積體半導體記憶體之電路原理圖。

第 2 圖係產生字線電壓所用之詳細之電路圖。

第 3 圖係產生位元線電壓所用之詳細之電路圖。

第 1 圖中所示之半導體記憶體之電路方塊圖顯示四個記憶排 1、2、3、4，每一記憶排含有許多記憶體單胞以及相對應之功能單元以便在記憶體單胞排中對記憶體單胞進行讀出和寫入。在 1Gb1t 記憶體中，每一記憶排都具有 256Mbit 之記憶容量。可經由各別之位址來選取一個記憶排。例如，最高位之二個位元 A1、A2 可用作相對應之記憶體單胞之位址以便進行選取。這些位元（其可能具有存儲器之解碼過程之後才可獲得）須傳送至解碼器 5。解碼器 5 有輸出側分別具有導線 11、21、31、41 以用於記憶排 1、2、3 或 4 中。導線 11、21、31、41 中之一條被選動，這表示在此種屬於此條導線之記憶排中之各記憶體單胞中之一會發生記憶體存取之現象。記憶排於選動而連接，即，各記憶排中所有之電源電壓以及記憶體存取所需之其它功能單元會轉換成一種狀態，以便可在記憶排中進行記憶體單胞之讀出和寫入。

記憶排 1、2、3、4 中，每一個是配屬於各別之電壓電壓源 10、11、12、13。電壓源 10、11、12、13 之電壓源 10、11、12、13 係相對於地

（請先閱讀背面之注意事項再填寫本頁）

裝 · · · · · 訂 · · · · · 線

## 五、發明說明(4)

VSS之電位，輸出線12連通至記憶排1。電源電壓源10亦可同時提供一個或多個此種電源電壓。須控制電源10，使其在記憶排1受驅動時可以較高之驅動能力來產生電位，即，可對配置於其中之記憶體單胞中之一進行存取。若記憶排1被去驅動(即，對其它記憶排2,3,4中之一進行存取時)，則各電源電壓或電源電壓源10之輸出端12上之電位可以較低之驅動能力而被提供。這亦包括：電源電壓源10完全被切斷之情況。

在較低之驅動功率或電源電壓源10切斷時，這幾乎不會或根本不會消耗功率。若記憶體存取只在單一之記憶體單胞中進行且只有各自之記憶排被驅動而其它記憶排不被驅動時，則電壓產生器之功率消耗在最有利之情況中只有傳統電源電壓源中者之四分之一，傳統中者所有記憶體區域都以相同功率而被供電。

在電源電壓源10之較高和較低驅動功率之間的轉換是適當地藉由解碼器輸出線11上之信號來達成。導線11不但與記憶排1相連接而且亦與相對應之控制輸入端相連接以便控制電源電壓源10之驅動功率。其它電源電壓源20,30,40具有一種與上述相對應之功能以及一種相對應之構造。

在第1圖中，一個各別之電源電壓源配屬於每一個記憶排。但在實際之製作方式中這亦包括：這些電源電壓源之一部份可由不同之記憶排所共同使用。適當之方式是：電源電壓源10,30之一部份須加以組合且大約只有

## 五、發明說明(5)

各別之輸出端 12、32 須接通或斷開。同樣情況亦適用於電源 20、40。

在第 2 圖中顯示一種由積體半導體記憶體所構成之解碼之電路圖。其中電源電壓源 10 在導線 12 上提供一種電源電位  $V_{PP1}$  以用於記憶排 1 之字線中。記憶排 1 含有記憶體單胞陣列 (其中顯示一些記憶體單胞 13、14、15)。字線  $WL1$ 、 $WL2$  和位元線  $BL1$ 、 $BL2$  用來選取記憶體單胞。許多記憶體單胞 13、14 經由正電位而對字線  $WL1$  起反應。記憶體單胞之各別之介入 (access) 式電晶體於是導電性地相連接。藉由位元線 (例如,  $BL1$ ) 之選取, 則此種配置在字線  $WL1$  和位元線  $BL1$  之交叉點上之記憶體單胞 13 之資料資訊可被讀出。字線  $WL1$  在驅動狀態時之電位  $V_{PP1}$  是較此種由外部傳送至半導體晶片之電源電位  $V_{DD}$  還高。這樣可達成之效果是: 記憶體單胞之以 n-通道 MOS 電晶體製成之介入式電晶體可控制成完全導通狀態且記憶體單胞中所儲存之資訊不會損耗即可被讀出以及在不會損耗之情況下可被讀入。經由導線 12 所施加之電壓因此較由外部所施加之電源電壓  $V_{DD}$ 、 $V_{SS}$  還大。導線 12 之電源電位  $V_{PP1}$  經由每一可切換之放大器而施加至字線, 其中放大器 16 對應於字線  $WL1$ 。若字線  $WL1$  被驅動且存取記憶體單胞 13 時, 則放大器 16 被驅動, 於是導線 12 之電位  $V_{PP1}$  傳送至字線  $WL1$ 。解碼器 17 則獲得記憶體單胞 13 之資料資訊。資料資訊經由讀入線 18 而傳送至位元線。資料資訊經由位元線 18 而傳送至輸出線 19。資料資訊經由輸出線 19 而傳送至放大器 20。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明 ( b )

為了在導線 12 上產生較高之電源電位  $V_{PP1}$ ，則電源電壓源 10 須以電荷泵 (pump) 或升壓電路構成，其含有二個與其源極 - 汲極 - 區段相串聯之 n-通道 - MOS 電晶體 101, 102，此二個電晶體連接在半導體晶片之電源電位端點 VDD 和輸出端 12 之間，電容器 105 連接在電晶體 101, 102 之耦合節點處。電晶體之閘極端及電容器之另一端點是分別由控制信號 E1, E2 或 E3 所控制。控制信號 E1, E2 和 E3 在邏輯元件 103 中產生，邏輯元件 103 是由振盪器 104 所驅動。為了在記憶體存取時產生較高之輸出電壓，則電荷泵 10 須在全載 (full load) 情況下受驅動，即，驅動能力相對於端點 12 上之輸出電位  $V_{PP1}$  而言是較高的。此時須產生較高頻率之週期性控制信號 E1, E2, E3。若在記憶排 1 中不進行記憶體之存取而使記憶排 1 由於解碼器 5 之輸出端 11 上之信號 A11 而被斷開時，則電源電壓源 10 之輸出端 12 上之電位  $V_{PP1}$  所具有之驅動能力較小。這表示：電源電壓源 10 完全被斷開或其供應一種輸出電位，其在驅動狀態時具有字線電壓之大小，但所具有之驅動能力較小。理想情況時此種驅動能力須只具有一種大小，使此種由於漏電流所造成之損耗可被補償。為了在電源電壓源 10 之各操作狀態之間進行轉換，則此種施加至導線 11 之信號 A11 須傳送至電壓源之輸入側，其亦可驅動記憶排 21。這可適當地控制邏輯元件 103 以便產生各控制信號 E1, E2, E3。另一方式是振盪器 104 之頻率可由較高之操作頻率切換至較低之頻率。

就此圖中未顯示之實施例 (其中電源電壓源 10 會產生

五、發明說明（7）

一種基體預偏壓)而言。輸出端 12 會相對於接地 VSS 而傳送一種基體電位 VBB。輸出端 12 是如第 2 圖中所示之連接方式不同的。輸出端 12 是與基體終端相連接。基體終端可提供記憶單元排 1 所需之基體電位。基體電位是此種在整個半導體晶片中所產生之電位中之最小者。結果是：基體電位之升高會由於切換過程而受到抑制。其中在基體中所產生之電荷載體會被吸走。這樣所具有之效果是：漏電流會減小，截止區電容會提高以及閃鎖(latch-up)危險性會降低。基體電位小於此種由外部所傳送之接地電位 VSS、即，基體預偏壓小於此種半導體晶片之由外部所傳送之電源電壓 VDD、VSS。電晶體 102 因此和第 2 圖所示者不同而以 p-通道 CMOS 電晶體構成且與電源電壓之負極 VSS 相連接。控制電壓 E1、E2 和 E3 亦作相對應之調整。

其餘之電壓源 90, 91, 10 是以對應於電壓源 10 之方式構成。記憶排 2 之相對於記憶排 1 之情況亦類似。

第 4 圖中顯示一種雜訊半導體記憶體之詳細電路圖。其中為線 12 上之電壓源 10 可提供一種電源電位 VBIH12 以串接於記憶排 1 之位元線中。二條位元線 BI1、BI2 共同連接到記憶輸出放大器 120 之相位相反之輸入端。在讀出過程之前，位元線 BI1、BI2 須預充電至電源電位 VBIH12。然後開始進行讀出過程，其中位元線之電位會短暫。因此可消除串擾。電晶體 101、102 之作用是為此目的。電晶體 101 之基極與輸出端相連，且與感測線相連，預充電電

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

## 五、發明說明 ( 8 )

位  $V_{BLH12}$  小於半導體晶片  $V_{DD}, V_{SS}$  之此種由外部所傳送之電源電壓  $V_{DD}, V_{SS}$ 。預充電電位  $V_{BLH12}$  大約較正的電源電位  $V_{DD}$  小 30%。記憶排 1 以及電壓源 10 是由控制信號  $A_{11}$  所驅動，使其輸出端 12 上可形成此位元線之預充電電壓  $V_{BLH12}$ 。位元線  $BL_1, BL_2$  在行 (column) 解碼過程之後被驅動。此處設有一種行解碼器 133，其由所傳送之位址  $A_1, \dots, A_n$  來驅動已解碼之控制信號  $ABL_{12}$ 。控制信號  $ABL_{12}$  連接於各別之放大器 131, 132。位元線預充電電壓  $V_{BLH12}$  經由這些放大器而施加至位元線  $BL_1, BL_2$ 。

電壓源 10 在此情況中是一種已調整之電壓源，其含有一種運算放大器 110，其在輸出側具有一種電流路徑，電流路徑在正 (positive) 電源電位  $V_{DD}$  側包含一個 p-通道 -MOS 電晶體 112。電晶體 112 之閘極端經由另一 p-通道 - 電晶體 111 而與電位  $V_{DD}$  用之端點相連接。電晶體 111 之閘極端是由信號  $A_{11}$  所控制。這樣就可接通或斷開上述之電壓產生器。

就像第 2 和第 3 圖中所示一樣，在記憶體存取時記憶排是互相獨立地操作。即，若存取某一記憶排時，則另一記憶排不會被選中。在另一記憶排上同樣可同時進行種記憶體存取或亦可不進行。每一記憶排都有一個獨特之只有屬於它之位址解碼器，其劃分成列解碼器 (例如，17) 及行解碼器 (例如，133)。經由記憶排之位址解碼器只可對這種配置於記憶排中之記憶體單胞進行定址。經由相同之位址解碼器不能對不同記憶排之記憶體單胞進

## 五、發明說明(9)

行定址。可由列位址解碼器所定址之字線和可由行位址解碼器所定址之位元線只在一個記憶排內部中延伸。但不會延伸至另一記憶排中。寫入/讀出放大器(感測放大器)只用來放大資料信號，這些資料儲存在記憶排內部中之記憶體單元中或由其讀出。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(10)

## 參考符號說明

- 1, 2, 3, 4.....記憶排
- 5.....解碼器
- 10, 20, 30, 40.....電壓源
- 11, 21, 31, 41.....導線
- 12, 32.....輸出端
- 13, 14, 15.....記憶體單胞
- BL1, BL2.....位元線
- WL1, 2L2.....字線
- 16.....放大器
- 17.....列解碼器
- 101, 102.....MOS電晶體
- 103.....邏輯元件
- 104.....振盪器
- 105.....電容器
- 110.....運算放大器
- 111, 112.....電晶體
- 131, 132.....放大器
- 133.....行解碼器
- 134.....電晶體
- 130.....讀出放大器

四、中文發明摘要 (發明之名稱： )

積體半導體記憶體

在一種具有劃分成記憶排(1,2,3,4)之記憶體單胞陣之積體半導體記憶體中，若各別之記憶排被驅動以便存取記憶體單胞時，則具有較高驅動功率之電源電位只施加至記憶排。一種配屬於各別記憶排(1)之電壓源(10)是由和記憶排(1)相同之位址信號(A11)所控制。電壓源(10,20,30,40)產生字線電位，位元線電位或基體電位。因此可減少功率之消耗。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱： Integrated Semiconductor-memory )

In an integrated semiconductor memory with a memory-cell array that is divided into memory-banks (1,2,3,4), some supply-potentials with higher drive-capacities are only applied to the memory-banks, if the respective memory-bank is activated for an access on the memory-cells. Here a power-supply source (10) that belongs to its own memory-bank (1) is controlled by the same address-signal (A11) as the memory-bank (1). The power-sources (10,20,30,40) generate word-line-potential, bit-line-potential or substrate-potential. Thus the power-loss will be reduced.

訂

線

經濟部智慧財產局員工消費合作社印製

另有修正本頁

申請專利範圍

900427

年 月 日

- 一種積體半導體記憶體，其特徵為包括：
  - 一個第一記憶排 (1) (其具有許多記憶體單元 (13, 14, 15)) 以及其它記憶排 (2, 3, 4)，每一記憶排都含有一個位址解碼器以便對記憶體單元進行定址，只有相關記憶排之記憶體單元可由位址解碼器來定址，且每一記憶排是由電源電位 (12, 22, 32, 42) 來供電。
  - 每一配屬於記憶排 (1, 2, 3, 4) 之電壓源 (10, 20, 30, 40) 是用來提供各別之電源電位。
  - 一個解碼器 (5)，對每一記憶排 (1) 分別具有一個輸出信號 (A11)，各別之記憶排 (1) 可藉由輸出信號 (A11) 而被驅動或去 (de-) 驅動以便進行記憶體存取。
  - 須可對電壓源 (10) 進行控制，以便以較高之驅動能力來提供記憶排 (1) 所需之電源電位，若此記憶排 (1) 藉由各別之輸出信號 (A11) 來驅動時；或須以較低之驅動能力來提供所需之電源電位，若此記憶排 (1) 是由各別之輸出信號 (A11) 而被去 (de-) 驅動時。

如申請專利範圍第一項之積體半導體記憶體，其中電壓源 (10, 20, 30, 40) 中之每一個在其旁邊可由電源電位 (12, 22, 32, 42) 所供應，且電壓源 (10, 20, 30, 40) 上之輸出線可產生一種電源電位，此電源電位是在各別所傳供之電源電壓 (VDD, VSS) 範圍之外。

本申請案之範圍亦包括：(1) 一種積體半導體記憶體，其特徵為包括：(a) 一個第一記憶排 (1) 以及其它記憶排 (2, 3, 4)，每一記憶排都含有一個位址解碼器以便對記憶體單元進行定址，只有相關記憶排之記憶體單元可由位址解碼器來定址，且每一記憶排是由電源電位 (12, 22, 32, 42) 來供電。

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

## 六、申請專利範圍

第 88112278 號「積體半導體記憶體」專利案

(90 年 4 月修正)

六 申請專利範圍：

1. 一種積體半導體記憶體，其特徵為包括：

- 一個第一記憶排 (1) (其具有許多記憶體單胞 (13,14,15)) 以及其它記憶排 (2,3,4)，每一記憶排都含有一個位址解碼器以便對記憶體單胞進行定址，只有相關記憶排之記憶體單胞可由位址解碼器來定址，且每一記憶排是由電源電位 (12,22,32,42) 來供電，
- 每一配屬於記憶排 (1,2,3,4) 之電壓源 (10,20,30,40) 是用來提供各別之電源電位，
- 一個解碼器 (5)，對每一記憶排 (1) 分別具有一個輸出信號 (A11)，各別之記憶排 (1) 可藉由輸出信號 (A11) 而被驅動或去 (de-) 驅動以便進行記憶體存取，
- 須可對電壓源 (10) 進行控制，以便以較高之驅動能力來提供記憶排 (1) 所需之電源電位，若此記憶排 (1) 藉由各別之輸出信號 (A11) 來驅動時；或須以較低之驅動能力來提供所需之電源電位，若此記憶排 (1) 是由各別之輸出信號 (A11) 而被去 (de-) 驅動時。

2. 如申請專利範圍第 1 項之積體半導體記憶體，其中電壓源 (10,20,30,40) 中之每一個在其邊邊可由電源電壓 (VDD,VSS) 所供應且在電壓源 (10,20,30,40) 上於輸出側可產生一種電源電位，此電源電位是在各別所傳送之電源電壓 (VDD,VSS) 範圍之外。



## 六、申請專利範圍

3. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中電壓源(10)之每一個是以時脈來驅動，且電壓源(10)之時脈頻率可藉由解碼器(5)之各別之輸出信號(A11)(其可驅動或去(de-)驅動各相關之記憶排(1))而在第一和第二頻率之間切換。
4. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中電壓源(10)之每一個可由解碼器(5)之各別之輸出信號(A11)(其可驅動或去(de-)驅動各相關之記憶排(1))來接通或斷開。
5. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中解碼器(5)在輸入側具有一些位址信號(A1,A2)用之終端以便選取許多記憶體單胞(13,14,15)之記憶排(1,2,3,4)中之一；解碼器(5)在輸出側就每一記憶排(1,2,3,4)而言分別具有一個終端(11,21,31,41)；終端(11, 21, 31, 41)之每一個是與所屬之記憶排(1,2,3,4)相連接且與屬於此記憶排之電壓源(10,20,30,40)相連接。
6. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中記憶排(1)中之每一個都具有許多記憶體單胞(13,14,15)且具有字線(WL1,WL2)；可藉由字線來選取至少一個配置於記憶排(1)中之記憶體單胞(13,14,15)以便藉由控制信號(AWL1)來讀出或寫入一種待儲存之資料值；藉由電壓源(10)中之每一個可產生字線(WL1,WL2)用之電源電位(VPP1)；字線用之電源電位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

(VPP1)可經由一個屬於各字線(WL1)之開關(16)而傳送；開關(16)可由控制信號(AWL1)控制成接通狀態。

7. 如申請專利範圍第 5 項之積體半導體記憶體，其中記憶排(1)中之每一個都具有許多記憶體單胞(13,14,15)且具有字線(WL1,WL2)；可藉由字線來選取至少一個配置於記憶排(1)中之記憶體單胞(13,14,15)以便藉由控制信號(AWL1)來讀出或寫入一種待儲存之資料值；藉由電壓源(10)中之每一個可產生字線(WL1,WL2)用之電源電位(VPP1)；字線用之電源電位(VPP1)可經由一個屬於各字線(WL1)之開關(16)而傳送；開關(16)可由控制信號(AWL1)控制成接通狀態。
8. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中半導體記憶體製作在半導體基體中；藉由每一電源電壓源而可產生一種基體電位；基體電位可輸送至基體之配置有記憶排(電壓源是配屬於此記憶排)之此種部份中。
9. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中每一記憶排(1)具有一些記憶體單胞(13,14,15)以及位元線(BL1,BL2)，藉由位元線可測得或傳送至少一配置在記憶排(1)中之記憶體單胞(13,14,15)之資料值以便進行讀出或寫入；藉由每一電壓源(10)可產生一種位元線(BL1,BL2)用之電源電位(VBLH12)；此種位元線用之電源電位(VBLH12)可經由各別所屬之開關(131,132)而傳送至位元線(BL1,BL2)。

## 六、申請專利範圍

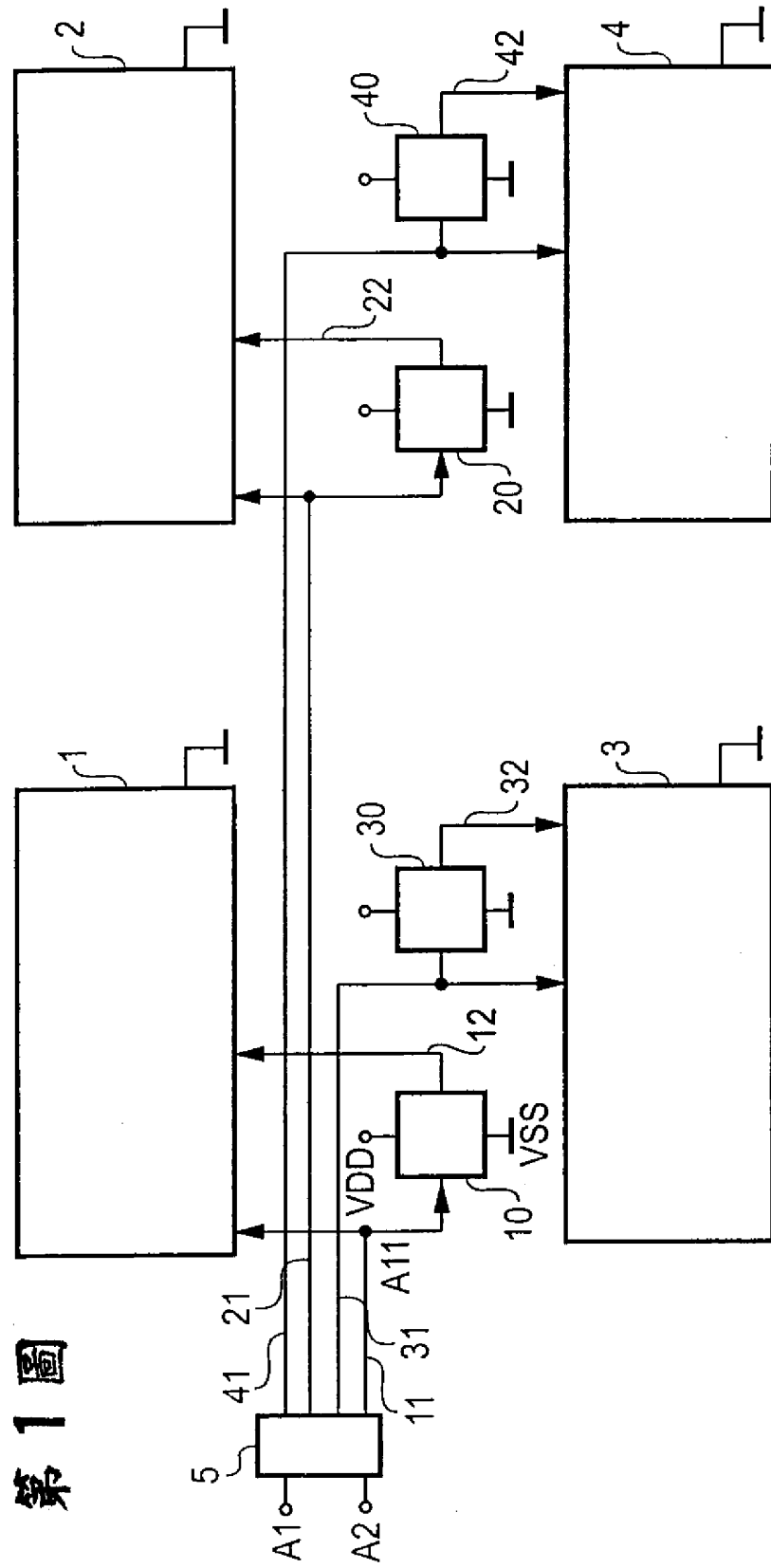
10. 如申請專利範圍第 5 項之積體半導體記憶體，其中每一記憶排(1)具有一些記憶體單胞(13,14,15)以及位元線(BL1,BL2)，藉由位元線可測得或傳送至少一配置在記憶排(1)中之記憶體單胞(13,14,15)之資料值以便進行讀出或寫入；藉由每一電壓源(10)可產生一種位元線(BL1,BL2)用之電源電位(VBLH12)；此種位元線用之電源電位(VBLH12)可經由各別所屬之開關(131,132)而傳送至位元線(BL1,BL2)。
11. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中每一記憶排(1,2,3,4)都包含一種位址解碼器(17,133)以便選取記憶體單胞(13,14,15)，藉由位址解碼器只可選取此記憶排之記憶體單胞。
12. 如申請專利範圍第 5 項之積體半導體記憶體，其中每一記憶排(1,2,3,4)都包含一種位址解碼器(17,133)以便選取記憶體單胞(13,14,15)，藉由位址解碼器只可選取此記憶排之記憶體單胞。

(請先閱讀背面之注意事項再填寫本頁)

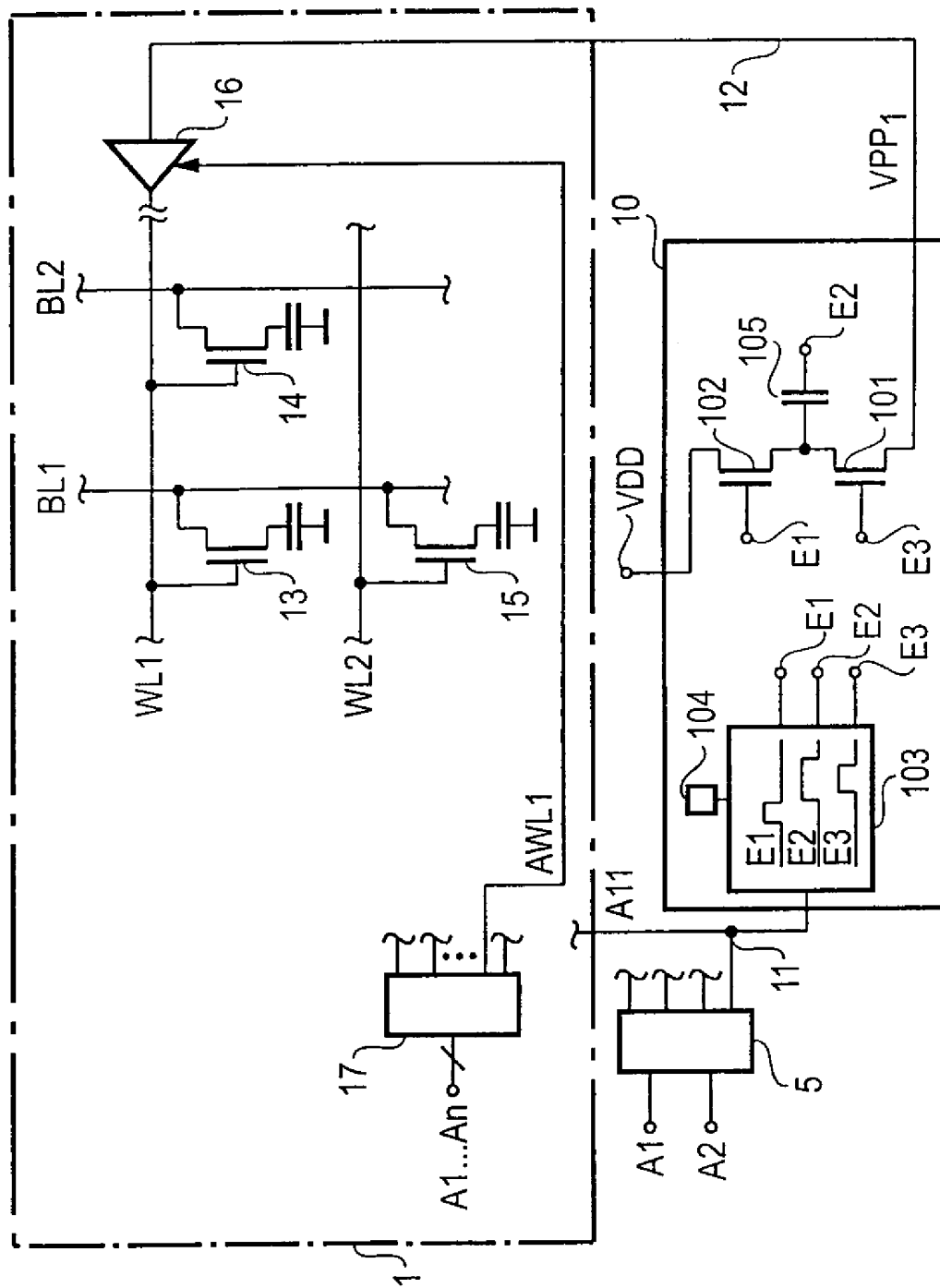
第

訂

線

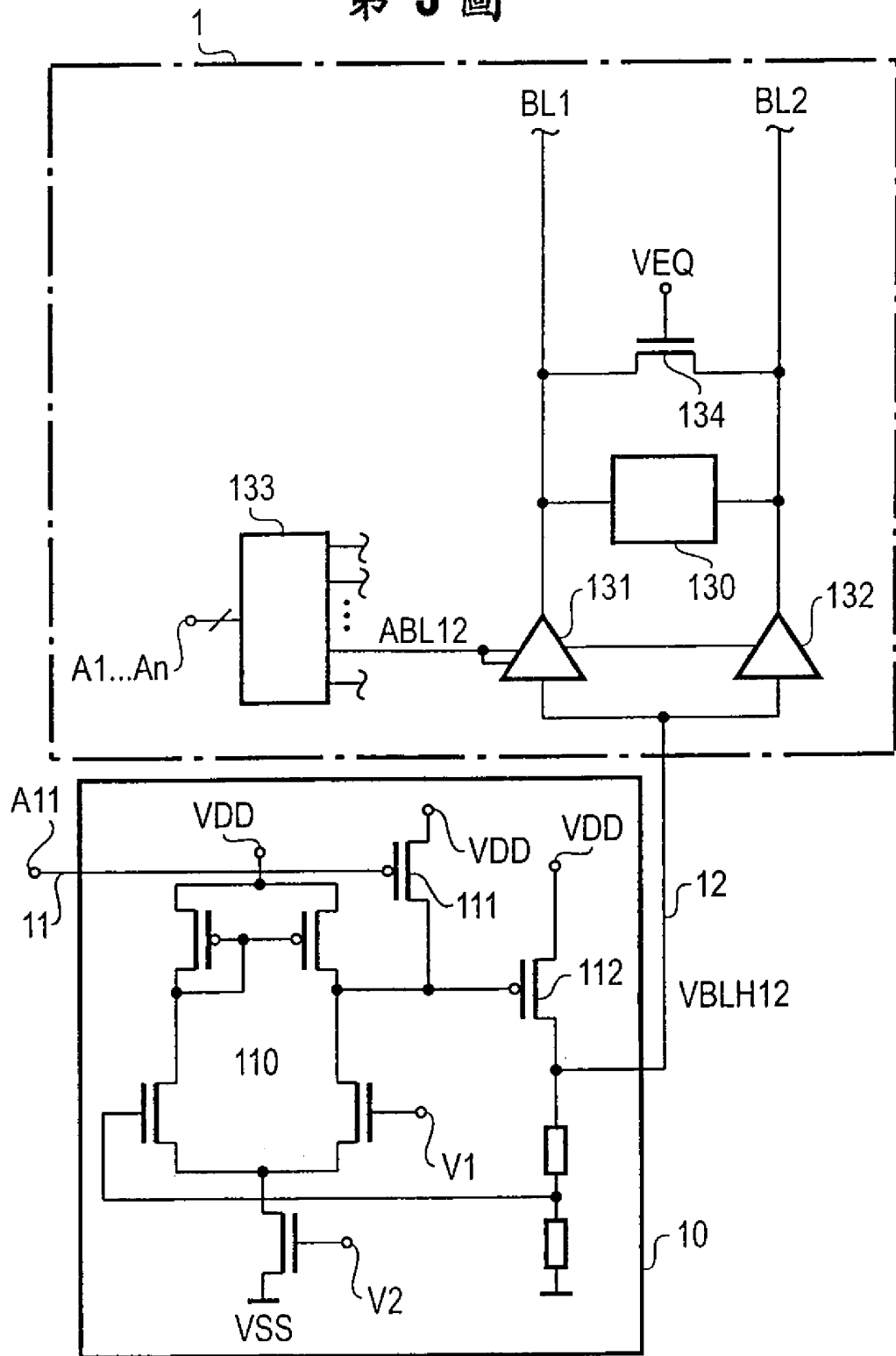


第1圖



第 2 圖

第 3 圖



另有  
04年  
04月  
27日  
修正  
本頁  
三頁

發明說明 ( > )

力來驅動。所有觀察到之記憶體單胞是由相同之位址解碼器來控制。

本發明之目的是提供一種積體半導體記憶體，其功率消耗較低。

此目的是由一種具有申請專利範圍第1項特徵之積體半導體記憶體來達成。

依據本發明，積體半導體記憶體晶片之每一記憶排 (bank) 都設有電源電壓源。此種電源電壓源交替地 (alternatively) 或組合地產生字線電位，位元線電位或基體電位。若某一記憶排在記憶體存取時被驅動 (其中適用一種相對應之已解碼之位址信號)，則可提高所屬電源電壓源之驅動能力。若另一記憶排被驅動且所觀察到之記憶排被去 (de-) 驅動，則此電源電壓源之驅動能力又再下降。這樣可使所消耗之功率降低。電源電壓源在驅動所屬之記憶排時是在全載 (full load) 時操作。在記憶排去驅動時此電壓源是以較全載時還低之驅動功率來操作，因此只須對記憶體單胞陣列中之漏電流損耗進行補償；或其完全被截止 (off)。

字線電位和基體電位用之電源電壓源是一種所謂電壓升壓器，其所產生之輸出電壓或所產生之相對於參考電位之輸出電位是位於輸入側所傳送之電源電壓範圍外。此種電壓源是以時脈 (clock) 來驅動且含有一個振盪器。在全載轉換至部份負載時只有電壓源之時脈頻率會下降。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

另有修正本頁

申請專利範圍

900427

年 月 日

- 一種積體半導體記憶體，其特徵為包括：
  - 一個第一記憶排 (1) (其具有許多記憶體單元 (13, 14, 15)) 以及其它記憶排 (2, 3, 4)，每一記憶排都含有一個位址解碼器以便對記憶體單元進行定址，只有相關記憶排之記憶體單元可由位址解碼器來定址，且每一記憶排是由電源電位 (12, 22, 32, 42) 來供電。
  - 每一配屬於記憶排 (1, 2, 3, 4) 之電壓源 (10, 20, 30, 40) 是用來提供各別之電源電位。
  - 一個解碼器 (5)，對每一記憶排 (1) 分別具有一個輸出信號 (A11)，各別之記憶排 (1) 可藉由輸出信號 (A11) 而被驅動或去 (de-) 驅動以便進行記憶體存取。
  - 須可對電壓源 (10) 進行控制，以便以較高之驅動能力來提供記憶排 (1) 所需之電源電位，若此記憶排 (1) 藉由各別之輸出信號 (A11) 來驅動時；或須以較低之驅動能力來提供所需之電源電位，若此記憶排 (1) 是由各別之輸出信號 (A11) 而被去 (de-) 驅動時。

如申請專利範圍第一項之積體半導體記憶體，其中電壓源 (10, 20, 30, 40) 中之每一個在其旁邊可由電源電位 (12, 22, 32, 42) 所供應，且電壓源 (10, 20, 30, 40) 位於輸出線路產生一種電源電位，此電源電位是在各別所傳送之電壓電壓 (VDD, VSS) 範圍之外。

本申請案之範圍亦包括：(1) 一種積體半導體記憶體，其特徵為包括：(a) 一個第一記憶排 (1) 以及其它記憶排 (2, 3, 4)，每一記憶排都含有一個位址解碼器以便對記憶體單元進行定址，只有相關記憶排之記憶體單元可由位址解碼器來定址，且每一記憶排是由電源電位 (12, 22, 32, 42) 來供電。

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線



## 六、申請專利範圍

第 88112278 號「積體半導體記憶體」專利案

(90 年 4 月修正)

六 申請專利範圍：

1. 一種積體半導體記憶體，其特徵為包括：

- 一個第一記憶排 (1) (其具有許多記憶體單胞 (13,14,15)) 以及其它記憶排 (2,3,4)，每一記憶排都含有一個位址解碼器以便對記憶體單胞進行定址，只有相關記憶排之記憶體單胞可由位址解碼器來定址，且每一記憶排是由電源電位 (12,22,32,42) 來供電，
- 每一配屬於記憶排 (1,2,3,4) 之電壓源 (10,20,30,40) 是用來提供各別之電源電位，
- 一個解碼器 (5)，對每一記憶排 (1) 分別具有一個輸出信號 (A11)，各別之記憶排 (1) 可藉由輸出信號 (A11) 而被驅動或去 (de-) 驅動以便進行記憶體存取，
- 須可對電壓源 (10) 進行控制，以便以較高之驅動能力來提供記憶排 (1) 所需之電源電位，若此記憶排 (1) 藉由各別之輸出信號 (A11) 來驅動時；或須以較低之驅動能力來提供所需之電源電位，若此記憶排 (1) 是由各別之輸出信號 (A11) 而被去 (de-) 驅動時。

2. 如申請專利範圍第 1 項之積體半導體記憶體，其中電壓源 (10,20,30,40) 中之每一個在其邊邊可由電源電壓 (VDD,VSS) 所供應且在電壓源 (10,20,30,40) 上於輸出側可產生一種電源電位，此電源電位是在各別所傳送之電源電壓 (VDD,VSS) 範圍之外。

## 六、申請專利範圍

3. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中電壓源(10)之每一個是以時脈來驅動，且電壓源(10)之時脈頻率可藉由解碼器(5)之各別之輸出信號(A11)(其可驅動或去(de-)驅動各相關之記憶排(1))而在第一和第二頻率之間切換。
4. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中電壓源(10)之每一個可由解碼器(5)之各別之輸出信號(A11)(其可驅動或去(de-)驅動各相關之記憶排(1))來接通或斷開。
5. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中解碼器(5)在輸入側具有一些位址信號(A1,A2)用之終端以便選取許多記憶體單胞(13,14,15)之記憶排(1,2,3,4)中之一；解碼器(5)在輸出側就每一記憶排(1,2,3,4)而言分別具有一個終端(11,21,31,41)；終端(11, 21, 31, 41)之每一個是與所屬之記憶排(1,2,3,4)相連接且與屬於此記憶排之電壓源(10,20,30,40)相連接。
6. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中記憶排(1)中之每一個都具有許多記憶體單胞(13,14,15)且具有字線(WL1,WL2)；可藉由字線來選取至少一個配置於記憶排(1)中之記憶體單胞(13,14,15)以便藉由控制信號(AWL1)來讀出或寫入一種待儲存之資料值；藉由電壓源(10)中之每一個可產生字線(WL1,WL2)用之電源電位(VPP1)；字線用之電源電位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

- (VPP1)可經由一個屬於各字線(WL1)之開關(16)而傳送；開關(16)可由控制信號(AWL1)控制成接通狀態。
7. 如申請專利範圍第 5 項之積體半導體記憶體，其中記憶排(1)中之每一個都具有許多記憶體單胞(13,14,15)且具有字線(WL1,WL2)；可藉由字線來選取至少一個配置於記憶排(1)中之記憶體單胞(13,14,15)以便藉由控制信號(AWL1)來讀出或寫入一種待儲存之資料值；藉由電壓源(10)中之每一個可產生字線(WL1,WL2)用之電源電位(VPP1)；字線用之電源電位(VPP1)可經由一個屬於各字線(WL1)之開關(16)而傳送；開關(16)可由控制信號(AWL1)控制成接通狀態。
8. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中半導體記憶體製作在半導體基體中；藉由每一電源電壓源而可產生一種基體電位；基體電位可輸送至基體之配置有記憶排(電壓源是配屬於此記憶排)之此種部份中。
9. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中每一記憶排(1)具有一些記憶體單胞(13,14,15)以及位元線(BL1,BL2)，藉由位元線可測得或傳送至少一配置在記憶排(1)中之記憶體單胞(13,14,15)之資料值以便進行讀出或寫入；藉由每一電壓源(10)可產生一種位元線(BL1,BL2)用之電源電位(VBLH12)；此種位元線用之電源電位(VBLH12)可經由各別所屬之開關(131,132)而傳送至位元線(BL1,BL2)。

## 六、申請專利範圍

10. 如申請專利範圍第 5 項之積體半導體記憶體，其中每一記憶排(1)具有一些記憶體單胞(13,14,15)以及位元線(BL1,BL2)，藉由位元線可測得或傳送至少一配置在記憶排(1)中之記憶體單胞(13,14,15)之資料值以便進行讀出或寫入；藉由每一電壓源(10)可產生一種位元線(BL1,BL2)用之電源電位(VBLH12)；此種位元線用之電源電位(VBLH12)可經由各別所屬之開關(131,132)而傳送至位元線(BL1,BL2)。
11. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中每一記憶排(1,2,3,4)都包含一種位址解碼器(17,133)以便選取記憶體單胞(13,14,15)，藉由位址解碼器只可選取此記憶排之記憶體單胞。
12. 如申請專利範圍第 5 項之積體半導體記憶體，其中每一記憶排(1,2,3,4)都包含一種位址解碼器(17,133)以便選取記憶體單胞(13,14,15)，藉由位址解碼器只可選取此記憶排之記憶體單胞。

(請先閱讀背面之注意事項再填寫本頁)

第

訂

線