

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-13627

(P2020-13627A)

(43) 公開日 令和2年1月23日(2020.1.23)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/08 (2006.01)	G 1 1 C 29/08	5 L 2 0 6
G 1 1 C 29/44 (2006.01)	G 1 1 C 29/44 1 1 0	
G 1 1 C 29/00 (2006.01)	G 1 1 C 29/00 4 2 2	

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願2018-136809 (P2018-136809)
 (22) 出願日 平成30年7月20日 (2018. 7. 20)

(71) 出願人 308033711
 ラピスセミコンダクタ株式会社
 神奈川県横浜市港北区新横浜二丁目4番地
 8
 (74) 代理人 100079119
 弁理士 藤村 元彦
 (74) 代理人 100147728
 弁理士 高野 信司
 (72) 発明者 岡田 敏治
 神奈川県横浜市港北区新横浜二丁目4番地
 8 ラピスセミコンダクタ株式会社内
 Fターム(参考) 5L206 AA01 BB01 CC08 CC13 CC16
 CC17 CC21 CC32 DD24 DD25
 DD26 FF02 FF04 FF05 FF08
 HH11

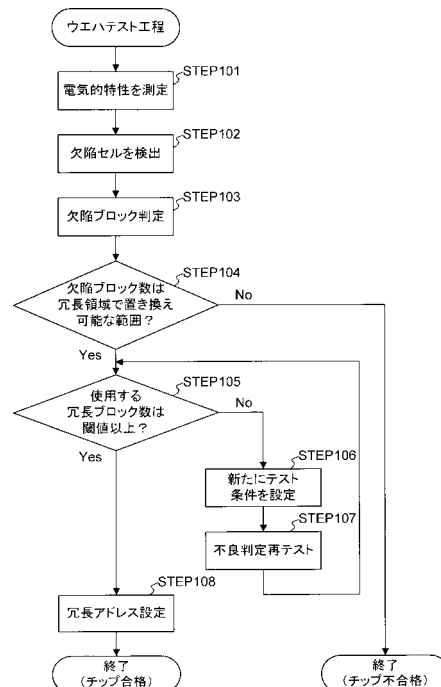
(54) 【発明の名称】 半導体メモリのテスト方法

(57) 【要約】

【課題】性能のばらつきを抑えつつ半導体メモリを製造することを可能とする半導体メモリのテスト方法を提供する。

【解決手段】複数個のメモリセルの電気的特性を測定するステップと、測定値に基づいて欠陥セルを検出するステップと、欠陥セルを所定数以上含むメモリブロックを欠陥ブロックとして判定するステップと、欠陥ブロックの数が第1の閾値以上か否かを判定するステップと、欠陥ブロックの数が第1の閾値以上の場合に半導体メモリを不良品と判定するステップと、第1の閾値未滿と判定された場合、欠陥ブロックの数を第2の閾値と比較するステップと、欠陥メモリブロックの数が第2の閾値未滿と判定された場合、測定条件を変更して一連のステップを繰り返し実行するステップと、欠陥ブロックへのアクセスを他のブロックへのアクセスとは異なる方法で管理するステップと、を有する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

各々が複数個のメモリセルからなる複数のメモリブロックを有する半導体メモリの良否を判定するテスト方法であって、

前記複数のメモリブロックの前記複数個のメモリセルの各々の電気的特性を測定する第 1 のステップと、

前記複数個のメモリセルのうち、前記電気的特性の測定値が基準値を満たさないメモリセルを欠陥セルとして検出する第 2 のステップと、

前記複数のメモリブロックのうち、前記欠陥セルを所定数以上含むメモリブロックを欠陥ブロックとして判定する第 3 のステップと、

前記欠陥ブロックの数が第 1 の閾値以上であるか否かを判定する第 4 のステップと、

前記欠陥ブロックの数が第 1 の閾値以上であると判定された場合、前記半導体メモリを不良品であると判定する第 5 のステップと、

前記欠陥ブロックの数が第 1 の閾値未満であると判定された場合、前記欠陥ブロックの数を前記第 1 の閾値よりも小なる第 2 の閾値と比較する第 6 のステップと、

前記欠陥メモリブロックの数が前記第 2 の閾値未満であると判定された場合、前記複数個のメモリセルの各々について前記電気的特性の測定における測定条件を変更して前記第 1 のステップ、前記第 2 のステップ、前記第 3 のステップ及び前記第 6 のステップからなる一連のステップを、前記欠陥ブロックの数が前記第 2 の閾値以上且つ前記第 1 の閾値未満になったと判定されるまで繰り返し実行する第 7 のステップと、

前記第 6 のステップ又は前記第 7 のステップにおいて、前記欠陥ブロックの数が前記第 2 の閾値以上且つ前記第 1 の閾値未満であると判定された場合、前記欠陥ブロックへのアクセスを前記欠陥ブロック以外のブロックへのアクセスとは異なる方法で管理する第 8 のステップと、

を有することを特徴とする半導体メモリのテスト方法。

【請求項 2】

前記電気的特性の測定は、前記複数個のメモリセルからのデータの読み出し時における読み出し電圧の測定を含み、

前記測定条件の変更は、前記複数個のメモリセルに対するリフレッシュの時間間隔の変更を含むことを特徴とする請求項 1 に記載の半導体メモリのテスト方法。

【請求項 3】

前記測定条件の変更は、前記電気特性の測定時における前記複数個のメモリセルの温度の変更を含むことを特徴とする請求項 1 又は 2 に記載の半導体メモリのテスト方法。

【請求項 4】

前記複数個のメモリセルの各々はトランジスタから構成されており、

前記測定条件の変更は、前記トランジスタのゲートに印加する電圧の変更を含むことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体メモリのテスト方法。

【請求項 5】

前記複数個のメモリセルの各々はトランジスタから構成されており、

前記測定条件の変更は、前記トランジスタのゲートの閾値電圧の変更を含むことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体メモリのテスト方法。

【請求項 6】

各々が複数個のメモリセルからなる複数のメモリブロックを有する半導体メモリの良否を判定するテスト方法であって、

前記複数のメモリブロックの前記複数個のメモリセルの各々の電気的特性を測定する第 1 のステップと、

前記複数個のメモリセルのうち、前記電気的特性の測定値が基準値を満たさないメモリセルを欠陥セルとして検出する第 2 のステップと、

前記複数のメモリブロックのうち、前記欠陥セルを所定数以上含むメモリブロックを欠陥ブロックとして判定する第 3 のステップと、

10

20

30

40

50

前記欠陥ブロックの数が第1の閾値以上であるか否かを判定する第4のステップと、
前記欠陥ブロックの数が第1の閾値以上であると判定された場合、前記半導体メモリを不良品であると判定する第5のステップと、

前記欠陥ブロックの数が第1の閾値未満であると判定された場合、前記欠陥ブロックの数を前記第1の閾値よりも小なる第2の閾値と比較する第6のステップと、

前記欠陥メモリブロックの数が前記第2の閾値未満であると判定された場合、前記半導体メモリの電源をOFF状態からON状態に変化させ、前記複数個のメモリセルの各々に蓄積されている電荷の変化に基づいて、前記欠陥ブロックの数が前記第2の閾値に達するように新たに欠陥ブロックを選択する第7のステップと、

前記第6のステップ又は前記第7のステップの結果、前記欠陥ブロックの数が前記第2の閾値以上且つ前記第1の閾値未満であると判定された場合、前記欠陥ブロックへのアクセスを前記欠陥ブロック以外のブロックへのアクセスとは異なる方法で管理する第8のステップと、

を有することを特徴とする半導体メモリのテスト方法。

【請求項7】

前記第8のステップにおける、前記欠陥ブロックへのアクセスについての前記異なる方法での管理は、前記欠陥ブロックのアドレスに対するアクセスを前記複数のメモリブロックとは異なる他のメモリブロックのアドレスに対するアクセスに置き換える処理を含むことを特徴とする請求項1乃至6のいずれか1に記載の半導体メモリのテスト方法。

【請求項8】

各々が複数個のメモリセルからなる複数のメモリブロックと、各々が複数個の冗長セルからなる複数の冗長ブロックと、前記複数の冗長ブロックのうちの1つと前記複数のメモリブロックのうちの1つとを置き換え対象として対応付けて記憶するためのヒューズを複数個有するヒューズブロックと、を有する半導体メモリのテスト方法であって、

前記複数のメモリブロックの前記複数個のメモリセルの各々の電気的特性を測定し、前記複数個のメモリセルのうち、前記電気的特性の測定値が基準値を満たさないメモリセルを欠陥セルとして検出し、前記欠陥セルを所定数以上含むメモリブロックを欠陥ブロックとして判定する第1のステップと、

前記欠陥ブロックの数が第1の閾値以上であるか否かを判定する第2のステップと、

前記欠陥ブロックの数が第1の閾値以上であると判定された場合、前記半導体メモリを不良品であると判定する第3のステップと、

前記欠陥ブロックの数が第1の閾値未満であると判定された場合、前記欠陥ブロックの数を前記第1の閾値よりも小なる第2の閾値と比較する第4のステップと、

前記欠陥メモリブロックの数が前記第2の閾値未満であると判定された場合、前記複数個のメモリセルの各々について前記電気的特性の測定における測定条件を変更して前記第1のステップ、前記第2のステップ及び前記第4のステップからなる一連のステップを、前記欠陥ブロックの数が前記第2の閾値以上且つ前記第1の閾値未満になったと判定されるまで繰り返し実行する第5のステップと、

前記第4のステップ又は前記第5のステップにおいて、前記欠陥ブロックの数が前記第2の閾値以上且つ前記第1の閾値未満であると判定された場合、前記欠陥ブロックへのアクセスを前記冗長ブロックへ代替してアクセスするように前記ヒューズブロック内の前記ヒューズを切断する第6のステップと、

を有することを特徴とする半導体メモリのテスト方法。

【請求項9】

各々が複数個のメモリセルからなる複数のメモリブロックと、各々が複数個の冗長セルからなる複数の冗長ブロックと、前記複数の冗長ブロックのうちの1つと前記複数のメモリブロックのうちの1つとを置き換え対象として対応付けて記憶するためのヒューズを複数個有するヒューズブロックと、を有する半導体メモリのテスト方法であって、

前記複数のメモリブロックの前記複数個のメモリセルの各々の電気的特性を測定し、前記複数個のメモリセルのうち、前記電気的特性の測定値が基準値を満たさないメモリセ

10

20

30

40

50

ルを欠陥セルとして検出し、前記欠陥セルを所定数以上含むメモリブロックを欠陥ブロックとして判定する第1のステップと、

前記欠陥ブロックの数が第1の閾値以上であるか否かを判定する第2のステップと、

前記欠陥ブロックの数が第1の閾値以上であると判定された場合、前記半導体メモリを不良品であると判定する第3のステップと、

前記欠陥ブロックの数が第1の閾値未満であると判定された場合、前記欠陥ブロックの数を前記第1の閾値よりも小なる第2の閾値と比較する第4のステップと、

前記欠陥メモリブロックの数が前記第2の閾値未満であると判定された場合、前記半導体メモリの電源をOFF状態からON状態に変化させ、前記複数個のメモリセルの各々に蓄積されている電荷の変化に基づいて、前記欠陥ブロックの数が前記第2の閾値に達するように新たに欠陥ブロックを選択する第5のステップと、

前記第4のステップ又は前記第5のステップにおいて、前記欠陥ブロックの数が前記第2の閾値以上且つ前記第1の閾値未満であると判定された場合、前記欠陥ブロックへのアクセスを前記冗長ブロックへ代替してアクセスするように前記ヒューズブロック内の前記ヒューズを切断する第6のステップと、

を有することを特徴とする半導体メモリのテスト方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリのテスト方法に関する。

【背景技術】

【0002】

D R A M (Dynamic Random Access Memory) 等の半導体メモリの製造工程において、当該半導体メモリが形成されたウェハのウェハテスト工程において、半導体メモリの良否を判定するためのテストが行われている(例えば、特許文献1)。かかるテストでは、所定の動作条件を満たさないメモリセルが不良セルとして検出される。半導体メモリには通常メモリ領域の他に冗長領域が設けられており、テストにおいて不良セルであると判定されたメモリセルは、冗長領域のセル(冗長セル)で置換される。すなわち、不良セルのアドレスに対してアクセスが試行された場合、当該不良セルに代わって冗長セルのアドレスに対してアクセスが行われる。冗長セルの数よりも多い不良セルが検出された場合、その半導体メモリは不良品であると判定される。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-108395号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

1枚のウェハから切り出される複数のチップは、同じウェハテスト工程におけるテストを経て製造されるため、一定の条件下での動作については同じ特性を有する。しかし、例えば低電圧での動作や低温環境下での動作等、ウェハテスト工程の条件よりも厳しい特殊な環境下での動作については、チップ間でばらつきが生じるという問題点があった。

【0005】

本発明は上記問題点に鑑みてなされたものであり、性能のばらつきを抑えつつ半導体メモリを製造することを可能とする半導体メモリのテスト方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明に係る半導体メモリのテスト方法は、各々が複数個のメモリセルからなる複数のメモリブロックを有する半導体メモリの良否を判定するテスト方法であって、前記複数

10

20

30

40

50

メモリブロックの前記複数個のメモリセルの各々の電気的特性を測定する第1のステップと、前記複数個のメモリセルのうち、前記電気的特性の測定値が基準値を満たさないメモリセルを欠陥セルとして検出する第2のステップと、前記複数のメモリブロックのうち、前記欠陥セルを所定数以上含むメモリブロックを欠陥ブロックとして判定する第3のステップと、前記欠陥ブロックの数が第1の閾値以上であるか否かを判定する第4のステップと、前記欠陥ブロックの数が第1の閾値以上であると判定された場合、前記半導体メモリを不良品であると判定する第5のステップと、前記欠陥ブロックの数が第1の閾値未満であると判定された場合、前記欠陥ブロックの数を前記第1の閾値よりも小なる第2の閾値と比較する第6のステップと、前記欠陥メモリブロックの数が前記第2の閾値未満であると判定された場合、前記複数個のメモリセルの各々について前記電気的特性の測定における測定条件を変更して前記第1のステップ、前記第2のステップ、前記第3のステップ及び前記第6のステップからなる一連のステップを、前記欠陥ブロックの数が前記第2の閾値以上且つ前記第1の閾値未満になったと判定されるまで繰り返し実行する第7のステップと、前記第6のステップ又は前記第7のステップにおいて、前記欠陥ブロックの数が前記第2の閾値以上且つ前記第1の閾値未満であると判定された場合、前記欠陥ブロックへのアクセスを前記欠陥ブロック以外のブロックへのアクセスとは異なる方法で管理する第8のステップと、を有することを特徴とする。

10

【0007】

また、本発明に係る半導体メモリのテスト方法は、各々が複数個のメモリセルからなる複数のメモリブロックを有する半導体メモリの良否を判定するテスト方法であって、前記複数のメモリブロックの前記複数個のメモリセルの各々の電気的特性を測定する第1のステップと、前記複数個のメモリセルのうち、前記電気的特性の測定値が基準値を満たさないメモリセルを欠陥セルとして検出する第2のステップと、前記複数のメモリブロックのうち、前記欠陥セルを所定数以上含むメモリブロックを欠陥ブロックとして判定する第3のステップと、前記欠陥ブロックの数が第1の閾値以上であるか否かを判定する第4のステップと、前記欠陥ブロックの数が第1の閾値以上であると判定された場合、前記半導体メモリを不良品であると判定する第5のステップと、前記欠陥ブロックの数が第1の閾値未満であると判定された場合、前記欠陥ブロックの数を前記第1の閾値よりも小なる第2の閾値と比較する第6のステップと、前記欠陥メモリブロックの数が前記第2の閾値未満であると判定された場合、前記半導体メモリの電源をOFF状態からON状態に変化させ、前記複数個のメモリセルの各々に蓄積されている電荷の変化に基づいて、前記欠陥ブロックの数が前記第2の閾値に達するように新たに欠陥ブロックを選択する第7のステップと、前記第6のステップ又は前記第7のステップの結果、前記欠陥ブロックの数が前記第2の閾値以上且つ前記第1の閾値未満であると判定された場合、前記欠陥ブロックへのアクセスを前記欠陥ブロック以外のブロックへのアクセスとは異なる方法で管理する第8のステップと、を有することを特徴とする。

20

30

【0008】

また、本発明に係る半導体メモリのテスト方法は、各々が複数個のメモリセルからなる複数のメモリブロックと、各々が複数個の冗長セルからなる複数の冗長ブロックと、前記複数の冗長ブロックのうちの1つと前記複数のメモリブロックのうちの1つとを置き換え対象として対応付けて記憶するためのヒューズを複数個有するヒューズブロックと、を有する半導体メモリのテスト方法であって、前記複数のメモリブロックの前記複数個のメモリセルの各々の電気的特性を測定し、前記複数個のメモリセルのうち、前記電気的特性の測定値が基準値を満たさないメモリセルを欠陥セルとして検出し、前記欠陥セルを所定数以上含むメモリブロックを欠陥ブロックとして判定する第1のステップと、前記欠陥ブロックの数が第1の閾値以上であるか否かを判定する第2のステップと、前記欠陥ブロックの数が第1の閾値以上であると判定された場合、前記半導体メモリを不良品であると判定する第3のステップと、前記欠陥ブロックの数が第1の閾値未満であると判定された場合、前記欠陥ブロックの数を前記第1の閾値よりも小なる第2の閾値と比較する第4のステップと、前記欠陥メモリブロックの数が前記第2の閾値未満であると判定された場合、前

40

50

記複数個のメモリセルの各々について前記電気的特性の測定における測定条件を変更して前記第1のステップ、前記第2のステップ及び前記第4のステップからなる一連のステップを、前記欠陥ブロックの数が前記第2の閾値以上且つ前記第1の閾値未満になったと判定されるまで繰り返し実行する第5のステップと、前記第4のステップ又は前記第5のステップにおいて、前記欠陥ブロックの数が前記第2の閾値以上且つ前記第1の閾値未満であると判定された場合、前記欠陥ブロックへのアクセスを前記冗長ブロックへ代替してアクセスするように前記ヒューズブロック内の前記ヒューズを切断する第6のステップと、を有することを特徴とする。

【0009】

また、本発明に係る半導体メモリのテスト方法は、各々が複数個のメモリセルからなる複数のメモリブロックと、各々が複数個の冗長セルからなる複数の冗長ブロックと、前記複数の冗長ブロックのうちの1つと前記複数のメモリブロックのうちの1つとを置き換え対象として対応付けて記憶するためのヒューズを複数個有するヒューズブロックと、を有する半導体メモリのテスト方法であって、前記複数のメモリブロックの前記複数個のメモリセルの各々の電気的特性を測定し、前記複数個のメモリセルのうち、前記電気的特性の測定値が基準値を満たさないメモリセルを欠陥セルとして検出し、前記欠陥セルを所定数以上含むメモリブロックを欠陥ブロックとして判定する第1のステップと、前記欠陥ブロックの数が第1の閾値以上であるか否かを判定する第2のステップと、前記欠陥ブロックの数が第1の閾値以上であると判定された場合、前記半導体メモリを不良品であると判定する第3のステップと、前記欠陥ブロックの数が第1の閾値未満であると判定された場合、前記欠陥ブロックの数を前記第1の閾値よりも小なる第2の閾値と比較する第4のステップと、前記欠陥メモリブロックの数が前記第2の閾値未満であると判定された場合、前記半導体メモリの電源をOFF状態からON状態に変化させ、前記複数個のメモリセルの各々に蓄積されている電荷の変化に基づいて、前記欠陥ブロックの数が前記第2の閾値に達するように新たに欠陥ブロックを選択する第5のステップと、前記第4のステップ又は前記第5のステップにおいて、前記欠陥ブロックの数が前記第2の閾値以上且つ前記第1の閾値未満であると判定された場合、前記欠陥ブロックへのアクセスを前記冗長ブロックへ代替してアクセスするように前記ヒューズブロック内の前記ヒューズを切断する第6のステップと、を有することを特徴とする。

【発明の効果】

【0010】

本発明に係る半導体メモリのテスト方法によれば、性能のばらつきを抑えつつ半導体メモリを製造することが可能となる。

【図面の簡単な説明】

【0011】

【図1】本実施例の半導体メモリの構成を示すブロック図である。

【図2A】本実施例のメモリセルの構成を示す図である。

【図2B】冗長領域を使用した場合のイメージを模式的に示す図である。

【図3】実施例1の半導体メモリのテストの処理ルーチンを示すフローチャートである。

【図4】実施例2の半導体メモリのテストの処理ルーチンを示すフローチャートである。

【図5】実施例2のテストにおける電源OFF/ONの処理時のメモリセルの様子を模式的に示す図である。

【発明を実施するための形態】

【0012】

以下に本発明の好適な実施例を詳細に説明する。なお、以下の各実施例における説明及び添付図面においては、実質的に同一または等価な部分には同一の参照符号を付している。

【実施例1】

【0013】

図1は、本実施例の半導体メモリ100の構成を示すブロック図である。半導体メモリ

10

20

30

40

50

100は、例えばDRAM(Dynamic Random Access Memory)から構成されている。半導体メモリ100は、メモリ領域10、ヒューズ11及びコントロールロジック回路12を含む。

【0014】

メモリ領域10は、通常領域A1及び冗長領域A2から構成されている。通常領域A1は、通常のメモリアクセスの対象となるメモリセルからなるメモリ領域である。冗長領域A2は、通常領域A1内の欠陥セルを所定数以上含むブロック(以下、欠陥ブロックと称する)の置き換え対象となる冗長ブロックを含むメモリ領域である。

【0015】

ヒューズ11は、欠陥ブロックのアドレスを「冗長アドレス」として、置き換え先の冗長ブロックのアドレスと対応付けて記憶する。ヒューズ11は、複数のヒューズ素子から構成されており、ヒューズ素子の切断により冗長アドレスの情報を記憶する。

10

【0016】

図2Aは、メモリ領域10及びヒューズ11の構成を模式的に示す図である。メモリ領域10の通常領域A1及び冗長領域A2の各々は、複数のセルから構成されている。本実施例において、通常領域A1内のセルには、行毎にアドレスが割り当てられている。本実施例の半導体メモリ100では、通常領域A1と冗長領域A2とは同数の列を有し、行毎に通常セルから冗長セルへの置き換えが行われる。すなわち、通常領域A1では、行毎に欠陥ブロックが構成される。また、冗長領域A2では、行毎に冗長ブロックが構成される。ヒューズ11は、冗長領域A2の各行(すなわち、各冗長ブロック)に対応する記憶領域を有する。

20

【0017】

図2Bは、本実施例の半導体メモリにおいて冗長領域を使用した場合のイメージを模式的に示す図である。ここでは、通常領域A1のアドレスPP、OO、NN及びMMのブロックを欠陥ブロックとし、斜線で示している。

【0018】

ヒューズ11には、欠陥ブロックのアドレスであるPP、OO、NN及びMMが、冗長アドレスとして設定され、記憶される。これにより、通常領域A1のアドレスPP、OO、NN及びMMのブロックが、それぞれ冗長領域A2の1行目、2行目、3行目及び4行目のブロックに置き換えられる。

30

【0019】

再び図1を参照すると、コントロールロジック回路12は、ユーザIF13、制御部14、メモリセルIF15及びヒューズインタフェース16を含む。

【0020】

ユーザIF13は、半導体メモリ100の外部からメモリ領域10への書き込みや読み出し等の指令信号を受けるインタフェース部である。制御部14は、ユーザIF13を介して供給された指令信号に応じて、メモリ領域10に対するデータの書き込みや読み出し等のアクセスの制御を行う。メモリセルIF15は、制御部14の制御に応じて、メモリ領域10へのアクセスを行うインタフェース部である。

【0021】

ヒューズインタフェース16は、制御部14のメモリ領域のアクセス先を決定するため、ヒューズ11へのアクセスを行う。例えば、ヒューズインタフェース16は、ユーザIF13から指定されたメモリ領域へのアクセス先ブロックが冗長ブロックとの置き換え対象ブロックとなっているかを確認するため、ヒューズ11へのアクセスを行う。メモリセルIF15は、アクセス先ブロックが冗長ブロックとの置き換え対象ブロックである場合には当該冗長ブロックにアクセスし、置き換え対象ブロックでない場合にはユーザIF13から指定されたメモリ領域にアクセスする。

40

【0022】

ヒューズ11への置き換え先アドレスの書き込みは、半導体メモリ100の製造時のウェハテスト工程において行われる。ウェハテスト工程では、半導体メモリ100の良否を

50

判定するためのテストを行う。かかるテストの処理工程について、図3のフローチャートを参照して説明する。

【0023】

まず、ウェハに形成された複数のチップの各々について、欠陥セルを検出するための不良判定テストを行う。不良判定テストでは、例えばデータの書き込み時、読み出し時及びリフレッシュ時等における各メモリセルの電流特性や電圧特性等の電気的特性を測定する(STEP101)。そして、測定値が基準値を満たすか否かを判定することにより、メモリセルが欠陥セルであるか否かを判定する(STEP102)。そして、所定数以上の欠陥セルを含むメモリブロック(行)を欠陥ブロックとして判定する(STEP103)。

10

【0024】

次に、欠陥ブロックとして判定されたメモリブロックの数が、冗長領域で置き換え可能な範囲であるか否かを判定する(STEP104)。例えば、通常領域A1において欠陥ブロックであると判定されたメモリブロックの数が冗長領域A2に含まれる冗長ブロックの数以下であるか否かを判定する。

【0025】

欠陥ブロックの数が冗長領域A2で置き換え可能な範囲を超えていると判定すると(STEP104:No)、その欠陥ブロックを含むチップを不合格と判定して、当該チップに対するテストを終了する。

【0026】

一方、欠陥ブロックの数が冗長領域A2で置き換え可能な範囲を超えていないと判定すると(STEP104:Yes)、当該置き換えにおいて使用する冗長ブロックの数が閾値以上であるか否かを判定する(STEP105)。

20

【0027】

使用する冗長ブロックの数が閾値以上ではないと判定すると(STEP105:No)、テスト条件を新たに設定して(STEP106)、不良判定の再テストを行う(STEP107)。

【0028】

例えば、メモリセルに蓄えられた電荷の自然放電時間はメモリセル毎に異なるため、新たなテスト条件として、メモリセルに電荷を再注入するリフレッシュ処理の時間間隔を長く設定する。これにより、電荷の再注入が自然放電時間に間に合わないセルが、新たに欠陥セルとして判定される。

30

【0029】

また、DRAMは温度依存が大きく、高温になると記憶素子の自然放電が早くなる特性を有するため、新たなテスト条件として、テスト環境の温度を高温に設定する。これにより、電荷の再注入が自然放電時間に間に合わないセルが、新たに欠陥セルとして判定される。

【0030】

また、メモリセルから読み出される電圧がメモリセル毎に異なる特性を利用して、新たなテスト条件として、メモリセルに接続されるワードラインに印加する電圧を低下させる。これにより、メモリセルを構成するトランジスタのゲート電圧が低下し、メモリセルからの読み出し電圧が低下する。これにより、センスアンプによる増幅を行っても読み出し可能な電圧に至らないセルが発生し、新たに欠陥セルとして判定される。

40

【0031】

また、メモリセルから読み出される電圧がメモリセル毎に異なる特性を利用して、新たなテスト条件として、メモリセルを構成するトランジスタのバックゲートの電圧を低くすることにより、トランジスタの閾値電圧を上げる。これにより、読み出し電圧が閾値未満となるセルが発生し、新たに欠陥セルとして判定される。

【0032】

STEP107における不良判定の再テスト後、再びSTEP105に戻り、使用する

50

冗長ブロックの数が閾値以上であるか否かを判定する。

【0033】

STEP105において、使用する冗長ブロックの数が閾値以上であると判定すると（STEP105：Yes）、欠陥ブロックのアドレスを冗長アドレスとしてヒューズ11に設定する（STEP108）。そして、当該チップを合格と判定し、テストを終了する。

【0034】

以上のように、本実施例のテスト方法では、ウェハテスト工程において、冗長ブロックへの置き換えが一定以上行われるように、テスト条件を変更しつつ欠陥セルの検出及び欠陥ブロックの判定を行う。これにより、変更したテスト条件下での基準値を満たさないメモリブロックが欠陥ブロックと判定され、冗長ブロックへの置き換えが行われる。すなわち、一定数以上のメモリブロックについてアドレスへの置き換えが行われ、通常のメモリブロックとは異なる方法でアクセスが管理される。

10

【0035】

かかる方法によれば、例えば高温環境下での動作やワードラインの印加電圧が低下した場合の動作等、特殊な環境下の動作についてもばらつきの少ない半導体メモリを製造することが可能となる。

【0036】

また、かかる方法によれば、冗長ブロックへの置き換えが一定以上行われるため、ヒューズ11におけるヒューズ素子の切断が一定数以上行われる。ヒューズ素子が切断されている場合、当該切断部分には電流が流れず、ヒューズが非切断の場合と比べて消費電流が少ない。従って、ヒューズ素子の切断箇所が多いほど半導体メモリ100の全体としての消費電流を低減することが可能となる。半導体メモリ全体としての消費電流の低減を考慮すると、冗長領域全てを使用するまで置き換えてもよい。

20

【0037】

また、様々な厳しい条件下でのテストを行うことで、メモリセルの各々のばらつきに応じた最適な性能を持つ半導体メモリを作ることが可能となる。

【0038】

また、条件の異なる複数のテストを行い、欠陥ブロックを冗長ブロックに置き換えることにより、1枚のウェハから様々な性能を持つ半導体メモリを作ることが可能となる。

30

【実施例2】

【0039】

次に、本発明の実施例2について説明する。本実施例のテスト方法は、不良判定の再テストを行う代わりに、半導体メモリ100の電源をいったんOFFにしてから再びONにする処理を行うことにより、冗長ブロックへの置き換えを行う欠陥ブロックを選択する点で実施例1のテスト方法と異なる。

【0040】

DRAMは、電源をOFFからONにすると、内部電源であるセルプレート電位の上昇に伴い、一部のメモリセルに電荷がたまる特性がある。この電荷は各メモリセルの容量によってばらつくため、DRAMに実際にデータを書き込む前の状態であれば、チップ毎のランダムなデータとして読み出すことが可能である。

40

【0041】

本実施例におけるテストの処理工程を図4のフローチャートを参照して説明する。

【0042】

まず、ウェハに形成された複数のチップの各々について、欠陥セルを検出するための不良判定テストを行う。実施例1と同様、不良判定テストでは、各メモリセルの電流特性や電圧特性等の電気的特性を測定し（STEP201）、基準値と比較することにより、メモリセルが欠陥セルであるか否かを判定する（STEP202）。そして、所定数以上の欠陥セルを含むメモリブロックが欠陥ブロックとして判定される（STEP203）。

【0043】

50

次に、欠陥ブロックとして判定されたメモリブロックの数が、冗長領域で置き換え可能な範囲であるか否か、すなわち冗長領域 A 2 に含まれる冗長ブロックの数以下であるか否かを判定する (STEP 204)。

【0044】

欠陥ブロックの数が冗長領域 A 2 で置き換え可能な範囲を超えていると判定すると (STEP 204: No)、その欠陥ブロックを含むチップを不合格と判定して、当該チップに対するテストを終了する。

【0045】

一方、欠陥ブロックの数が冗長領域 A 2 で置き換え可能な範囲を超えていないと判定すると (STEP 204: Yes)、当該置き換えにおいて使用する冗長ブロックの数が閾値以上であるか否かを判定する (STEP 205)。

10

【0046】

使用する冗長ブロックの数が閾値以上ではないと判定すると (STEP 205: No)、半導体メモリ 100 の電源をいったん OFF にした後、OFF から ON に変化させる (STEP 206)。そして、メモリセルの電荷の状態の変化に基づいて、新たに欠陥ブロックとして追加するメモリブロックを選択する (STEP 207)。

【0047】

図 5 は、半導体メモリ 100 の電源を OFF から ON にした後のメモリセルの電荷の状態を模式的に示す図である。ここでは、電荷が初期値から変化していないセルを“0”とし、電荷が変化したセルを“1”として示している。また、STEP 201 ~ STEP 203 の不良判定テストにおいて、通常領域 A 1 のアドレス“WW”のブロックが欠陥ブロックとして判定されている状態を示している。

20

【0048】

例えば、使用する冗長ブロックの数が“4”に設定されている場合、通常領域 A 1 のアドレス“WW”のブロック以外のブロックを 3 箇所選択する必要がある。そこで、例えば電荷が“0”から“1”に変化しているメモリブロックを、冗長領域による置き換え対象のブロックとして選択する。図 5 では、アドレス“XX”、“YY”及び“ZZ”が、置き換え対象のブロックとして選択される。

【0049】

再び図 4 を参照すると、STEPS 205 において使用する冗長ブロックの数が閾値以上であると判定されるか (STEP 205: Yes)、又は STEP 207 において欠陥ブロックとして追加されるメモリブロックが選択されると、欠陥ブロックのアドレスを冗長アドレスとしてヒューズ 11 に設定する (STEP 208)。そして、当該チップを合格と判定し、テストを終了する。

30

【0050】

以上のように、本実施例のテスト方法では、ウェハテスト工程において、冗長ブロックへの置き換えが一定以上行われるように、半導体メモリ 100 の電源を OFF から ON に変化させ、各メモリセルの電荷の状態に変化に基づいて欠陥ブロックを選択する。これにより、ウェハテスト工程の段階で、冗長領域の使用量が常に設定した条件を満たすようにすることが可能となる。

40

【0051】

本実施例のテスト方法によれば、実施例 1 のような条件を変更して不良判定テストを繰り返し実行するステップが不要であるため、簡易な処理で短時間にテストを行うことが可能である。

【0052】

また、本実施例のテスト方法においても、実施例 1 と同様、冗長ブロックへの置き換えが一定以上行われるため、ヒューズ 11 におけるヒューズ素子の切断が一定数以上行われる。従って、非切断のヒューズ素子に流れる電流が抑えられるため、ヒューズ素子の切断箇所が多いほど半導体メモリ 100 の全体としての消費電流を低減することが可能となる。半導体メモリ全体としての消費電流の低減を考慮すると、冗長領域全てを使用するまで

50

置き換えてもよい。

【0053】

なお、本発明は上記実施形態に限定されない。例えば、上記実施例1では、不良判定テストの再テストにおける条件の変更として、リフレッシュ時間間隔の変更、温度の変更、ゲート電圧の変更、及び閾値電圧の変更をそれぞれ行う場合を例として説明した。しかし、これらに限られず、他の条件を変更して不良判定の再テストを行ってもよい。

【0054】

また、上記実施例1におけるテスト条件の変更は、それぞれを単独で行う場合に限られず、適宜組み合わせることが可能である。複数のテスト条件の変更を組み合わせることで、新たに欠陥セルと判定されるセルを効率よく発生させ、テスト工程を短くすることが可能である。

10

【0055】

また、上記実施例2では、ウェハテスト工程で半導体メモリ100の電源のOFF及びONを行い、メモリセルの電荷状態に基づいて、追加して冗長ブロックに置き換えるメモリブロックを選択している。しかし、チップの完成品の状態でかかる処理を実施することも可能である。

【0056】

また、上記実施例では、半導体メモリ100がDRAMである場合について説明したが、DRAMと同様に冗長領域を用いてメモリの欠陥部分の置き換えを行う他のメモリにも適用可能である。

20

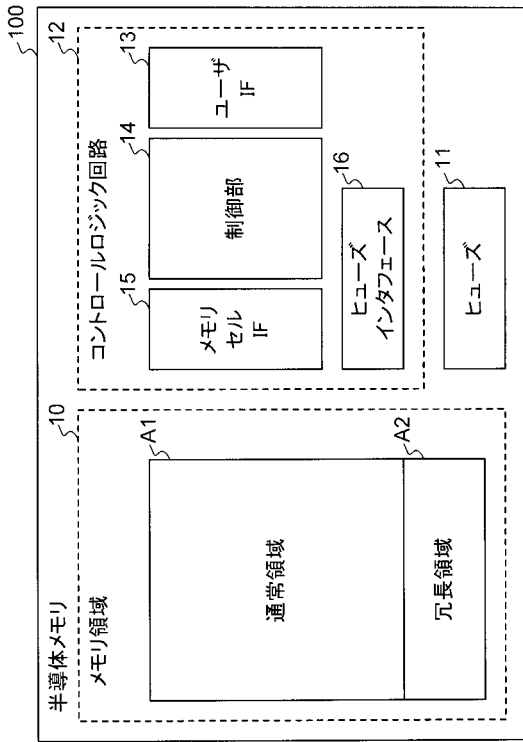
【符号の説明】

【0057】

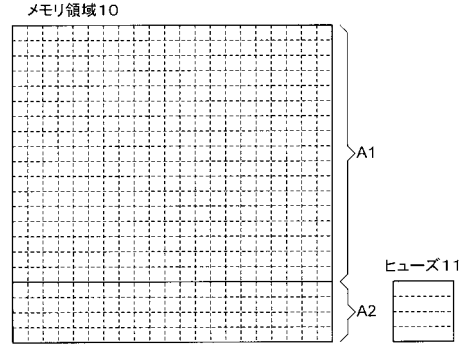
- 100 半導体メモリ
- 10 メモリ領域
- A1 通常領域
- A2 冗長領域
- 11 ヒューズ
- 12 コントロールロジック回路
- 13 ユーザIF
- 14 制御部
- 15 メモリセルIF
- 16 ヒューズインタフェース

30

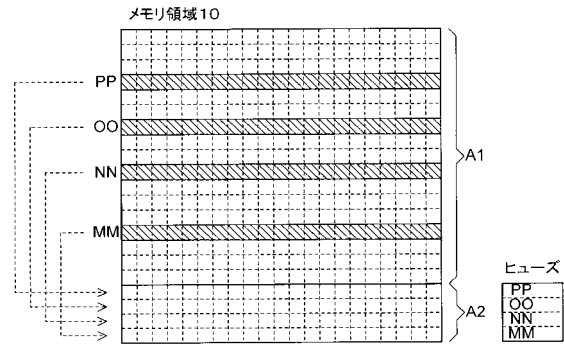
【 図 1 】



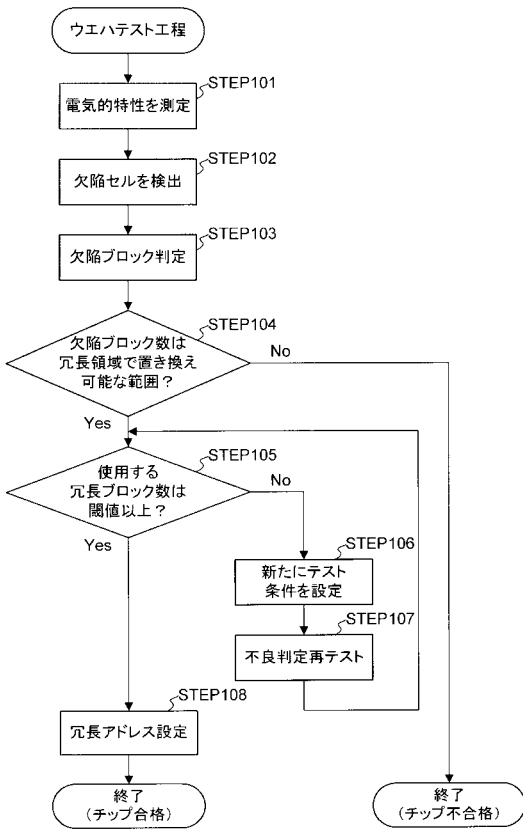
【 図 2 A 】



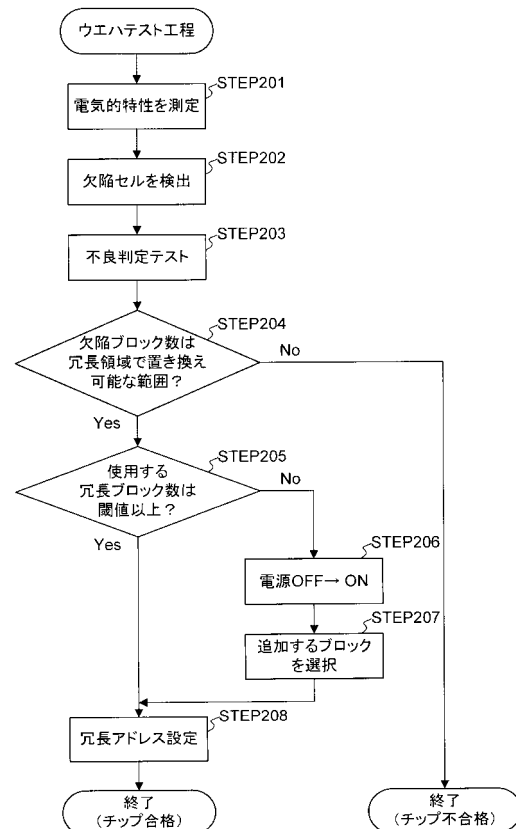
【 図 2 B 】



【 図 3 】



【 図 4 】



【図 5】

