



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월23일
 (11) 등록번호 10-1910128
 (24) 등록일자 2018년10월15일

(51) 국제특허분류(Int. Cl.)
 H01L 21/336 (2006.01) H01L 29/78 (2006.01)
 (21) 출원번호 10-2012-0057431
 (22) 출원일자 2012년05월30일
 심사청구일자 2017년04월10일
 (65) 공개번호 10-2013-0134138
 (43) 공개일자 2013년12월10일
 (56) 선행기술조사문헌
 KR1020090056568 A*
 KR100610421 B1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091
 (72) 발명자
 백승주
 서울특별시 노원구 공릉로59길 28 미성아파트
 2-1203
 (74) 대리인
 특허법인태평양

전체 청구항 수 : 총 3 항

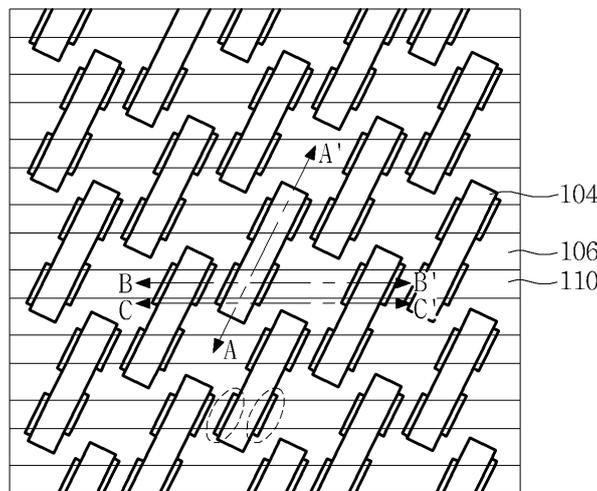
심사관 : 김중호

(54) 발명의 명칭 **핀 구조를 갖는 반도체 장치 및 그 제조 방법**

(57) 요약

본 발명은 핀 구조를 갖는 반도체 장치를 개시한다. 본 발명은 액티브 영역의 측벽에 형성되는 측벽 절연막의 두께를 얇게 형성하되, 게이트 영역에 인접한 측벽 절연막을 제거하고 그 자리에 게이트 절연막을 형성함으로써 측벽 절연막에 의한 기생 트랜지스터의 발생을 방지한다.

대표도 - 도1



명세서

청구범위

청구항 1

소자분리막에 의해 정의되며, 게이트 영역에서 상기 소자분리막보다 돌출된 핀 구조를 갖는 액티브 영역;

상기 핀 구조의 액티브 영역을 감싸도록 상기 게이트 영역에 형성되는 게이트;

상기 소자분리막과 상기 액티브 영역 사이에 위치하는 측벽 절연막;

상기 게이트와 상기 액티브 영역 사이에 위치하는 제 1 게이트 절연막; 및

상기 소자분리막에 매립되며 상기 소자분리막과 상기 액티브 영역 사이에 위치하는 제 2 게이트 절연막을 포함 하되,

상기 제 1 게이트 절연막은 상기 측벽 절연막보다 두꺼운 두께를 가지며, 상기 제 2 게이트 절연막은 상기 측벽 절연막과 같은 두께를 가지는 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

반도체 기판을 식각하여 액티브 영역을 정의하는 소자분리용 트렌치를 형성하는 단계;

상기 소자분리용 트렌치의 내면에 제 1 두께의 측벽 절연막을 형성하는 단계;

상기 측벽 절연막에 비활성 가스를 주입하는 단계;

상기 소자분리용 트렌치가 매립되도록 소자분리막을 형성하는 단계;

상기 액티브 영역 및 상기 소자분리막을 식각하여 바닥부에 상기 액티브 영역이 상기 소자분리막 보다 돌출된 핀 구조를 갖는 리세스를 형성하는 단계;

상기 리세스에 의해 노출된 상기 액티브 영역에 인접한 상기 측벽 절연막을 식각하여 모트(moat)를 형성하는 단계;

상기 리세스 및 상기 모트에 의해 노출된 상기 액티브 영역에 제 2 두께의 게이트 절연막을 형성하는 단계; 및

상기 리세스 내에 게이트를 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 6항에 있어서, 상기 비활성 가스는

Ar과 F 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제 6항에 있어서, 상기 비활성 가스를 주입하는 단계는

상기 비활성 가스가 상기 소자분리용 트렌치의 측벽에 형성된 상기 측벽 절연막에만 주입되도록 경사주입을 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 6항에 있어서, 상기 모트를 형성하는 단계는

상기 리세스를 형성한 후 클리닝 공정을 수행하여 상기 액티브 영역과 상기 소자분리막의 경계 부근에서 상기 소자분리막 보다 돌출된 측벽 절연막 및 상기 소자분리막의 하부에 매립된 측벽 절연막을 제거하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제 9항에 있어서, 상기 게이트 절연막을 형성하는 단계는

상기 모트가 매립되도록 상기 액티브 영역에 절연막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

반도체 기판을 식각하여 액티브 영역을 정의하는 소자분리용 트렌치를 형성하는 단계;

상기 소자분리용 트렌치의 내면에 제 1 두께의 측벽 절연막을 형성하는 단계;

상기 소자분리용 트렌치가 매립되도록 소자분리막을 형성하는 단계;

상기 액티브 영역 및 상기 소자분리막을 식각하여 바닥부에 상기 액티브 영역이 상기 소자분리막 보다 돌출된 핀 구조를 갖는 리세스를 형성하는 단계;

상기 리세스에 의해 노출된 상기 액티브 영역에 인접한 상기 측벽 절연막을 식각하여 모트(moat)를 형성하는 단계;

상기 리세스 및 상기 모트에 의해 노출된 상기 액티브 영역에 제 2 두께의 게이트 절연막을 형성하는 단계; 및

상기 리세스 내에 게이트를 형성하는 단계를 포함하되,

상기 모트를 형성하는 단계는

상기 측벽 절연막을 제거시 상기 소자분리막도 부분적으로 제거하여 상기 리세스의 폭을 부분적으로 확장시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제 11항에 있어서, 상기 모트를 형성하는 단계는

상기 측벽 절연막을 제거시 상기 리세스에 의해 노출된 상기 액티브 영역에 인접한 상기 소자분리막을 함께 제거하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제 12항에 있어서, 상기 모트를 형성하는 단계는

상기 리세스에 의해 노출된 상기 액티브 영역에 인접한 상기 측벽 절연막 및 상기 소자분리막에 비활성 가스를

주입하는 단계; 및

상기 리세스에 대한 클리닝 공정을 수행하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 14

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제 13항에 있어서, 상기 모트를 형성하는 단계는

상기 모트의 폭이 상기 게이트 절연막의 두께보다 넓게 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제 14항에 있어서, 상기 게이트를 형성하는 단계는

상기 모트가 매립되도록 상기 리세스 내에 게이트를 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제 13항에 있어서, 상기 비활성 가스를 주입하는 단계는

상기 리세스의 바닥면 뿐만 아니라 측면에 대해 비활성 가스를 주입하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제 13항에 있어서, 상기 비활성 가스는

Ar과 F 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 핀 구조를 갖는 반도체 장치에 관한 것으로, 보다 상세하게는 액티브 영역의 측벽에 형성되는 측벽 절연막의 두께를 줄이면서도 기생 트랜지스터가 발생되지 않도록 하는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치가 고집적화됨에 따라 소자형성영역(액티브 영역)의 크기가 감소하게 되었으며, 이에 따라 액티브 영역에 형성되는 트랜지스터의 채널 길이도 줄어들게 되었다.

[0003] 트랜지스터의 채널 길이가 작아지면, 채널 영역에서의 전계나 전위에 미치는 소스 및 드레인의 영향이 현저해지는 쇼트-채널 효과(short channel effect)가 나타난다. 또한, 액티브 영역의 축소에 따라 채널의 폭도 감소하게 되어 문턱 전압(threshold voltage)이 감소하는 문제도 발생하게 된다.

[0004] 따라서, 기판 상에 형성되는 소자들의 크기를 축소시키면서 소자의 성능을 극대화시키기 위한 여러 가지 방법들이 연구 개발되고 있다. 그 대표적인 것 중 하나가 핀(fin) 구조의 트랜지스터이다.

[0005] 핀 트랜지스터는 입체형 채널 구조를 가지는 트랜지스터로서, 채널 영역이 형성되는 액티브 영역이 소자분리막보다 돌출되도록 하여 게이트가 액티브 영역의 상부면 뿐만 아니라 양측면까지 감싼다. 이러한 구조를 통해, 액티브 영역의 세면(상부면 및 양측면)에 채널이 형성되도록 채널 영역을 확장시킴으로써 구동 전류 특성을 향상시키는 구조를 가진다.

[0006] 이러한 핀 구조에서 셀 전류를 보다 늘리기 위한 방법으로는 핀의 폭을 증가시키는 방법이 있다. 이때, 핀의 폭을 증가시키는 방법들 중 좋은 방법 중 하나는 소자분리막(104)의 하부에 매립되는 절연막{측벽 절연막(wall

oxide))의 두께를 줄이는 것이다. 즉, 소자분리막이 형성되는 공간은 액티브 영역의 폭과 액티브 영역 상에 형성되는 측벽 산화막의 두께에 의해 결정되는데, 소자분리막의 공간을 동일하게 유지한 상태에서 측벽 절연막의 두께를 줄이게 되면 그 줄어든 만큼 액티브 영역의 폭을 증가시킬 수 있으므로 핀의 폭을 증가시킬 수 있기 때문이다.

[0007] 그런데, 측벽 절연막의 두께를 줄이게 되면 셀 전류는 증가하게 되지만, 소자분리막과 게이트의 경계 부분에서 측벽 절연막이 소자분리막 위로 돌출되어 이 돌출된 측벽 절연막이 게이트 절연막으로서 동작하게 된다. 이러한 경우, 측벽 절연막의 두께가 얇기 때문에 소자분리막과 게이트의 경계 부분에 핀 트랜지스터보다 낮은 문턱 전압을 갖는 기생 트랜지스터(Parasitic Tr)가 형성되게 된다. 이로 인해, 셀 전체의 문턱전압이 낮아지는 문제가 발생하게 된다.

[0008] 따라서, 측벽 절연막의 두께를 줄이면서 기생 트랜지스터가 발생하지 않도록 하는 새로운 방법이 요구되고 있는 실정이다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 측벽 절연막에 비활성 가스를 주입하여 게이트 영역에 인접한 측벽 절연막을 제거하고 그 자리에 게이트 절연막을 형성함으로써 기생 트랜지스터에 의해 셀 트랜지스터의 문턱전압이 낮아지는 문제를 해결하고자 한다.

[0010] 또한, 본 발명은 게이트 영역에서 액티브 영역에 인접한 게이트의 폭만을 선택적으로 확장시켜 핀의 폭을 증가시킴으로써 반도체 장치의 동작 특성을 향상시키고자 한다.

과제의 해결 수단

[0011] 본 발명의 일 실시 예에 따른 반도체 장치는 소자분리막에 의해 정의되며 게이트 영역에서 상기 소자분리막보다 돌출된 핀 구조를 갖는 액티브 영역, 상기 핀 구조의 액티브 영역을 감싸도록 상기 게이트 영역에 형성되는 게이트, 상기 소자분리막과 상기 액티브 영역 사이에 위치하는 측벽 절연막 및 상기 게이트와 상기 액티브 영역 사이에 위치하는 게이트 절연막을 포함하되, 상기 게이트 영역에서 상기 게이트 절연막은 상기 소자분리막의 상부면 보다 낮은 높이까지 연장되게 위치한다.

[0012] 바람직하게는, 상기 측벽 절연막은 상기 게이트 절연막 보다 두께가 얇게 형성된다.

[0013] 바람직하게는, 상기 게이트는 상기 액티브 영역에 인접한 영역이 다른 영역 보다 폭이 넓게 확장된다.

[0014] 바람직하게는, 상기 게이트의 확장된 영역은 상기 소자분리막의 상부면 보다 낮은 높이까지 연장된 상기 게이트 절연막을 덮도록 형성된다.

[0015] 본 발명의 일 실시 예에 따른 반도체 장치의 제조 방법은 반도체 기판을 식각하여 액티브 영역을 정의하는 소자분리용 트렌치를 형성하는 단계, 상기 소자분리용 트렌치의 내면에 제 1 두께의 측벽 절연막을 형성하는 단계, 상기 소자분리용 트렌치가 매립되도록 소자분리막을 형성하는 단계, 상기 액티브 영역 및 상기 소자분리막을 식각하여 바닥부에 상기 액티브 영역이 상기 소자분리막 보다 돌출된 핀 구조를 갖는 리세스를 형성하는 단계, 상기 리세스에 의해 노출된 상기 액티브 영역에 인접한 상기 측벽 절연막을 식각하여 모트(moat)를 형성하는 단계, 상기 리세스 및 상기 모트에 의해 노출된 상기 액티브 영역에 제 2 두께의 게이트 절연막을 형성하는 단계 및 상기 리세스 내에 게이트를 형성하는 단계를 포함한다.

[0016] 바람직하게는, 상기 소자분리막을 형성하기 전에, 상기 측벽 절연막에 비활성 가스를 주입하는 단계를 더 포함할 수 있다.

[0017] 바람직하게는, 상기 비활성 가스는 Ar과 F 중 적어도 어느 하나를 포함한다.

[0018] 바람직하게는, 상기 비활성 가스를 주입하는 단계는 상기 비활성 가스가 상기 소자분리용 트렌치의 측벽에 형성된 상기 측벽 절연막에만 주입되도록 경사주입을 한다.

[0019] 바람직하게는, 상기 모트를 형성하는 단계는 상기 리세스를 형성한 후 클리닝 공정을 수행하여 상기 액티브 영역과 상기 소자분리막의 경계 부근에서 상기 소자분리막 보다 돌출된 측벽 절연막 및 상기 소자분리막의 하부에 매립된 측벽 절연막을 제거한다.하는 것을 특징으로 하는 반도체 장치의 제조 방법.

- [0020] 바람직하게는, 상기 게이트 절연막을 형성하는 단계는 상기 모트가 매립되도록 상기 액티브 영역에 절연막을 형성한다.
- [0021] 바람직하게는, 상기 모트를 형성하는 단계는 상기 측벽 절연막을 제거시 상기 소자분리막도 부분적으로 제거하여 상기 리세스의 폭을 부분적으로 확장시킬 수 있다.
- [0022] 바람직하게는, 상기 모트를 형성하는 단계는 상기 측벽 절연막을 제거시 상기 리세스에 의해 노출된 상기 액티브 영역에 인접한 상기 소자분리막을 함께 제거할 수 있다.
- [0023] 바람직하게는, 상기 모트를 형성하는 단계는 상기 리세스에 의해 노출된 상기 액티브 영역에 인접한 상기 측벽 절연막 및 상기 소자분리막에 비활성 가스를 주입하는 단계 및 상기 리세스에 대한 클리닝 공정을 수행하는 단계를 포함한다.
- [0024] 바람직하게는, 상기 모트를 형성하는 단계는 상기 모트의 폭이 상기 게이트 절연막의 두께보다 넓게 형성된다.
- [0025] 바람직하게는, 상기 게이트를 형성하는 단계는 상기 모트가 매립되도록 상기 리세스 내에 게이트를 형성한다.
- [0026] 바람직하게는, 상기 비활성 가스를 주입하는 단계는 상기 리세스의 바닥면 뿐만 아니라 측면에 대해 비활성 가스를 주입한다.
- [0027] 바람직하게는, 상기 비활성 가스는 Ar과 F 중 적어도 어느 하나를 포함한다.

발명의 효과

- [0028] 본 발명은 게이트 영역에 인접한 측벽 절연막을 제거하고 그 자리에 게이트 절연막을 형성하여 얇은 두께의 측벽 절연막에 의한 기생 트랜지스터를 발생시키지 않음으로써 셀 트랜지스터의 문턱 전압이 낮아지는 문제를 해결할 수 있다.
- [0029] 또한, 본 발명은 게이트 영역에서 액티브 영역에 인접한 게이트의 폭만을 선택적으로 확장시킴으로써 인접한 게이트들 간의 쇼트가 발생되지 않도록 하면서 핀의 폭을 증가시켜 반도체 장치의 동작 특성을 향상시킨다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 제 1 실시 예에 따른 반도체 장치의 구조를 나타내는 평면도.
 도 2는 도 1에서 A-A' 및 B-B'에 따른 단면의 모습을 보여주는 도면.
 도 3 내지 도 8은 도 1 및 도 2의 구조를 형성하기 위한 공정 순서를 나타내는 공정 단면도들.
 도 9는 도 5에서의 비활성 가스 주입 방향을 설명하기 도면.
 도 10 내지 도 12는 본 발명의 제 2 실시 예에 따른 반도체 장치의 제조 방법을 설명하기 위한 공정 단면도들.

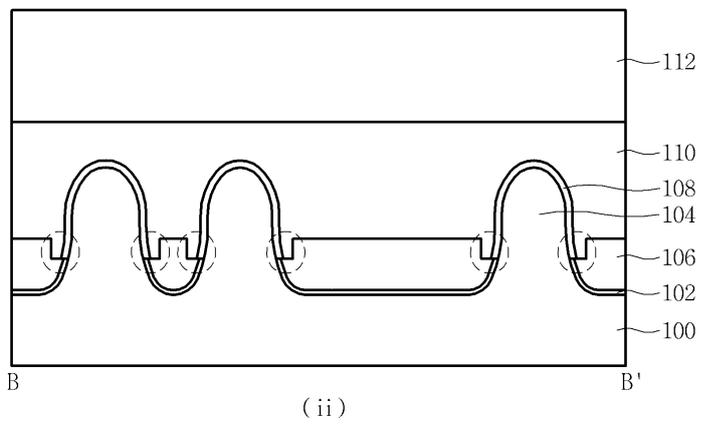
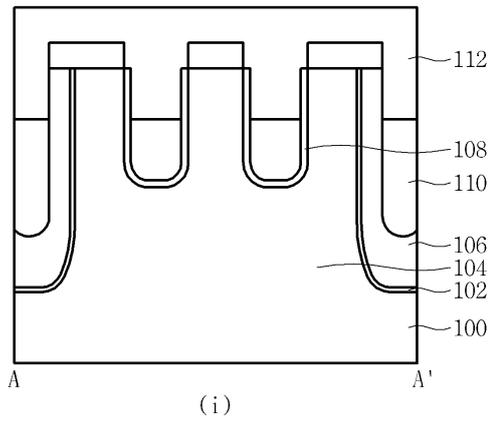
발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 보다 상세하게 설명한다.
- [0032] 도 1은 본 발명의 제 1 실시 예에 따른 반도체 장치의 구조를 나타내는 평면도이다. 도 2는 도 1의 단면 모습을 보여주는 도면으로, (i) 도면은 A-A'에 따른 단면의 모습을 보여주는 도면이며 (ii) 도면은 B-B'에 따른 단면의 모습을 보여주는 도면이다.
- [0033] 도시된 바와 같이, 반도체 장치의 셀 영역에는 반도체 기판(100) 상에 액티브 영역(104)을 정의하는 소자분리막(106)이 형성되고, 액티브 영역(104)을 가로지르는 게이트(110)가 형성된다.
- [0034] 도 1에서는 액티브 영역(104)이 게이트(110)와 수직하게 교차하지 않고 비스듬하게 교차함으로써 $6F^2$ 크기의 단위 셀을 포함하는 셀 영역을 나타내고 있으나, $8F^2$ 크기의 단위셀을 포함하는 셀 영역에도 본 발명은 적용 가능하다. 여기서, F는 디자인 규칙상 미세 패턴 사이의 최소 거리를 의미한다.
- [0035] 본 발명의 일 실시예에 따른 반도체 장치에서 게이트(110)는 액티브 영역(104)에 매립되는 매립형 게이트 구조 또는 게이트(110)의 일부가 액티브 영역(104)에 매립되고 일부는 액티브 영역(104) 보다 위로 돌출되는 리세스 게이트 구조를 포함한다. 또한, 게이트(110)의 하부에는 핀(Fin) 구조의 채널 영역이 형성된다.

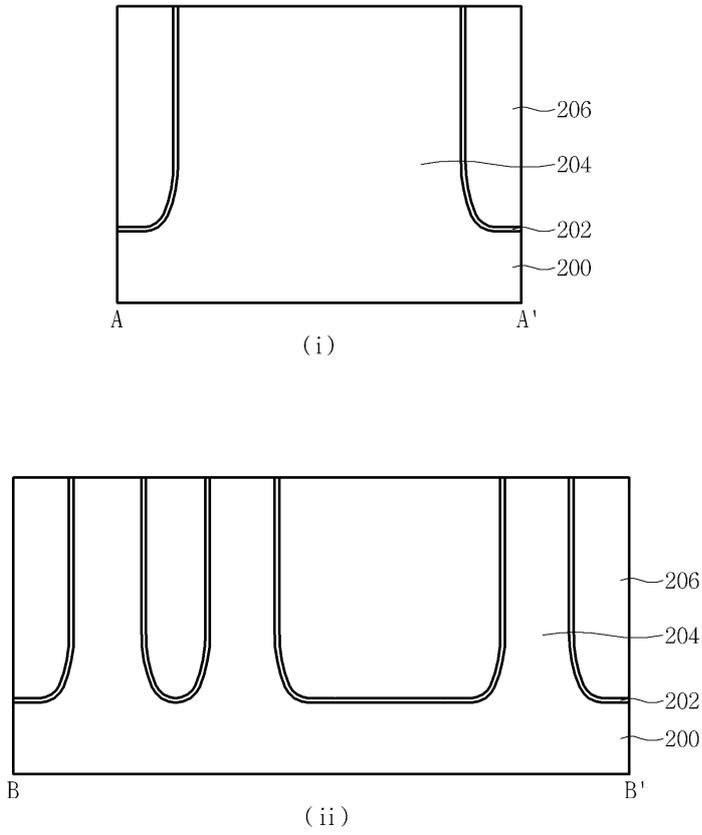
- [0036] 또한, 본 실시 예에서는 게이트 영역의 소자분리막(106) 중 액티브 영역(104)에 인접한 소자분리막(106)이 깊이 방향 뿐만 아니라 좌우방향으로 확장되게 식각됨으로써 핀이 좁게 깊게 형성되며 액티브 영역(104)의 측면에도 핀 구조가 형성된다. 즉, 소자분리막(106)에 매립되는 게이트(110)의 폭이 전체적으로 균일하게 확장되지 않고, 도 1에서 점원으로 표시된 부분과 같이 액티브 영역(104)에 인접한 영역의 게이트의 폭만이 다른 영역의 게이트의 폭 보다 넓게 확장된다. 이처럼 게이트(110)의 폭을 채널이 형성되는 영역에만 부분적으로 확장시킴으로써 채널의 폭은 확장시키면서 인접한 게이트들 간의 쇼트 문제를 방지할 수 있다.
- [0037] 특히, 본 실시 예에서는 측벽 절연막(102)이 게이트 절연막(108) 보다 얇게 형성되며, 도 2의 (ii) 도면에서 점원으로 표시된 것과 같이 소자분리막(106)과 게이트(110)의 경계 부분에서 게이트 절연막(108)과 게이트(110)가 소자분리막(106)에 매립되도록 형성된다. 즉, 측벽 절연막(102)의 두께를 얇게 하되 게이트(110)의 하부에 측벽 절연막(102)이 형성되지 않도록 함으로써 얇은 두께의 측벽 절연막(102)에 의한 기생 트랜지스터가 형성되지 않도록 한다. 더욱이, 게이트(110)가 액티브 영역(104)을 감싸는 면적을 증가시킴으로써 핀의 폭을 확장시키는 효과를 얻을 수 있다.
- [0038] 측벽 절연막(102)은 산화막을 포함한다.
- [0039] 게이트(110)의 상부에는 게이트(110)를 절연시키기 위한 캡핑 절연막(112)이 형성된다.
- [0040] 도 3 내지 도 8은 도 1 및 도 2의 구조를 형성하기 위한 공정 순서를 나타내는 공정 단면도들이다.
- [0041] 도 3을 참조하면, 반도체 기판(200)의 상부에 패드 산화막(미도시) 및 패드 절연막(미도시)을 형성한다. 이어서, 패드 절연막 상부에 감광막을 형성한 후 STI(Shallow Trench Isolation)를 이용한 사진 식각 공정을 통해 패드 절화막의 상부에 액티브 영역을 정의하는 감광막 패턴(미도시)을 형성한다.
- [0042] 다음에, 감광막 패턴을 식각 마스크로 패드 절화막 및 패드 산화막을 순차적으로 식각하여 마스크 패턴(미도시)을 형성한 후 마스크 패턴 식각 마스크로 반도체 기판(200)을 식각하여 액티브 영역을 정의하는 소자분리용 트렌치(미도시)를 형성한다. 이때, 식각 공정은 건식식각공정을 사용한다.
- [0043] 다음에, 소자분리용 트렌치를 포함한 반도체 기판의 표면에 측벽 절연막(202)을 형성한다. 이러한 측벽 절연막(202)은 산화막(wall oxide)을 포함하며, 산화 공정을 통해 형성될 수 있다.
- [0044] 이때, 소자분리용 트렌치의 공간을 동일하게 유지하면서 액티브 영역(204)의 폭을 가능한 넓히기 위해 즉 후속 공정에서 형성될 핀(Fin)의 폭을 가능한 넓히기 위해 측벽 절연막(202)의 두께를 가능한 얇게 형성한다. 즉, 소자분리용 트렌치의 공간이 너무 좁으면, 후속 공정에서 소자분리막(206)을 형성하기 위해 절연막을 소자분리용 트렌치에 매립시 갭필(gap fill) 공간이 부족하여 보이드(void)가 발생할 수 있다. 그러한 경우, 게이트들 간에 브릿지가 유발되는 부작용이 발생할 수 있다. 따라서, 측벽 절연막(202)의 두께를 가능한 얇게 형성함으로써 소자분리용 트렌치의 공간을 종래와 같이 유지하면서 액티브 영역(204)의 폭을 넓힐 수 있게 된다.
- [0045] 다음에, 소자분리용 트렌치가 매립되도록 소자분리용 절연막을 형성한 후 액티브 영역(204)이 노출될 때까지 소자분리용 절연막을 식각하여 평탄화함으로써 액티브 영역(204)을 정의하는 소자분리막(206)을 형성한다. 이때, 소자분리막(206)은 갭필(gap-fill) 특성이 우수한 SOD(Spin On Dielectric) 물질 또는 HDP(High Density Plasma) 산화막을 포함한다. 또는 소자분리막(206)은 절화막 또는 산화막과 절화막의 적층 구조로 형성될 수도 있다.
- [0046] 이후 도시되지는 않았지만 소자분리막(206)을 형성한 후 액티브 영역(204)의 상부에 일정 깊이로 이온을 주입하여 소스/드레인 영역을 형성한다.
- [0047] 다음에 도 4를 참조하면, 액티브 영역(204)과 소자분리막(206) 상부에 하드마스크층(미도시)을 형성한 후 도 1의 게이트 영역(110)을 정의하는 마스크를 이용한 식각 공정을 통해 하드마스크층을 식각하여 하드마스크 패턴(208)을 형성한다.
- [0048] 다음에, 하드마스크 패턴(208)을 식각 마스크로 액티브 영역(204)과 소자분리막(206)을 식각하여 게이트 영역을 정의하는 리세스(210)를 형성한다. 이어서, 리세스(210) 내의 액티브 영역(204)과 소자분리막(206)을 추가 식각하여 리세스(210)의 바닥부에 액티브 영역(204)이 소자분리막(206) 보다 돌출되는 핀 구조(212)를 형성한다. 이때, 액티브 영역(204)의 측벽을 감싸는 측벽 절연막(202)의 일부가 식각되어 액티브 영역(204)의 상부(upper portion)가 노출된다. 또한, 측벽 절연막(202) 및 액티브 영역(204)의 실리콘 보다 소자분리막(206)의 식각선택비가 높아 소자분리막(206)이 더 깊게 식각되며, 측벽 절연막(202)의 일부가 소자분리막(206) 위로 돌출된다.

- [0049] 다음에 도 5를 참조하면, 경사주입 공정을 통해 리세스(210)에 의해 노출된 액티브 영역(204)에 인접한 소자분리막(206) 및 측벽 절연막(202)에 비활성 가스(예컨대, Ar, F 등)를 주입한다. 이를 통해, 리세스(210) 내에서 소자분리막(206) 위로 돌출된 측벽 절연막(202) 뿐만 아니라 액티브 영역(204)에 인접한 소자분리막(206)과 소자분리막(206) 하부에 매립된 측벽 절연막(202)에도 비활성 가스가 주입된다. 즉, 리세스(210)에 의해 노출된 소자분리막(206) 전체에 균일하게 비활성 가스를 주입하지 않고 리세스(210) 내에서 액티브 영역(204)과 소자분리막(206)의 경계 부근에만 부분적으로 주입되도록 한다. 특히, 도 9에 도시된 화살표의 방향과 같이 Y 방향(①) 경사주입 뿐만 아니라 4방향 트위스트(twist) 방향(②③) 경사주입으로 비활성 가스를 주입함으로써, 액티브 영역(204)과 소자분리막(206)의 경계 부근에서 리세스(210)의 바닥면뿐만 아니라 측면에 대해 비활성 가스를 주입한다. 이는 후속의 클리닝 공정을 통해 비활성 가스가 주입된 측벽 절연막을 제거시 소자분리막(206) 중 비활성 가스가 주입된 영역이 함께 제거되도록 함으로써 액티브 영역(204)과 소자분리막(206)의 경계 부근에서 리세스(210)의 바닥면 뿐만 아니라 측면 방향으로 리세스(210)의 폭을 확장시키기 위함이다.
- [0050] 도 5에서는 액티브 영역(204)과 소자분리막(206)의 경계 부근에만 비활성 가스를 주입하였으나, 비활성 가스가 리세스(210)에 의해 노출된 소자분리막(206)에 전체적으로 주입되도록 할 수도 있다. 이러한 경우 리세스(210)의 폭을 전체적으로 확장할 수 있으나 후속의 게이트 형성 공정시 인접한 게이트들 간의 쇼트 가능성은 높아지게 된다.
- [0051] 다음에 도 6을 참조하면, 도 5의 결과물에 대한 클리닝 공정을 수행하여 비활성 가스가 주입된 측벽 절연막(202) 및 소자분리막(206)을 제거한다. 즉, 핀 구조 형성을 위한 식각 공정 후에 수행되는 포스트 클리닝(Post Cleaning) 또는 핀 구조로 돌출된 액티브 영역(204)에 게이트 절연막을 형성하기 전에 수행되는 프리 클리닝(Pre-cleaning) 공정을 수행시 비활성 가스가 주입된 측벽 절연막(202) 및 소자분리막(206)이 선택적으로 제거되어 모트(Moat)(214)가 형성된다. 이때, 모트(214)의 높이는 0 ~ 300 Å 이 되도록 한다.
- [0052] 도 7은 도 1에서 C-C'에 따른 단면의 모습을 보여주는 도면으로, 도 9에서와 같은 트위스트 방향 경사주입에 의해 비활성 가스가 주입된 소자분리막 영역이 클리닝 공정 중에 식각되어 수직 방향으로 모트(214)가 형성됨으로써 리세스(210)의 폭을 부분적으로 확장시킨 모습을 보여준다. 이때, 모트의 폭은 후속 공정에서 형성되는 게이트 절연막의 두께 보다 넓게 형성된다. 즉, 모트 내에 게이트 절연막 뿐만 아니라 게이트도 함께 형성될 수 있도록 충분히 넓게 형성된다.
- [0053] 다음에 도 8을 참조하면, 리세스(210) 및 모트(214)에 의해 노출된 액티브 영역(204)에 게이트 절연막(216)을 형성한다. 이때, 리세스(210) 내에서 소자분리막(206)의 상부면보다 낮은 높이까지 게이트 절연막(216)이 연장되게 형성된다.
- [0054] 다음에, 리세스(210)가 매립되도록 게이트용 도전물질층을 형성한 후 이를 에치백하여 리세스(210)의 하부에만 도전물질이 형성되도록 함으로써 매립 게이트(218)를 형성한다. 즉, 모트 내의 영역까지 게이트(218)가 확장되게 형성됨으로써 트랜지스터의 핀 폭을 더욱 확장할 수 있게 된다.
- [0055] 다음에, 리세스(210)가 매립되도록 매립 게이트(218) 상부에 절연막을 형성한 후 이를 평탄화하여 캡핑 절연막(220)을 형성한다.
- [0056] 도 10 내지 도 12는 본 발명의 제 2 실시 예에 따른 반도체 장치의 제조 방법을 설명하기 위한 공정 단면도이다. 설명의 편의를 위해 상술한 도 3 내지 도 9에서와 동일한 구조에는 동일한 참조번호를 사용하며, 동일한 공정에 대해서는 동일한 도면을 인용하여 설명한다.
- [0057] 상술한 실시 예에서는 핀 구조(212)를 갖는 리세스(210)를 형성한 후 비활성 가스를 주입하였다. 반면에, 본 실시 예에서는 소자분리막(206)을 형성하기 전에 측벽 절연막(202)에 비활성 가스를 주입한다.
- [0058] 즉, 상술한 도 3에서와 같이 측벽 절연막(202)을 형성한 후 소자분리용 트렌치가 매립되도록 소자분리용 절연막을 형성하기 전에, 도 10에서와 같이 측벽 절연막(202)에 비활성 가스를 주입한다. 이때, 비활성 가스를 주입하는 방법은 도 10의 (a) 도면에서와 같이 Y 방향의 경사주입을 통해 액티브 영역(204)의 측벽 중 게이트의 진행방향과 교차되는 측벽에 형성된 측벽 절연막(202)에만 비활성 가스를 주입할 수 있다. 또는 도 10의 (b) 도면에서와 같이 경사 없이 반도체 기판(200)에 수직인 방향으로 비활성 가스를 주입할 수도 있다.
- [0059] 다음에, 도 3에서와 같이 소자분리막(206)을 형성한 후 도 4와 같이 리세스(210)를 형성하여 게이트 영역에 핀 구조(212)를 형성한다. 이때에도, 측벽 절연막(202) 중 일부가 소자분리막(206) 위로 돌출되게 남아 있을 수 있다.

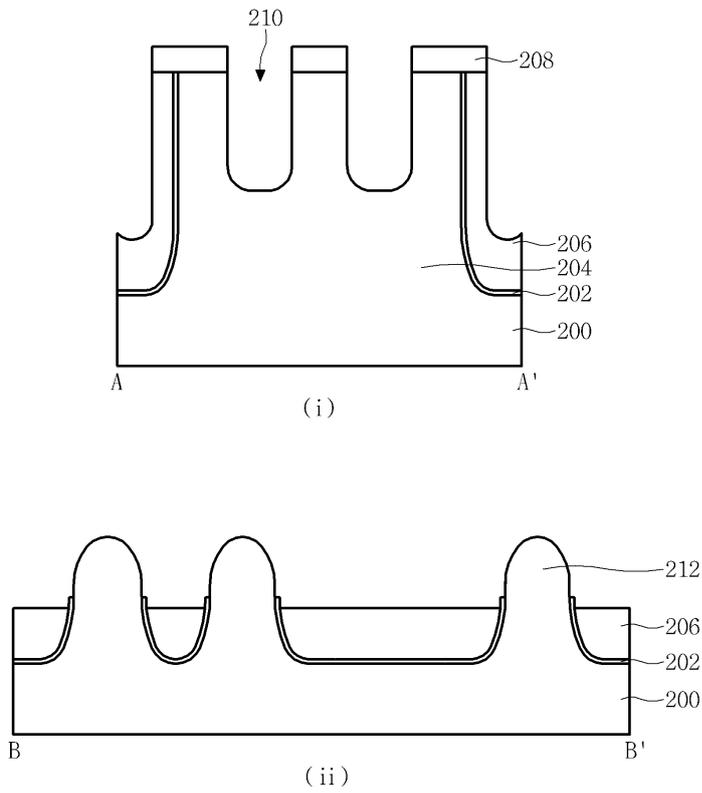
도면2



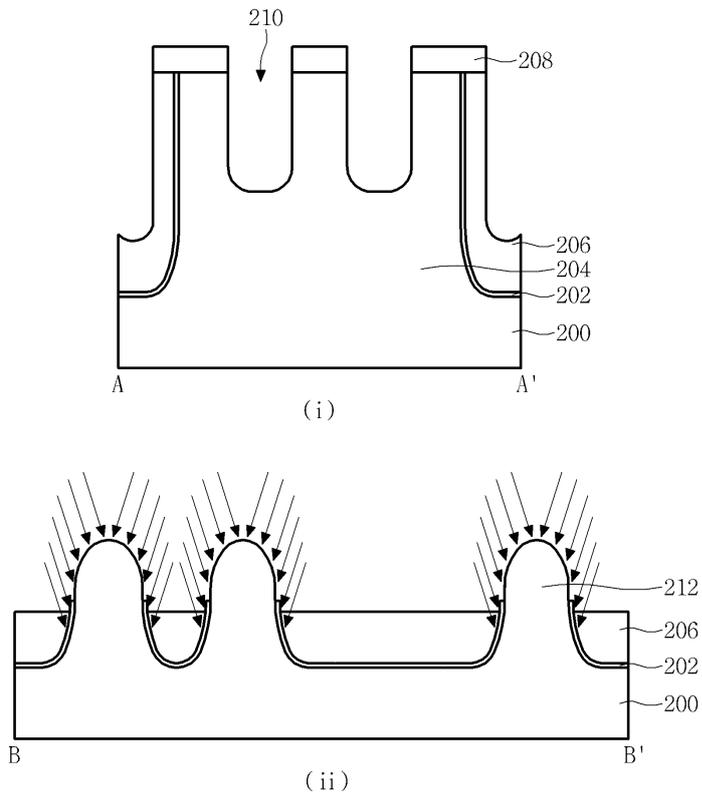
도면3



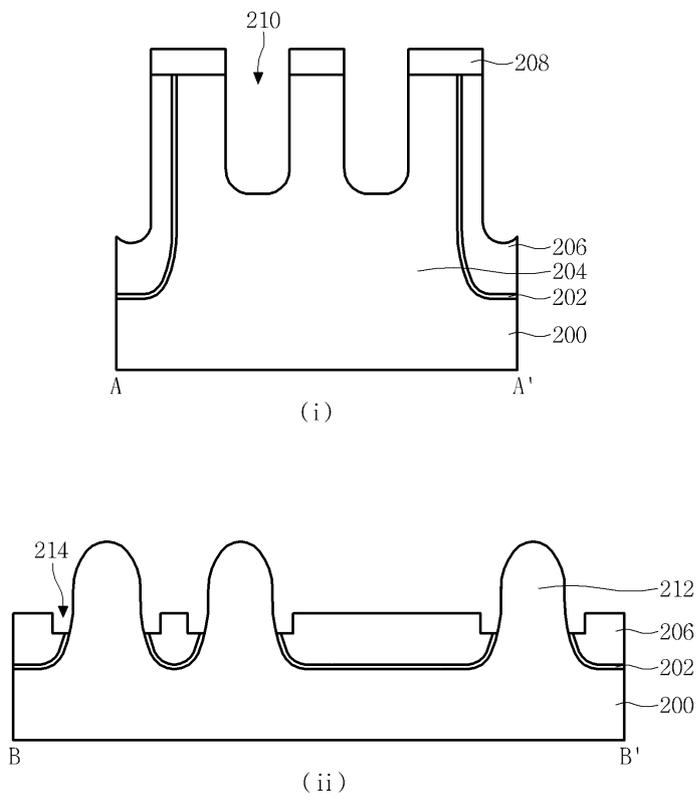
도면4



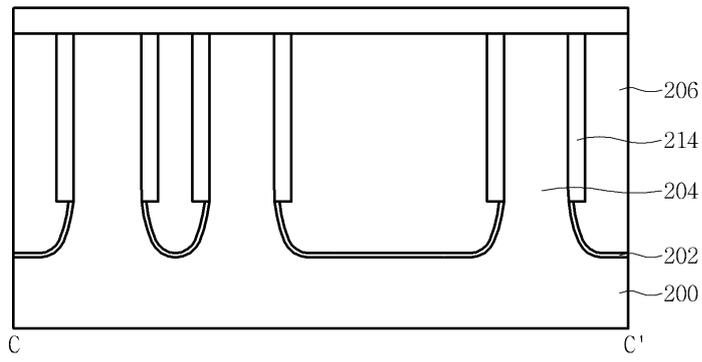
도면5



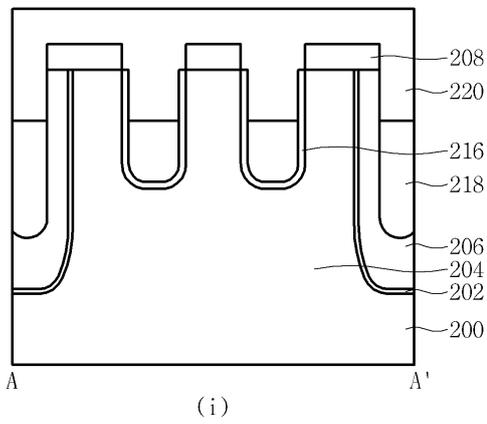
도면6



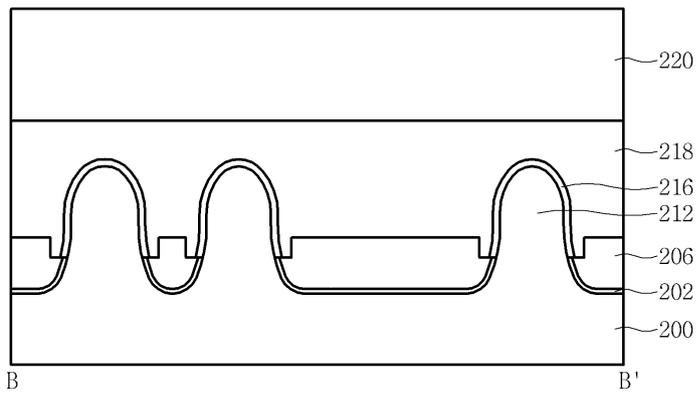
도면7



도면8

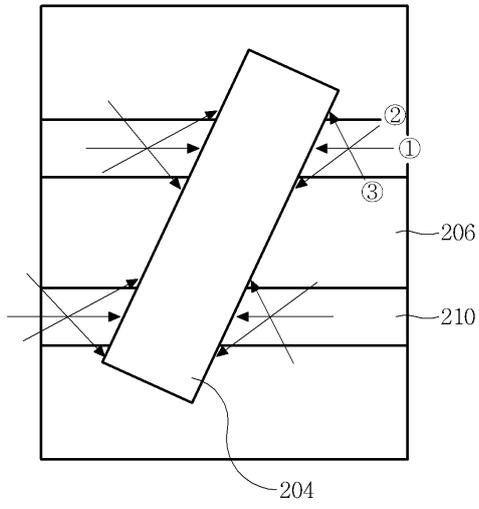


(i)

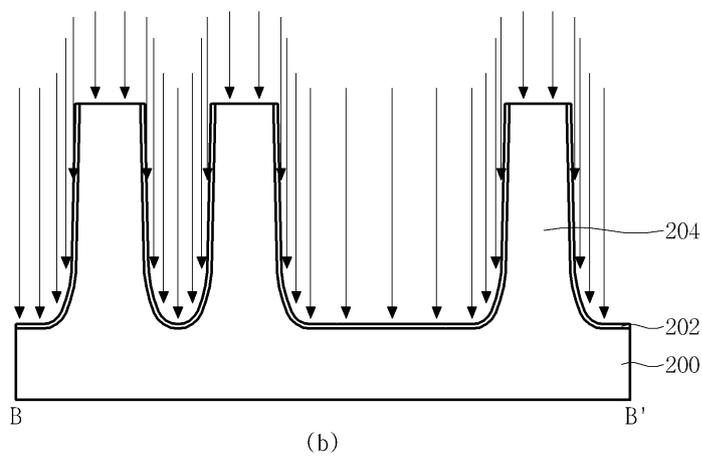
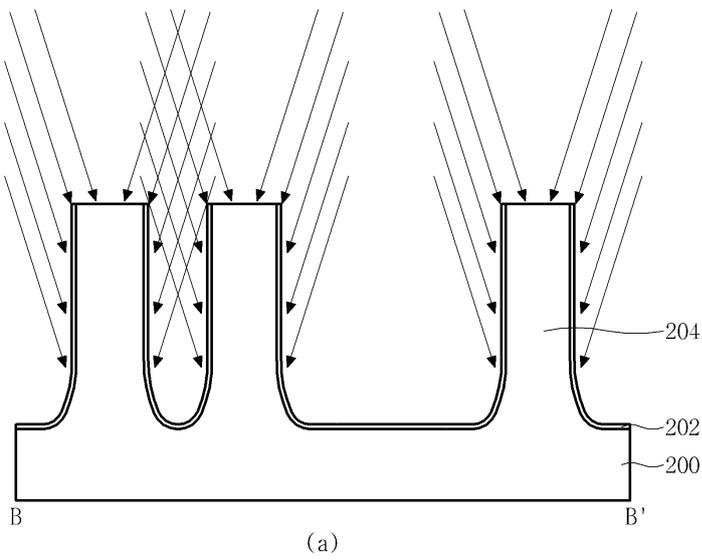


(ii)

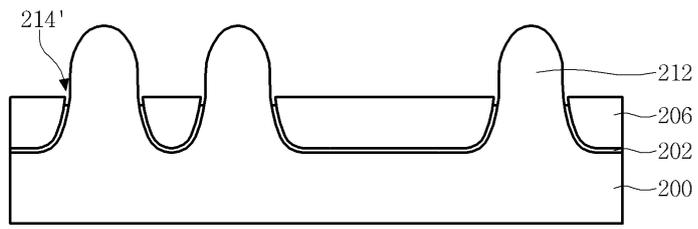
도면9



도면10



도면11



도면12

