

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3968152号
(P3968152)

(45) 発行日 平成19年8月29日(2007.8.29)

(24) 登録日 平成19年6月8日(2007.6.8)

(51) Int. Cl.

G 1 1 C 16/06 (2006.01)

F I

G 1 1 C 17/00 6 3 4 E

請求項の数 11 (全 15 頁)

(21) 出願番号	特願平9-161557	(73) 特許権者	392032889
(22) 出願日	平成9年6月18日(1997.6.18)		エスジーエーストムソン マイクロエレクトロニクス エス. アール. エル.
(65) 公開番号	特開平10-97795		イタリア国 20041 ミラノ アグラ
(43) 公開日	平成10年4月14日(1998.4.14)		ーテ プリアンツァ ヴィア シー. オ
審査請求日	平成16年6月15日(2004.6.15)		リヴェッティ 2
(31) 優先権主張番号	96830346.1	(74) 代理人	100080001
(32) 優先日	平成8年6月18日(1996.6.18)		弁理士 筒井 大和
(33) 優先権主張国	イタリア(IT)	(74) 代理人	100093023
			弁理士 小塚 善高
		(74) 代理人	100102853
			弁理士 鷹野 寧
		(72) 発明者	ジョヴァンニ・カンパールド
			イタリア国、24128 ベルガモ、ヴ
			ィア・セガンティーニ、5
			最終頁に続く

(54) 【発明の名称】 不揮発性メモリセルの読み取り基準信号を生成する方法および回路

(57) 【特許請求の範囲】

【請求項1】

あるセル特性の傾きを示すセル特性 (ITC, ITW) をもつメモリセルからなる不揮発性メモリのために読み取り基準信号を生成する方法であって、所定のしきい値 (VTR) とトリガー値 (VS) の間で伸びて前記セル特性の傾きと等しい傾きを有する第一の部分と、前記トリガー値から伸びて前記セル特性の傾きより急な傾きを有する第二の部分を示す基準特性をもつ基準信号 (IR1) を生成するステップを有し、

前記基準信号 (IR1) の前記所定のしきい値 (VTR) は、消去されたセルに関しては最大許容しきい値 (VTC) より小さく、前記トリガー値 (VS) は、消去されたセルに関する前記最大許容しきい値と書き込まれたセルに関する最小許容しきい値 (VTW - VB) の間であることを特徴とする方法。

10

【請求項2】

あるセル特性の傾きを示すセル特性 (ITC, ITW) をもつメモリセルからなる不揮発性メモリのために読み取り基準信号を生成する方法であって、所定のしきい値 (VTR) とトリガー値 (VS) の間で伸びて前記セル特性の傾きと等しい傾きを有する第一の部分と、前記トリガー値から伸びて前記セル特性の傾きより急な傾きを有する第二の部分を示す基準特性をもつ基準信号 (IR1) を生成するステップを有し、

基準信号を生成する前記ステップは、前記所定のしきい値 (VTR) に等しいしきい値電圧と、前記セル特性の傾きに等しい傾きを有する第一の信号 (IR) を生成するステップと、前記トリガー値 (VS) に等しいしきい値電圧と、前記セル特性の傾きに等しい傾

20

きとを有する第二の信号 (IS) を生成するステップと、前記第一の信号および第二の信号の差に等しい第三の信号 (ID) を生成するステップと、前記トリガー値に等しいしきい値電圧と、前記セル特性の傾きより急な傾きとを有する第四の信号 (ISN) を生成するステップと、前記第三の信号および第四の信号を加えるステップとを有することを特徴とする方法。

【請求項 3】

前記基準特性 (IR1) の前記第二の部分の前記傾きは、前記セル特性の傾きの倍数に等しいことを特徴とする前記の請求項 1 または 2 に記載の方法。

【請求項 4】

あるセル特性の傾きを示すセル特性 (ITC , ITW) をもつメモリセル (4) からなる不揮発性メモリの読み取り基準信号を生成する回路であって、所定のしきい値 (VTR) とトリガー値 (VS) の間で伸びて前記セル特性の傾きと等しい傾きを有する第一の部分と、前記トリガー値から伸びて前記セル特性の傾きより急な傾きを有する第二の部分を示す基準特性をもつ基準信号 (IR1) を生成するための生成手段 (20) を有し、

前記生成手段 (20) は、前記所定のしきい値 (VTR) に等しいしきい値電圧と前記セル特性の傾きに等しい傾きを有する第一の信号 (IR) を生成するための第一のメモリ素子 (22) と、前記トリガー値 (VS) に等しいしきい値電圧と前記セル特性の傾きに等しい傾きを有する第二の信号 (IS) を生成するための第二のメモリ素子 (21) と、前記第一および第二の信号を受信して前記第一および第二の信号の差に等しい第三の信号 (ID) を生成するための減算素子 (38) と、前記第二の信号を受信して前記トリガー値に等しいしきい値電圧と前記セル特性の傾きより急な傾きを有する第四の信号 (ISN) を生成するための乗算素子 (40 , 41) と、前記第三および第四の信号を受信して前記基準信号 (IR1) を生成するための加算素子 (45) とを有することを特徴とする回路。

【請求項 5】

あるセル特性の傾きを示すセル特性 (ITC , ITW) をもつメモリセル (4) からなる不揮発性メモリの読み取り基準信号を生成する回路であって、所定のしきい値 (VTR) とトリガー値 (VS) の間で伸びて前記セル特性の傾きと等しい傾きを有する第一の部分と、前記トリガー値から伸びて前記セル特性の傾きより急な傾きを有する第二の部分を示す基準特性をもつ基準信号 (IR1) を生成するための生成手段 (20) を有し、

前記第一および第二のメモリ素子は、それぞれ第一および第二のメモリセル (22 , 21) を含み、当該メモリセルの各々は、第一の端末と、制御端末と、前記所定のしきい値 (VTR) に等しいしきい値電圧とを有し、前記第一のメモリセル (22) は、前記第一の端末と前記制御端末の間で読み取りバイアス電圧 (VCC) を受け取り、前記第二のメモリセル (21) は、前記第一の端末と前記制御端末の間で前記読み取りバイアス電圧より低い第二のバイアス電圧を受け取ることを特徴とする回路。

【請求項 6】

前記第一のメモリセル (22) の前記制御端末に直接接続された読み取りバイアス線 (15) と、前記読み取りバイアス線 (15) と前記第二のメモリセル (21) の前記制御端末の間に挿入されたシフト・トランジスタ (29) とを有することを特徴とする請求項 5 に記載の回路。

【請求項 7】

前記第一および第二のメモリ素子は、それぞれ第一および第二のメモリセル (22 , 21) を含み、当該メモリセルの各々は、第一の端末および制御端末を有し、前記第一のメモリセル (22) は、前記所定のしきい値 (VTR) に等しいしきい値電圧を有し、前記第二のメモリセル (21) は、前記トリガー値 (VS) に等しいしきい値電圧を有し、前記第一および第二のメモリセルは、それぞれの第一の端末とそれぞれの制御端末の間で等しい読み取りバイアス電圧 (VCC) を受け取ることを特徴とする請求項 4 に記載の回路。

【請求項 8】

基準メモリアレー (53) を有すること、および、前記メモリセル (22 , 21) は、前記基準メモリアレーの一部を形成することを特徴とする請求項 7 に記載の回路。

10

20

30

40

50

【請求項 9】

第一の電流ミラー回路を有し、前記第一の電流ミラー回路は順に、第一(35)、第二(36)、および第三(37)の負荷トランジスタを含み、前記第一の負荷トランジスタ(35)は、ダイオード接続されて前記第二のメモリ素子(21)と基準電位線(15)の間に挿入され、前記第二の負荷トランジスタ(36)は、前記第一のメモリ素子(22)と前記基準電位線の間に挿入され、前記第三の負荷トランジスタ(37)は、出力素子(48, 51)と前記基準電位線の間に挿入され、前記第一および第二の負荷トランジスタ(35, 36)は、第一の寸法比($W/L = K$)を有し、前記第三の負荷トランジスタ(37)は、前記第一の寸法比より大きい第二の寸法比($W/L = N * K$)を有し、さらに、第二の電流ミラー回路を有し、前記第二の電流ミラー回路は順に、第四(40)および第五(44)の負荷トランジスタを含み、前記第四の負荷トランジスタ(40)は、ダイオード接続されて前記第一のメモリ素子(22)と前記基準電位線(15)の間に挿入され、前記第五の負荷トランジスタ(44)は、前記出力素子(48, 51)と前記基準電位線の間に挿入され、前記第四および第五の負荷トランジスタ(40, 44)は、第三の寸法比($W/L = K$)を有することを特徴とする前記請求項 4 ~ 8 のいずれかに記載の回路。

10

【請求項 10】

前記出力素子(48, 51)は、ダイオード接続されて前記第三および第五の負荷トランジスタ(37, 44)に接続された第一の出力トランジスタ(48)と、読み取り回路(1)の基準分岐(3)への接続のための少なくとも一つの第二の出力トランジスタ(51)とを含み、前記第一および第二の出力トランジスタは、第四の寸法比($W/L = K1$)を有することを特徴とする請求項 9 に記載の回路。

20

【請求項 11】

前記第一および第二の出力トランジスタ(48, 51)は、ネイティブ NMOS トランジスタであることを特徴とする請求項 10 に記載の回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性メモリセルの読み取り基準信号を生成する方法および回路に関する。

【0002】

【従来の技術】

公知のように、不揮発性メモリとくにフラッシュメモリのセルを読み取るためには、読み取られるセルが接続されている行と列に適当なバイアスをかけてセルを流れる電流を検出する。セルが書き込まれていれば、そのしきい値電圧が読み取り電圧より高く、セルは電流を通さない。セルが消去されていれば、そのしきい値電圧は読み取り電圧より低く、セルは電流を通す。また、読み取られて消去されたセルは、セルの中の電流を基準セルによって生成される基準電流と比較して判別される。この比較は、読み取られるセルと基準セルの電流を対応する電圧に変換するための電流/電圧コンバータと、二つの電圧を比較して論理出力信号を生成するセンスアンプとを有する読み取り回路によって行なわれ、信号の状態が比較の結果をあらわすことになる。

30

40

【0003】

メモリアレーの正しい読み取り操作と信頼性のあるサイクル操作(マルチプル・サイクル操作)が確実に行なわれるようにするためには、セルのしきい値電圧の分布に一定の限界を設定する必要がある。より具体的にいえば、現在用いられている技術が要求するところでは、セルが最も消去されるにはしきい値電圧がゼロより大きく、セルの消去が最悪である場合のしきい値電圧は約 2.5 V である。空になったセル(しきい値電圧がゼロ未満のセル)によって生じる読み取りエラーをなくす必要性から、下限は、必要値よりかなり高くなり、上限は、用いられた製造技術にもとづくセルのしきい値電圧の固有分布によってきまる。

【0004】

50

読み取り電圧は、通常、電源電圧と一致するため、読み取りの問題は、電源電圧が低い場合（約 2.5 V）に生じる。電源電圧が低いと、十分に消去されないセルが生じ、それが電流をきわめて通しにくくし、書き込みが行なわれたものとみなされ、その結果読み取りエラーが生じる。

【0005】

電源電圧（通常、2.5 ~ 4 Vの電源電圧）に対して広い範囲で作動することができアクセス時間が短い（ < 100 ns）メモリに対する現在の需要を考慮すれば、関連する電源電圧の全範囲で高速で正しい読み取りを行なうことのできるセンスアンプが必要である。

【0006】

十分に消去されていないセルの読み取り時間を妥当なものにするとの問題を解決するために、本願出願人は「低電源電圧不揮発性メモリのセル読み取り方法および回路」なる名称の別出願において、電流/電圧コンバータが標準的なコンバータとは逆に作動して、低電源電圧下（メモリセルが低電流を通す場合）で十分に消去されていないアレーセルにおいても高速で読み取ることができる方法を開示している。

10

【0007】

【発明が解決しようとする課題】

しかし、書き込まれたセルを正しく判別するためには、上記の方法では、最大許容電源電圧に関して限界がある。

【0008】

この問題を明確に理解するために、図1および2を用いて、上述した特許出願で開示された方法を説明する。

20

【0009】

図1において、符号1で示す読み取り回路は、アレー分岐2および基準分岐3を有する。アレー分岐2は、読み取られるアレーセル4を含むが、このセルは、メモリアレー5の一部を形成してアレービット線6に接続されている。基準分岐3は、基準ビット線8に接続された基準セル7を含む。アレービット線6（ならびに図示しないがメモリアレー5の一部を形成する他のアレービット線）および基準ビット線8は、この説明では重要でないため詳細には図示しない公知のデコード、バイアスおよび等化回路10を介して電流/電圧コンバータ9に接続されている。回路10は、読み取られるアレーセル4のアレービット線6を選択し、該ビット線（および基準ビット線8）に適当なバイアスをかけてソフト読み取りなどスプリアスな読み取り現象を妨げ、また必要な場合にはセルの実際の読み取りに先立ってビット線6および8を等化する。

30

【0010】

コンバータ9は、電流ミラー回路を形成し、また回路10を介してアレービット線6および基準ビット線8に接続されたアレー負荷12および基準負荷13を有する。より具体的には、上述の特許出願の開示にもとづけば、アレー負荷12は、ダイオード接続されたPMOSトランジスタを有し、基準負荷13は、PMOSトランジスタを有し、アレー負荷トランジスタ12は、VCCで電源線15に接続されたソース端末、ノード16で回路10に接続されたドレイン端末、基準負荷トランジスタ13のゲート端末に接続されたゲート端末、および $W/L = K$ の幅/長さ比を有し、基準負荷トランジスタ13は、電源線15に接続されたソース端末、ノード17で回路10に接続されたドレイン端末、および $W/L = N * K$ の幅/長さ比を有する。ただし、Nは、乗法定数である。

40

【0011】

ノード16, 17は、センスアンプ18の入力に接続されている。

【0012】

図1の回路においては、ダイオード（低インピーダンス）素子が基準ビット線8ではなくアレービット線6に接続されているため、トランジスタ12および13の幅/長さ比からみて、I/Vコンバータ9内の電流は、メモリセル4によってあたえられ、N倍に増幅されて基準分岐3へ供給され、該分岐で、基準セル7内を流れる電流と比較される。したがって、これによって、該アレーセルの消去が十分に行なわれず、また低い電源電圧のた

50

めに少量の電流しか通さない場合でも、該アレーセルの読み取りが迅速に行なわれる。

【 0 0 1 3 】

図 2 は、図 1 の回路で、ドレイン末端のセル（アレーおよび基準セルの両者）に約 1 V（直線作動領域）のバイアスをかけ、また電源電圧 V_{CC} に対してアレーセル 4 のゲートとソース末端の間の電圧 V_{GS} を高めるためにブースト電圧 V_B を用いると仮定した場合に得られる電流 / 電圧特性を示す。

【 0 0 1 4 】

図 2 において、 I_R は、知られた固定のしきい値電圧 V_{TR} をもつ基準セルの I / V 特性を示し、 I_{TC} は、最大許容しきい値電圧 V_{TC} （上述の明細書では 2.5 V）で最悪の消去状態であるアレーセルの特性を示し、 I_{TCN} は、特性 I_{TC} が図 1 の構成で増幅されたものを示し、 I_{TCNB} は、源電圧側へ V_B だけシフトされ、したがって $(V_{TC} - V_B)$ というしきい値電圧を示すブートストラップ電圧 V_B が存在する場合の特性 I_{TCN} を示し、 I_{TW} は、最小許容しきい値電圧 V_{TW} で最も悪く書き込まれたアレーセルの特性を示し、 I_{TWN} は、特性 I_{TW} が図 1 の構成で増幅されたものを示し、 I_{TWNB} は、ブートストラップが存在しきい値電圧が $(V_{TW} - V_B)$ である場合の特性 I_{TWN} を示す。

10

【 0 0 1 5 】

図 2 から明らかのように、特性 I_R と I_{TCNB} の交点が最小電源電圧 V_1 を決定し、特性 I_R と I_{TWNB} の交点が最大電源電圧 V_2 を決定する。すなわち、これらの下と上では、読み取り（それぞれ消去されたセルおよび書き込まれたセルの認識）ができない。

【 0 0 1 6 】

電圧 V_1 および V_2 は、以下のことを考慮して分析的に求めることができる。

20

【 0 0 1 7 】

$$I_R = G * (V - V_{TR}) \quad (1)$$

$$I_{TC} = G * (V - V_{TC})$$

$$I_{TCN} = N * I_{TC} = N * G * (V - V_{TC})$$

$$I_{TW} = G * (V - V_{TW})$$

$$I_{TWN} = N * I_{TW} = N * G * (V - V_{TW})$$

$$I_{TCNB} = N * G * (V - V_{TC} + V_B) \quad (2)$$

$$I_{TWNB} = N * G * (V - V_{TW} + V_B) \quad (3)$$

ただし、 G は、増幅されない特性の勾配である。

30

【 0 0 1 8 】

式 (1) と式 (2) を等しくし、また式 (1) と式 (3) を等しくすれば、以下の電圧をあらわす式が得られる。

【 0 0 1 9 】

$$V_1 = (N * V_{TC} - N * V_B - V_{TR}) / (N - 1)$$

$$V_2 = (N * V_{TW} - N * V_B - V_{TR}) / (N - 1)$$

例えば、 $V_{TC} = 2.5$ V、 $V_{TW} = 4.5$ V、 $V_{TR} = 1.25$ V、 $V_B = 0.8$ V、 $N = 8$ とすれば、 $V_1 = 1.76$ V および $V_2 = 4$ V となる。

【 0 0 2 0 】

したがって、上記の方法によって、最小電源電圧が低くまた最大許容電源電圧が低い場合でもメモリセルの読み取りを行なうことができる。

40

【 0 0 2 1 】

本発明の一つの目的は、最大電源電圧は高いが同時に最小電源電圧を高めることなくメモリセルの読み取りを行なう方法および回路を提供することである。

【 0 0 2 2 】

【課題を解決するための手段】

本発明にもとづけば、請求項 1 ~ 13 に記載の不揮発性メモリを読み取るために基準信号を生成する方法および回路が提供される。

【 0 0 2 3 】

【発明の実施の形態】

50

以下、添付の図面を参照して、本発明の好ましい一実施形態を説明する。

【0024】

図3において、特性 I_{TCNB} 、 I_{TWNB} 、 I_R およびしきい値電圧 V_{TR} 、 $(V_{TC} - V_B)$ 、 $(V_{TW} - V_B)$ は、図2の場合と同じ意味を有するが、基準特性は、 I_{R1} で示す。図3からわかるように、アレーの基準分岐によって生成される基準特性は、二つのセグメントを有する。第一のセグメントは、トリガー電圧 V_S まで図2の特性 I_R の最初の部分と一致し、第二のセグメントは、 $(V_{TC} - V_B)$ と $(V_{TW} - V_B)$ の間のしきい値電圧 V_A と傾き $N * G$ を有する特性 I_{SN} と一致する。

【0025】

特性 I_{R1} の最初の部分が I_R と一致する事実によって、電源電圧 V_{CC} の同じ最小値 V_1 を維持することが許され、同時に、アレーと基準分岐の間の大きい電流差が確保され、動的性能が高められる。

10

【0026】

他方、増幅されたアレー特性の傾きと平行で傾きがより大きい第二のセグメントによって、電源電圧に課される最大限度がなくなる。

【0027】

特性 I_{R1} の傾きを変える値 V_S の選定にあたっては、(低い電源電圧は低い電流値に対応し、したがって容量ノードの遅い充電および放電に対応するので)指定されたアクセス時間に合致するために書き込まれたセルに関する最小許容しきい値と低い電源電圧で求められる電流値の間の平衡をとることが必要である。上記に示したしきい値電圧では、例えば

20

【0028】

特性 I_{R1} は、図4の4a、4bおよび4cに示すように、しきい値電圧 V_{TR} を有する特性 I_R から、また、しきい値電圧 V_S を有する特性 I_S および特性 I_R と同じ傾きから求めることができる。また、特性 I_S は、メモリ装置(外部メモリアレー5)内に適当に配置された特別の基準セルのしきい値電圧を適当に調節するかまたは後に詳細に説明するように二つのしきい値を加えることによって求めることができる。

【0029】

特性 I_{R1} を求めるためには、まず第一に、特性 I_S と I_R の差に等しい差特性 $I_D = I_R - I_S$ を求める。特性 I_{SN} (図4の4b)は、特性 I_S を I/V コンバータ9を形成するものと同様な電流ミラーで増幅して求める。最後に、図4の4cに示すように、特性 I_D および I_{SN} を加えて特性 I_{R1} を得る。

30

【0030】

図5は、上のような特性 I_{R1} を生成することができる生成回路を示しており、これを以下に説明する。

【0031】

図5に20で示す生成回路は、二つの浮遊ゲート型(例えば、フラッシュ)メモリセル21、22を有する。これらメモリのしきい値電圧は、いずれも V_{TR} である。より具体的には、メモリセル21は、ソース端末とバルク領域が接地され、ゲート端末がノード24に接続され、ドレイン端末が(ソフト書き込みなどの現象を防ぐために)保護回路25に接続され、ノード24は、ダイオード接続されたNMOSトランジスタ28を介して接地され(ドレインおよびゲート端末はショートされてノード24に接続され)、また二つのPMOSトランジスタ29、30を介して電源線15に接続され、トランジスタ29も、やはりダイオード接続され(ドレインおよびゲート端末がショートされてノード24に接続され)、トランジスタ30は、ソース端末とバルク領域が電源線15に接続され、またゲート端末がロウ(low)のとき活動状態の逆イネーブル信号ENNが供給される入力31に接続され、また、NMOSトランジスタ32は、ドレイン端末がノード24に接続され、ソース端末が接地され、またゲート端末が入力31に接続されてスタンバイ・モードでの電力消費を避けるためにノード24を接地する。保護回路25は、セル21のドレイン端末とノード26の間に挿入されたNMOSトランジスタ33と、第一の入力がセル

40

50

21のドレイン端末に接続され、第二の入力が入力31に接続され、出力がトランジスタ33のゲート端末に接続されたNORゲート34とを有し、したがって、信号ENNがロウのとき、NORゲート34は、公知の方法で(負のフィードバックによって)トランジスタ33の電源オン・レベルを制御し、またセル21のドレイン端末をのぞましいバイアス電圧(通常1V)に維持する。逆に、ハイ(high)のとき、信号ENNは、NORゲート34の出力を強制的にロウに切り替えてトランジスタ33をオフにし、ノード26とセル21の間の接続を切断する。

【0032】

ダイオード接続されたPMOS負荷トランジスタ35は、ソース端末が電源線15に接続され、ゲートおよびドレイン端末がノード26に接続され、幅/長さ比 $W/L = K$ を有し、またPMOS負荷トランジスタ36およびPMOSTランジスタ37と電流ミラーを形成するように接続される。トランジスタ36は、ソース端末が電源線15に接続され、ゲート端末がノード26に接続され、ドレイン端末がノード38に接続され、負荷トランジスタ35のものと同じ幅/長さ比 $W/L = K$ を有する。ノード38は、回路25と同じであったがここでは詳細に説明しない保護回路39を介してセル22のドレイン端末に接続され、該セルは、ゲート端末が電源線15に接続され、ソース端末とバルク領域が接地される。

10

【0033】

ノード38もまた、ダイオード接続されたPMOSTランジスタ40のドレイン端末に接続され、該トランジスタは、ゲート端末がやはりノード38に接続され、ソース端末が電源線15に接続され、負荷トランジスタ35および36のものと同じ幅/長さ比 $W/L = K$ を有し、やはり幅/長さ比 $W/L = K$ を有するPMOSTランジスタ44と電流ミラー回路を形成する。

20

【0034】

トランジスタ37および44は、ゲート端末がそれぞれノード26および38に接続され、ソース端末が電源線15に接続され、ドレイン端末がノード45に接続される。トランジスタ37は、電流ミラーを形成するためにそれ自身が接続されているトランジスタ35の幅/長さ比のN倍大きい幅/長さ比 $W/K = N * K$ を有する。トランジスタ44は、電流ミラーを形成するためにそれ自身が接続されているトランジスタの幅/長さ比と等しい幅/長さ比 $W/K = K$ を有する。また、ノード45は、回路25と同じであったがここでは詳細に説明しない保護回路46を介してダイオード接続されたネイティブNMOSTランジスタ48(すなわち、低しきい値電圧をもち、製造中それが変えられなかったもの)のドレイン端末に接続される。より具体的には、ネイティブ・トランジスタ48は、ソース端末が接地され、ゲート端末がノード50を形成して該ドレイン端末に接続される。

30

【0035】

トランジスタ48は、メモリの各種読み取り回路の基準ビット線5に接続された一以上のネイティブNMOSTランジスタ(図5には51で一つが示されている)と1:1電流ミラー回路を形成する。図5のK1は、トランジスタ48および51の幅/長さ比を示すが、これは、両者とも同じである。回路1の読み取りのための生成回路20の接続をより明快に理解できるように、図5には、また、図1の電流/電圧コンバータ9、デコード、バイアスおよび等化回路10、およびメモリセル4も示してある。

40

【0036】

図5の回路は、以下のように作動する。

【0037】

信号ENNがロウのとき(回路20がイネーブルされたとき)、トランジスタ30は、オンにされ、ダイオード接続されたトランジスタ29を電源線15に接続する。トランジスタ32は、オフにされ、保護回路25, 39および44のNORゲートの出力は、強制的にはゼロにされない。したがって、ノード24の電圧は、ダイオード接続されたトランジスタ28, 29のサイズ設定に応じて電源電圧VCCと接地の間の値を示す。より具体的には、VPがダイオード接続されたトランジスタ29のしきい値電圧であって、トランジス

50

タ 29 をオンするための最小のソース - ゲート電圧降下に等しく、また、トランジスタ 28 がトランジスタ 29 よりはるかに抵抗が高くなるように、したがって電源電圧 V_{CC} としきい値電圧 V_P の差がすべてダイオード接続されたトランジスタ 28 にかかるようにトランジスタ 28, 29 のサイズ設定を行なうことによって、メモリセル 21 は、 $V_{CC} - V_P$ のゲート - ソース電圧降下 V_{GS} を示すようになる。この場合、メモリセル 21 が V_{TR} のしきい値電圧を有することを考慮すれば、メモリセル 21 は、電源電圧 V_{CC} がメモリセル 21 のしきい値電圧 V_{TR} と電圧降下 V_P の和より小さい限り、オフとなっていることが理解されよう。この電源電圧値より高くなると、メモリセル 21 は、電圧 V_{GS} によって制御されて電流を通し始め、したがって $V_{TR} + V_P$ のしきい値電圧 V_S をもつセルとして機能する。

10

【0038】

以上の説明から、メモリセル 21 によって制御されて負荷トランジスタ 35 内に流れ込む電流が図 4 の 4 a の電流 I_S に等しいことは明らかであろう。トランジスタ 36 は、トランジスタ 35 と 1 : 1 のミラーを形成するので、トランジスタ 36 を通って流れる電流も I_S に等しい。トランジスタ 37 の幅 / 長さ比が負荷トランジスタ 35 のその N 倍であるから、トランジスタ 37 を通る電流は、 $N * I_S$ に等しく、したがって、図 4 の 4 b の電流 I_{SN} に対応する。メモリセル 22 のゲート末端が直接電源線に接続されているため、セル 22 内に流れ込む電流は、 I_R に等しく、したがって、トランジスタ 40 内に流れ込む電流は、セル 22 によってあたえられる電流 I_R とトランジスタ 36 によって供給される電流 I_S の差に等しく、また、図 4 の 4 b の電流 I_D に等しい。電流 I_D は、トランジスタ 44 によって鏡映され、トランジスタ 37 によって供給される電流 I_{SN} とともにノード 45 へ供給される。したがって、ネイティブ・トランジスタ 48 は、図 4 の 4 c の電流 I_{R1} を受け、それをトランジスタ 51 を介して基準ビット線 5 へ転送する。

20

【0039】

したがって、このようにして生成された電流 I_{R1} は、単一の基準回路 20 を用いて、メモリ装置のすべての出力のために、装置の他の部分へ容易に転送することができる。

【0040】

図 5 の構成の他の構成例として、メモリセル 21 および 22 をメモリアレー 5 の外部に配置することもできる。より具体的には、図 6 の例では、小さい、例えば 8×8 のセルアレー 53 を形成し、最内部のセルからメモリセル 21, 22 を選んでエッジ効果を少なくし、したがって、装置の最終 EWS (電気的ウエハ分類) 試験の間に公知の方法で書き込みまたは消去を行なうことができる。

30

【0041】

メモリセル 21, 22 のしきい値電圧を、互いに独立に最も適当な値に調節することができるため、メモリセル 21 のゲート末端は、メモリセル 22 のような電源線へ直接接続することができる。したがって、トランジスタ 28 ~ 30 を省いて、メモリセル 21 のしきい値電圧を直接のぞむ V_S の値に設定することができる。この方法がもつ効果は、特性 I_S のしきい値電圧 (これは、公知のように、温度とともに変化する) が、二つの構成部分 (図 5 の実施形態のメモリセル 21 およびトランジスタ 29) ではなく一つの構成部分 (メモリセル 21 自身) の変動のみに依存し、したがって電流 I_S の温度性能が、(セル 22 を含めて) 装置の他の構成部分によって生成される他の量とほぼ同じとなるようにしたことである。さらに、上の方法では、全メモリ装置のために二つの基準セルしか使用しない。

40

【0042】

したがって、回路 20 によって、図 1 の読み取り回路 1 を、上限および下限に厳しい条件を課することなく、低いおよび高い電源電圧 V_{CC} のいずれにおいても (最だ電源電圧は、論理的には無限である) 作動させることが可能となる。さらに、この回路は、簡単で、信頼性が高く、スタンバイ・モードでは電力消費がゼロである。

【0043】

読み取り回路 1 が低い電源電圧で作動しているときは、該回路を流れる電流も少ないが、

50

他方、容量性ノードを充電および放電するためによする時間が増大し、したがって読み取り作業の速度が低下する。セルの読み取り速度を高める一つの公知の方法は、等化ネットワークを用いてノード16と17を接続し、メモリセルの読み取りを行なう前にそれらのアドレスの切り替えを行なう(高ATDパルス信号)ATD(アドレス転位検出)ステップで両者を同じ電圧にするものである。

【0044】

より具体的には、図7に示すように、図1の回路10が公知の等化回路55と公知のデコードおよびバイアス回路56(詳細には図示しない)に分割される。等化回路55は、ほぼ、電源線15とそれぞれのノード16, 17の間に接続された一对のトランジスタ60, 61とノード16および17の間に接続された接続用トランジスタ62で構成される。より具体的には、トランジスタ60~62は、ネイティブ(低しきい値)NMOSトランジスタであり、PMOS保護トランジスタ64および65は、電源線15とそれぞれのトランジスタ60および61の間に配置され、トランジスタ64, 65は、ともにゲート末端が接地されて常時オンされ、それぞれのネイティブ・トランジスタ60, 61を電源線15の電圧ピークから保護する。

10

【0045】

トランジスタ60, 61, 62のすべてのゲート末端には信号ATDが供給され、したがって、信号ATDがハイである間はオンにされ、ノード16および17を信号ATD(例えば、3V)からしきい値電圧を引いた(ゲートおよびソース末端の間の電圧降下VGS)高電圧とほぼ等しい電圧にする。したがって、ATDパルスの終わりには、ノード16および17が同じ電圧となる。すなわち、より迅速に、読み取られるアレーセルの消去された状態または書き込まれた状態と両立し得る電圧にされる。

20

【0046】

しかし、等化のステップでノード16および17が達する実際の(等化)電圧は、温度や二本の分岐に流れ込む電流など各種のパラメータによって左右され、したがって、それをあらかじめ正確に設定することはできないし、低すぎたりあるいは高すぎたりして、読み取り時の等化機能の効果が損なわれるおそれがある。

【0047】

等価電圧が高すぎると(ノード16, 17での高電圧)、消去されたセルの読み取りが遅くなる。より具体的には、等化電圧が高すぎると、I/Vコンバータ9を形成する負荷トランジスタ12, 13がオフにされ(不十分なソース-ゲート電圧降下)、等化ステップの終りで等化トランジスタ60~62がオフにされると、(まだオフにされている)負荷トランジスタ13内には電流が流れ込まないのに対して、基準セル7はオンにされ、電流を引き込む。したがって、ノード16および17は、読み取られるアレーセル4が実際には消去されるのにあたかも書き込まれるように機能し、そのため、消去されたセルを読み取るとき、センスアンプがまず誤った読み取りを行ない、後でコンバータ9がオンにされた時に訂正されるものの、一定の時間のロス、つまり読み取り時間の増大が生じる。

30

【0048】

逆に、設定された等化電圧が低すぎると、ノード16および17が低すぎる電圧にされ、そのため、書き込まれたセルの読み取りも遅くなる。すなわち、負荷トランジスタ12, 13の制御電圧(ソース-ゲート電圧降下)が高すぎるために、ノード16および17は、実際にはセル4に書き込みが行なわれるのに、消去されたセル4に対応する電圧にされる。書き込まれたメモリセル4の場合には、この種の誤った最初の設定は、ビット線6(これは、前の過度に低い電圧を正しいレベルまで上昇しなければならない)の吸収電流に関連する寄生容量によって最初からより複雑にされる。吸収電流は、小さいが、コンバータ9によって増幅され、ノード17で消去されたセルによるものと解釈される。書き込まれたセルで等化電圧が低すぎる場合には、回路が正しい状態に達する前に上の二つの効果が組み合わされてセンスアンプが消去されたセル4に対応する読み取り行なう。これは、後で訂正されるものの、ATDパルスが終わったしばらく後になって始めて正しい読み取りが行なわれることを意味する。

40

50

【 0 0 4 9 】

この問題を解決するために、適応等化ネットワークが、ノード16および17の等化電圧をアレーと基準分岐の釣り合った状態に対応する中間点、すなわち基準ビット線8が必要とする電流とI/Vコンバータ9によって供給される電流が等しくなる点に自動的に設定する。上記の状態は、書き込まれたセルの読み取り状態（基準分岐3の電流需要が負荷13を介してアレー分岐2によって供給されるもの - 理想的にはゼロ - より大きい）と消去されたセルの読み取り状態（負荷13の供給電流が基準分岐3の電流需要より大きい）のちょうど中間にあるという意味で平衡がとれており、回路は、アレーセル4の状態に応じてATDパルスの終りでなんらかの不平衡が生じるというすぐれた状態にある。

【 0 0 5 0 】

上記の平衡のとれた状態を得るためには、負荷トランジスタ12および13のサイズ設定の差による不平衡にもかかわらず、図8に示すように、アレー分岐へ接続される接地用電流通路が配設される。この通路は、等化ステップでは活動状態にあり、I/Vコンバータ9によって作り出される同じで向きが反対の電流の不平衡を生じるものである。より具体的には、図8では、図1の回路10が三つの構成部分に分割されている。すなわち、公知の等化回路55、ソフト書き込みを防ぐためのバイアス回路71（図5の回路25, 39, 46と同様な回路）、およびデコード回路72である。ノード74は、バイアス回路71とデコード回路72の間に配設され、ノード74と接地の間には平衡用分岐75が配設されて接地用通路を画定する。この分岐は、NMOS選択トランジスタ76とネイティブNMOS平衡用トランジスタ77を含む。選択トランジスタ76は、ドレイン末端がノード74に接続され、ゲート末端には信号ATDが供給され、またソース末端は平衡用トランジスタ77のドレイン末端に接続される。平衡用トランジスタ77は、ソース末端が接地され、ゲート末端が図5の生成回路20のノード50に接続される。実際には、基準ビット線8に接続されたトランジスタ51と同様、平衡用トランジスタ77も回路20のトランジスタ48と電流ミラーを形成するように接続されるが、トランジスタ51よりN分の1小さい幅/長さ比、すなわちK1/Nを示す。

【 0 0 5 1 】

等化ステップでは、信号ATDがハイで等化網55がアクティブな状態にあるとき、平衡用分岐75もアクティブな状態にあり、平衡用トランジスタ77は、トランジスタ51によって引きつけられる電流IR1よりN分の1小さい電流IBを引きつける。I/Vコンバータ9の負荷トランジスタ12によって供給される電流IBは、負荷トランジスタ13によって鏡映されてN倍され、トランジスタ51によって引きつけられる電流IR1と等しくなる。したがって、読み取り回路は平衡化され、ノード16および17は、書き込まれて消去されたセルに対応する電圧の中間の電圧とされるため、負荷トランジスタは、過度にオンにもまたオフにもされず、したがって、ATDパルスの終りで、トランジスタ60, 61, 62および76がオフにされ（等化網55および平衡用分岐75を使用不能にされ）ると、読み取り回路は、読み取られるセル4の実際の状態を検出する準備ができ、上述したようなスプリアスな初期の切り替えによる遅延は生じない。

【 0 0 5 2 】

平衡用分岐75によって得られる読み取り速度を示すために、図9は、消去されたアレーセル4に関して図7および8の回路を用いた場合の基準ノード17の電圧行動の差を示す。図9において、V16は、ノード16での電圧を示し、V17は、図7および8の両回路のノード17での電圧を示し、V17'は、図7のノード17での電圧を示し、V17''は、図8のノード17での電圧を示す。図示のように、ATDパルスが存在する場合には、いずれの回路においても電圧V17はV16に等しい。他方、ATDパルスの終りには、図7の回路の電圧V17'は、あたえられた時間V16より低下し、誤った初期読み取りを生じ、正しい（高い）値を読み取るために付加的な時間を要する。それに対して、図8の電圧V17''は、はるかに早く正しい電圧に達し、したがってただちに正しい読み取りを行ない、図7の回路と比較した場合、読み取り時間が大幅に減少する。

【 0 0 5 3 】

10

20

30

40

50

したがって、読み取り回路の低電圧での動的性能が高められ、高い電圧したがって高い電流で得られるものに匹敵するようになる。

【 0 0 5 4 】

本発明の範囲を逸脱することなく上に説明し図示した方法および回路に変更を行なうことが可能なことは明らかであろう。とくに、回路 20 は、説明とは異なるものとすることができるし、いずれの要素も、技術的等価物と置換することができる。

【 図面の簡単な説明 】

【 図 1 】 上述した本願出願人による別出願に記載された読み取り回路の回路図である。

【 図 2 】 図 1 の回路で得られる特性を示す図である。

【 図 3 】 本発明にもとづく方法で得られる特性を示す図である。

10

【 図 4 】 図 4 は 4 a , 4 b , 4 c からなり、いずれも図 3 の基準特性を得る方法を示す図である。

【 図 5 】 図 3 の基準特性を生成するための回路の回路図である。

【 図 6 】 図 5 の細かい部分を変更した等化回路を示す回路図である。

【 図 7 】 図 1 の回路に適用される等化回路の回路図である。

【 図 8 】 新しい等化回路の回路図である。

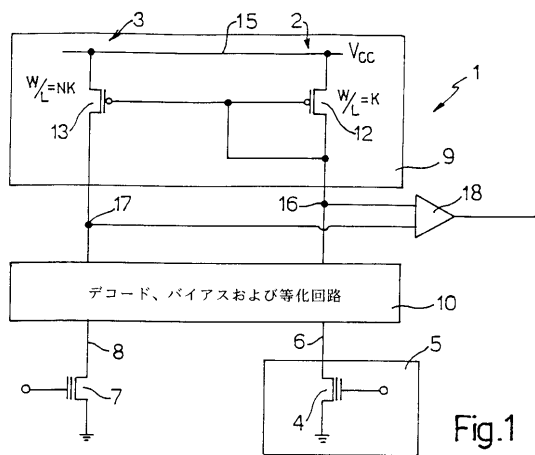
【 図 9 】 図 7 および 8 の回路図の多くの電気量を示すグラフである。

【 符号の説明 】

1	読み取り回路	
2	アレー分岐	20
3	基準分岐	
4	アレーセル	
5	メモリアレー	
6	アレービット線	
7	基準セル	
8	基準ビット線	
9	コンバータ	
10	デコード、バイアスおよび等化回路	
12	アレー負荷	
13	基準負荷	30
15	電源線	
16 , 17	ノード	
18	センスアンプ	
21 , 22	メモリセル	
24	ノード	
25	保護回路	
29 , 30	トランジスタ	
31	入力	
33	トランジスタ	
34	ゲート	40
35 ~ 37	負荷トランジスタ	
38	ノード	
39	保護回路	
40 , 44	トランジスタ	
45	ノード	
46	保護回路	
48	トランジスタ	
50	ノード	
51	トランジスタ	
53	セルアレー	50

- 5 5 等化回路
- 5 6 バイアス回路
- 6 0 ~ 6 2 トランジスタ
- 6 4 , 6 5 トランジスタ
- 7 1 バイアス回路
- 7 2 デコード回路
- 7 4 ノード
- 7 5 平衡用分岐
- 7 6 , 7 7 トランジスタ

【 図 1 】



【 図 2 】

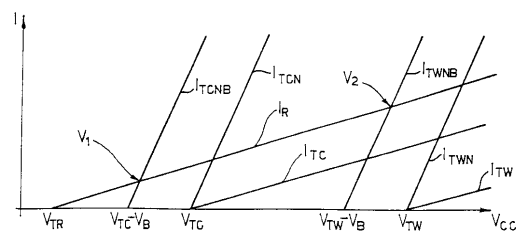


Fig.2

【 図 3 】

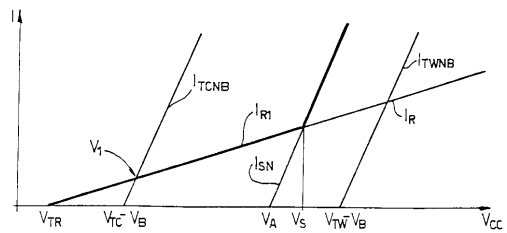
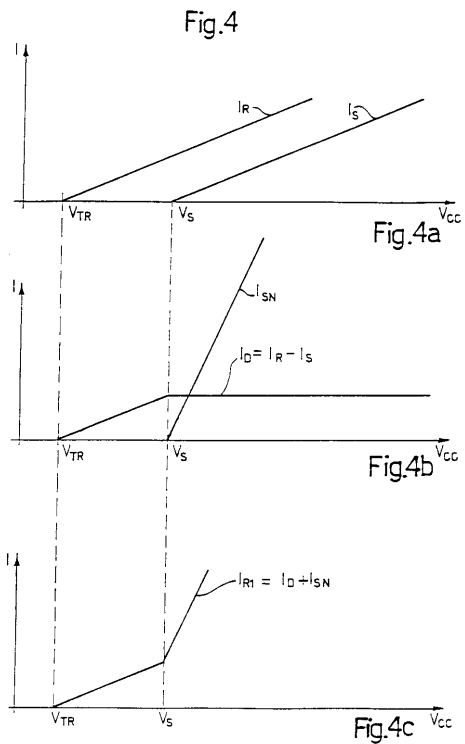


Fig.3

【 図 4 】



【 図 5 】

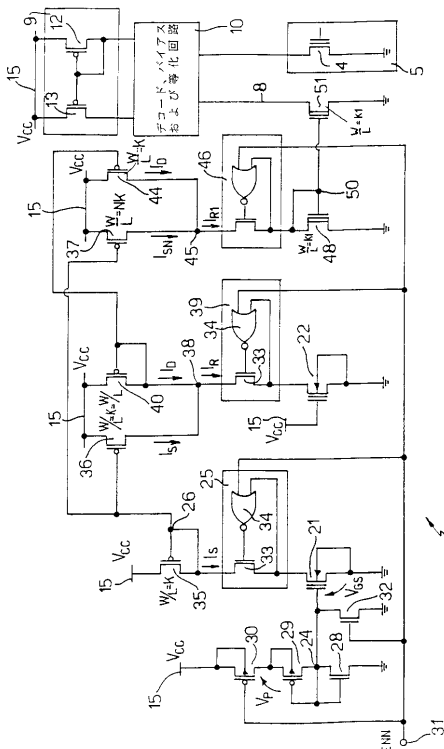
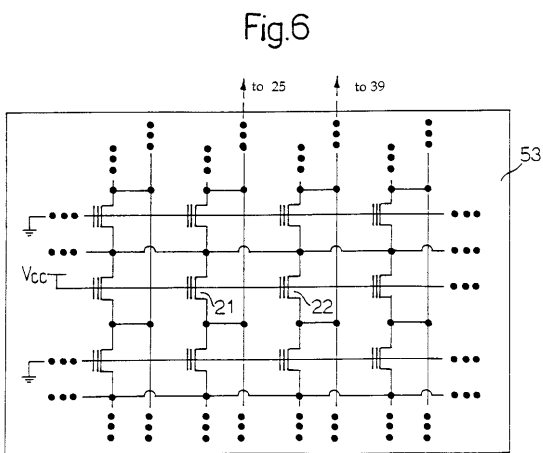


Fig. 5

【 図 6 】



【 図 7 】

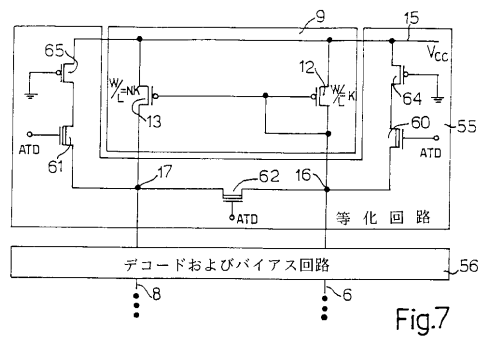


Fig. 7

【 図 8 】

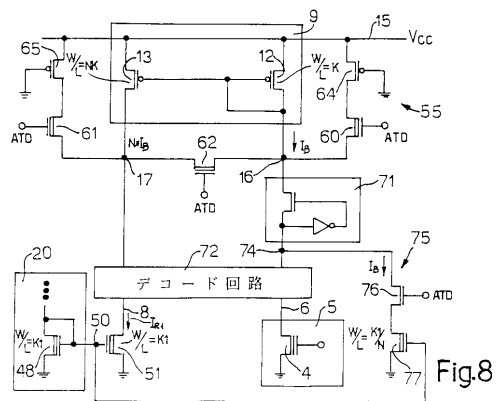


Fig. 8

【 図 9 】

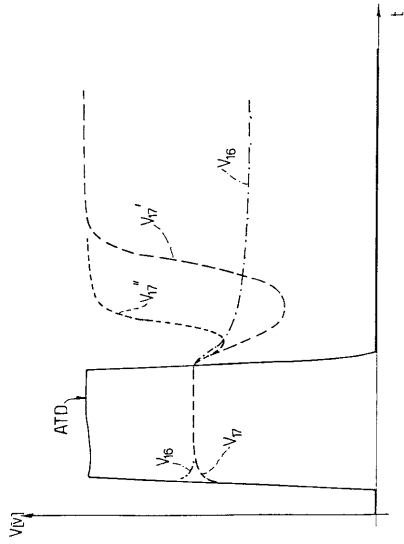


Fig. 9

フロントページの続き

- (72)発明者 リノ・ミケローニ
イタリア国、22078 トゥラーテ、ヴィア・マツィーニ、13
(72)発明者 マルコ・マッカロツネ
イタリア国、27030 パレストロ、ヴィア・フォルナーチェ、8

審査官 石川 正二

- (56)参考文献 特開平04 - 274092 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 16/06