

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4373866号
(P4373866)

(45) 発行日 平成21年11月25日(2009.11.25)

(24) 登録日 平成21年9月11日(2009.9.11)

(51) Int. Cl. F I
 HO 1 L 21/3205 (2006.01) HO 1 L 21/88 J
 HO 1 L 23/52 (2006.01) HO 1 L 23/12 5 O 1 P
 HO 1 L 23/12 (2006.01)

請求項の数 4 (全 18 頁)

<p>(21) 出願番号 特願2004-210216 (P2004-210216)</p> <p>(22) 出願日 平成16年7月16日(2004.7.16)</p> <p>(65) 公開番号 特開2006-32699 (P2006-32699A)</p> <p>(43) 公開日 平成18年2月2日(2006.2.2)</p> <p>審査請求日 平成18年11月9日(2006.11.9)</p> <p>(出願人による申告) 国等の委託研究の成果に係る特許出願(平成15年度新エネルギー・産業技術総合開発機構からの委託研究「超高密度電子S I技術の研究開発(エネルギー使用合理化技術開発)」)、産業活力再生特別措置法30条の適用を受けるもの</p>	<p>(73) 特許権者 000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号</p> <p>(73) 特許権者 000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1番地</p> <p>(73) 特許権者 000004237 日本電気株式会社 東京都港区芝五丁目7番1号</p> <p>(73) 特許権者 503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号</p> <p>(74) 代理人 100107906 弁理士 須藤 克彦</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の表面に第1の絶縁膜を形成する工程と、
 前記第1の絶縁膜の一部をエッチングにより薄膜化して、凹部を形成する工程と、
 前記凹部内から前記第1の絶縁膜上に延びるパッド電極を形成する工程と、
 前記半導体基板の裏面上に第2の絶縁膜を形成する工程と、
 前記凹部よりも大きい開口径を有し、かつ前記凹部に対応した位置の前記第2の絶縁膜及び前記半導体基板を貫通して前記第1の絶縁膜を露出するビアホールを形成する工程と、
 、
 前記ビアホール内から前記第2の絶縁膜上に延びる第3の絶縁膜を形成する工程と、
 前記ビアホールの底部の第3の絶縁膜及び前記第1の絶縁膜をエッチングして前記パッド電極を露出する工程と、
 前記ビアホール内に、前記パッド電極と電氣的に接続された貫通電極を形成する工程と、
 、
 前記半導体基板を複数の半導体チップに切断分離する工程と、を有することを特徴とする半導体装置の製造方法。

10

【請求項2】

半導体基板の表面の一部上にゲート電極を形成する工程と、
 前記半導体基板の表面に第1の絶縁膜を形成する工程と、
 前記ゲート電極と接する前記第1の絶縁膜の一部を除去して、当該ゲート電極の表面の

20

一部を露出する開口部を形成する工程と、

前記開口部内から前記第1の絶縁膜上に延びるパッド電極を形成する工程と、

前記半導体基板の裏面上に第2の絶縁膜を形成する工程と、

前記開口部よりも大きい開口径を有し、かつ前記開口部に対応した位置の前記第2の絶縁膜及び前記半導体基板を貫通して前記ゲート電極を露出するビアホールを形成する工程と、

前記ビアホール内から前記第2の絶縁膜上に延びる第3の絶縁膜を形成する工程と、

前記ビアホールの底部の第3の絶縁膜及び前記ゲート電極をエッチングして前記パッド電極を露出する工程と、

前記ビアホール内に、前記パッド電極と電氣的に接続された貫通電極を形成する工程と

10

、
前記半導体基板を複数の半導体チップに切断分離する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項3】

前記半導体基板の裏面上に、前記貫通電極と接続された配線層を形成する工程を有することを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】

前記配線層上に導電端子を形成する工程を有することを特徴とする請求項3項記載の半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特に、貫通電極を有する半導体装置の製造方法に関するものである。

【背景技術】

【0002】

近年、三次元実装技術として、また新たなパッケージ技術として、CSP (Chip Size Package) が注目されている。CSPとは、半導体チップの外形寸法と略同サイズの外形寸法を有する小型パッケージをいう。

【0003】

30

従来より、CSPの一種として、貫通電極を有したBGA型の半導体装置が知られている。このBGA型の半導体装置は、半導体基板を貫通してパッド電極と接続された貫通電極を有する。また、当該半導体装置は、当該裏面上に半田等の金属部材から成るボール状の導電端子が格子状に複数配列されたものである。

【0004】

そして、この半導体装置を電子機器に組み込む際には、各導電端子を回路基板（例えばプリント基板）上の配線パターンに接続している。

【0005】

このようなBGA型の半導体装置は、側部に突出したリードピンを有するSOP (Small Outline Package) やQFP (Quad Flat Package) 等の他のCSP型の半導体装置に比べて、多数の導電端子を設けることが出来、しかも小型化できるという長所を有する。

40

【0006】

次に、従来例に係る貫通電極を有したBGA型の半導体装置の製造方法を図面を参照して説明する。図24乃至図27は、従来例に係る半導体装置の製造方法を説明する断面図である。

【0007】

図24に示すように、最初に、半導体基板50の表面に、第1の絶縁膜51を介してパッド電極52を形成する。次に、必要に応じて支持体54を、半導体基板50の表面に樹脂層53を介して接着する。

50

【0008】

次に、半導体基板50の裏面上に、第2の絶縁膜55を形成し、さらに、当該第2の絶縁膜上に、レジスト層80を選択的に形成する。レジスト層80は、パッド電極52の位置に対応して開口している。このレジスト層80をマスクとして、第2の絶縁膜55及び半導体基板50をエッチングし、それらを貫通して第1の絶縁膜51を露出するビアホール56を形成する。

【0009】

さらに、図25に示すように、レジスト層80をマスクとして、ビアホール56の底部で露出する第1の絶縁膜51をエッチングして除去する。

【0010】

次に、図26に示すように、ビアホール56内から第2の絶縁膜55上にかけて第3の絶縁膜57を形成する。

【0011】

その後、図27に示すように、半導体基板50の裏面から、ビアホール56の底部の第3の絶縁膜57をエッチングして除去し、パッド電極52を露出する。

【0012】

さらに、図示しないが、ビアホール56内に、パッド電極と電氣的に接続された不図示の貫通電極を形成する。また、上記貫通電極と電氣的に接続した不図示の配線層を半導体基板50の裏面上に形成し、さらに、上記配線層上を含む半導体基板50の裏面上に不図示の保護層を形成する。そして、上記保護層の一部を開口して上記配線層の一部を露出し、その配線層上に不図示の導電端子を形成する。その後、半導体基板50をダイシングにより複数の半導体チップに切断分離する。

【0013】

なお、関連した技術文献としては、例えば以下の特許文献が挙げられる。

【特許文献1】特開2003-309221号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、上述した従来例に係る半導体装置の製造方法では、図25に示すように、ビアホール56の底部の第1の絶縁膜51をエッチングしてパッド電極52を露出した後、第3の絶縁膜57を形成し、さらに、図27に示すように当該底部の第3の絶縁膜57をエッチングしてパッド電極52を再度露出していた。即ち、ビアホール56の側壁に第3の絶縁膜57を残存させながら当該底部でパッド電極52を露出するためには、2回のエッチングを必要としていた。

【0015】

さらに言えば、ビアホール56の底部の第1の絶縁膜51や第3の絶縁膜57をエッチングして除去する際、被エッチング領域の角部への電界集中やオーバーエッチングにより、ビアホール56の底部における半導体基板50の角部が露出するという問題が生じていた。これにより、後にビアホール56内に形成された不図示の貫通電極と半導体基板50との間に絶縁不良が生じていた。

【0016】

上記不図示の貫通電極と半導体基板50との間の絶縁不良を回避するためには、第1の絶縁膜51や第3の絶縁膜57のオーバーエッチングの量を極力少量にとどめながら、パッド電極52を確実に露出するように、当該エッチングを慎重に制御する必要があった。そのため、半導体装置の製造方法における工程が複雑となり、製造コストが増大するという問題が生じていた。

【0017】

また、第1の絶縁膜51のエッチングが不十分である場合、後にビアホール56内に形成される不図示の貫通電極とパッド電極52とが電氣的に接続不良となるという問題が生じていた。そのため、半導体装置の歩留まりが低下していた。

10

20

30

40

50

【0018】

そこで、本発明は、貫通電極を有した半導体装置の製造方法において、工程を簡略化して製造コストを極力低く抑えると共に、歩留まりの向上を図る。

【課題を解決するための手段】

【0021】

また、本発明の半導体装置の製造方法は、半導体基板の表面に第1の絶縁膜を形成する工程と、第1の絶縁膜の一部をエッチングにより薄膜化して、凹部を形成する工程と、凹部内から第1の絶縁膜上に延びるパッド電極を形成する工程と、半導体基板の裏面上に第2の絶縁膜を形成する工程と、上記凹部よりも大きい開口径を有し、かつ当該凹部に対応した位置の第2の絶縁膜及び半導体基板を貫通して第1の絶縁膜を露出するビアホールを形成する工程と、ビアホール内から第2の絶縁膜上に延びる第3の絶縁膜を形成する工程と、ビアホールの底部の第3の絶縁膜及び第1の絶縁膜をエッチングしてパッド電極を露出する工程と、ビアホール内に、パッド電極と電氣的に接続された貫通電極を形成する工程と、半導体基板を複数の半導体チップに切断分離する工程と、を有することを特徴とする。

10

【0022】

また、本発明の半導体装置の製造方法は、半導体基板の表面の一部上にゲート電極を形成する工程と、

前記ゲート電極が形成された前記半導体基板の表面に第1の絶縁膜を形成する工程と、前記ゲート電極と接する前記第1の絶縁膜の一部を除去して、当該ゲート電極の表面の一部を露出する開口部を形成する工程と、前記開口部内から前記第1の絶縁膜上に延びるパッド電極を形成する工程と、前記半導体基板の裏面上に第2の絶縁膜を形成する工程と、

20

前記開口部よりも大きい開口径を有し、かつ前記開口部に対応した位置の前記第2の絶縁膜及び前記半導体基板を貫通して前記ゲート電極を露出するビアホールを形成する工程と、前記ビアホール内から前記第2の絶縁膜上に延びる第3の絶縁膜を形成する工程と、

前記ビアホールの底部の第3の絶縁膜及び前記ゲート電極をエッチングして前記パッド電極を露出する工程と、前記ビアホール内に、前記パッド電極と電氣的に接続された貫通電極を形成する工程と、前記半導体基板を複数の半導体チップに切断分離する工程と、を有することを特徴とする。

30

【0023】

また、本発明の半導体装置の製造方法は、上記工程に加えて、半導体基板の裏面上に、貫通電極と接続された配線層を形成する工程と、配線層上に導電端子を形成する工程を有することを特徴とする。

【発明の効果】

【0024】

本発明によれば、ビアホールの底部でパッド電極を露出する際、当該底部の絶縁膜のエッチングを1回で完了することが可能となる。また、ビアホールの底部の絶縁膜をエッチングする際、パッド電極を確実に露出するために必要なエッチングの量を極力少量に抑えることができると共に、当該エッチングの制御を簡易に行うことができる。

40

【0025】

また、本発明によれば、シリコンノジュールの発生を抑止することが可能になる。

【0027】

従って、貫通電極を有した半導体装置の製造方法において、その工程を簡略化して製造コストを極力低く抑えると共に、歩留まりを向上することが可能となる。

【発明を実施するための最良の形態】

【0028】

次に、本発明の第1の実施形態に係る半導体装置の製造方法について図面を参照して説明する。図1乃至図11は、本実施形態に係る半導体装置の製造方法を説明する断面図である。なお、図1乃至図11は、半導体基板のうち、不図示のダイシングラインの近傍を

50

示している。

【0029】

最初に、図1に示すように、表面に不図示の電子デバイスが形成された半導体基板10を準備する。ここで、不図示の電子デバイスは、例えば、CCD(Charge Coupled Device)や赤外線センサ等の受光素子、もしくは発光素子であるものとする。もしくは、不図示の電子デバイスは、上記受光素子や発光素子以外の電子デバイスであってもよい。また、半導体基板10は、例えばシリコン基板から成るものとするが、その他の材質の基板であってもよい。また、半導体基板10は、好ましくは約130 μ mの膜厚を有している。

【0030】

次に、不図示の電子デバイスを含む半導体基板10の表面上に、層間絶縁膜として第1の絶縁膜11を形成する。第1の絶縁膜11は、例えば、P-TEOS膜やBPSG膜等から成る。また、第1の絶縁膜11は、好ましくは約0.8 μ mの膜厚を有して形成される。

【0031】

次に、図2に示すように、半導体基板10の表面と接する第1の絶縁膜11の一部の箇所を選択的にエッチングして除去する。上記一部の箇所は、後にビアホールが形成される半導体基板10の位置に対応した箇所である。このエッチングにより、半導体基板10の表面の一部を露出する開口部11aが形成される。

【0032】

次に、図3に示すように、開口部11a内を含む第1の絶縁膜11上に、不図示の電子デバイスと接続された外部接続用電極であるパッド電極12を形成する。パッド電極12は、スパッタ法により形成されたアルミニウム(Al)から成る電極であることが好ましいが、その他の金属から成る電極であってもよい。ここで、パッド電極12は、開口部11aの底部で半導体基板10と接触し、かつ当該開口部11a内から第1の絶縁膜11上に延びるようにして形成される。また、パッド電極12は、好ましくは約1 μ mの膜厚を有して形成される。

【0033】

次に、図4に示すように、パッド電極12上に、樹脂層13を介して支持体14を形成する。ここで、不図示の電子デバイスが受光素子や発光素子である場合、支持体14は、例えばガラスのような透明もしくは半透明の性状を有した材料により形成されている。不図示の電子デバイスが受光素子や発光素子ではない場合、支持体14は、透明もしくは半透明の性状を有さない材料により形成されるものであってもよい。また、支持体14はテープ状のものであってもよい。この支持体14は、後の工程において除去されるものであってもよい。もしくは、支持体14は、除去されずに残されてもよい。なお、支持体14の形成は、必ずしも必要ではなく省略されても構わない。

【0034】

次に、半導体基板10の裏面上に、裏面絶縁膜として第2の絶縁膜15を形成する。第2の絶縁膜15は、例えばシリコン酸化膜(SiO₂膜)もしくはシリコン窒化膜(SiN膜)から成り、例えばプラズマCVD法によって形成される。また、第2の絶縁膜15は、好ましくは約1 μ m~2 μ mの膜厚を有して形成される。

【0035】

次に、図5に示すように、不図示のレジスト層を用いて、第1の絶縁膜11の開口部11aに対応した位置の第2の絶縁膜15及び半導体基板10を、当該開口部11aよりも大きく開口するようにしてエッチングする。このエッチングにより、第1の絶縁膜11の開口部11aよりも大きい開口径を有し、かつ第2の絶縁膜15及び半導体基板10を貫通するビアホール16が形成される。ここで、ビアホール16の底部では、第1の絶縁膜11の一部及びパッド電極12の一部が露出される。

【0036】

次に、図6に示すように、ビアホール16内及び第2の絶縁膜15上に、第3の絶縁膜

10

20

30

40

50

17を形成する。第3の絶縁膜17は、例えばシリコン酸化膜(SiO₂膜)もしくはシリコン窒化膜(SiN膜)から成り、例えばプラズマCVD法によって形成される。

【0037】

次に、図7に示すように、半導体基板10の裏面側から、好ましくは異方性のドライエッチングにより、第3の絶縁膜17のエッチングを行う。このエッチングにより、第2の絶縁膜15上に形成された第3の絶縁膜17、及びビアホール16の底部に形成された第3の絶縁膜17が除去される。即ち、ビアホール16の側壁に形成された第3の絶縁膜17が残されて、ビアホール16の底部ではパッド電極12の一部が露出される。また、当該底部で露出されたパッド電極12の周囲では、第1の絶縁膜11の一部が露出される。

【0038】

なお、上記エッチングでは、パッド電極12を確実に露出するために若干のオーバーエッチングを行う必要がある。しかしながら、ビアホール16の底部ではパッド電極12が第1の絶縁膜11に覆われていないため、上記エッチングの量を極力少量に抑えることが可能となる。

【0039】

次に、図8に示すように、ビアホール16内及び半導体基板10の裏面の第2の絶縁膜15上に、バリアシード層18を形成する。バリアシード層18は、不図示のバリアメタル層とシード層とから成る積層構造を有している。ここで、上記バリアメタル層は、例えばチタンタングステン(TiW)層、チタンナイトライド(TiN)層、もしくはタンタルナイトライド(TaN)層等の金属層から成る。上記シード層は、後述する配線層20

【0040】

バリアシード層18は、例えば、スパッタ法、CVD法、無電界メッキ法、もしくはその他の成膜方法によって形成される。

【0041】

なお、ビアホール16の側壁の第3の絶縁膜17がシリコン窒化膜(SiN膜)により形成されている場合には、当該シリコン窒化膜(SiN膜)が銅拡散に対するバリアとなるため、バリアシード層18は、銅(Cu)から成るシード層のみから成る単層構造を有していてもよい。

【0042】

次に、ビアホール16内を含むバリアシード層18上に、例えば電界メッキ法により、例えば銅(Cu)から成る貫通電極19、及びこの貫通電極19と連続した配線層20を形成する。メッキ膜厚は、貫通電極19がビアホール16内に完全もしくは不完全に埋め込まれるような厚さに調整される。ここで、貫通電極19及び配線層20は、バリアシード層18を介して、ビアホール16の底部で露出するパッド電極12と電気的に接続される。

【0043】

次に、半導体基板10の裏面の配線層20上に、配線層20を所定のパターンにパターンニングするための不図示のレジスト層を選択的に形成する。不図示のレジスト層は、所定のパターンに対応して残存させる配線層20の領域上に形成される。残存させる配線層20の領域は、少なくともビアホール16の形成位置を含む。

【0044】

次に、図9に示すように、不図示のレジスト層をマスクとして、配線層20及びバリアシード層18の不要部分をエッチングして除去する。もしくは、少なくとも配線層20の不要部分をエッチングして除去する。このエッチングにより、配線層20が所定の配線パターンにパターンニングされる。

【0045】

次に、図10に示すように、上記不図示のレジスト層を除去した後、半導体基板10の裏面上に、これを覆うようにして、例えばレジスト材料等から成る保護層21を形成する。保護層21のうち配線層20に対応する位置には開口部が設けられる。そして、当該開

10

20

30

40

50

口部で露出する配線層 20 上に、例えばハンダ等の金属から成るボール状の導電端子 22 が形成される。

【0046】

次に、図 11 に示すように、半導体基板 10 の不図示のダイシングラインに沿ってダイシングを行い、当該半導体基板 10 及びそれに積層された各層を切断分離する。これにより、複数の半導体チップ 10A 及びそれに積層された各層から成る半導体装置が完成する。

【0047】

上述したように、本実施形態の製造方法によれば、半導体基板 10 をエッチングしてビアホール 16 を形成した後、従来例のようにビアホール 56 の底部でパッド電極 52 を覆う第 1 の絶縁膜 51 をエッチングする必要がない。そのため、ビアホール 16 の底部でパッド電極 12 を露出する際の絶縁膜のエッチングを 1 回で完了することが可能となる。また、ビアホール 16 の底部でパッド電極 12 を確実に露出するためのエッチングの量を極力少量に抑えることが可能となる。即ち、従来例に比してエッチングの制御を簡易に行うことができる。

【0048】

結果として、貫通電極を有した半導体装置の製造方法において、その工程を簡略化して製造コストを極力低く抑えると共に、歩留まりを向上することが可能となる。

【0049】

次に、本発明の第 2 の実施形態に係る半導体装置の製造方法について図面を参照して説明する。図 12 乃至図 15 は、本実施形態に係る半導体装置の製造方法を説明する断面図である。なお、図 12 乃至図 15 は、半導体基板のうち、不図示のダイシングラインの近傍を示している。また、図 12 乃至図 15 では、第 1 の実施形態に係る図 1 乃至図 11 に示したものと同一の構成要素については、同一の符号を付して説明する。

【0050】

最初に、図 12 に示すように、第 1 の実施形態と同様の不図示の電子デバイスが形成された半導体基板 10 を準備し、第 1 の実施形態と同様に、第 1 の絶縁膜 11 及びその開口部 11a を形成する。

【0051】

次に、開口部 11a 内を含む第 1 の絶縁膜 11 上に、バリアメタル層 12b を形成する。上記バリアメタル層 12b は、例えばチタンタングステン (TiW) 層、チタンナイトライド (TiN) 層、もしくはタンタルナイトライド (TaN) 層等の金属層から成ることが好ましい。もしくは、バリアメタル層 12b は、上記以外の金属層から成るものであってもよい。ここで、バリアメタル層 12b は、開口部 11a の底部で半導体基板 10 と接触し、かつ当該開口部 11a 内から第 1 の絶縁膜 11 上に延びるようにして形成される。

【0052】

次に、開口部 11a 内を含むバリアメタル層 12b 上に、例えばスパッタ法により形成されたアルミニウム (Al) から成るパッド電極 12 を形成する。ここで、バリアメタル層 12b の存在により、パッド電極 12 と半導体基板 10 とは互いに接触しない。そのため、半導体基板 10 がシリコン基板から成り、かつパッド電極 12 がアルミニウム (Al) から成る場合、パッド電極 12 のアルミニウム (Al) が例えばアルミニウム酸化膜等の金属に合金化されて起こる不良、即ちシリコンノジュールの発生を抑止することが可能となる。また、パッド電極 12 が銅 (Cu) から成る場合、いわゆる銅拡散を抑止することができる。

【0053】

次に、必要に応じて、第 1 の実施形態と同様に、パッド電極 12 上に樹脂層 13 を介して支持体 14 を形成する。この支持体 14 は、後の工程において除去されるものであってもよい。もしくは、支持体 14 は、除去されずに残されてもよい。なお、支持体 14 の形成は、必ずしも必要ではなく省略されても構わない。また、半導体基板 10 の裏面には、

10

20

30

40

50

第1の実施形態と同様に第2の絶縁膜15を形成する。

【0054】

次に、図13に示すように、不図示のレジスト層を用いて、第1の絶縁膜11の開口部11aに対応した位置の第2の絶縁膜15及び半導体基板10を、当該開口部11aよりも大きく開口するようにしてエッチングする。このエッチングにより、第1の絶縁膜11の開口部11aよりも大きい開口径を有し、かつ第2の絶縁膜15及び半導体基板10を貫通するビアホール16が形成される。ここで、ビアホール16の底部では、第1の絶縁膜11の一部及びバリアメタル層12bの一部が露出される。

【0055】

次に、図14に示すように、ビアホール16内及び第2の絶縁膜15上に、第1の実施形態と同様に、第3の絶縁膜17を形成する。

10

【0056】

次に、図15に示すように、第1の実施形態と同様に、半導体基板10の裏面側から、好ましくは異方性のドライエッチングにより第3の絶縁膜17のエッチングを行う。このエッチングにより、第2の絶縁膜15上に形成された第3の絶縁膜17、及びビアホール16の底部に形成された第3の絶縁膜が除去される。即ち、ビアホール16の側壁に形成された第3の絶縁膜17が残されて、ビアホール16の底部ではバリアメタル層12bの一部が露出される。また、当該底部で露出されたバリアメタル層12bの周囲では、第1の絶縁膜11の一部が露出される。

【0057】

20

なお、上記エッチングでは、バリアメタル層12bを確実に露出するために若干のオーバーエッチングを行う必要がある。しかしながら、ビアホール16の底部ではバリアメタル層12bが第1の絶縁膜11に覆われていないため、上記エッチングの量を極力少量に抑えることが可能となる。

【0058】

次に、図示しないが、第1の実施形態と同様に、ビアホール16内及び半導体基板10の裏面の第2の絶縁膜15上に、不図示のバリアシード層を形成する。さらに、不図示のバリアシード層上に、不図示の貫通電極及び及びその貫通電極と連続した配線層を形成して、当該配線層を所定のパターンにパターンニングする。これら不図示のバリアシード層、貫通電極、配線層、及び導電端子は、第1の実施形態と同様の材質から成り、同様の形成方法によって形成される。

30

【0059】

最後に、半導体基板10の不図示のダイシングラインに沿ってダイシングを行い、当該半導体基板10及びそれに積層された各層を切断分離する。これにより、複数の半導体チップ10A及びそれに積層された各層から成る半導体装置が完成する。

【0060】

上述したように、本実施形態の製造方法によれば、バリアメタル層12bの存在により、パッド電極12と半導体基板10とは互いに接触しない。そのため、パッド電極12を構成するアルミニウム(A1)が合金化されて起こる不良、即ちシリコンノジュールの発生を抑止することが可能となる。

40

【0061】

また、第1の実施形態と同様に、半導体基板10をエッチングしてビアホール16を形成した後、従来例のようにビアホール56の底部でパッド電極52を覆う第1の絶縁膜51をエッチングする必要がない。そのため、ビアホール16の底部でバリアメタル層12bを露出する際の絶縁膜のエッチングを1回で完了することが可能となる。また、ビアホール16の底部でバリアメタル層12bを確実に露出するためのエッチングの量を極力少量に抑えることが可能となる。即ち、従来例に比してエッチングの制御を簡易に行うことができる。

【0062】

結果として、貫通電極を有した半導体装置の製造方法において、その工程を簡略化して

50

製造コストを極力低く抑えると共に、歩留まりを向上することが可能となる。

【0063】

次に、本発明の第3の実施形態に係る半導体装置の製造方法について図面を参照して説明する。図16乃至図19は、本実施形態に係る半導体装置の製造方法を説明する断面図である。なお、図16乃至図19は、半導体基板のうち、不図示のダイシングラインの近傍を示している。また、図16乃至図19では、第1の実施形態に係る図1乃至図11に示したものと同一の構成要素については、同一の符号を付して説明する。

【0064】

最初に、図16に示すように、第1の実施形態と同様に、第1の実施形態と同様の不図示の電子デバイスが形成された半導体基板10を準備する。次に、上記不図示の電子デバイスを含む半導体基板10の表面上に、第1の実施形態の第1の絶縁膜11と同様の第1の絶縁膜21を形成する。

10

【0065】

次に、半導体基板10の表面側から、第1の絶縁膜21の一部の箇所を、その膜厚の途中まで選択的にエッチングして薄膜化する。上記一部の箇所は、後にビアホールが形成される半導体基板10の位置に対応した箇所である。このエッチングにより、第1の絶縁膜21が薄膜化されて成る底部を有した凹部21aが形成される。凹部21aの底部の薄膜化された第1の絶縁膜21は、半導体基板10の表面と接触している。

【0066】

次に、凹部21a内を含む第1の絶縁膜21上に、不図示の電子デバイスと接続された外部接続用電極であるパッド電極22を形成する。パッド電極22は、第1の実施形態のパッド電極12と同様に、例えばスパッタ法により形成されたアルミニウム(Al)から成り、凹部21aの底部から第1の絶縁膜21上に延びるようにして形成される。

20

【0067】

ここで、本実施形態では、第1の実施形態とは異なり、凹部21aの底部の薄膜化された第1の絶縁膜21内の存在により、パッド電極22が半導体基板10の表面と接触しない。そのため、半導体基板10がシリコン基板から成り、かつパッド電極がアルミニウム(Al)から成る場合、そのアルミニウムが半導体基板10と接触して例えばアルミニウム酸化膜等の金属に合金化されて起こる不良、即ちシリコンノジュールの発生を抑止することが可能となる。

30

【0068】

また、半導体基板10やパッド電極22の材質に関わらず、半導体基板10の表面とパッド電極22とが絶縁される。そのため、半導体基板10の表面に形成された不図示の電子デバイスの回路テストを、ビアホール16の形成工程よりも前の工程において行うことができる。

【0069】

次に、必要に応じて、第1の実施形態と同様に、パッド電極22上に、樹脂層13を介して支持体14を形成する。この支持体14は、後の工程において除去されるものであってもよい。もしくは、支持体14は、除去されずに残されてもよい。なお、支持体14の形成は、必ずしも必要ではなく省略されても構わない。また、半導体基板10の裏面には、第1の実施形態と同様に第2の絶縁膜15を形成する。

40

【0070】

次に、図17に示すように、第1の実施形態と同様に、不図示のレジスト層を用いて、第1の絶縁膜21の凹部21aに対応した位置の第2の絶縁膜15及び半導体基板10を、当該凹部21aよりも大きく開口するようにしてエッチングする。このエッチングにより、第1の絶縁膜21の凹部21aよりも大きい開口径を有し、かつ第2の絶縁膜15及び半導体基板10を貫通するビアホール16が形成される。ここで、第1の実施形態とは異なり、ビアホール16の底部では、第1の絶縁膜21が露出される。

【0071】

次に、図18に示すように、第1の実施形態と同様に、ビアホール16内及び第2の絶

50

縁膜 15 上に、第 1 の実施形態と同様に、第 3 の絶縁膜 17 を形成する。

【0072】

次に、図 19 に示すように、第 1 の実施形態と同様に、半導体基板 10 の裏面側から、好ましくは異方性のドライエッチングにより第 3 の絶縁膜 17 のエッチングを行う。このエッチングにより、第 2 の絶縁膜 15 上に形成された第 3 の絶縁膜 17、ビアホール 16 の底部に形成された第 3 の絶縁膜 17、及び当該底部の薄膜化された第 1 の絶縁膜 21 が除去される。即ち、ビアホール 16 の側壁に形成された第 3 の絶縁膜 17 が残されて、ビアホール 16 の底部ではパッド電極 22 の一部が露出される。また、当該底部で露出されたパッド電極 22 の周囲では、第 1 の絶縁膜 21 の一部が露出される。

【0073】

なお、本実施形態では、ビアホール 16 の底部の第 3 の絶縁膜 17 を上記エッチングにより除去する際、薄膜化された第 1 の絶縁膜 21 もエッチングして除去するため、第 1 の実施形態に比して、上記エッチング工程のエッチング量やエッチング時間が僅かに増大する。しかしながら、従来例のように、第 1 の絶縁膜 51 及び第 3 の絶縁膜 57 を 2 回のエッチングにより除去する必要は無いため、従来例に比してエッチングの量を少量に抑えることができる。

【0074】

次に、図示しないが、第 1 の実施形態と同様に、ビアホール 16 内及び半導体基板 10 の裏面の第 2 の絶縁膜 15 上に、不図示のバリアシード層を形成する。さらに、不図示のバリアシード層上に、不図示の貫通電極及び及びその貫通電極と連続した配線層を形成して、当該配線層を所定のパターンにパターンニングする。これら不図示のバリアシード層、貫通電極、配線層、及び導電端子は、第 1 の実施形態と同様の材質から成り、同様の形成方法によって形成される。

【0075】

最後に、半導体基板 10 の不図示のダイシングラインに沿ってダイシングを行い、当該半導体基板 10 及びそれに積層された各層を切断分離する。これにより、複数の半導体チップ 10A 及びそれに積層された各層から成る半導体装置が完成する。

【0076】

上述したように、本実施形態の製造方法によれば、パッド電極 22 が半導体基板 10 の表面と接触しない。そのため、半導体基板と接触したパッド電極 22 が合金化されて起こる不良、即ちシリコンノジュールの発生を抑止することが可能となる。

【0077】

また、半導体基板 10 の表面とパッド電極 22 とが絶縁されるため、半導体基板 10 の表面に形成された不図示の電子デバイスの回路テストを、ビアホール 16 の形成工程よりも前の工程において行うことができる。

【0078】

また、ビアホール 16 の底部でパッド電極 22 を露出する際の絶縁膜のエッチングを 1 回で完了することが可能となる。そのため、従来例に比してエッチングの量を少量に抑えると共に、エッチングの制御を簡易に行うことができる。

【0079】

結果として、貫通電極を有した半導体装置の製造方法において、その工程を簡略化して製造コストを極力低く抑えると共に、歩留まりを向上することが可能となる。

【0080】

次に、本発明の第 4 の実施形態に係る半導体装置の製造方法について図面を参照して説明する。図 20 乃至図 23 は、本実施形態に係る半導体装置の製造方法を説明する断面図である。なお、図 20 乃至図 23 は、第 1 の実施形態に係る図 1 乃至図 11 に示したものと同一の構成要素については、同一の符号を付して説明する。

【0081】

最初に、図 20 に示すように、第 1 の実施形態と同様に、第 1 の実施形態と同様の不図示の電子デバイスが形成された半導体基板 10 を準備する。次に、半導体基板 10 のうち

10

20

30

40

50

、後述するビアホール 16 が形成される所定の箇所に、ゲート酸化膜 10a を形成する。ゲート酸化膜 10a は、例えば熱酸化によるシリコン酸化膜 (SiO_2 膜) もしくはその他の酸化膜から成る。

【0082】

なお、図示しないが、半導体基板 10 のうち、後述するビアホール 16 が形成される上記所定の箇所には、ゲート酸化膜 10a の代わりに、例えばポリシリコンから成るゲート電極層を形成してもよい。もしくは、上記所定の箇所には、ゲート酸化膜 10a の代わりに、例えば熱酸化によるシリコン酸化膜 (SiO_2 膜)、P-TEOS 膜、もしくは BPSG 膜から成る素子分離層を形成してもよい。

【0083】

次に、上記不図示の電子デバイス及びゲート絶縁膜 10a を含む半導体基板 10 の表面上に、第 1 の絶縁膜 11 と同様の第 1 の絶縁膜 31 を形成する。次に、半導体基板 10 の裏面と接する第 1 の絶縁膜 31 の一部の箇所を選択的にエッチングして除去する。上記一部の箇所は、後にビアホールが形成される半導体基板 10 の位置に対応した箇所である。このエッチングにより、半導体基板 10 の表面上に形成されたゲート絶縁膜 10a を露出する開口部 31a が形成される。

【0084】

次に、開口部 31a 内を含む第 1 の絶縁膜 31 上に、不図示の電子デバイスと接続された外部接続用電極であるパッド電極 32 を形成する。パッド電極 32 は、第 1 の実施形態のパッド電極 32 と同様に、例えばスパッタ法により形成されたアルミニウム (Al) から成り、開口部 31a の底部から第 1 の絶縁膜 31 上に延びるようにして形成される。

【0085】

ここで、本実施形態では、第 1 の実施形態とは異なり、開口部 31a 内のパッド電極 32 と半導体基板 10 の表面との間に存在するゲート酸化膜 10a により、パッド電極 32 が半導体基板 10 の表面と接触しない。そのため、半導体基板 10 がシリコン基板から成り、かつパッド電極がアルミニウム (Al) から成る場合、そのアルミニウムが半導体基板 10 と接触して例えばアルミニウム酸化膜等の金属に合金化されて起こる不良、即ちシリコンジュールの発生を抑止することが可能となる。

【0086】

また、半導体基板 10 やパッド電極 32 の材質に関わらず、半導体基板 10 の表面とパッド電極 32 とが絶縁されるため、半導体基板 10 の表面に形成された不図示の電子デバイスの回路テストを、ビアホール 16 の形成工程よりも前の工程において行うことができる。

【0087】

次に、必要に応じて、第 1 の実施形態と同様に、パッド電極 32 上に、樹脂層 13 を介して支持体 14 を形成する。この支持体 14 は、後の工程において除去されるものであってもよい。もしくは、支持体 14 は、除去されずに残されてもよい。なお、支持体 14 の形成は、必ずしも必要ではなく省略されても構わない。また、半導体基板 10 の裏面には、第 1 の実施形態と同様に第 2 の絶縁膜 15 を形成する。

【0088】

次に、図 21 に示すように、第 1 の実施形態と同様に、不図示のレジスト層を用いて、第 1 の絶縁膜 31 の開口部 31a に対応した位置の第 2 の絶縁膜 15 及び半導体基板 10 を、当該開口部 31a よりも大きく開口するようにしてエッチングする。このエッチングにより、第 1 の絶縁膜 31 の開口部 31a よりも大きい開口径を有し、かつ第 2 の絶縁膜 15 及び半導体基板 10 を貫通するビアホール 16 が形成される。ここで、第 1 の実施形態とは異なり、ビアホール 16 の底部では、ゲート酸化膜 10a が露出される。

【0089】

次に、図 22 に示すように、第 1 の実施形態と同様に、ビアホール 16 内及び第 2 の絶縁膜 15 上に、第 1 の実施形態と同様に、第 3 の絶縁膜 17 を形成する。

【0090】

10

20

30

40

50

次に、図 23 に示すように、第 1 の実施形態と同様に、半導体基板 10 の裏面側から、好ましくは異方性のドライエッチングにより第 3 の絶縁膜 17 のエッチングを行う。このエッチングにより、第 2 の絶縁膜 15 上に形成された第 3 の絶縁膜 17、ビアホール 16 の底部に形成された第 3 の絶縁膜 17、及び当該底部のゲート酸化膜 10 a が除去される。即ち、ビアホール 16 の側壁に形成された第 3 の絶縁膜 17 が残されて、ビアホール 16 の底部ではパッド電極 12 の一部が露出される。また、当該底部で露出されたパッド電極 12 の周囲では、第 1 の絶縁膜 31 の一部が露出される。

【0091】

なお、本実施形態では、ビアホール 10 の底部の第 3 の絶縁膜 17 を上記エッチングにより除去する際、ゲート酸化膜 10 a もエッチングして除去するため、第 1 の実施形態に比して、上記エッチング工程のエッチング量やエッチング時間が僅かに増大する。しかしながら、従来例のように、第 1 の絶縁膜 51 及び第 3 の絶縁膜 57 を 2 回のエッチングにより除去する必要は無いため、従来例に比してエッチングの量を少量に抑えることができる。

10

【0092】

次に、図示しないが、第 1 の実施形態と同様に、ビアホール 16 内及び半導体基板 10 の裏面の第 2 の絶縁膜 15 上に、不図示のバリアシード層を形成する。さらに、不図示のバリアシード層上に、不図示の貫通電極及び及びその貫通電極と連続した配線層を形成して、当該配線層を所定のパターンにパターンニングする。これら不図示のバリアシード層、貫通電極、配線層、及び導電端子は、第 1 の実施形態と同様の材質から成り、同様の形成方法によって形成される。

20

【0093】

最後に、半導体基板 10 の不図示のダイシングラインに沿ってダイシングを行い、当該半導体基板 10 及びそれに積層された各層を切断分離する。これにより、複数の半導体チップ 10 A 及びそれに積層された各層から成る半導体装置が完成する。

【0094】

上述したように、本実施形態の製造方法によれば、パッド電極 32 が半導体基板 10 の表面と接触しない。そのため、半導体基板と接触したパッド電極 32 が合金化されて起こる不良、即ちシリコンノジュールの発生を抑止することが可能となる。また、半導体基板 10 やパッド電極 32 の材質に関わらず、半導体基板 10 の表面とパッド電極 32 とが絶縁されるため、半導体基板 10 の表面に形成された不図示の電子デバイスの回路テストを、ビアホール 16 の形成工程よりも前の工程において行うことができる。

30

【0095】

また、ビアホール 16 の底部でパッド電極 11 を露出する際の絶縁膜のエッチングを 1 回で完了することが可能となる。そのため、従来例に比して当該エッチングの量を少量に抑えると共に、エッチングの制御を簡易に行うことができる。

【0096】

結果として、貫通電極を有した半導体装置の製造方法において、その工程を簡略化して製造コストを極力低く抑えると共に、歩留まりを向上することが可能となる。

【0097】

40

なお、上述した第 1、第 2、第 3、及び第 4 の実施形態において、貫通電極 19 及び配線層 20 を形成する工程は、上述した工程に限定されず、その他の工程により形成されてもよい。例えば、貫通電極 19 及び配線層 20 を形成する工程は、バリアシード層 18 上のうち貫通電極 19 及び配線層 20 を形成しない領域に、貫通電極 19 及び配線層 20 のパターンニングのための不図示のレジスト層を形成し、これをマスクとしたメッキ法により行われてもよい。

【0098】

また、貫通電極 19 及び配線層 20 は、銅 (Cu) 以外の金属から成り、メッキ法以外の方法により形成されてもよい。例えば、貫通電極 19 及び配線層 20 は、CVD 法により形成されてもよい。もしくは、貫通電極 19 及び配線層 20 は、スズ (Sn) をメッキ

50

形成した後に銅（Cu）のメッキ形成を行うことにより形成されてもよい。もしくは貫通電極 19 及び配線層 20 は、アルミニウム（Al）もしくはアルミニウム合金等から成り、例えば、スパッタ法により形成されてもよい。また、貫通電極 19 と配線層 20 は、それぞれ別工程によって形成されてもよい。

【0099】

また、上述した第 1、第 2、第 3、及び第 4 の実施形態は、配線層 20、もしくは導電端子 22 の形成に制限されない。即ち、ビアホール 16 の開口部で露出する貫通電極 19 と不図示の回路基板との電氣的な接続が可能であれば、配線層 20 もしくは導電端子 22 は必ずしも形成される必要は無い。例えば、ビアホール 16 の開口部で露出する貫通電極 19 が、配線層 20 及び導電端子 22 を介さずに不図示の回路基板と接続されてもよい。もしくは、配線層 20 を介さずに、ビアホール 16 の開口部で露出する貫通電極 19 上に導電端子 22 が形成され、当該導電端子 22 が不図示の回路基板と接続されてもよい。

10

【図面の簡単な説明】

【0100】

【図 1】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 2】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 3】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 4】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 5】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 6】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

20

【図 7】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 8】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 9】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図 10】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

。

【図 11】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

。

【図 12】本発明の第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

。

【図 13】本発明の第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

30

。

【図 14】本発明の第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

。

【図 15】本発明の第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

。

【図 16】本発明の第 3 の実施形態に係る半導体装置の製造方法を説明する断面図である。

。

【図 17】本発明の第 3 の実施形態に係る半導体装置の製造方法を説明する断面図である。

。

【図 18】本発明の第 3 の実施形態に係る半導体装置の製造方法を説明する断面図である。

40

。

【図 19】本発明の第 3 の実施形態に係る半導体装置の製造方法を説明する断面図である。

。

【図 20】本発明の第 4 の実施形態に係る半導体装置の製造方法を説明する断面図である。

。

【図 21】本発明の第 4 の実施形態に係る半導体装置の製造方法を説明する断面図である。

。

【図 22】本発明の第 4 の実施形態に係る半導体装置の製造方法を説明する断面図である。

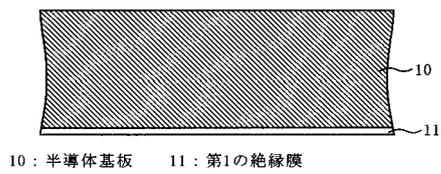
。

【図 23】本発明の第 4 の実施形態に係る半導体装置の製造方法を説明する断面図である。

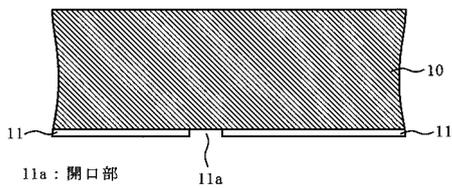
50

- 。【図24】従来例に係る半導体装置の製造方法を説明する断面図である。
- 【図25】従来例に係る半導体装置の製造方法を説明する断面図である。
- 【図26】従来例に係る半導体装置の製造方法を説明する断面図である。
- 【図27】従来例に係る半導体装置の製造方法を説明する断面図である。

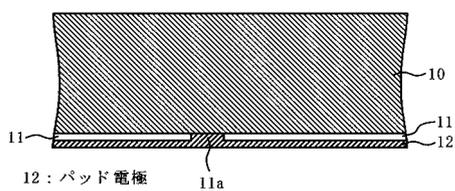
【図1】



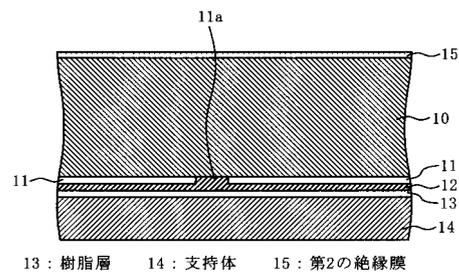
【図2】



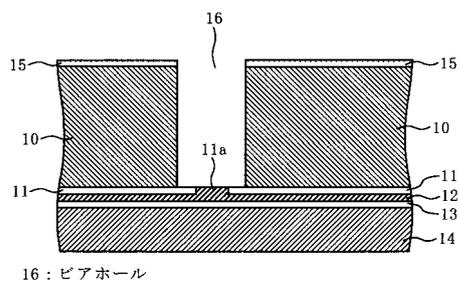
【図3】



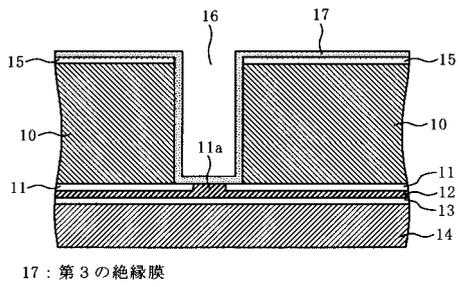
【図4】



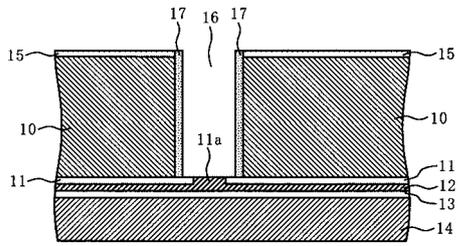
【図5】



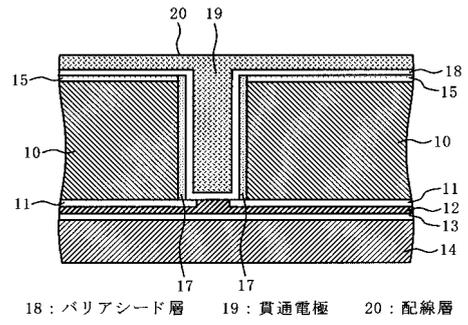
【図 6】



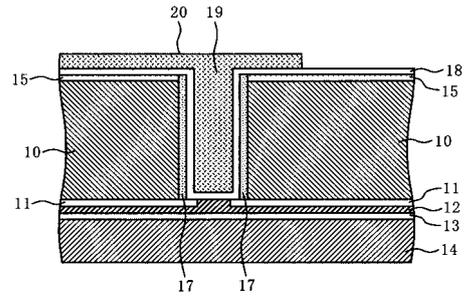
【図 7】



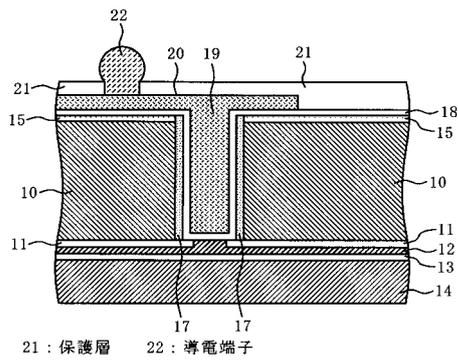
【図 8】



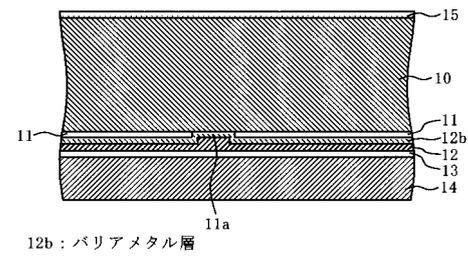
【図 9】



【図 10】

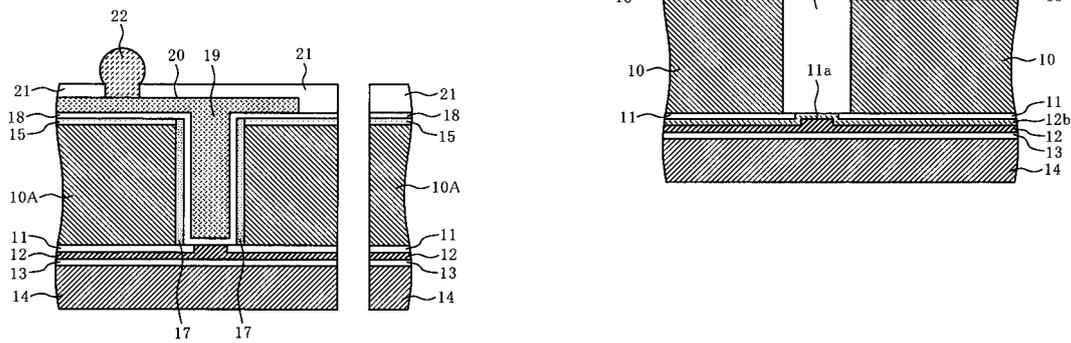


【図 12】

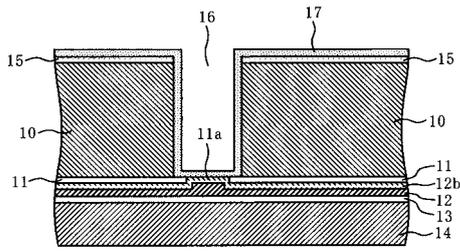


【図 13】

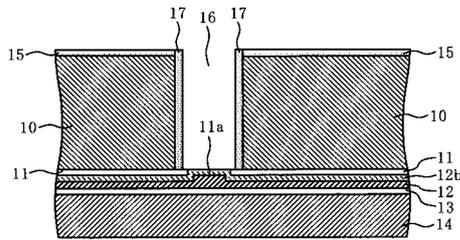
【図 11】



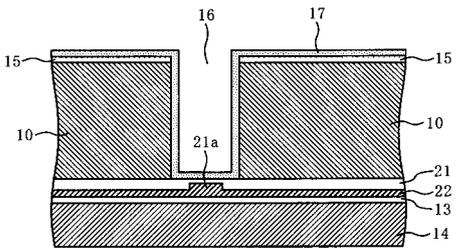
【図14】



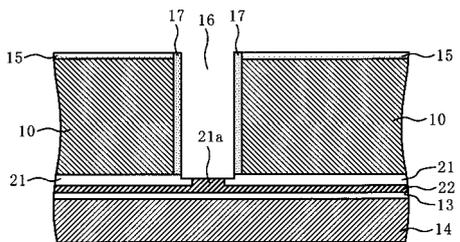
【図15】



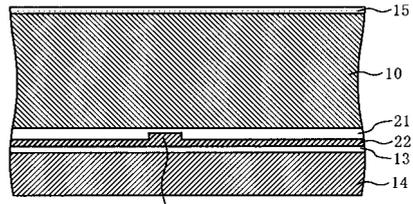
【図18】



【図19】

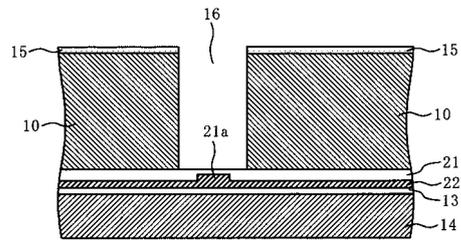


【図16】

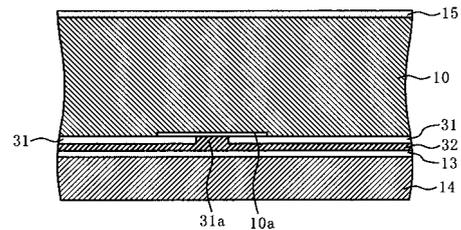


21: 第1の絶縁膜 21a: 凹部 22: パッド電極

【図17】

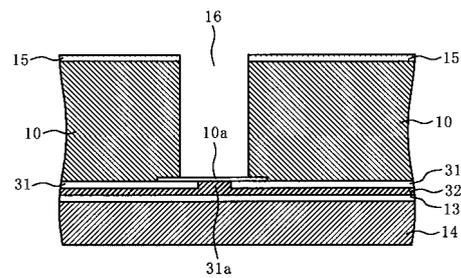


【図20】

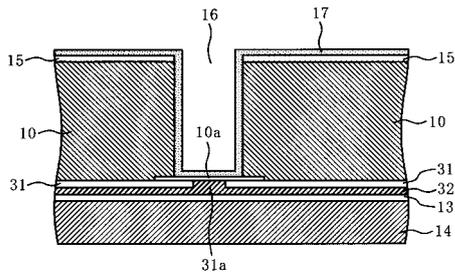


10a: ゲート酸化膜 31: 第1の絶縁膜 31a: 開口部 32: パッド電極

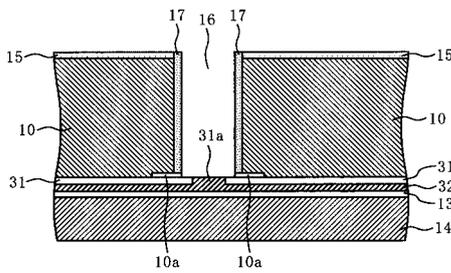
【図21】



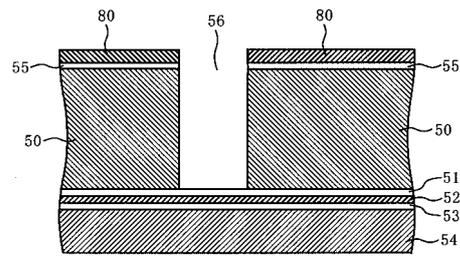
【図22】



【図23】

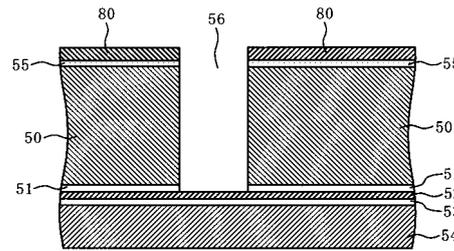


【図24】

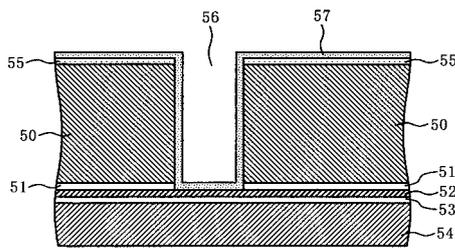


50: 半導体基板 51: 第1の絶縁膜 52: パッド電極
 53: 樹脂層 54: 支持体 55: 第2の絶縁膜
 56: ピアホール 80: レジスト層

【図25】

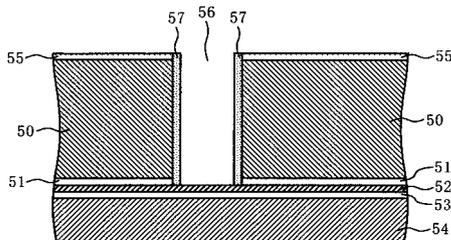


【図26】



57: 第3の絶縁膜

【図27】



フロントページの続き

- (72)発明者 梅本 光雄
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
- (72)発明者 岡山 芳央
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
- (72)発明者 谷田 一真
京都府京都市右京区西院溝崎町2-1 ローム株式会社内
- (72)発明者 寺尾 博
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 根本 義彦
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 村岡 一磨

- (56)参考文献 特開平04-249325(JP,A)
特開2004-095849(JP,A)
特開2003-309221(JP,A)
特開2005-276877(JP,A)
特開昭63-204663(JP,A)
特開2002-217197(JP,A)
特開平05-102200(JP,A)
特開平05-082659(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205
H01L 23/12
H01L 23/52