

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
H05K 1/03

(45) 공고일자 2005년06월14일  
(11) 등록번호 10-0495211  
(24) 등록일자 2005년06월03일

(21) 출원번호 10-2002-0073623  
(22) 출원일자 2002년11월25일

(65) 공개번호 10-2004-0045768  
(43) 공개일자 2004년06월02일

(73) 특허권자 삼성전기주식회사  
경기 수원시 영통구 매탄3동 314번지

(72) 발명자 전석택  
경기도수원시팔달구영통동청명마을421-1803

문명립  
서울특별시중구신당1동236-1519/1

이득우  
경기도수원시팔달구지동226-2번지

(74) 대리인 특허법인씨엔에스

심사관 : 김상걸

(54) 세라믹 다층기판 및 그 제조방법

요약

본 발명은 외부 단자와 접속을 이루기 위하여 내부 패턴층에 형성되는 내부 접속부가 외부단자를 감싸도록 넓게 형성되도록 하여 외부단자 내부 패턴층과의 접속을 보다 안정적으로 형성되도록 하며, 제조 공정상의 오차가 발생하여도 항상 접속을 유지할 수 있도록 하는 세라믹 다층기판 및 그 제조방법에 관한 것이다.

본 발명은 일정 두께를 갖고 적층 형성되는 복수개의 세라믹층; 상기 세라믹층의 표면에 형성되어 회로 요소를 구현하는 패턴층; 적층된 상기 복수개의 세라믹층의 외측면에 형성되는 외부단자; 및 상기 패턴층 중 일부에 형성되며, 외부와 신호를 교환할 수 있도록 상기 외부단자와 접속되며, 상기 외부단자를 감싸도록 넓게 형성되는 내부 접속부;를 포함하는 세라믹 다층기판 및 그 제조방법을 제공한다.

대표도

도 6

색인어

다층기판, 세라믹, 패턴, 외부단자, 접속부

명세서

도면의 간단한 설명

도 1은 종래의 외부전극이 형성된 세라믹 적층체의 단면을 도시한 사시도이다.

도 2는 도 1의 세라믹 적층체의 하나의 층의 단면을 도시한 도면이다.

도 3은 본 발명에 의한 저온 소성 세라믹 다층기판의 제 1 실시예에 따른 세라믹 기판을 도시한 단면도이다.

도 4는 도 3의 다층기판의 사시도이다.

도 5는 본 발명에 의한 저온 소성 세라믹 다층기판의 제 2 실시예에 따른 세라믹 기판을 도시한 단면도이다.

도 6은 도 5의 다층기판의 사시도이다.

도 7은 기판의 홈 형성 공정상의 오차에 따른 종래의 방식과 본 발명의 방식을 비교한 도면이다.

도 8은 도 5의 제2 실시예의 내부 접속부의 변경된 형상을 도시한 도면이다.

도 9는 도 8의 내부 접속부를 사용한 다층기판의 측단면도이다.

도 10은 표면 탄성과 필터(SAW 필터) 패키지의 평면도 및 측단면도를 도시한 도면이다.

도 11은 본 발명에 의한 제3 실시예로써, 표면 탄성과 필터 패키지의 사시도이다.

도 12는 본 발명에 의한 세라믹 다층기판의 제조공정을 도시한 도면이다.

도 13은 본 발명에 의한 세라믹 다층기판의 내부 접속부의 변형 실시예를 도시한 것이다.

도 14는 표면탄성과 칩을 실장한 본 발명에 의한 세라믹 다층기판의 제조공정을 도시한 도면이다.

\* 도면의 주요부분에 대한 부호의 설명 \*

110, 210, 310, 410, 510: 세라믹 기판

120, 220, 320, 420, 520: 외부단자

130, 230, 330, 430, 530: 패턴층

140, 240, 340, 440, 540: 내부 접속부

250, 350, 450, 550: 홈

360: 표면 탄성과 칩

370, 580: 덮개

380, 560: 캐비티

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 내부 패턴과 외부단자와의 접속이 보다 안정적으로 형성되는 적층체 구조물, 특히 저온 소성 세라믹 다층기판과 그 제조방법에 관한 것으로, 보다 상세하게는 외부 단자와 접속을 이루기 위하여 내부 패턴층에 형성되는 내부 접속부가 외부단자를 감싸도록 넓게 형성하여 외부단자와 내부 패턴층과의 접속을 보다 안정적으로 형성되도록 하며, 제조 공정상의 오차가 발생하여도 항상 접속을 유지할 수 있도록 하는 저온 소성 세라믹 다층기판 및 그 제조방법에 관한 것이다.

또한, 본 발명은 외부단자와 접속하지 않는 상기 내부 접속부가 적층체의 외부면에 노출되지 않도록 함으로써 저온 소성 세라믹 다층기판내에 형성되는 표면 탄성과 필터 칩의 설치 공간에 형성시킨 진공압의 누설 방지 및 적층체 외부면의 균열 발생을 방지할 수 있도록 하는 저온 소성 세라믹 다층기판 및 그 제조방법에 관한 것이다.

저온 소성 세라믹(Low Temperature Co-fired Ceramic, 이하 'LTCC'라함) 기판 제조 기술은 주로 글라스 세라믹(Glass-Ceramic) 재료를 기반으로 이루어진 다수의 그린시트(green sheet) 층에 전기전도도가 우수한 Ag, Cu 등을 스크린 프린팅 공정으로 주어진 회로의 내부 전극 및 수동 소자(R, L, C)를 구현하고, 각층을 적층한 후 세라믹과 금속을 동시 소성하여 (대개 1000°C 이하) MCM (Multi-chip module) 및 다중칩 패키지(Multi-Chip Package)를 제조하는 것을 말한다.

LTCC 기술은 세라믹과 금속의 동시 소성이 가능한 공정 특징에 따라서 모듈내부에 수동소자(R, L, C)를 구현할 수 있는 장점을 갖고 있으므로 부품들간의 복합화와 경박단소화를 가능케 한다.

LTCC 기판은 이와 같은 내부수동소자(Embedded Passives)를 구현할 수 있는 특징으로 인하여 SOP(System-On-a-Package)를 구현할 수 있어 SMD(Surface Mounted Device) 부품에서 발생하는 기생효과(parasitic effect)를 최소화시킬 수 있고, 표면 실장 시 납땜 부위에서 발생하는 전기적인 노이즈 신호의 감소에 의한 전기적 특성의 향상 및 납땜수의 감소에 의한 신뢰성 향상의 장점을 갖게 된다. 또한 LTCC의 경우  $T_f$  (Temperature Coefficient of Resonant Frequency)의 값을 열팽창 계수를 조절하여 최소화시킬 수 있어 유전체 공진기의 특성을 조절할 수 있는 특징도 갖고 있다.

LTCC 기판은 내부에 회로를 구현하고 이를 다수개 적층하여 하나의 기판을 형성하는 것이므로, 외부와 접속할 수 있는 외부 단자들이 기판의 외부에 형성되어야 하며, 이러한 외부단자가 내부의 회로패턴과 전기적으로 연결되어야 한다.

도 1은 일본특허공개공보 평6-215982의 세라믹 전자부품의 제조방법에 관한 것이다. 상기 특허는 세라믹 기판에 미리 형성된 구멍 주변에 유전체 재료나 자성체 재료를 형성하면 상기 재료가 구멍의 내부로 침투되며, 구멍을 막아버리는 경우도 발생하게 되고, 이와 같은 경우 외부전극을 이루는 스루홀(through hole)을 형성하기 위하여 일측에서 흡인하는 경우 각 층의 구멍의 단면적의 차이에 의하여 공기의 흐름이 분산되어 구멍의 내벽에 외부전극의 도포량이 불균일하게 되는 문제점을 해결하기 위한 것이다.

상기 특허에서는 복수개의 구멍을 갖는 베이스 기판(7) 표면에 상기 구멍을 막을 수 있고 내부 전극(9)을 갖는 세라믹 적층체(8)를 형성하고, 그 후 상기 베이스 기판의 구멍을 기준으로 복수개의 관통공을 형성하고, 상기 관통공에 외부전극(10)을 형성한 세라믹 전자부품의 제조방법을 제공하고 있다.

그러나, 상기 일본공개특허 평6-215982에서와 같은 구조를 통해 내부전극과 외부전극을 연결하는 것은 내부전극과 외부전극의 접촉부분이 선접촉에 가까울 정도로 접촉면적이 작아서 연결이 불안정하게 되어 신호의 입출력 안정성이 떨어지는 문제가 있으며, 작업 공정의 오차로 인하여 제품의 불량률이 높아지는 등의 여러 문제점이 있게 된다. 즉, 내부전극이 먼저 형성된 다음 홈을 형성하고, 외부전극을 형성하게 되므로, 도 2a 및 도 2b에 도시한 바와 같이, 내부전극(9)이 외부전극(10)과 만나는 부위가 좁게 되면 홈을 뚫는 공정 또는 도금 공정 등에서 내부전극(9)을 차단할 수도 있고 또한 그 전기적 연결이 불안정하게 될 수도 있는 문제가 있는 것이다. 도 2a는 세라믹 기판에 홈이 형성되어 있는 것을 도시한 것이고, 도 2b는 홈이 형성되어 있지 않은 세라믹 기판을 도시한 것이다.

더구나, 홈을 형성하는 공정에서 공정상의 오차로 인하여 그 형성위치가 이동되는 경우 내부단자와 외부단자의 접촉면적이 변하게 되며, 심한 경우는 내부단자가 외부단자와 연결되지 않는 경우도 발생하게 된다. 이러한 공정상의 오차에 의해 불량률이 발생하게 되며, 일관된 품질관리를 못하게 되는 문제가 있었던 것이다.

**발명이 이루고자 하는 기술적 과제**

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 외부단자와 연결되는 내부 패턴층의 끝단을 외부단자의 단면을 감싸도록 넓게 형성하여 패턴층이 외부단자와 안정적으로 접속되도록 하는 것을 목적으로 한다.

또한, 본 발명은 홈 형성 공정상의 오차가 발생하더라도 내부 접속부와 외부단자가 안정하게 연결되도록 하여 일관된 품질관리를 가능하게 하는 것을 목적으로 한다.

또한, 본 발명은 내부 접속부가 외부단자 형성영역을 제외한 모서리에서 일정간격 이격되어 형성되도록 하여 내부 접속부를 확대 형성함으로써 인하여 적층체 구조물의 외부 벽면에 내부 접속부가 형성되는 것을 방지하여 외부 전극이 벽면에 잘 못 도포되거나, 표면 탄성과 필터와 같이 적층체의 내부에 진공상태를 유지하여야 하는 경우 누설 또는 균열 발생을 방지하는 것을 목적으로 한다.

**발명의 구성 및 작용**

상기와 같은 목적을 달성하기 위한 구성수단으로서, 본 발명은 일정 두께를 갖고 적층 형성되는 복수개의 세라믹층; 상기 세라믹층의 표면상에 형성되어 회로 요소를 구현하는 패턴층; 적층된 상기 복수개의 세라믹층의 외측면에 형성되는 외부 단자; 및 상기 패턴층 중 일부에 형성되며, 외부와 신호를 교환할 수 있도록 상기 외부단자와 접속되며, 상기 외부단자를 감싸도록 넓게 형성되는 내부 접속부;를 포함하는 세라믹 다층기판을 제공한다.

또한, 본 발명은 일정 두께를 갖고 적층 형성되며, 외측면에 상기 적층 방향으로 형성되는 하나 이상의 홈을 포함하는 복수개의 세라믹층; 상기 세라믹층의 표면상에 형성되어 회로 요소를 구현하는 패턴층; 적층된 상기 복수개의 세라믹층의 홈에 상기 세라믹층의 두께 방향으로 형성되는 외부단자; 및 상기 패턴층 중 일부에 금속 도포막으로 형성되며, 외부와 신호를 교환할 수 있도록 상기 외부단자와 접속되며, 상기 외부단자를 감싸도록 넓게 형성되는 내부 접속부를 포함하는 세라믹 다층기판을 제공한다.

또한 본 발명은 일정 두께를 갖고 적층 형성되며, 외측면에 상기 적층 방향으로 형성되는 하나 이상의 홈을 포함하는 복수개의 세라믹층; 상기 세라믹층의 표면상에 형성되어 회로 요소를 구현하는 패턴층; 적층된 상기 복수개의 세라믹층의 홈에 상기 세라믹층의 두께 방향으로 형성되는 외부단자; 상기 패턴층 중 일부에 금속 도포막으로 형성되며, 외부와 신호를 교환할 수 있도록 상기 외부단자와 접속되며, 상기 외부단자를 감싸도록 넓게 형성되고, 상기 외부단자가 상기 세라믹층과 접촉하는 부분에 인접한 상기 세라믹층의 외측면과 일정간격 떨어져서 형성되는 내부 접속부; 적층된 상기 복수개의 세라믹층의 상부에 형성되는 캐비티; 상기 캐비티에 장착되는 전자부품; 및 상기 캐비티 상부에 장착되어 캐비티 내부에 진공을 유지하도록 하는 덮개를 포함하는 세라믹 다층기판을 제공한다.

또한 본 발명은 일정 두께의 세라믹층을 마련하는 단계; 상기 세라믹층의 표면 상에 회로 요소를 구현하도록 패턴층을 형성하는 단계; 상기 패턴층 중 일부에 외부와 신호를 교환할 수 있도록 상기 세라믹층의 모서리까지 연결되며, 연결되는 패턴층의 너비보다 넓은 너비의 내부 접속부를 금속 도포막으로 형성하는 단계; 상기 내부 접속부 및 상기 세라믹층의 외측면에 일측이 개구된 반원형의 홈을 상기 세라믹층의 두께 방향으로 형성하는 단계; 상기와 같은 단계를 거친 세라믹층을 다수개 적층하는 단계; 및 적층된 세라믹층의 홈에 상기 내부 접속부와 전기적으로 연결되는 외부단자를 상기 세라믹층의 두께 방향으로 형성하는 단계를 포함하는 세라믹 다층기판 제조방법을 제공한다.

또한 본 발명은 일정 두께의 세라믹층을 마련하는 단계; 상기 세라믹층의 표면 상에 회로 요소를 구현하도록 패턴층을 형성하는 단계; 상기 패턴층 중 일부에 외부와 신호를 교환할 수 있도록 상기 세라믹층의 모서리에서 일정간격 이격되어 형성되며, 연결되는 패턴층의 너비보다 넓은 너비를 갖는 내부 접속부를 금속 도포막으로 형성하는 단계; 상기 내부 접속부 및 상기 세라믹층의 외측면에 일측이 개구된 반원형의 홈을 상기 세라믹층의 두께 방향으로 형성하는 단계; 상기와 같은 단계들을 거친 세라믹층을 상부에 전자부품이 실장될 수 있는 캐비티가 형성되도록 다수개 적층하는 단계; 적층된 세라믹층의 홈에 상기 내부 접속부와 전기적으로 연결되는 외부단자를 상기 세라믹층의 두께 방향으로 형성하는 단계; 및 상기 캐비티에 전자부품을 실장하고, 상기 캐비티 내부의 진공을 유지하도록 캐비티 상부에 덮개를 장착하는 단계를 포함하는 세라믹 다층기판 제조방법을 제공한다.

본 발명의 적층체 구조물은 다수개의 재료층이 적층되어 하나의 패키지를 형성하는 적층체를 의미하는 것으로, 전기적, 유전적, 자기적 성질을 표출하는 재료층을 적절히 선택하여 사용하게 된다. 특히 상기 재료층으로는 일정두께를 갖는 세라믹 그린 시트를 사용하는 것이 일반적이며, 이와 같은 시트들 상에는 금속 도포막이 일정 형태로 도포되어 하나의 패턴층을 형성하게 되며, 이러한 패턴층은 적층되어 여러 회로 요소의 기능을 수행하게 된다. 상기 패턴층은 Ag, Cu 등과 같은 금속으로 형성된다. 상기와 같은 세라믹 시트가 여러 개 적층되고, 이를 저온 하에서 소성가공하여 형성되는 하나의 적층체 구조물을 저온 소성 세라믹 다층기판이라 부르며, 이하에서는 이를 중점적으로 살펴보도록 한다.

이하 본 발명에 대하여 바람직한 실시예를 바탕으로 첨부된 도면에 따라서 보다 상세히 설명한다. 도 3은 본 발명에 의한 저온 소성 세라믹 다층기판의 제 1 실시예를 도시한 단면도이고, 도 4는 도 3의 다층기판의 사시도이다.

제 1 실시예에서, 외부단자(120)는 적층된 다층기판(110)의 외부 벽면에 형성되어 있으며, 또한 적층된 다층기판(110)의 벽면에 수직으로 형성되어 있다. 먼저, 세라믹 다층기판(110)은 일정 두께를 갖고 적층되어 형성되는 복수개의 세라믹층(110a)을 포함하게 된다. 상기 복수개의 세라믹층(110a) 중 일부 또는 전부의 상부면에는 회로 요소를 구현하기 위한 패턴층(130)이 형성된다. 상기 패턴층(130)은 적층체 구조물 내에 여러 회로요소들을 구현하게 되며, 적층체의 내부에서는 비아홀(도시하지 않음) 등과 같은 방법으로 서로 연결될 수도 있다.

상기 세라믹층(110a)은 사각형으로 형성되며, 외부단자(120)는 상기 세라믹층(110a)을 여러개 적층하고 이와 같은 적층체의 외부면에 수직으로 길게 형성된다. 외부단자(120)는 금속 도포막으로 형성되며, 적층체 부품의 내부에 내장된 회로 요소들과 신호의 입출력을 가능하게 한다.

도 3에서와 같이, 세라믹층(110a) 상에는 패턴층(130)에 연결된 내부 접속부(140)가 형성된다. 상기 내부 접속부(140)는 외부의 외부단자(120)와 또한 연결되며, 적층되는 각각의 세라믹층 모두에 형성되는 것이 아니라 외부와 신호를 교환하기 위한 내부 패턴(130)이 존재하는 세라믹층에만 형성된다. 상기 내부 접속부(140)는 외부와 신호를 교환할 수 있도록 상기 외부단자(120)와 접속되며, 외부단자(120)를 감싸도록 넓게 형성된다. 즉, 세라믹층(110a)의 외측 모서리에 상기 외부단자(120)가 형성되는 부분의 주위까지 확장되어 내부 접속부(140)가 형성되는 것이다. 이와 같은 내부 접속부(140)는 상기 패턴층(130)과 같이 금속 도포막으로 형성되는 것이 바람직하게 된다.

도 4는 본 발명에 의한 제 1 실시예의 사시도이다. 도 4에서 상기 세라믹층(110a)은 여러장이 적층되어 적층체(100)를 구성하며, 외부단자(120)는 내부 접속부(140)와 연결된다. 도 4와 같이 외부단자(120)와 내부 접속부(140)가 접속을 이루게 되므로, 보다 넓은 면적에서 서로 접속할 수 있게 되며, 만약 공정상의 오차로 인하여 외부전극(120)의 형성위치가 좌우로 변경되더라도 접속을 이룰 수 있는 효과가 있게 된다. 이러한 효과에 대해서는 이하에서 제 2 실시예와 함께 설명하기로 한다.

도 5는 본 발명에 의한 저온 소성 세라믹 다층기판의 제 2 실시예를 도시한 단면도이고, 도 6은 도 5의 다층기판의 사시도이다. 제 2 실시예에서, 일정 두께의 세라믹층(210a)의 외측면에는 하나 이상의 홈이 형성되어 있다. 상기 홈(250)에는 내측으로는 내부 접속부(240)가 도포되고, 외측으로는 외부단자(220)가 형성된다.

상기 홈(250)은 외부단자가 적층체의 외측으로 돌출되어 형성되는 것을 피하기 위한 것이며, 또한 하나의 큰 시트에 동일한 패턴을 여러 개 형성하고 이를 절단하여 다수개의 다층기판을 형성하는 대량생산공정에서 외부단자를 형성하기 위해 사용된다. 하나의 세라믹층에 형성되는 홈(250)은 일측이 개구되어 있는 반원형의 형상을 갖게 된다.

제 1 실시예에서와 같이, 세라믹 다층기판(210)은 일정 두께를 갖고 적층되어 형성되는 복수개의 세라믹층(210a)을 포함하게 된다. 상기 복수개의 세라믹층(210a) 중 일부 또는 전부의 상부면에는 회로 요소를 구현하기 위한 패턴층(230)이 형성된다. 상기 패턴층(230)은 적층체 구조물 내에 여러 회로 요소들을 구현하게 되며, 적층체의 내부에서는 비아홀(도시하지 않음) 등과 같은 방법으로 상하간의 신호연결을 위해 서로 연결될 수도 있다.

외부단자(220)는 상기 세라믹층(210a)을 적층하고, 상기 세라믹층(210a)에 형성된 홈(250)들이 하나의 긴 수직 홈을 형성하게 되면, 이와 같은 홈에 도포된다. 외부단자(220)는 금속 도포막으로 형성되며, 적층체 부품의 내부에 내장된 회로 요소들과 신호의 입출력을 가능하게 한다.

도 5에서와 같이, 세라믹층(210a)에는 먼저 패턴층(230)이 형성되고, 패턴층(230)과 연결되어 세라믹층의 외측면까지 뻗어있도록 내부 접속부(240)가 형성된다. 상기 내부 접속부(240)는 그 후에 형성되는 반원형의 홈(250)보다 크게, 즉 홈(250)을 감쌀 수 있도록 형성된다. 상기와 같이 내부 접속부(240)가 세라믹층(210a)에 형성되면, 세라믹층(210a)에 홈(250)을 형성한다.

홈(250)은 상기 세라믹층(210a)의 외측면에 외부단자의 개수만큼 형성하게 되며, 이러한 홈 중 일부는 세라믹층에 형성된 내부 접속부(240)에 형성되는 것도 가능하게 된다. 이와 같은 과정에서, 홈(250)의 형성위치가 작업 공정상의 오차로 인하여 약간 다르게 되어도 상기 홈은 내부 접속부(240)와 접촉을 이루게 된다. 이는 작업 공정상 오차가 있더라도 홈(250)의 외측면에 형성되는 외부단자(220)와 상기 내부 접속부(240)의 연결이 가능하게 된다는 것을 의미한다.

도 7을 참고로 좀더 상세히 설명하기로 한다. 도 7의 A는 홈이 정확한 위치에 형성된 경우를 나타낸 것으로 종래의 방식과 본 발명에 의한 내부 접속부(240)를 형성한 경우를 각각 도시하였다. 이러한 경우 종래의 방식을 따르게 되더라도 내부의 패턴(9)과 외부단자(10)는 원활하게 접속이 이루어 지게 된다. 문제는 B의 경우이다. B는 홈이 원위치에서 약간 벗어나서 형성되는 경우를 도시한 것이며, 이러한 경우 종래의 방식으로 패턴층(9)과 외부단자(10)를 연결하는 것은 불가능하게 된다. 내부의 패턴층은 세라믹층에 형성된 홈과 접촉하지 않게 되며, 홈에 형성되는 외부단자와도 접속되지 않는 문제가 발생하게 된다. 따라서 이와 같은 경우, 본 발명에서와 같은 넓게 형성되는 내부 접속부(240)를 형성하게 되면, 같은 공정상의 오차가 발생하더라도 여전히 홈은 내부 접속부 형성위치에 형성되어 외부단자(220)와 내부 패턴을 서로 접속되도록 할 수 있다. 이는 종래에 비하여 작업 공정상의 허용 오차의 폭을 넓힐 수 있게 되므로써, 제품의 생산시의 불량율을 감소시킬 수 있게 되며, 제품의 균등한 품질을 보장할 수 있게 되는 효과가 있다.

이와 같은 효과는 상기 제2 실시예에서 뿐만 아니라, 제1 실시예에서도 똑같이 얻을 수 있다. 즉, 상기 제1 실시예에서는 홈이 형성되지 않고 외부단자가 적층체의 외벽에 도포되어 형성된다. 이와 같이 형성되는 외부단자가 공정상의 오차로 인하여 정위치를 약간 벗어난 위치에 형성되더라도, 이미 넓게 형성되어 있는 내부 접속부와와의 접촉 영역에 포함되므로 내부의 패턴층과 외부단자가 접속될 수 있게 되는 것이다. 이에 의해 마찬가지로 작업 공정상의 허용 오차의 폭이 넓어지게 되어 제품 불량율 감소와 균등한 품질 보장을 이루게 된다.

도 6은 본 발명에 의한 제2 실시예에 의해 내부 접속부(240)가 형성된 패턴층(230)을 갖는 세라믹층(210a)을 여러장 적층한 상태의 다층기판(210)을 도시하고 있다. 도 6에서와 같이, 외부단자(220)는 적층체의 측면 홈 형성부분에 도포되어 형성된다. 또한 외부단자(220)는 내부 접속부(240)와 보다 넓은 면적에서 접속을 이루게 된다. 이와 같은 내부 접속부(140)는 상기 패턴층(130)과 같이 금속 도포막으로 형성되는 것이 바람직하게 된다.

또한, 상기 제2 실시예에 따른 다층기판은 도 8에서와 같이 변형된 내부 접속부를 사용하는 것도 가능하게 된다. 즉, 상기 도 8에서 내부 접속부(240)는 상기 홈(250) 주변의 세라믹층 모서리(E)로부터 일정 간격(G) 이격되어 형성된다. 이와 같이 일정 간격(G)을 두는 이유는 상기 내부 접속부(240)가 세라믹층(210a)의 외측면까지 확장되어 적층시 적층체의 외벽에 내부 접속부(240)가 드러나는 것을 방지하기 위함이다. 도 9는 상기 도 8의 적층된 다층기판(210)의 단면을 도시한 것으로, 내부의 패턴층과 연결되어 형성되는 내부 접속부가 적층체의 외벽으로 드러나지 않게 됨을 알 수 있다.

도 6에서와 같이 적층체의 외벽에 내부 접속부(240)가 드러나게 되면 홈에 도포되어 형성되어야 하는 외부단자(220)가 적층체의 외벽에 도포되는 경우가 발생하게 되어, 제품의 외관을 해치게 된다. 또한, 소성시 외벽에 드러나는 금속체의 내부 접속부와 세라믹층의 수축률의 차이로 인하여 금속의 접속부와 세라믹층 사이에 틈이 생기게 된다. 세라믹층의 적층체 내부에 표면탄성과 필터의 칩 같은 전자부품을 실장하는 경우에는 표면탄성과 필터 칩의 실장 공간을 거의 진공 상태로 유지해야 하는데 이 때 발생하는 적층체의 내외부 압력차는 금속의 접속부와 세라믹층 사이의 틈으로부터 크랙(crack)이 발생하도록 하는 요인이 된다. 그리하여 내부 진공상태가 유지되지 않는 문제가 발생할 수 있다.

따라서, 본 발명에 의한 다층기판(210)은 도 8에서와 같이 일정 간격(G) 이격 형성된 내부 접속부(240)를 사용할 수 있으며, 이와 같은 접속부를 사용함으로써 인하여 적층된 세라믹층의 외벽에 틈이 생기지 않도록 하기 때문에 상기와 같이 발생 가능성 있는 문제점들을 제거할 수 있게 되는 것이다.

본 발명에 의한 내부 접속부를 형성한 다층기판은 여러 제품들에 사용될 수 있으나, 이하에서 특히 표면 탄성과(SURFACE ACOUSTIC WAVE) 필터의 칩을 내부에 실장한 다층기판 제조 기법을 제 3 실시예로서 중점적으로 설명하도록 하겠다.

표면 탄성과 필터의 칩을 일정 수준의 진공도 이하에서 보존시키는 기능의 세라믹 적층 패키지가 저온 소성 세라믹 가공 기법으로 만들어지고 있으며, 표면 탄성과 필터의 주변 필터들과 표면 탄성과 필터들을 한 개의 부품으로 복합시키기 위하여 상기와 같이 저온 소성 세라믹 가공기법으로 제작되는 패키지에 필터 기능을 내장시키는 제품들도 여러 전자기에 적용되는 추세이다.

도 10은 표면 탄성과 필터 패키지의 평면 및 측 단면을 도시한 도면이고, 도 11은 표면 탄성과 필터 패키지의 사시도이다. 상기 도 10 및 도 11에서와 같이, 표면 탄성과 필터 패키지는 일정 두께를 갖고 적층형성되는 복수개의 세라믹층(310a)을 포함하게 되며, 상기 세라믹층(310a)에는 회로요소를 구현하기 위한 패턴층(330)이 형성된다. 패턴층(330) 중 일부에는 외부와 신호를 교환할 수 있도록 패턴층의 폭보다 넓게 형성되는 내부 접속부(340)가 기판(310)의 모서리에 인접하도록 형성된다. 내부 접속부(340)는 외부단자(320)를 감싸도록 넓게 형성된다. 상기 세라믹층(310a)에는 또한 외측면에 접하도록 반원형의 홈(350)이 형성된다. 상기 홈(350)은 상기 세라믹층이 적층되면 외부단자(320)가 형성되는 영역을 제공하며, 내부접속부(340)는 홈을 감싸도록 충분한 크기로 형성된다. 상기 세라믹층(310a)이 적층되어 하나의 적층체를 형성하면 상기 홈 형성영역은 수직의 긴 홈을 형성하게 되며, 이러한 홈에 외부단자(320)가 도포되어 형성된다.

상기 내부 접속부(340)는 상기 패턴층과 동일한 금속 재질로 형성되며, 상기 제2 실시예에서와 마찬가지로 상기 내부 접속부(340)는 상기 외부단자(320)가 상기 세라믹층(310a)과 접촉하는 부분의 주변, 즉 세라믹층의 외측면에서 일정 간격 이격되어 형성되도록 한다.

상기 세라믹층이 적층되어 형성되는 적층체에는 캐비티(380)가 형성된다. 즉, 적층체의 상부에 표면 탄성과 칩(360)이 실장될 수 있는 공간을 형성하는 것으로, 하나 이상의 표면 탄성과 칩이 실장되고, 그 상부에는 덮개(370)가 덮여서 내부에 일정 수준의 진공도를 유지하게 된다.

이상과 같이 본 발명에 따라서 내부 접속부(340)를 형성하여 외부단자와 세라믹층의 패턴층(330)을 접속하도록 하는 방법을 표면 탄성과 필터 패키지(300)에 적용하였다. 본 발명이 표면 탄성과 필터 패키지(300)에 특히 유용하게 적용되는 이유는, 표면 탄성과 필터 패키지의 캐비티(380) 내의 진공도 유지에 따른 문제를 해결하기 때문이다.

즉, 저온 소성 세라믹 다층기판에서 외부단자와 내부 패턴층 간의 접속의 안정성을 확보함과 동시에, 적층된 세라믹층들 사이에서 수축률 등의 차이로 인하여 틈이 벌어지게 되어 진공이 누설되거나, 또는 수분이 침투하게 되는 등의 문제를 해결하게 된다.

통상적으로 저온 소성 세라믹 다층기판을 사용한 패키지가 진공도를 유지하지 못하는 주요 원인은 표면 탄성과 필터의 칩이 보관되는 캐비티로 외부의 공기, 수분 등이 확산되어 들어갈 수 있는 공간이 패키지 내에 존재하게 되기 때문이다. 두 개 이상의 시트들이 적층되고, 외부단자의 폭보다 넓은 폭으로 내부의 패턴층에 연결되는 내부 접속부가 형성되는 패키지 구조에서 패키지의 외부면으로 내부 전극이 노출되면, 기판 시트와 내부 접속부의 수축율이 일치하지 않는 한 그 사이로 공기 또는 수분이 확산할 수 있는 공간이 발생하게 되는 것이다.

본 발명을 이용한 표면 탄성과 필터는 상기 제1 및 제2 실시예에서와 마찬가지로, 외부단자 형성영역을 감싸도록 내부 접속부가 형성되어서 외부단자와의 접속 안정성을 확보하게 되며, 또한 제2 실시예에서와 같이 홈 형성 공정상의 허용 오차의 폭을 넓힐 수 있게 되는 장점이 있게 된다.

또한, 제2 실시예에서와 같이, 내부 접속부를 적층체의 외벽에서 일정거리 이격시켜 형성하도록 하여 외벽에 내부 접속부가 드러나지 않도록 하여 적층체 내부에 진공 상태에 의해 틈이 생기거나 수분 등이 침투하게 되는 것을 방지할 수 있으며, 더구나 외부단자가 금속제의 내부 접속부에 도포되는 것을 방지할 수 있게 된다.

본 발명은 또한 저온 소성 세라믹 다층기판을 제조하는 방법을 제공한다. 도 12는 본 발명에 의한 저온 소성 세라믹 다층기판의 제조방법을 단계별로 도시한 것이다.

본 발명에 의한 저온 소성 세라믹 다층기판(410)을 제조하기 위하여, 다음과 같은 제조 순서를 따르게 된다.

a) 일정 두께를 갖는 세라믹층(410a)을 마련한다.

b) 상기 세라믹층(410a)에 회로요소를 구현하도록 패턴층(430)을 형성한다. 패턴층(430)은 상하로 적층되는 다른 세라믹층의 패턴층들과 함께 여러 회로요소를 구현하게 된다. 통상적으로 패턴층은 추후에 형성되는 외부단자보다 작은 너비를 갖게 된다.

c) 상기 패턴층 중 일부에 외부와 신호를 교환할 수 있도록 상기 세라믹층의 모서리까지 연결되며, 연결되는 패턴층의 너비보다 넓은 너비의 내부 접속부(440)를 형성한다. 내부 접속부는 도 12에서와 같이 반원형으로 넓게 형성되며, 이는 다음에 형성되는 홈이 내부 접속부 안에 형성되도록 하기 위함이다. 상기 내부 접속부는 상기 패턴층과 동일한 금속 재질로 형성된다.

d) 상기 내부 접속부 및 상기 세라믹층의 외측면에 일측이 개구된 반원형의 홈(450)을 형성한다. 홈은 이웃한 세라믹층에 걸쳐져서 형성되므로, 하나의 세라믹층을 보면 그 형상은 반원형이 된다. 또한 내부 접속부(440)가 상기 홈을 둘러싸도록 내부 접속부 내에 형성되는 것이 가장 바람직하게 되나, 작업 공정상의 오차로 인하여 그 위치가 약간 변경되더라도 내부 접속부의 형성 면적 범위 내에서는 내부 접속부에 걸쳐서 형성되기 때문에 공정상 허용 오차의 범위를 넓힐 수 있게 된다.

e) 상기와 같은 단계를 거친 세라믹층을 다수개 적층한다. 적층한 세라믹층들에는 같은 위치에 각각 홈들이 형성되어 있으며, 이러한 홈들은 하나의 수직 홈을 형성하게 된다.

f) 적층된 세라믹층(410a)의 홈에 상기 내부 접속부와 전기적으로 연결되는 외부단자(420)를 형성한다.

상기와 같은 다층기판(410) 제조공정에 있어서, 상기 내부 접속부는 내경이 상기 반원형의 홈의 반경보다 작고 외경이 상기 반원형의 홈의 반경보다 큰 반원띠 형상을 갖도록 형성될 수 있다. 즉, 도 13에 도시한 바와 같이, 홈이 형성될 부분에는 내부 접속부를 구성하는 금속제 도포막이 형성되지 않도록 하여, 금속제 도포막이 도포되면서 번짐으로 인하여 세라믹층의 외측면에 묻는 것을 방지하고, 재료를 절감할 수도 있는 효과를 얻을 수 있다.

또한, 상기와 같은 제조공정에 있어서, 상기 내부 접속부는 외부단자가 상기 세라믹층과 접촉하는 부분에 인접한 기판 외측면과 일정간격 떨어져서 형성되는 것이 바람직하게 된다. 이와 같이 일정 간격 이격되어 형성되면 넓게 형성되는 내부 접속부에 의해 외부단자와 안정적인 접속이 가능하게 될과 동시에, 적층체의 외벽으로 금속제의 내부 접속부가 드러나게 되는 것을 방지하게 되어 기판 사이의 틈이 형성되는 것을 방지할 수 있게 되는 등의 여러 효과를 얻을 수 있게 된다.

또한, 본 발명은 또한 내부 캐비티에 전자부품, 특히 표면탄성과칩을 실장한 경우 내부 진공 유지에 효과적인 세라믹 다층기판을 제조하는 방법을 제공한다. 도 14는 표면탄성과 칩을 실장한 본 발명에 의한 세라믹 다층기판의 제조공정을 단계별로 도시한 도면이다. 본 발명에 의한 세라믹 다층기판(510)을 제조하기 위하여, 다음과 같은 제조 순서를 따르게 된다.

a) 일정 두께를 갖는 세라믹층(510a)을 마련한다.

b) 상기 세라믹층(510a)에 회로요소를 구현하도록 패턴층(530)을 형성한다. 패턴층(530)은 상하로 적층되는 다른 세라믹층의 패턴층들과 함께 여러 회로요소를 구현하게 된다. 통상적으로 패턴층은 추후에 형성되는 외부단자보다 작은 너비를 갖게 된다.

c) 상기 패턴층 중 일부에 외부와 신호를 교환할 수 있도록 상기 세라믹층의 모서리에서 일정간격 이격되어 형성되며, 연결되는 패턴층의 너비보다 넓은 너비의 내부 접속부(540)를 형성한다. 내부 접속부는 도 14에서와 같이 반원형으로 넓게 형성되며, 이는 다음에 형성되는 홈이 내부 접속부 안에 형성되도록 하기 위함이다. 상기 내부 접속부는 상기 패턴층과 동일한 금속 재질로 형성되는 것이 바람직하게 된다. 또한 상기 내부 접속부가 세라믹층의 모서리와 일정간격(G) 이격되어 형성되는 것은 상기 제2 실시예에서 살펴본 바와 같이, 내부 접속부가 세라믹층의 외측면에 노출되는 것을 방지하도록 하여 내부의 진공상태를 유지하도록 하기 위함이다.

d) 상기 내부 접속부 및 상기 세라믹층의 외측면에 일측이 개구된 반원형의 홈(550)을 형성한다. 홈은 이웃한 세라믹층에 걸쳐져서 형성되므로, 하나의 세라믹층을 보면 그 형상은 반원형이 된다. 또한 내부 접속부(540)가 상기 홈을 둘러싸도록 내부 접속부 내에 형성되는 것이 가장 바람직하게 되나, 작업 공정상의 오차로 인하여 그 위치가 약간 변경되더라도 내부 접속부의 형성 면적 범위 내에서는 내부 접속부에 걸쳐서 형성되기 때문에 공정상 허용 오차의 범위를 넓힐 수 있게 된다.

e) 상기와 같은 단계를 거친 세라믹층을 다수개 적층한다. 이때 적층된 세라믹층들의 상부에는 전자부품이 실장될 수 있는 캐비티(560)를 형성한다. 적층한 세라믹층들에는 같은 위치에 각각 홈들이 형성되어 있으며, 이러한 홈들은 하나의 수직 홈을 형성하게 된다.

f) 적층된 세라믹층(510a)의 홈에 상기 내부 접속부와 전기적으로 연결되는 외부단자(520)를 형성한다.

g) 상기 캐비티(560) 내에 전자부품(570)을 실장하고, 덮개(580)를 상부에 장착하여 캐비티 내부의 진공을 유지하도록 한다. 이때 전자부품은 특히 실장공간의 내부 진공도가 유지될 필요가 있는 표면탄성과 칩이 될 수 있다.

상기와 같은 다층기판(510) 제조공정에 있어서, 상기 내부 접속부는 도 13에 도시한 바와 같이, 내경이 상기 반원형의 홈의 반경보다 작고 외경이 상기 반원형의 홈의 반경보다 큰 반원띠 형상을 갖도록 형성될 수 있다. 이는 홈이 형성될 부분에는 내부 접속부를 구성하는 금속제 도포막이 형성되지 않도록 하여, 금속제 도포막이 도포되면서 변침으로 인하여 세라믹층의 외측면에 묻는 것을 방지하고, 재료를 절감할 수도 있는 효과를 얻을 수 있도록 하는 것이다.

**발명의 효과**

이상과 같이 본 발명에 의하면 내부의 패턴층과 연결되며 상기 패턴층보다 넓게 형성되는 내부 접속부를 형성하고, 상기 내부 접속부가 외부단자와 접속을 이루게 되므로, 보다 넓은 면적에서 서로 접속할 수 있게 되는 효과가 있다.

또한, 본 발명에서와 같이 넓게 형성되는 내부 접속부를 형성하게 되면, 공정상의 오차가 발생하더라도 여전히 홈은 내부 접속부 형성위치에 형성되어 외부단자와 내부 패턴을 서로 접속되도록 할 수 있다. 이는 종래에 비하여 작업 공정상의 허용 오차의 폭을 넓힐 수 있게 되므로써, 제품의 생산시의 불량율을 감소시킬 수 있게 되며, 제품의 균등한 품질을 보장할 수 있게 되는 효과가 있다.

또한, 본 발명은 외측면에서부터 일정 간격(G) 이격 형성된 내부 접속부(240)를 사용할 수 있으며, 이와 같은 접속부를 사용함으로써 인하여 적층된 다층기판에 틈이 발생하여 공기 또는 수분 등이 침투되는 것을 방지할 수 있으며, 크랙이 발생하는 것을 방지할 수 있는 효과가 있게 된다.

또한, 본 발명에 의한 표면 탄성과 필터 패키지는 칩이 실장되는 캐비티에 일정 진공도를 유지할 수 있는 구조의 저온 소성 세라믹 다층기판을 제공할 수 있는 효과가 있게 된다.

본 발명은 특정한 실시예에 관련하여 도시하고 설명하였지만, 이하의 특허청구범위에 의해 마련되는 본 발명의 정신이나 분야를 벗어나지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당업계에서 통상의 지식을 가진 자는 용이하게 알 수 있음을 밝혀두고자 한다.

**(57) 청구의 범위**

**청구항 1.**

삭제

**청구항 2.**

삭제

**청구항 3.**

일정 두께를 갖고 적층 형성되며, 외측면에 상기 적층 방향으로 형성되는 하나 이상의 홈을 포함하는 복수개의 세라믹층;

상기 세라믹층의 표면에 형성되어 회로 요소를 구현하는 패턴층;

적층된 상기 복수개의 세라믹층의 홈에 상기 세라믹층의 두께 방향으로 형성되는 외부단자; 및

상기 패턴층 중 일부에 금속 도포막으로 형성되며, 외부와 신호를 교환할 수 있도록 상기 외부단자와 접속되며, 상기 외부단자를 감싸도록 넓게 형성되는 내부 접속부;를 포함하는 세라믹 다층기판.

#### 청구항 4.

제 3항에 있어서, 상기 내부 접속부는 홈에 인접한 상기 세라믹층의 외측면과 일정간격으로 떨어져서 형성되는 것을 특징으로 하는 세라믹 다층기판.

#### 청구항 5.

제 3항에 있어서, 상기 홈은 일측이 개구되어 있는 반원형으로 형성되는 것을 특징으로 하는 세라믹 다층기판.

#### 청구항 6.

제 3항에 있어서, 상기 내부 접속부는 상기 패턴층과 동일한 금속 재질로 형성되는 것을 특징으로 하는 세라믹 다층기판.

#### 청구항 7.

일정 두께를 갖고 적층 형성되며, 외측면에 상기 적층 방향으로 형성되는 하나 이상의 홈을 포함하는 복수개의 세라믹층;

상기 세라믹층의 표면에 형성되어 회로 요소를 구현하는 패턴층;

적층된 상기 복수개의 세라믹층의 홈에 상기 세라믹층의 두께 방향으로 형성되는 외부단자;

상기 패턴층 중 일부에 금속 도포막으로 형성되며, 외부와 신호를 교환할 수 있도록 상기 외부단자와 접속되며, 상기 외부단자를 감싸도록 넓게 형성되고, 상기 외부단자가 상기 세라믹층과 접촉하는 부분에 인접한 상기 세라믹층의 외측면과 일정간격 떨어져서 형성되는 내부 접속부;

적층된 상기 복수개의 세라믹층의 상부에 형성되는 캐비티;

상기 캐비티에 장착되는 전자부품; 및

상기 캐비티 상부에 장착되어 캐비티 내부에 진공을 유지하도록 하는 덮개;를 포함하는 세라믹 다층기판.

#### 청구항 8.

제 7항에 있어서, 상기 전자부품은 표면탄성과 칩인 것을 특징으로 하는 세라믹 다층기판.

#### 청구항 9.

제 7항에 있어서, 상기 홈은 일측이 개구되어 있는 반원형으로 형성되는 것을 특징으로 하는 세라믹 다층기판.

#### 청구항 10.

제 7항에 있어서, 상기 내부 접속부는 상기 패턴층과 동일한 금속 재질로 형성되는 것을 특징으로 하는 세라믹 다층기판.

#### 청구항 11.

세라믹 다층기판을 제조하는 방법에 있어서,

일정 두께의 세라믹층을 마련하는 단계;

상기 세라믹층의 표면 상에 회로 요소를 구현하도록 패턴층을 형성하는 단계;

상기 패턴층 중 일부에 외부와 신호를 교환할 수 있도록 상기 세라믹층의 모서리까지 연결되며, 연결되는 패턴층의 너비보다 넓은 너비의 내부 접속부를 금속 도포막으로 형성하는 단계;

상기 내부 접속부 및 상기 세라믹층의 외측면에 일측이 개구된 반원형의 홈을 상기 세라믹층의 두께 방향으로 형성하는 단계;

상기와 같은 단계를 거친 세라믹층을 다수개 적층하는 단계; 및

적층된 세라믹층의 홈에 상기 내부 접속부와 전기적으로 연결되는 외부단자를 상기 세라믹층의 두께 방향으로 형성하는 단계;를 포함하는 세라믹 다층기판 제조방법.

## 청구항 12.

제 11항에 있어서, 상기 내부 접속부는 내경이 상기 반원형의 홈의 반경보다 작고 외경이 상기 반원형의 홈의 반경보다 큰 반원뿔 형상을 갖는 것을 특징으로 하는 세라믹 다층기판 제조방법.

## 청구항 13.

제 11항에 있어서, 상기 내부 접속부는 상기 외부단자가 상기 세라믹층과 접촉하는 부분에 인접한 상기 세라믹층의 외측면과 일정간격 떨어져서 형성되는 것을 특징으로 하는 세라믹 다층기판 제조방법.

## 청구항 14.

제 11항에 있어서, 상기 내부 접속부는 상기 패턴층과 동일한 금속 재질로 형성되는 것을 특징으로 하는 세라믹 다층기판 제조방법.

## 청구항 15.

세라믹 다층기판을 제조하는 방법에 있어서,

일정 두께의 세라믹층을 마련하는 단계;

상기 세라믹층의 표면 상에 회로 요소를 구현하도록 패턴층을 형성하는 단계;

상기 패턴층 중 일부에 외부와 신호를 교환할 수 있도록 상기 세라믹층의 모서리에서 일정간격 이격되어 형성되며, 연결되는 패턴층의 너비보다 넓은 너비를 갖는 내부접속부를 금속 도포막으로 형성하는 단계;

상기 내부 접속부 및 상기 세라믹층의 외측면에 일측이 개구된 반원형의 홈을 상기 세라믹층의 두께 방향으로 형성하는 단계;

상기와 같은 단계들을 거친 세라믹층을 상부에 전자부품이 실장될 수 있는 캐비티가 형성되도록 다수개 적층하는 단계;

적층된 세라믹층의 홈에 상기 내부 접속부와 전기적으로 연결되는 외부단자를 상기 세라믹층의 두께 방향으로 형성하는 단계; 및

상기 캐비티에 전자부품을 실장하고, 상기 캐비티 내부의 진공을 유지하도록 캐비티 상부에 덮개를 장착하는 단계;를 포함하는 세라믹 다층기판 제조방법.

## 청구항 16.

제 15항에 있어서, 상기 전자부품은 표면탄성과 칩인 것을 특징으로 하는 세라믹 다층기판 제조방법.

**청구항 17.**

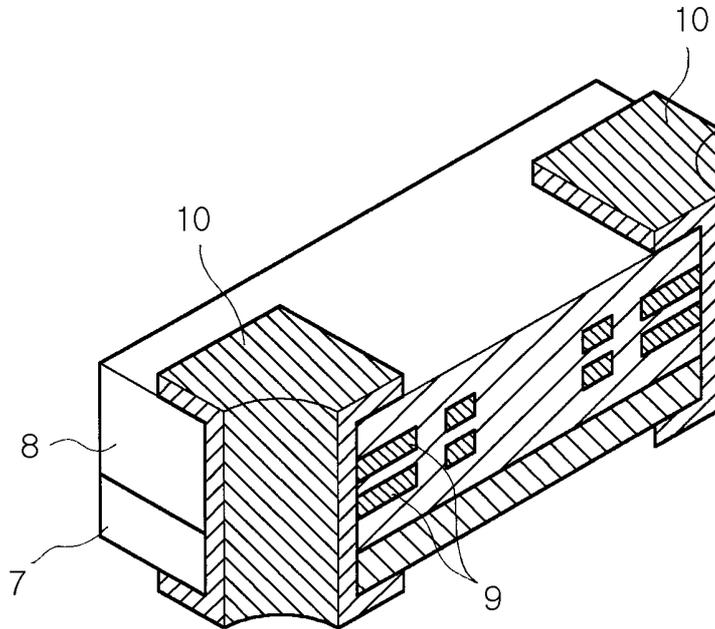
제 15항에 있어서, 상기 내부 접속부는 내경이 상기 반원형의 홈의 반경보다 작고 외경이 상기 반원형의 홈의 반경보다 큰 반원띠 형상을 갖는 것을 특징으로 하는 세라믹 다층기판 제조방법.

**청구항 18.**

제 15항에 있어서, 상기 내부 접속부는 상기 패턴층과 동일한 금속 재질로 형성되는 것을 특징으로 하는 세라믹 다층기판 제조방법.

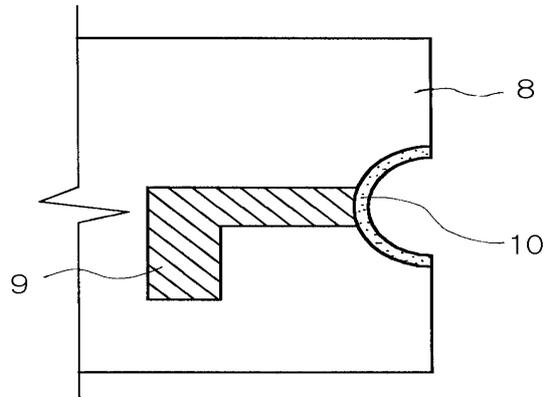
도면

도면1

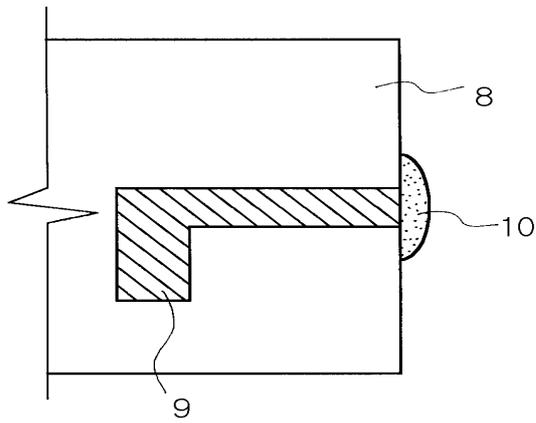


도면2

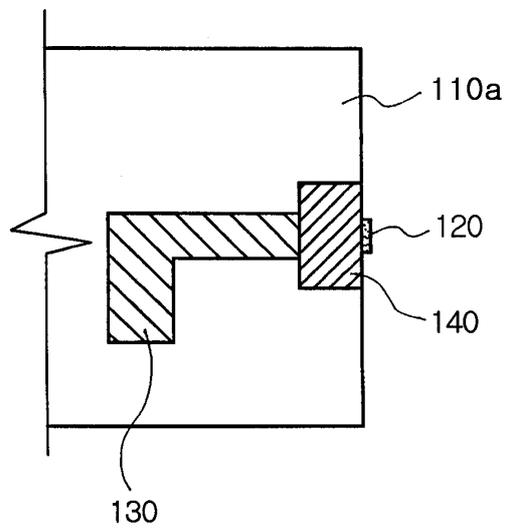
(a)



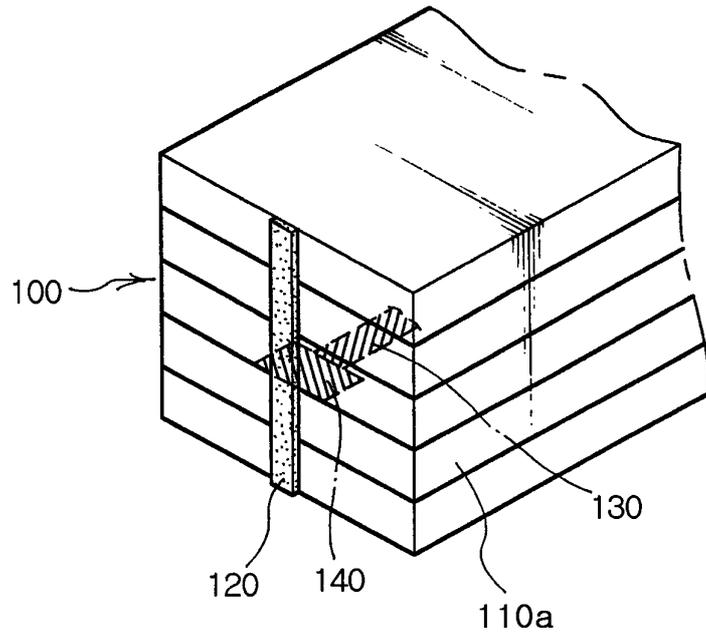
(b)



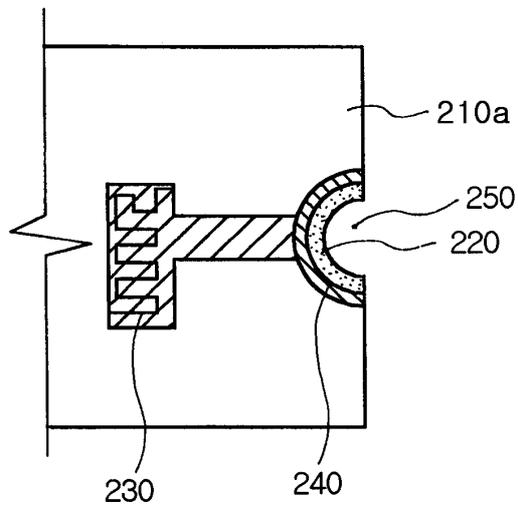
도면3



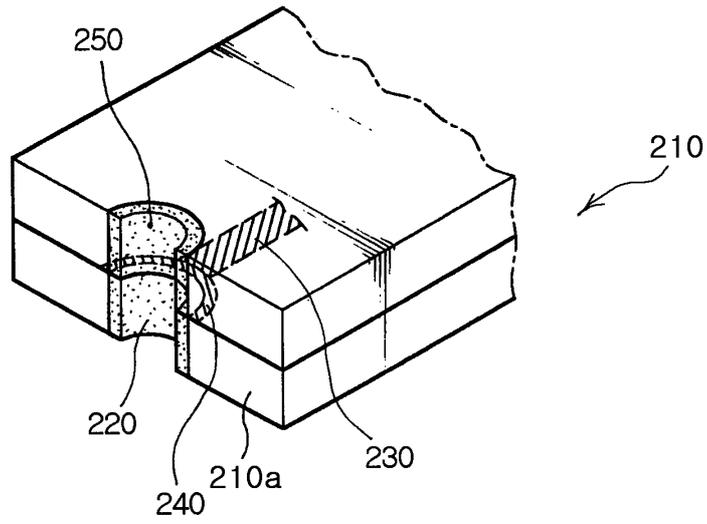
도면4



도면5



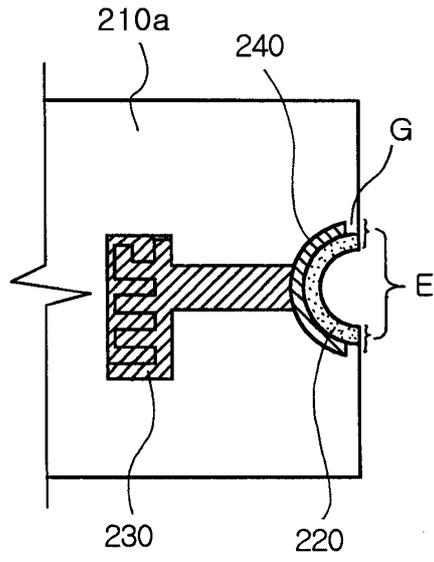
도면6



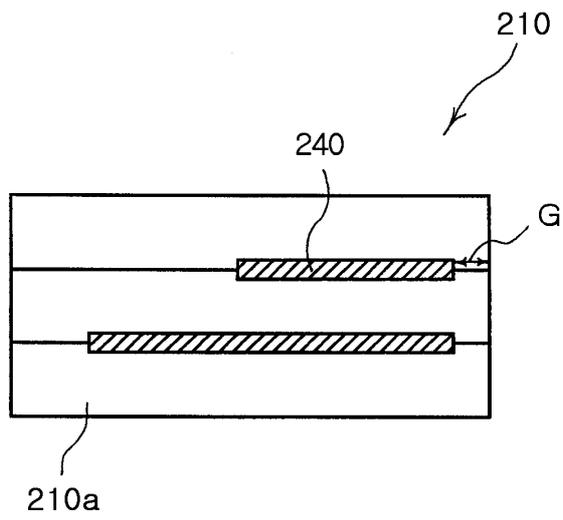
도면7

	종래	본발명
A		
B		

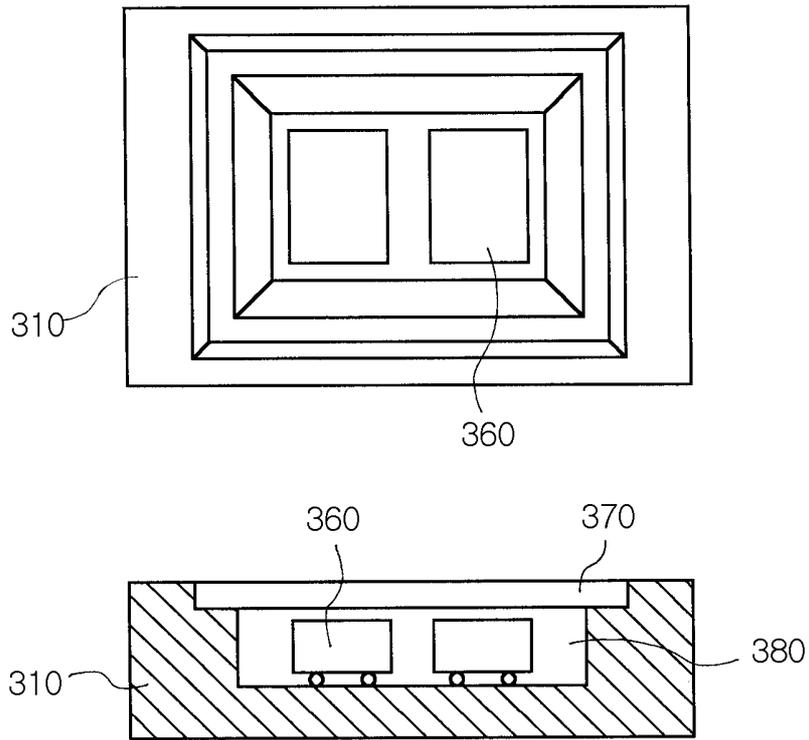
도면8



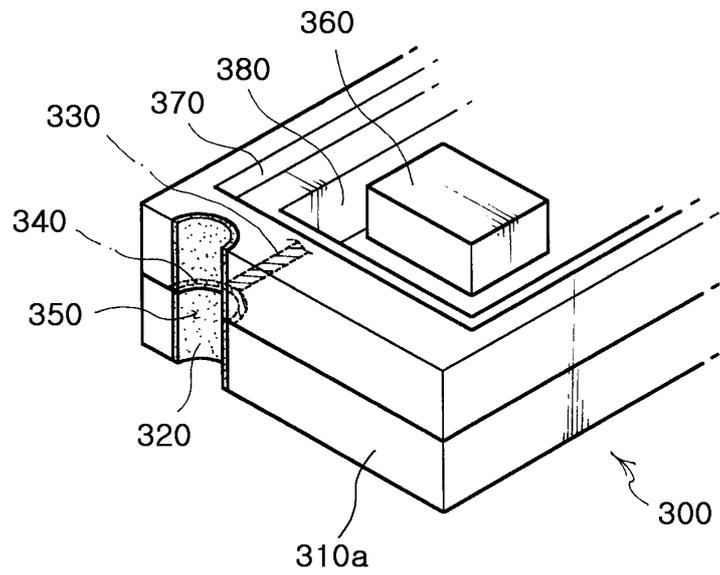
도면9



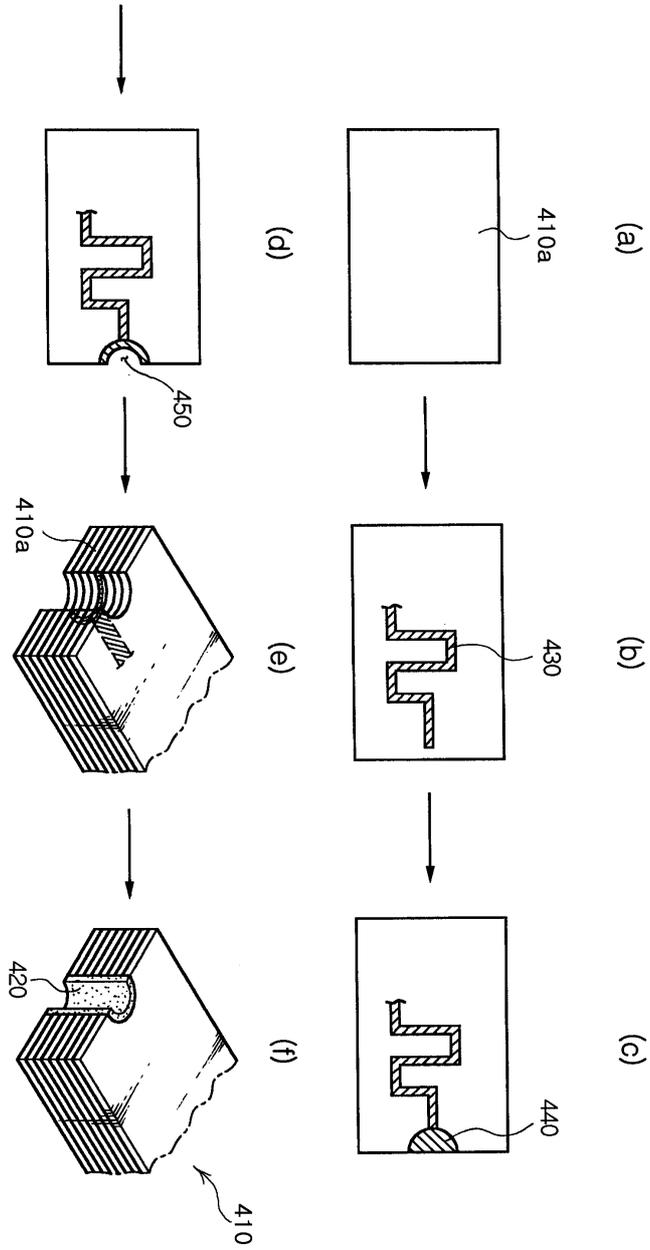
도면10



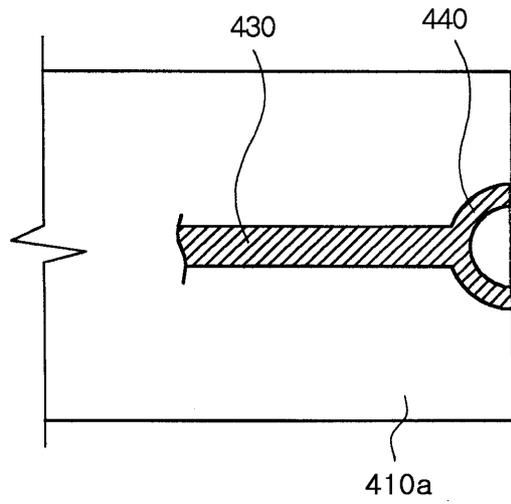
도면11



도면12



도면13



도면14

