



# (12)发明专利

(10)授权公告号 CN 108022549 B

(45)授权公告日 2020.07.24

(21)申请号 201810105816.9

(22)申请日 2018.02.02

(65)同一申请的已公布的文献号  
申请公布号 CN 108022549 A

(43)申请公布日 2018.05.11

(73)专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号  
专利权人 合肥鑫晟光电科技有限公司

(72)发明人 胡琪 敬辉 廖伟经

(74)专利代理机构 北京风雅颂专利代理有限公司  
11403

代理人 朱亲林

(51)Int.Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

(56)对比文件

- CN 101547004 A, 2009.09.30,
- CN 101404493 A, 2009.04.08,
- CN 204046571 U, 2014.12.24,
- CN 105207667 A, 2015.12.30,
- CN 1435947 A, 2003.08.13,
- US 2010164537 A1, 2010.07.01,
- US 2015303918 A1, 2015.10.22,
- US 2008197882 A1, 2008.08.21,

审查员 孟慧慧

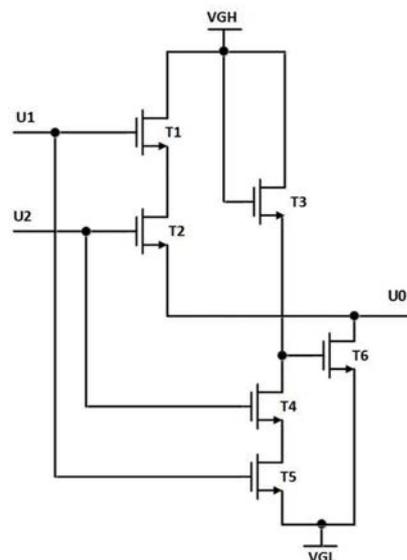
权利要求书1页 说明书5页 附图2页

## (54)发明名称

一种逻辑电路、移位寄存器、驱动电路及显示面板

## (57)摘要

本发明公开了一种逻辑电路、移位寄存器、驱动电路及显示面板，所述逻辑电路包括六个开关单元；第一和第五开关单元控制端连接到第一输入端；第一开关单元第一端、第三开关单元控制端及第一端连接到第一电源电压端；第一开关单元第二端与第二开关单元第一端连接；第二和第四开关单元控制端连接到第二输入端；第三开关单元第二端和第四开关单元第一端与第六开关单元控制端连接；第二开关单元第二端和第六开关单元第一端连接到输出端；第四开关单元第二端与第五开关单元第一端连接；第五和第六开关单元的第二端连接到第二电源电压端。本申请能够消除在栅源电压为零或栅极floating时导通带来的杂质代入影响，消除阈值电压损失，同时改善工艺、降低成本。



1. 一种逻辑电路,其特征在于,包括:第一开关单元、第二开关单元、第三开关单元、第四开关单元、第五开关单元以及第六开关单元;所述第一开关单元的控制端和所述第五开关单元的控制端均连接到第一输入端;所述第一开关单元的第一端、第三开关单元的控制端以及第三开关单元的第一端均连接到第一电源电压端;所述第一开关单元的第二端与第二开关单元的第一端连接;所述第二开关单元的控制端和所述第四开关单元的控制端均连接到第二输入端;第三开关单元的第二端和第四开关单元的第一端均与第六开关单元的控制端连接;第二开关单元的第二端与第六开关单元的第一端均连接到输出端;第四开关单元的第二端与第五开关单元的第一端连接;第五开关单元的第二端和第六开关单元的第二端均连接到第二电源电压端;其中,控制端用于控制相应开关单元的第一端和第二端的导通或断开;

所述第一开关单元、所述第二开关单元、所述第三开关单元、所述第四开关单元、所述第五开关单元以及所述第六开关单元均为同一类型的薄膜晶体管或均为同一类型的MOS管。

2. 根据权利要求1所述的逻辑电路,其特征在于,还包括第二电容;所述第二电容的第一端连接到所述第二开关单元的控制端,所述第二电容的第二端连接到所述第二开关单元的第二端。

3. 根据权利要求1或2所述的逻辑电路,其特征在于,还包括第一电容;所述第一电容的第一端连接到所述第一开关单元的控制端,所述第一电容的第二端连接到所述第一开关单元的第二端。

4. 根据权利要求1所述的逻辑电路,其特征在于,当所述第一开关单元、所述第二开关单元、所述第三开关单元、所述第四开关单元、所述第五开关单元以及所述第六开关单元均为薄膜晶体管时,所述开关单元中的控制端为栅极,开关单元中的第一端为源极或漏极,开关单元中的第二端为与第一端对应的漏极或源极。

5. 根据权利要求4所述的逻辑电路,其特征在于,所述第一开关单元、所述第二开关单元、所述第三开关单元、所述第四开关单元、所述第五开关单元以及所述第六开关单元均为N型薄膜晶体管。

6. 根据权利要求1所述的逻辑电路,其特征在于,所述第一电源电压端与高电压参考信号连接;所述第二电源电压端与低电压参考信号连接。

7. 一种移位寄存器,其特征在于,所述移位寄存器包括权利要求1-6任一项所述的逻辑电路。

8. 一种驱动电路,其特征在于,所述驱动电路包括权利要求1-6任一项所述的逻辑电路。

9. 一种显示面板,其特征在于,所述显示面板包括权利要求7所述的移位寄存器或权利要求8所述的驱动电路。

## 一种逻辑电路、移位寄存器、驱动电路及显示面板

### 技术领域

[0001] 本发明涉及电路控制相关技术领域,特别是指一种逻辑电路、移位寄存器、驱动电路及显示面板。

### 背景技术

[0002] 与门电路是数字电路中较为常用的逻辑电路中的一种,对于两输入的与门,当两个输入信号都为高电平时,输出才为高电平,否则输出为低电平。同时基于电路控制或实现功能的需求,常常在器件中设计到各种各样的逻辑电路,例如,在显示领域中,与、或等相关逻辑电路控制通常通过TFT晶体管实现。

[0003] 在现有显示领域中,与门电路作为常用的逻辑电路常被用在提供方向扫描信号的扫描驱动电路中。但是现有的与门结构主要是同时用两种类型的MOS管或TFT制作,且与门电路通常用与非门加非门的结构组成,也即显示领域中常用的与门电路为P型和N型TFT晶体管混用的设计电路,由于涉及到两种不同的工艺,这样的设计会在工艺上和成本上造成明显劣势。特别是对TFT来说增加了技术困难。此外,目前制造显示器件背板工艺有很多种类型,例如a-Si(非晶硅)TFT晶体管显示器件、LTPS显示器件以及氧化物TFT晶体管器件。其中,氧化物TFT晶体管在迁移率和稳定性以及成本上有着一定的优势,尤其是对于大尺寸面板来说。但是氧化物TFT晶体管的特性通常表现为耗尽型,使得栅源电压为零或者floating时已处于导通状态。这样将会导致氧化物TFT晶体管容易在零电压或者floating情况下出现异常导通,进而使得输出产生不良后果;因此,氧化物TFT晶体管的耗尽型特性会给电路设计带来很大的困难。

[0004] 因此,在实现本申请的过程中,发明人发现,如何消除氧化物TFT晶体管组成与门电路时,栅源电压为零或栅极floating时导通带来的杂质代入影响,是相关技术人员亟待解决的重要问题。

### 发明内容

[0005] 有鉴于此,本发明的目的在于提出一种逻辑电路、移位寄存器、驱动电路及显示面板,能够消除相关逻辑电路在栅源电压为零或栅极floating时导通带来的杂质代入影响,进而消除阈值电压损失,同时改善工艺、降低成本。

[0006] 基于上述目的,在本申请的第一方面提供了一种逻辑电路,包括:第一开关单元、第二开关单元、第三开关单元、第四开关单元、第五开关单元以及第六开关单元;所述第一开关单元的控制端和所述第五开关单元的控制端均连接到第一输入端;所述第一开关单元的第一端、第三开关单元的控制端以及第三开关单元的第一端均连接到第一电源电压端;所述第一开关单元的第二端与第二开关单元的第一端连接;所述第二开关单元的控制端和所述第四开关单元的控制端均连接到第二输入端;第三开关单元的第二端和第四开关单元的第一端均与第六开关单元的控制端连接;第二开关单元的第二端与第六开关单元的第一端均连接到输出端;第四开关单元的第二端与第五开关单元的第一端连接;第五开关单元

的第二端和第六开关单元的第二端均连接到第二电源电压端；其中，控制端用于控制相应开关单元的第一端和第二端的导通或断开。

[0007] 可选的，所述逻辑电路还包括第二电容；所述第二电容的第一端连接到所述第二开关单元的控制端，所述第二电容的第二端连接到所述第二开关单元的第二端。

[0008] 可选的，所述逻辑电路还包括第一电容；所述第一电容的第一端连接到所述第一开关单元的控制端，所述第一电容的第二端连接到所述第一开关单元的第二端。

[0009] 可选的，所述第一开关单元、所述第二开关单元、所述第三开关单元、所述第四开关单元、所述第五开关单元以及所述第六开关单元均为薄膜晶体管；其中，开关单元中的控制端为栅极，开关单元中的第一端为源极或漏极，开关单元中的第二端为与第一端对应的漏极或源极。

[0010] 可选的，所述第一开关单元、所述第二开关单元、所述第三开关单元、所述第四开关单元、所述第五开关单元以及所述第六开关单元均为N型薄膜晶体管。

[0011] 可选的，所述第一开关单元、所述第二开关单元、所述第三开关单元、所述第四开关单元、所述第五开关单元以及所述第六开关单元均为MOS管。

[0012] 可选的，所述第一电源电压端与高电压参考信号连接；所述第二电源电压端与低电压参考信号连接。

[0013] 在本申请的第二方面，还提供了一种移位寄存器，所述移位寄存器包括上述任一项所述的逻辑电路。

[0014] 在本申请的第三方面，还提供了一种驱动电路，所述驱动电路包括上述任一项所述的逻辑电路。

[0015] 在本申请的第四方面，还提供了一种显示面板，所述显示面板包括所述的移位寄存器或所述的驱动电路。

[0016] 从上面所述可以看出，本发明提供的逻辑电路、移位寄存器、驱动电路及显示面板，通过设计合理的电路控制方式使得能够使用统一的开关单元实现相应的逻辑控制，进而可以相对于现有技术优化工艺并且降低成本；同时使用统一的开关单元还是以避免不同阈值电压带来的输出电压损失，能够消除相关逻辑电路在栅源电压为零或栅极floating时导通带来的杂质代入影响。因此，本申请所述逻辑电路不仅能够改善电路控制效果，而且能够改善工艺、降低成本。

## 附图说明

[0017] 图1为本发明提供的逻辑电路一个实施例的结构示意图；

[0018] 图2为本发明提供的逻辑电路另一个实施例的结构示意图。

## 具体实施方式

[0019] 为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。

[0020] 需要说明的是，本发明实施例中所有使用“第一”和“第二”的表述均是为了区分两个相同名称非相同的实体或者非相同的参量，可见“第一”“第二”仅为了表述的方便，不应理解为对本发明实施例的限定，后续实施例对此不再一一说明。

[0021] 本申请为了解决现有技术中使用N型和P型两种TFT设计与逻辑门电路带来的工艺困难,同时消除氧化物TFT通常在 $V_{gs}$ 为0v就可能打开的影响和消除输出端阈值电压损失。提出一种改进的逻辑电路设计。

[0022] 实施例一,

[0023] 为了克服现有技术中同时使用两种TFT的问题,需要相应的设计新的电路逻辑控制结构,在本申请一个实施例中,所述逻辑电路包括:第一开关单元、第二开关单元、第三开关单元、第四开关单元、第五开关单元以及第六开关单元;所述第一开关单元的控制端和所述第五开关单元的控制端均连接到第一输入端;所述第一开关单元的第一端、第三开关单元的控制端以及第三开关单元的第一端均连接到第一电源电压端;所述第一开关单元的第二端与第二开关单元的第一端连接;所述第二开关单元的控制端和所述第四开关单元的控制端均连接到第二输入端;第三开关单元的第二端和第四开关单元的第一端均与第六开关单元的控制端连接;第二开关单元的第二端与第六开关单元的第一端均连接到输出端;第四开关单元的第二端与第五开关单元的第一端连接;第五开关单元的第二端和第六开关单元的第二端均连接到第二电源电压端;其中,控制端用于控制相应开关单元的第一端和第二端的导通或断开,且当控制端为高电位时将会使得第一端和第二端导通。

[0024] 例如,当所述第一电源电压端与高电压参考信号连接,所述第二电源电压端与低电压参考信号连接时,若第一输入端处于高电平,第二输入端处于低电平时,第一开关单元和第五开关单元导通,第二开关单元和第四开关单元处于关断状态,第六开关单元的控制端为高电平,导通,输出端输出第二电源电压对应的低电位;同理,若第二输入端处于高电平,第一输入端处于低电平时,第二开关单元和第四开关单元导通,第一开关单元和第五开关单元处于关断状态,第六开关单元栅极高电位打开,输出端输出低电位;当第一输入端和第二输入端都为高电位时,第一开关单元、第二开关单元、第三开关单元、第四开关单元、第五开关单元均导通,第六开关单元控制端为低电平处于关断,输出端输出高电平;当第一输入端和第二输入端都为低电位时,第一开关单元、第二开关单元、第四开关单元、第五开关单元关断,第六开关单元高电平打开,输出端输出低电平。

[0025] 这样,通过上述逻辑电路结构设计,使得可以通过使用同一种开关单元实现相应的逻辑控制,进而能够克服现有技术中由于多种TFT以及耗尽型TFT带来的不良影响。

[0026] 在本申请一些可选的实施例中,所述逻辑电路还包括第二电容;所述第二电容的第一端连接到所述第二开关单元的控制端,所述第二电容的第二端连接到所述第二开关单元的第二端。这样,通过增加的电容,使得开关单元的输出端可以充分导通,在电路低电平转高电平时具有更快的转换速度,而且能够消除由于阈值电压不同带来的输出电压损失问题。

[0027] 优先的,所述逻辑电路还包括第一电容;所述第一电容的第一端连接到所述第一开关单元的控制端,所述第一电容的第二端连接到所述第一开关单元的第二端。这样,两个输出端对应的控制端均通过增加电容能够提高转换速度,进一步改善电路控制效果。

[0028] 由上述实施例可知,本申请所述逻辑电路,通过设计合理的电路控制方式使得能够使用统一的开关单元实现相应的逻辑控制,进而可以相对于现有技术优化工艺并且降低成本;同时使用统一的开关单元还是以避免不同阈值电压带来的输出电压损失,能够消除相关逻辑电路在栅源电压为零或栅极floating时导通带来的杂质代入影响。因此,本申请

所述逻辑电路不仅能够改善电路控制效果,而且能够改善工艺、降低成本。

[0029] 实施例二,

[0030] 参照图1所示,为本发明提供的逻辑电路一个实施例的结构示意图。具体的,所述第一开关单元、所述第二开关单元、所述第三开关单元、所述第四开关单元、所述第五开关单元以及所述第六开关单元均为薄膜晶体管;其中,开关单元中的控制端为栅极,开关单元中的第一端为源极或漏极,开关单元中的第二端为与第一端对应的漏极或源极。

[0031] 参照图1所示,第一电源电压端为高电位,第二电源电压端为低电位,六个开关单元均为薄膜晶体管(T1、T2、T3、T4、T5、T6)。所述逻辑电路具体实施如下:当第一输入端U1处于高电平,第二输入端U2处于低电平时,第一开关单元T1和第五开关单元T5导通,第二开关单元T2和第四开关单元T4处于关断状态,第六开关单元T6的栅极为高电平因此导通,输出端U0输出低电位;同理,当第二输入端U2处于高电平,第一输入端U1处于低电平时,第二开关单元T2和第四开关单元T4导通,第一开关单元T1和第五开关单元T5处于关断状态,第六开关单元T6的栅极为高电位导通,输出端U0输出低电位;当第一输入端U1和第二输入端U2都为高电位时,第一开关单元T1、第二开关单元T2、第三开关单元T3、第四开关单元T4、第五开关单元T5导通,第六开关单元T6的栅极为低电平关断,输出端U0输出高电平;当第一输入端U1和第二输入端U2都为低电位时,第一开关单元T1、第二开关单元T2、第四开关单元T4、第五开关单元T5关断,第六开关单元T6的栅极为高电平打开,输出端U0输出低电平。由此,所述逻辑电路中实现如下逻辑控制关系:

[0032] 若 $U1=0, U2=0$ 则 $U0=0$ ;

[0033] 若 $U1=1, U2=0$ 则 $U0=0$ ;

[0034] 若 $U1=0, U2=1$ 则 $U0=0$ ;

[0035] 若 $U1=1, U2=1$ 则 $U0=1$ ;

[0036] 其中“1”指高电平,“0”指低电平。 $U1$ 、 $U2$ 表示两个输入信号; $U0$ 表示输出信号。因此,本实施例通过电路结构实现了较好的逻辑电路功能,同时能够消除耗尽型TFT带来的floating状态不稳定的影响以及耗尽型氧化物TFT栅源电压为零时可能导通的不利影响。

[0037] 优选的,所述第一开关单元、所述第二开关单元、所述第三开关单元、所述第四开关单元、所述第五开关单元以及所述第六开关单元均为N型薄膜晶体管。

[0038] 需要说明的是,上述实施例使用TFT作为实例进行说明,但本申请并不限于只能使用TFT;例如,所述第一开关单元、所述第二开关单元、所述第三开关单元、所述第四开关单元、所述第五开关单元以及所述第六开关单元还可以为MOS管。当然也可以选用其他类型的开关器件实现,本申请不作限制。

[0039] 实施例三,

[0040] 参照图2所示,为本发明提供的逻辑电路另一个实施例的结构示意图。由图可知,本实施例中的逻辑电路结构是在图1所示逻辑电路基础上相应的增加了两个电容,其中,第一电容C1的一端连接到第一开关单元T1的控制端,及栅极,另一端连接到第一开关单元T1的第二端,即源极或漏极。同理,第二电容C2的两端分别连接到第一开关单元T2的控制端和第二端;其余结构保持不变,本实施例不再重复赘述。通过在开关单元的控制端位置增加电容,使得TFT输出端可以充分导通,在电路低电平转高电平时具有更快的转换速度,且消除了由于TFT阈值电压不同带来的输出电压损失问题。需要说明的是,本申请并不限于图中增

加的两个电容,根据控制需求,还可以在其他开关单元的相应位置增加电容结构。

[0041] 实施例四,

[0042] 基于上述实施例所述的逻辑电路,本申请还可以将所述逻辑电路应用到各种不同的器件或者单元中,例如,可以应用于移位寄存器中,所述移位寄存器包括上述任一项实施例所述的逻辑电路。或者还可以应用于驱动电路中,所述驱动电路包括上述任一项实施例所述的逻辑电路。又或者,还可以应用于显示面板,所述显示面板包括所述的移位寄存器或所述的驱动电路。

[0043] 在本申请一些可选的实施例中,显示器件中的扫描驱动电路中用于进行与逻辑运算处理的电路部分可由上述任意实施例所述逻辑电路实现。例如所述逻辑电路应用于阵列基板中的移位寄存器电路中或者扫描电路中。

[0044] 所属领域的普通技术人员应当理解:以上任何实施例的讨论仅为示例性的,并非旨在暗示本公开的范围(包括权利要求)被限于这些例子;在本发明的思路下,以上实施例或者不同实施例中的技术特征之间也可以进行组合,步骤可以以任意顺序实现,并存在如上所述的本发明的不同方面的许多其它变化,为了简明它们没有在细节中提供。

[0045] 另外,为简化说明和讨论,并且为了不会使本发明难以理解,在所提供的附图中可以示出或不示出与集成电路(IC)芯片和其它部件的公知的电源/接地连接。此外,可以以框图的形式示出装置,以便避免使本发明难以理解,并且这也考虑了以下事实,即关于这些框图装置的实施方式的细节是高度取决于将要实施本发明的平台的(即,这些细节应当完全处于本领域技术人员的理解范围内)。在阐述了具体细节(例如,电路)以描述本发明的示例性实施例的情况下,对本领域技术人员来说显而易见的是,可以在没有这些具体细节的情况下或者这些具体细节有变化的情况下实施本发明。因此,这些描述应被认为是说明性的而不是限制性的。

[0046] 尽管已经结合了本发明的具体实施例对本发明进行了描述,但是根据前面的描述,这些实施例的很多替换、修改和变型对本领域普通技术人员来说将是显而易见的。例如,其它存储器架构(例如,动态RAM(DRAM))可以使用所讨论的实施例。

[0047] 本发明的实施例旨在涵盖落入所附权利要求的宽泛范围之内的所有这样的替换、修改和变型。因此,凡在本发明的精神和原则之内,所做的任何省略、修改、等同替换、改进等,均应包含在本发明的保护范围之内。

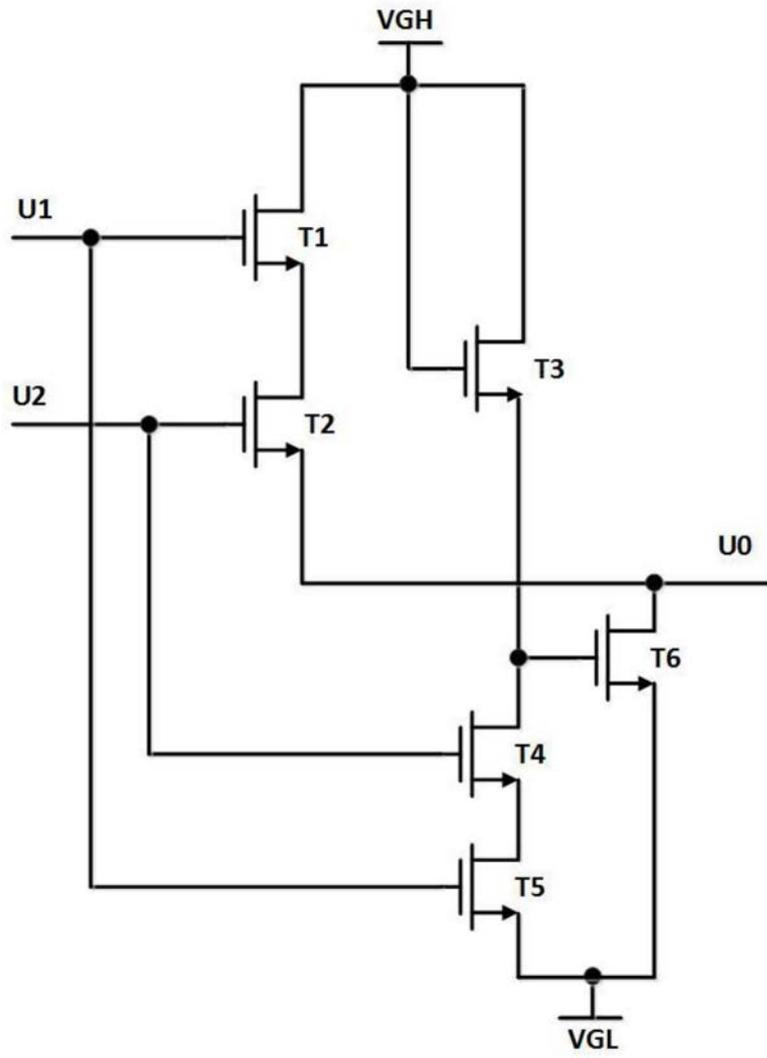


图1

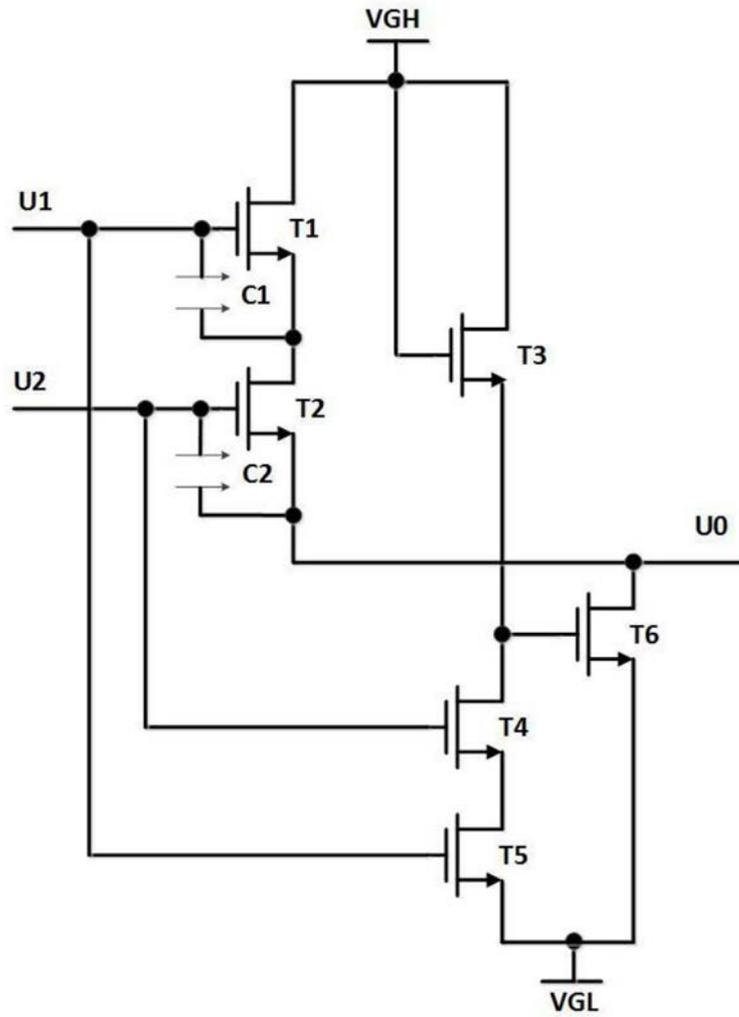


图2