

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-252624
(P2006-252624A)

(43) 公開日 平成18年9月21日(2006.9.21)

| | | |
|--------------------------------|-----------------------|-------------|
| (51) Int. Cl. | F I | テーマコード (参考) |
| G 1 1 C 16/06 (2006.01) | G 1 1 C 17/00 6 3 4 C | 5 B 1 2 5 |
| G 1 1 C 29/04 (2006.01) | G 1 1 C 29/00 6 0 3 H | 5 L 1 0 6 |
| | G 1 1 C 17/00 6 3 9 B | |
| | G 1 1 C 17/00 6 3 4 G | |

審査請求 未請求 請求項の数 5 O L (全 21 頁)

| | | | |
|-----------|----------------------------|----------|---|
| (21) 出願番号 | 特願2005-64915 (P2005-64915) | (71) 出願人 | 000003078 株式会社東芝 |
| (22) 出願日 | 平成17年3月9日(2005.3.9) | | 東京都港区芝浦一丁目1番1号 |
| | | (74) 代理人 | 100092820 弁理士 伊丹 勝 |
| | | (72) 発明者 | 竹内 健 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内 |
| | | Fターム(参考) | 5B125 BA01 CA01 EA05 FA07 5L106 AA10 CC00 GG06 |

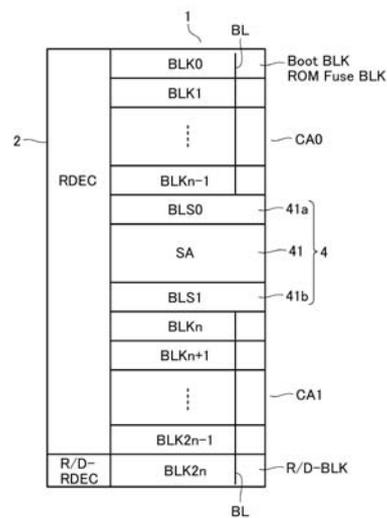
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 高速性能の半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、それぞれ電気的書き換え可能な不揮発性メモリセルが配列され、セルデータを転送するビット線の方に並んで配置された、互いに物理的に独立した第1及び第2のセルアレイと、前記第1及び第2のセルアレイの間に配置されてそれらにより共有されるセンスアンプ回路と、前記第1及び第2のセルアレイにそれらが論理的に1メモリプレーンとなるように割り付けられたアドレスをデコードして前記第1及び第2のセルアレイのメモリセル選択を行うデコード回路とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

それぞれ電氣的書き換え可能な不揮発性メモリセルが配列され、セルデータを転送するビット線の方に並んで配置された、互いに物理的に独立した第 1 及び第 2 のセルアレイと、

前記第 1 及び第 2 のセルアレイの間に配置されてそれらにより共有されるセンスアンプ回路と、

前記第 1 及び第 2 のセルアレイにそれらが論理的に 1 メモリプレーンとなるように割り付けられたアドレスをデコードして前記第 1 及び第 2 のセルアレイのメモリセル選択を行うデコード回路とを有する

ことを特徴とする半導体記憶装置。

10

【請求項 2】

前記第 1 及び第 2 のセルアレイの不良メモリセルを救済するために第 1 及び第 2 のセルアレイの一方側に配置された冗長回路を有する

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記第 1 及び第 2 のセルアレイの一方に書き込まれた初期設定データが読み出されて保持される初期設定データ記憶回路を有する

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】

前記第 1 及び第 2 のセルアレイは、それぞれが複数ワード線を含む複数ブロックにより構成され、

前記デコード回路は、

前記第 1 及び第 2 のセルアレイの各ブロックのワード線方向の端部に配置された、ブロック内にワード線駆動電圧を転送するための転送トランジスタアレイと、

ブロックアドレスをデコードして、前記転送トランジスタアレイを選択的に駆動するためのブロックデコーダと、

前記第 1 及び第 2 のセルアレイの各ブロックに共通に用いられる、ブロック内のワード線にそれぞれ与えられるべきワード線駆動電圧を出力するための 1 セットのワード線ドライバと、

前記ワード線ドライバから前記各転送トランジスタアレイまで前記ワード線駆動信号を転送するための駆動信号線とを有する

ことを特徴とする請求項 1 記載の半導体記憶装置。

20

30

【請求項 5】

前記センスアンプ回路は、

第 1 及び第 2 のセルアレイのいずれかのビット線に選択的に接続される複数のセンスアンプユニットが配列されたセンスアンプアレイと、

前記センスアンプアレイの各センスアンプユニットと前記第 1 及び第 2 のセルアレイのビット線との接続を選択するためのビット線選択回路とを有する

ことを特徴とする請求項 1 記載の半導体記憶装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電氣的書き換え可能な不揮発性メモリセルを用いて構成される半導体記憶装置 (EEPROM) に関する。

【背景技術】

【0002】

EEPROM フラッシュメモリのうち特に NAND 型フラッシュメモリは、単位セル面積が小さいため、大容量化が容易であるという特長を持つ。また、NAND 型フラッシュメモリはページバッファを備えて、ページ単位のデータ読み出し及び書き込みを行うこと

50

により、高速の読み出し及び書き込みを可能としている。

【0003】

一般にフラッシュメモリを大容量化し、更に必要ならデータ読み出しと書き込みの同時実行を可能とするために、メモリチップ内に互いに物理的に独立の複数のメモリプレーン（メモリコア）を配置することが行われる。各メモリプレーンのワード線及びビット線は、他のメモリプレーンのそれと連続しない。従って、メモリプレーン毎にロウ及びカラム選択のためのデコード回路が設けられる（例えば、特許文献1参照）。

【0004】

また、フラッシュメモリのセルアレイのビット線データを検出するセンスアンプ回路は、通常セルアレイのビット線方向の一方の端部に配置される。従ってセルアレイの大容量化により、ビット線容量が大きな負荷となり、高速性能が損なわれる。

10

【特許文献1】特開2001-325795号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

この発明は、高速性能の半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

この発明の一態様による半導体記憶装置は、

それぞれ電氣的書き換え可能な不揮発性メモリセルが配列され、セルデータを転送するビット線の方向に並んで配置された、互いに物理的に独立した第1及び第2のセルアレイと、

20

前記第1及び第2のセルアレイの間に配置されてそれらにより共有されるセンスアンプ回路と、

前記第1及び第2のセルアレイにそれらが論理的に1メモリプレーンとなるように割り付けられたアドレスをデコードして前記第1及び第2のセルアレイのメモリセル選択を行うデコード回路とを有する。

【発明の効果】

【0007】

この発明によれば、高速性能の半導体記憶装置を提供することができる。

30

【発明を実施するための最良の形態】

【0008】

以下、図面を参照して、この発明の実施の形態を説明する。

【0009】

図1は、一実施の形態によるNAND型フラッシュメモリのメモリコアの模式的なレイアウトを示し、図2は機能ブロック構成を示し、図3はメモリセルアレイの等価回路構成を示している。

【0010】

メモリセルアレイ1は、図1及び図3に示すように、センスアンプ回路4を挟んでこれを共有するように配置された二つのセルアレイCA0, CA1をする。二つのセルアレイCA0, CA1は互いに物理的に独立である。即ち、ワード線、ビット線共にセルアレイCA0, CA1にまたがって連続することはない。この様なセルアレイCA0, CA1がビット線BLの方向に並び、それらの間に共有センスアンプ回路4が配置される。

40

【0011】

セルアレイCA0, CA1はそれぞれ複数ブロックBLK0 - BLKn - 1, BLKn - BLK2nにより構成される。これらのセルアレイCA0, CA1のワード線WL方向の一方の端部に、ワード線選択を行うロウデコーダ2が配置される。

【0012】

図3は、各セルアレイCA0, CA1の一つずつのブロックBLKの具体的構成を示している。各セルアレイは、NANDセルユニットNUを配列して構成される。各NAND

50

セルユニットNUは、複数個（図3の場合、32個）の電氣的書き換え可能な不揮発性メモリセルM0 - M31と、その両端をそれぞれビット線BLとソース線CELSRCに接続するための選択ゲートトランジスタS1, S2を有する。

【0013】

メモリセルM0 - M31の制御ゲートはそれぞれ異なるワード線WL0 - WL31に接続される。選択ゲートトランジスタS1, S2のゲートは、ワード線と並行する選択ゲート線SG1, SG2に接続される。ワード線を共有するNANDセルユニットの集合は、データ消去の単位となるブロックBLKを構成する。

【0014】

カラムデコーダ3はメモリセルアレイ1のビット線選択を行う。データ読み出し時、センスアンプ回路4に読み出されたデータは、データバス11を介し、I/Oバッファ5を介して外部入出力端子I/Oに出力される。データ書き込み時、外部メモリコントローラから入出力端子I/Oに供給される書き込みデータは、I/Oバッファ5を介し、データバス11を介してセンスアンプ回路4にロードされる。

10

【0015】

入出力端子I/Oから供給されるコマンドは内部コントローラ7でデコードされ、アドレスはアドレスレジスタ6を介してロウデコーダ2及びカラムデコーダ3に転送される。

【0016】

コントローラ7は、動作モードに応じて供給される外部制御信号及びコマンドに基づいて、データ書き込み及び消去のシーケンス制御、及びデータ読み出しの制御を行う。

20

【0017】

ステータスレジスタ10は、チップがレディ状態にあるか、ビジー状態にあるかを示すレディ/ビジー信号R/Bがセットされ、これがチップ外部に出力されるようになっている。動作モードに応じて、電源電圧より高い種々の高電圧を発生するために、高電圧発生回路9が設けられている。高電圧発生回路9はコントローラ7により制御される。

【0018】

センスアンプ回路4は、図3に示すように、センスアンプユニットSAUを配列したセンスアンプアレイ41と、各センスアンプユニットSAUとセルアレイCA0, CA1のビット線との接続を選択するビット線選択回路42a, 42bを有する。

【0019】

一つのセンスアンプユニットSAU(k) (k = 0, 1, 2, ...)は、セルアレイCA0の隣接する2ビット線BLk0, BLk1と、セルアレイCA1の隣接する2ビット線BLk2, BLk3の中のいずれか一つに接続される。即ちビット線選択回路42a, 42bは、選択信号BS0 - BS3により制御されるビット線選択トランジスタQS0 - QS3を有する。これらの選択トランジスタQS0 - QS3により、セルアレイCA0側の偶数番ビット線BLk0又は奇数番ビット線BLk1、或いはセルアレイCA1側の偶数番ビット線BLk2又は奇数番ビット線BLk3のいずれか一つがセンスアンプユニットSAU(k)に接続される。

30

【0020】

図3の共有センスアンプ方式では、セルアレイCA0, CA1の一方のみが選択される。各セルアレイは、1ワード線と偶数番ビット線とにより選択されるメモリセルの集合が一つのセクタとなり、同ワード線と奇数番ビット線により選択されるメモリセルの集合が他のセクタとなる。2値データ記憶方式では、1セクタが読み出し及び書き込みの単位である1ページとなる。4値データ記憶方式では、1セクタが2ページ（下位ページと上位ページ）となる。

40

【0021】

この実施の形態では、図1に示すセンスアンプ回路4を共有する二つのセルアレイCA0, CA1は、論理的に1メモリプレーンとなる。そして、二つのセルアレイCA0, CA1のいずれの不良セルについても置換可能な冗長回路がセルアレイCA0, CA1の一方側に配置される。具体的に図1では、セルアレイCA1側のブロックBLK2nが、冗

50

長回路としてのブロック（即ち冗長ブロック） $R/D-BLK$ である。

【0022】

ロウデコーダ2は、ノーマルブロック $BLK0-BLK2n-1$ を選択するノーマルロウデコーダ $RDEC$ と、冗長ブロック $BLK2n$ を選択する冗長ロウデコーダ $R/D-RDEC$ を有する。

【0023】

二つのセルアレイ $CA0, CA1$ が論理的に1メモリプレーンであるということは、二つのセルアレイ $CA0, CA1$ に対して外部的な論理アドレスが連続して割り付けられることを意味する。例えば、セルアレイ $CA0, CA1$ がそれぞれ4ブロックの場合を例に挙げれば、ブロックアドレス $BA=(B2, B1, B0)$ は、図4に示すように割り付けられる。

10

【0024】

ブロックアドレスの最上位ビット $B2$ は、セルアレイ $CA0, CA1$ のいずれが選択されるかを示す。従って図5に示すように、この最上位ビット $B2$ はビット線選択信号発生回路31に利用される。

【0025】

信号発生回路31は、ブロックアドレスの最上位ビット $B2$ とセクタ選択信号 SE との論理により一つが活性になる $NAND$ ゲート $G0-G3$ を用いて構成される。これにより、ビット線選択信号 $BS0-BS3$ のいずれかが一つが“H”（選択状態）になる。

【0026】

この実施の形態では、セルアレイ $CA1$ 側に配置した冗長ブロック $R/D-BLK$ がセルアレイ $CA0, CA1$ の不良救済に用いられる。従って、セルアレイ $CA0$ の選択ブロックに代わって冗長ブロック $R/D-BLK$ を用いるためには、センスアンプ回路4の接続切り換えも必要である。そのために、図5に示すように、選択信号発生回路31の出力部に、後述する置換制御信号 RP によって制御される NOR ゲート $G10-G13$ 及び OR ゲート $G14, G15$ を用いたセンスアンプ切り換え回路32が用意されている。

20

【0027】

セルアレイ $CA0$ が選択されて不良ブロック置換がない場合（ $RP=“L”$ ）は、 NOR ゲート $G10, G11$ が活性であり、 $NAND$ ゲート $G0, G1$ のいずれかが“L”出力であり、選択信号 $BS0, BS1$ のいずれかが“H”になる。セルアレイ $CA0$ の不良ブロックが選択された場合は、 NOR ゲート $G12, G13$ が活性になる。これにより、 $NAND$ ゲート $G0$ 又は $G1$ の“L”出力は、この NOR ゲート $G12$ 又は $G13$ を通過して、セルアレイ $CA1$ 側のビット線を選択する選択信号 $BS2$ 又は $BS3$ が“H”になる。

30

【0028】

セルアレイ $CA1$ が選択されていて不良ブロック置換が行われる場合には、センスアンプ回路接続の切り換えは必要がない。このとき、 $NAND$ ゲート $G2$ 又は $G3$ の“L”出力は、置換制御信号 RP の“L”，“H”に拘わらず、インバータで反転され、 OR ゲート $G14$ 又は $G15$ を通過して、選択信号 $BS2$ 又は $BS3$ の“H”出力となる。

【0029】

なお、図1の例では、セルアレイ $CA0, CA1$ のノーマルブロック数が共に n であり、 $2 \times n$ のノーマルブロックに対して一つの冗長ブロック $R/D-BLK$ が用意されているが、二つのセルアレイのノーマルブロック数が異なってもよいし、また冗長ブロック数が2以上の場合もある。

40

【0030】

また、図1に示すように、1メモリプレーンとされる2セルアレイ $CA0, CA1$ の一方の、例えばブロック $BLK0$ が初期設定データ記憶領域（ブートブロックや ROM フェーズブロック）として用いられる。即ち、このブロック $BLK0$ には、メモリチップ毎に最適条件に設定された初期設定データが出荷時に書き込まれる。初期設定データは、書き込み電圧その他の電圧調整データや書き込みサイクル数（ループ数）調整データ等、シス

50

テムの起動及び動作条件に必要な情報、不良セルの置換に用いられる不良アドレス情報、チップID情報等を含む。

【0031】

このブロックBLK0の初期設定データは、例えば電源投入後自動的に読み出されて、図2に示すデータレジスタ8a, 8b等にセットされる。ここでは、データレジスタ8aは、各種調整データを記憶するものであり、データレジスタ8bは、不良アドレスデータを記憶するものである。

【0032】

データレジスタ8aにセットされた初期設定データにより、メモリチップの動作条件が規定される。またアドレス一致検出回路12により、入力アドレスとデータレジスタ8bにセットされた不良アドレスと一致検出が行われ、一致検出がなされると、置換制御信号RP (= "H") が出力される。置換制御信号RPは例えば、ロウデコーダ2のノーマルロウデコーダ部RDECを非活性にし、代わって冗長ロウデコーダR/D-RDECを活性にする制御を行う。

【0033】

図6及び図7は、二つのセルアレイCA0, CA1を論理的に1メモリプレーンとして扱うことを可能とするロウデコーダ2の具体的な構成を示している。ロウデコーダ2は、セルアレイCA0, CA1のブロック毎に、そのワード線方向の一端部に配置された、ワード線及び選択ゲート線に動作モードに応じて必要な駆動信号を転送するための転送トランジスタアレイ26を有する。転送トランジスタアレイ26は、20V程度の書き込み電圧Vpgm等に耐えられる高耐圧トランジスタにより構成されている。

【0034】

ドライバセット23は、セルアレイCA0, CA1の全ブロックに共通に用いられる、選択ゲート線SG1, SG2を駆動するための選択ゲート線ドライバSGD-DRV, SDS-DRV及びワード線WL0-WL31を駆動するためのワード線ドライバCG0-DRV~CG31-DRVを有する。

【0035】

ドライバセット23の各ドライバは、ブロック内のページ選択を行うページデコーダ21の出力及び高電圧発生回路9の出力VPを受けて、動作モード及び選択ページに応じて必要な駆動電圧を駆動信号線24に出力し、これがセルアレイCA0, CA1の全ブロックの転送トランジスタアレイ26に供給される。

【0036】

全ブロックのうち、一つの転送トランジスタアレイ26を選択するのが、ブロックアドレスをデコードするブロックデコーダ22である。このブロックデコーダ22にも高電圧発生回路9の高電圧VPが供給され、動作モードに応じて転送トランジスタアレイ26を駆動するに必要な電圧レベルのブロック選択信号が発生される。このブロックデコーダ22の出力線であるブロック選択信号線25がそれぞれ、ブロックBLK0-BLK2n-1の転送トランジスタアレイ26の共通ゲート端子TGに接続される。

【0037】

これにより、ドライバセット23から出力される駆動信号は、ブロックデコーダ22により選択されたブロック内のワード線及び選択ゲート線に与えられる。

【0038】

セルアレイCA1側の冗長ブロックBLK2nの転送トランジスタアレイ26は、アドレス一致検出回路12の置換制御信号RPにより活性化される冗長ブロックデコーダ27の出力により駆動される。即ち不良アドレスが入力されたときに置換制御信号RP (= "H") が出力され、これによりブロックデコーダ22が非活性になり、代わって冗長ブロックデコーダ27が活性になる。この結果、不良ブロックに代わって冗長ブロックBLK2nが選択される。

【0039】

図8は、センスアンプ回路4のなかの1センスユニットSAUの構成を示している。ピ

10

20

30

40

50

ット線選択回路41a, 41bを介してビット線BLに接続されるノードSABLは、クランプ用NMOSトランジスタQ1を介してセンスノードTDCに接続されている。このトランジスタQ1は、データ読み出し時、ビット線電圧をクランプする動作と、セルデータに応じたビット線電圧を検出するプリセンスアンプの働きをし、データ書き込み時は書き込みデータに応じた電圧をビット線に転送する動作を行う。

【0040】

センスノードTDCには、プリチャージ用NMOSトランジスタQ2が接続されている。このプリチャージ用トランジスタQ2はデータ読み出し時、ビット線を所定電圧にプリチャージするために用いられる。

【0041】

センスノードTDCには、転送用NMOSトランジスタQ3, Q4を介して二つのデータ記憶回路(データラッチ)PDC, SDCが接続されている。これらのデータ記憶回路PDC, SDCは動作モードに応じて使い分けられる。例えば、データ記憶回路SDCは、外部I/O端子との間で読み出し及び書き込みデータの授受に利用されるデータラッチである。従ってそのデータノードN11, N12は、カラム選択ゲートトランジスタQ31, Q32を介してデータ線DL, DLnに接続される。

10

【0042】

また、データ記憶回路PDCは、データ書き込み時にビット線電圧を決める書き込みデータを保持する。即ちデータ書き込み時は、外部から供給される書き込みデータが、データ記憶回路SDCにロードされた後、データ記憶回路PDCに転送されて保持される。

20

【0043】

このデータラッチPDCが保持する書き込みデータに応じて、ビット線制御電圧が決定され、更にNANDセルユニットのチャネル電圧が決定される。そして、書き込み電圧印加と書き込み状態を確認するベリファイ読み出しとからなる書き込みサイクルが実行される。またデータ記憶回路PDCは、データ読み出し時センスノードTDCに読み出されたデータを保持する。

【0044】

各書き込みサイクルでは、ビット毎の書き込みベリファイを行い、次の書き込みサイクルの書き込みデータを決定する。そのために、データ記憶回路PDCのデータノードN1とセンスノードTDCの間に、書き込みデータを一時記憶する、もう一つのデータ記憶回路DDCが設けられている。NMOSトランジスタQ6のゲートN3がこのデータ記憶回路DDCの記憶ノードである。

30

【0045】

データノードN1とデータ記憶ノードN3との間に、データラッチ31のデータを転送するための転送用NMOSトランジスタQ5が配置されている。トランジスタQ6とセンスノードTDCとの間には、データ記憶ノードN3のレベルに応じて、センスノードTDCにデータを書き戻すための書き戻し用NMOSトランジスタQ7が配置されている。

【0046】

書き込みベリファイの読み出し結果に基づいて、1ページデータの書き込み完了を検出するために、ベリファイチェック回路VCKが設けられている。

40

【0047】

このセンスアンプユニット構成に着目して、この実施の形態のフラッシュメモリの動作を簡単に説明する。

【0048】

データ書き込みは、書き込み電圧印加と書き込みベリファイの繰り返しにより行われる。書き込み時、データ記憶回路PDCの書き込みデータは、次のように設定される。即ちセルのしきい値電圧を正方向に変化させる“0”書き込みデータは、N1 = “H”として、セルのしきい値電圧を負の状態(消去状態)のまま保持する“1”書き込みデータ(即ち書き込み禁止)は、N1 = “L”としてセットされる。

【0049】

50

この書き込みデータに基づいて、NANDセルチャネルの電位が制御される。そして、選択ワード線に昇圧された書き込み電圧 V_{pgm} を印加すると、“0”書き込みセルでは浮遊ゲートに電子が注入され、“1”書き込みセルでは電子注入が生じない。

【0050】

書き込みベリファイ読み出しでは、確認すべきデータしきい値電圧分布の下限値に相当する“ベリファイ電圧”を選択ワード線に与えて、プリチャージされたビット線が選択セルにより放電されるか否かを検出する。“0”書き込みがなされたセルはワード線に与えられるベリファイ電圧でオンせず、ビット線が放電されない。従って、 $TDC = “H”$ なるデータとして読み出され、以後“1”書き込み（書き込み禁止）とされる。

【0051】

これに対して、“0”書き込みが不十分であるか、又は“1”データのセルではビット線が放電されて、これが“L”データとして読み出される。そして、次の書き込みサイクルでは、データ記憶回路DDCが保持する前サイクルの書き込みデータに基づいて、“0”書き込み不十分のセルに対してのみ再度“0”書き込みが行われるように、データ記憶回路PDCに書き込みデータを書き戻す動作が行われる。

【0052】

1ページ内の“0”書き込みデータが全て書き込まれると、データ記憶回路PDCは、データノードN1がオール“H”（オール“1”）状態となるように、制御される。1ページのデータ記憶回路PDCのオール“1”状態を検出して書き込み完了を判定するために、データ記憶回路PDCにベリファイ判定回路VCKが接続されている。

【0053】

データ読み出しは、選択ブロック内の選択ワード線に読み出し電圧（例えば、0V）を与え、非選択ワード線にはセルデータよらずメモリセルがオンする読み出しパス電圧を与えて、セル電流が流れるか否かを検出する。通常は、ビット線をプリチャージして、選択セルによりこれが放電されるか否かを検出することによって、データを判定する。読み出しデータは、データ記憶回路PDCに保持される。書き込みベリファイ読み出しは、読み出し電圧に代わって前述のようにベリファイ電圧を用いる他、通常の読み出しと同様である。

【0054】

以上のようなデータ記憶回路PDCを用いた書き込み及び読み出しの動作は、2値記憶方式、4値記憶方式いずれの場合も、基本的に同じである。いずれも上述した書き込み動作、即ちしきい値電圧を上昇させる“0”書き込みとしきい値電圧を維持する“1”書き込み（書き込み禁止）とを利用する。また読み出し動作も基本的に、“0”，“1”判定である。

【0055】

2値記憶方式の場合には、原理的にデータ記憶回路PDC，SDCのいずれか一方のみがあれば書き込み及び読み出しが可能である。4値データ記憶方式では、1セルが2ビット記憶を行うために、データ書き込みに下位ページ書き込みと上位ページ書き込みが必要であり、そのために二つのデータ記憶回路PDC，SDCが不可欠になる。

【0056】

以上のようにこの実施の形態によれば、ビット線方向に隣接する二つのセルアレイがそれらの間に配置されたセンスアンプ回路を共有して、論理的に1メモリプレーンとなる。従来方式では、1メモリプレーン内をビット線が連続し、その一端にセンスアンプ回路が接続される。従って、メモリプレーンの容量が大きくなると、ビット線容量の増大により、読み出しや書き込みの高速性が損なわれる。これに対してこの実施の形態では、1メモリプレーンが二つの物理的に独立したセルアレイで構成されるから、メモリ容量が同じ場合にビット線容量が約1/2になり、従って高速性能が得られる。

【0057】

更に、二つのセルアレイが論理的に1メモリプレーンであるために、その一方のみに冗長回路を配置して、二つのセルアレイの不良セル救済が可能である。また、二つのセルア

10

20

30

40

50

レイの一方のみに初期設定データを記憶して、メモリチップの動作条件初期化が可能になる。

【0058】

図9は、メモリ容量を更に大きくした実施の形態におけるメモリコアの模式的レイアウトを、図1と対応させて示している。即ちこの実施の形態では、センスアンプ回路4がセルアレイ(CA0, CA2)と(CA1, CA3)との間で共有されているだけでなく、ロウデコーダ2がセルアレイ(CA0, CA1)と(CA2, CA3)との間で共有されている。

【0059】

このとき、ロウデコーダ2内の駆動信号線24とブロック選択信号線25は、センスアンプ回路4の領域を横切って連続するように配置される。これにより、4つのセルアレイCA0 - CA3を論理的に1メモリプレーンとして扱うことができる。

10

【0060】

先の実施の形態と同様に、センスアンプ回路4を共有するセルアレイ(CA0, CA2)と(CA1, CA3)とは、同時に読み出し又は書き込みが行われることはない。言い換えれば、図9において、セルアレイCA0内のワード線WL aとセルアレイCA1内のワード線WL bが同時に活性化されることはなく、同様にセルアレイCA2内のワード線WL cとセルアレイCA3内のワード線WL dが同時に活性化されることはない。

【0061】

これに対して、セルアレイCA0内のワード線WL aと、セルアレイCA2内のワード線WL cとは同時に活性化することができ、同様に、セルアレイCA1内のワード線WL bと、セルアレイCA3内のワード線WL dとは同時に活性化することができる。

20

【0062】

この実施の形態によると、セルアレイのワード線長を1/2にしたと等価になる。従って、大容量フラッシュメモリのビット線容量の低減に加えて、ワード線容量の低減の効果が得られる。ワード線容量の低減は、ワード線の電圧遷移を高速にし、従って読み出し及び書き込みの高速化を可能とする。

【0063】

図10は、図9に示した構成の二つのメモリコアCORE0, CORE1を配置した実施の形態の模式的レイアウトである。全ブロックに共通のドライバセット23とブロックデコーダ22は、二つのメモリコアCORE0, 1の間の周辺回路領域91に配置される。これらのドライバセット23及びブロックデコーダ22の出力線である駆動信号線24とブロック選択信号線25は、センスアンプ回路4の領域を通過して、各メモリコアCORE0, 1の中央部に形成されたロウデコーダ2の領域に導かれる。

30

【0064】

この実施の形態により、高速動作が可能な大容量フラッシュメモリが得られる。

【0065】

図11は、2つのセルアレイCA0, CA1に対してセンスアンプ回路4(4a, 4b, 4c)を分散配置した他の実施の形態を示している。即ち、セルアレイCA0, CA1の間にあってこれらが共有するセンスアンプ回路4aには、例えばセルアレイCA0, CA1の奇数番ビット線が接続される。セルアレイCA0, CA1の偶数番ビット線に接続されるセンスアンプ回路4a, 4bはセンスアンプ回路4aと反対側の端部に配置される。

40

【0066】

このようなセンスアンプ回路配置は、セルアレイCA0, CA1の間に全センスアンプユニットを配置することが困難である程にビット線ピッチが微細化された場合に有効である。

【図面の簡単な説明】

【0067】

【図1】一実施の形態によるフラッシュメモリのメモリコアの模式的レイアウトを示す図

50

である。

【図2】同フラッシュメモリの機能ブロック構成を示す図である。

【図3】同フラッシュメモリのメモリセルアレイ構成を示す図である。

【図4】同フラッシュメモリのブロックアドレス割り付け法を示す図である。

【図5】同フラッシュメモリのビット線選択信号発生回路の構成を示す図である。

【図6】同フラッシュメモリのロウデコーダの構成を示す図である。

【図7】同ロウデコーダの具体構成を示す図である。

【図8】同フラッシュメモリのセンスアンプユニットの構成を示す図である。

【図9】他の実施の形態によるフラッシュメモリのメモリコアのレイアウトを示す図である。

10

【図10】更に他の実施の形態によるフラッシュメモリのメモリコアのレイアウトを示す図である。

【図11】更に他の実施の形態によるフラッシュメモリのセンスアンプ回路レイアウトを示す図である。

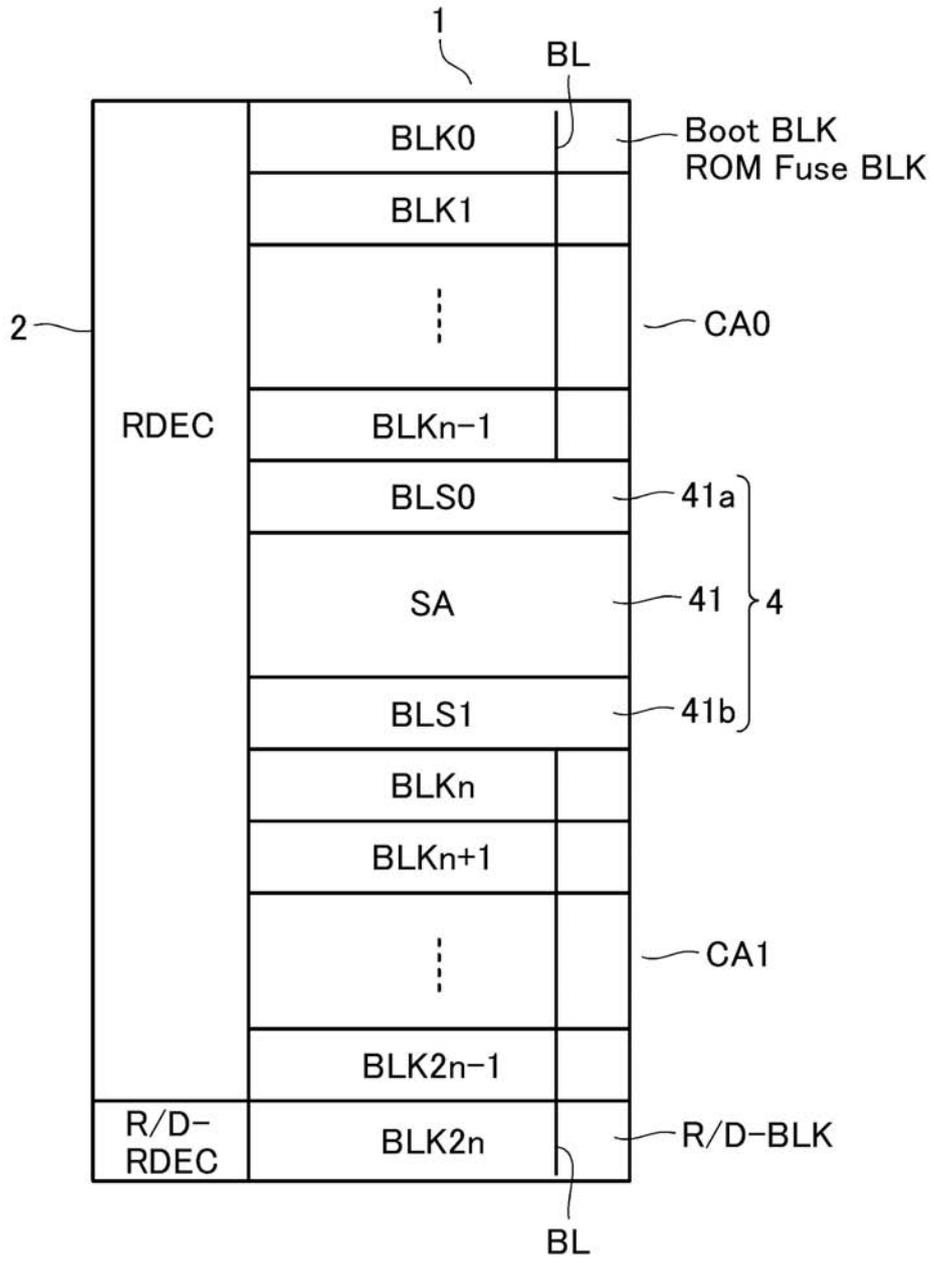
【符号の説明】

【0068】

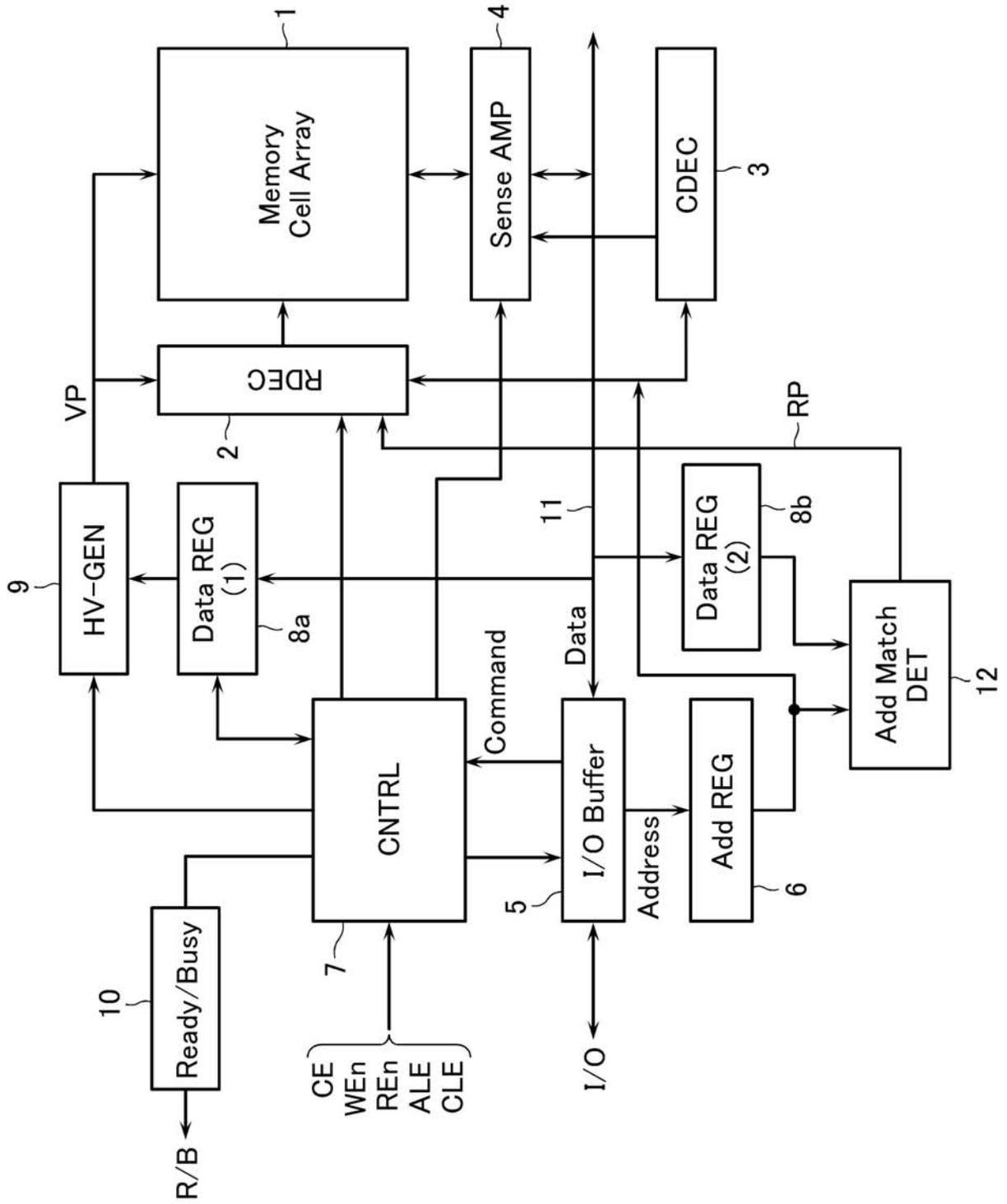
1 ... メモリセルアレイ、CA0, CA1, CA2, CA3 ... セルアレイ、2 ... ロウデコーダ、3 ... カラムデコーダ、4 ... センスアンプ回路、5 ... I/Oバッファ、6 ... アドレスレジスタ、7 ... コントローラ、8a, 8b ... データレジスタ、9 ... 高電圧発生回路、10 ... ステータスレジスタ、11 ... データバス、12 ... アドレス一致検出回路、21 ... ページデコーダ、22 ... ブロックデコーダ、23 ... ドライバセット、24 ... 駆動信号線、25 ... ブロック選択線、26 ... 転送トランジスタアレイ、27 ... 冗長ブロックデコーダ、31 ... ビット線選択信号発生回路、41 ... センスアンプアレイ、42a, 42b ... ビット線選択回路。

20

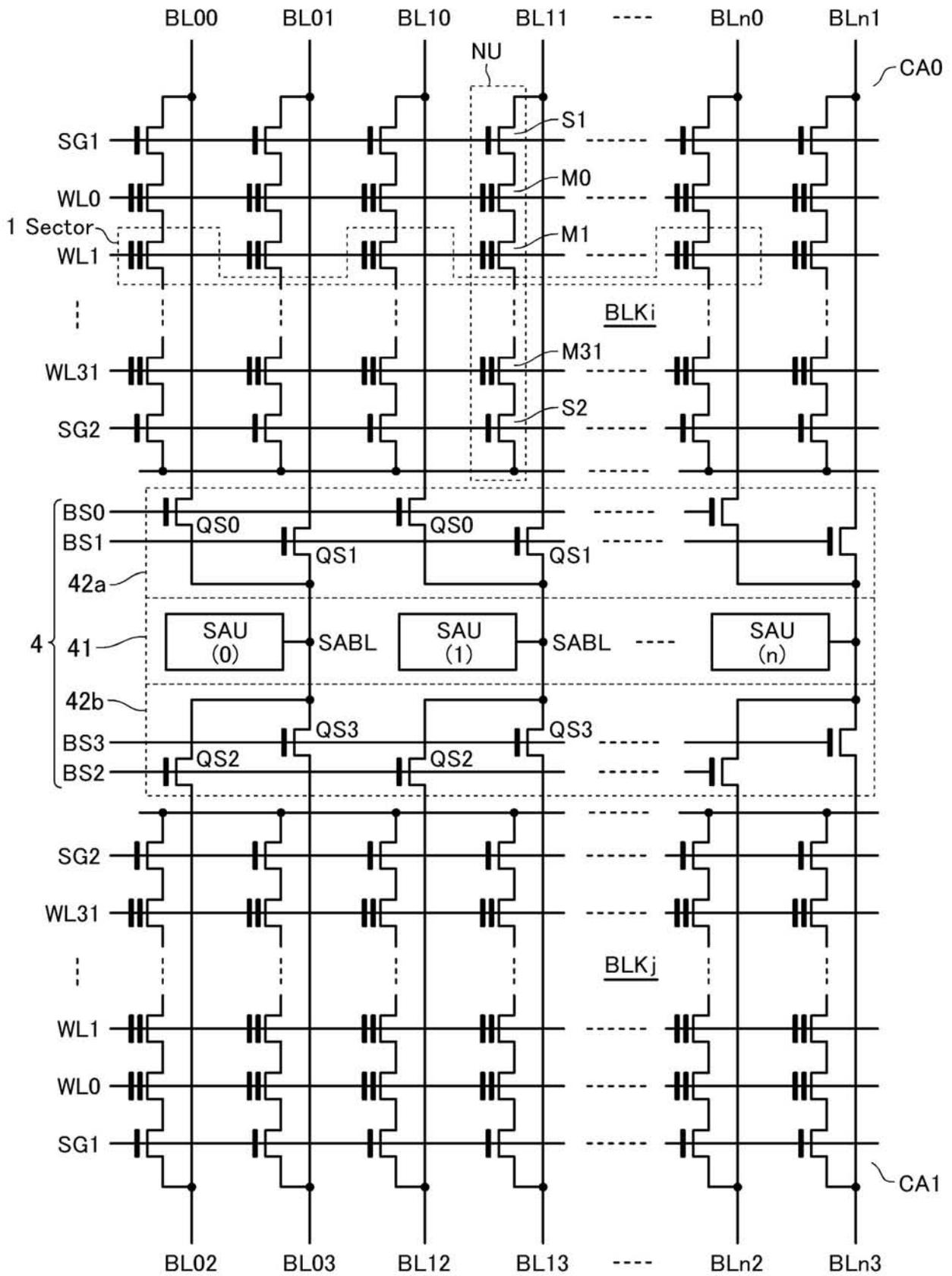
【 図 1 】



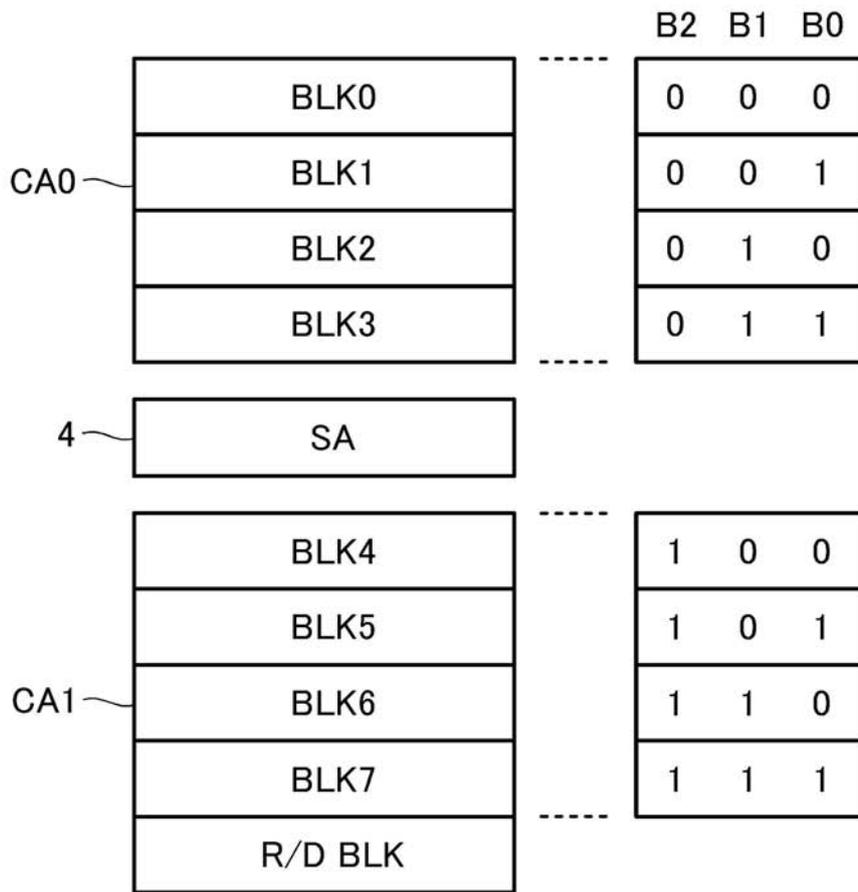
【図 2】



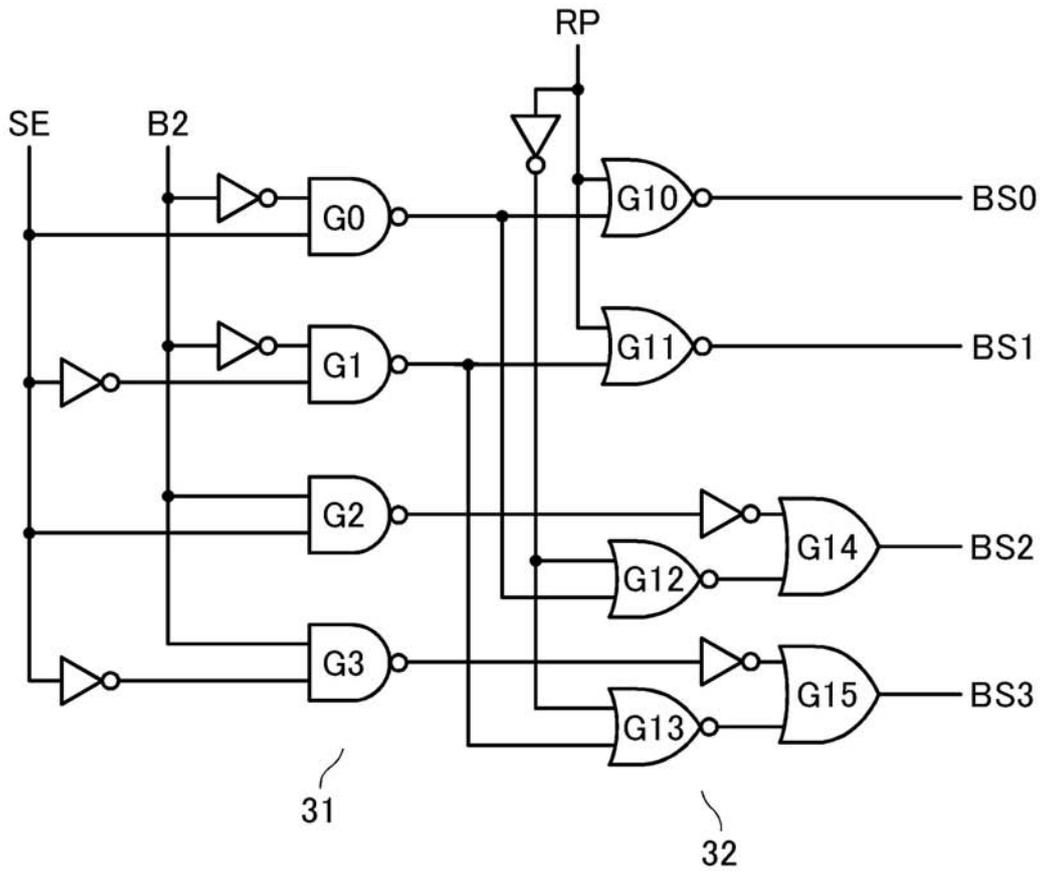
【 図 3 】



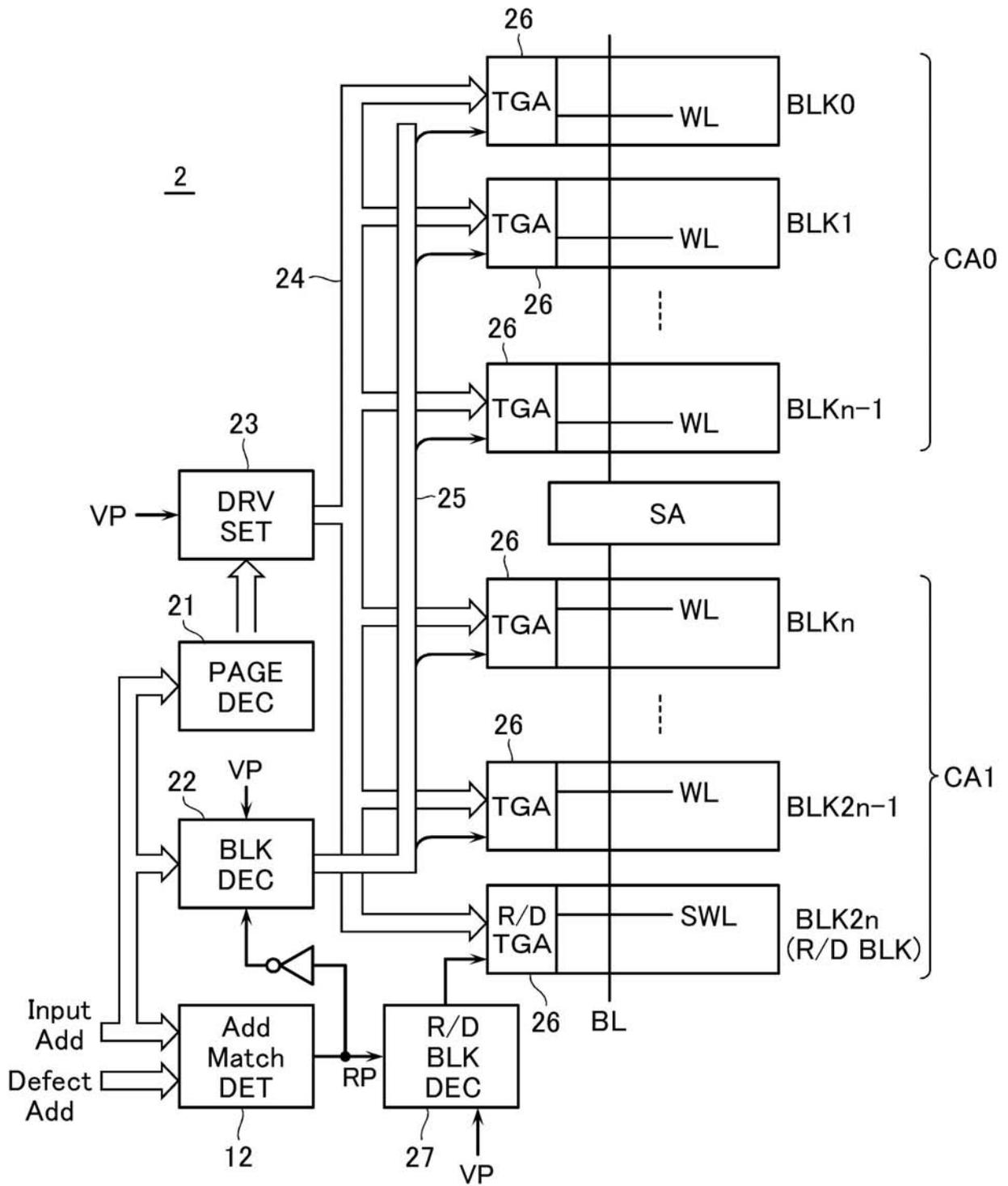
【 図 4 】



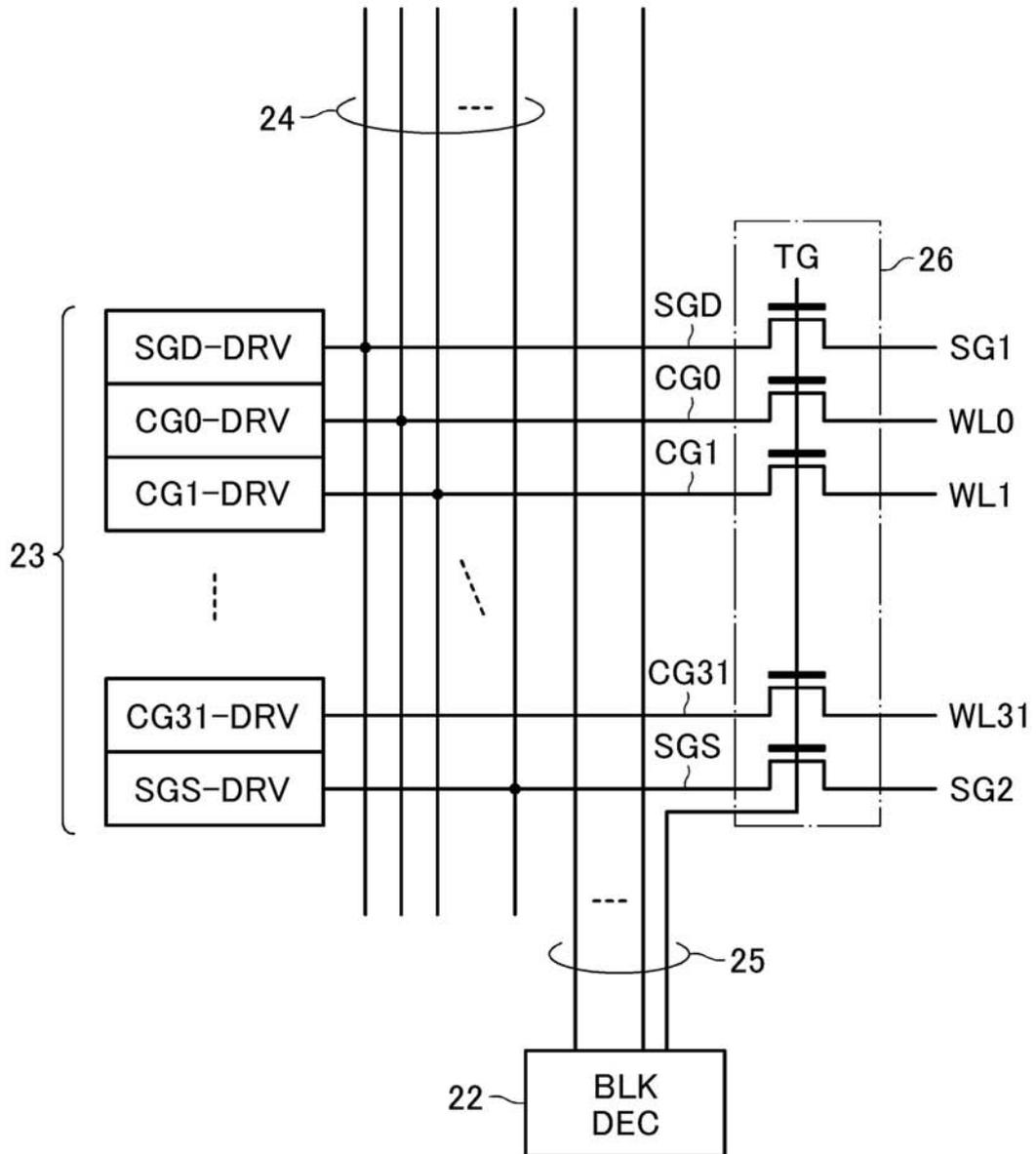
【 図 5 】



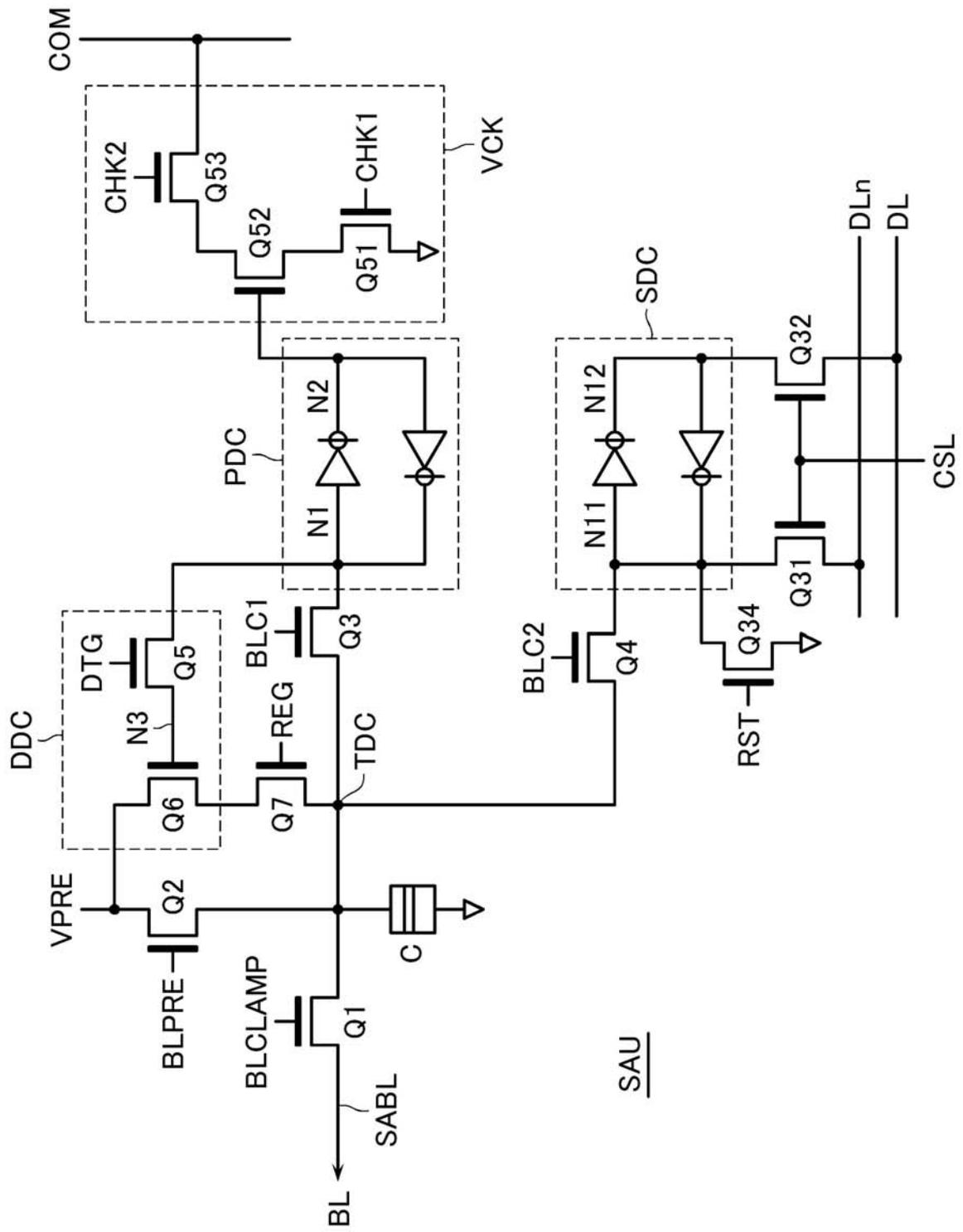
【 図 6 】



【 図 7 】

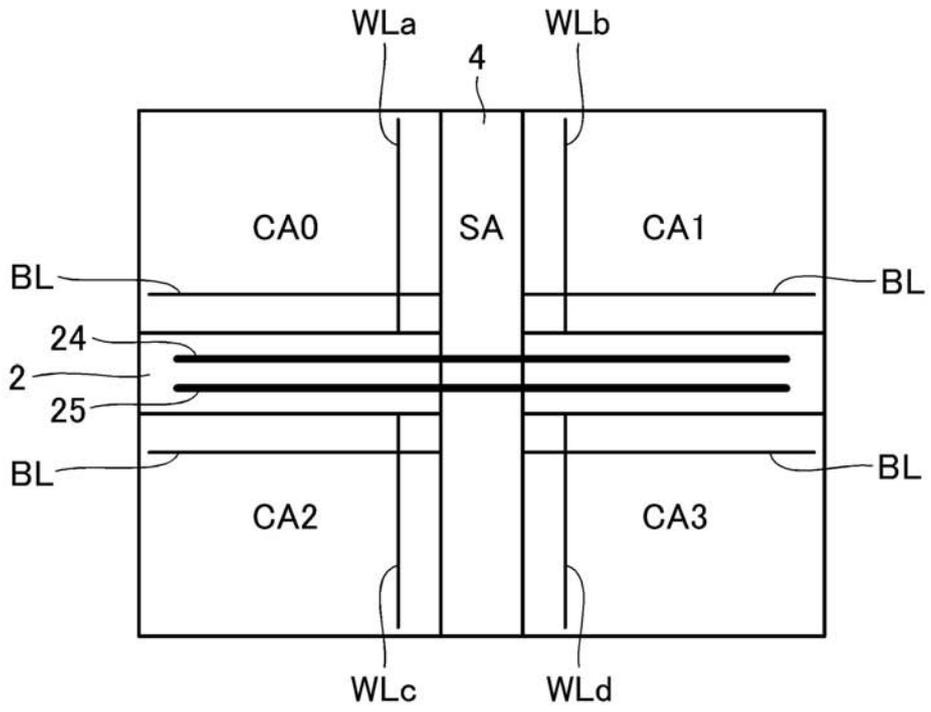


【図 8】

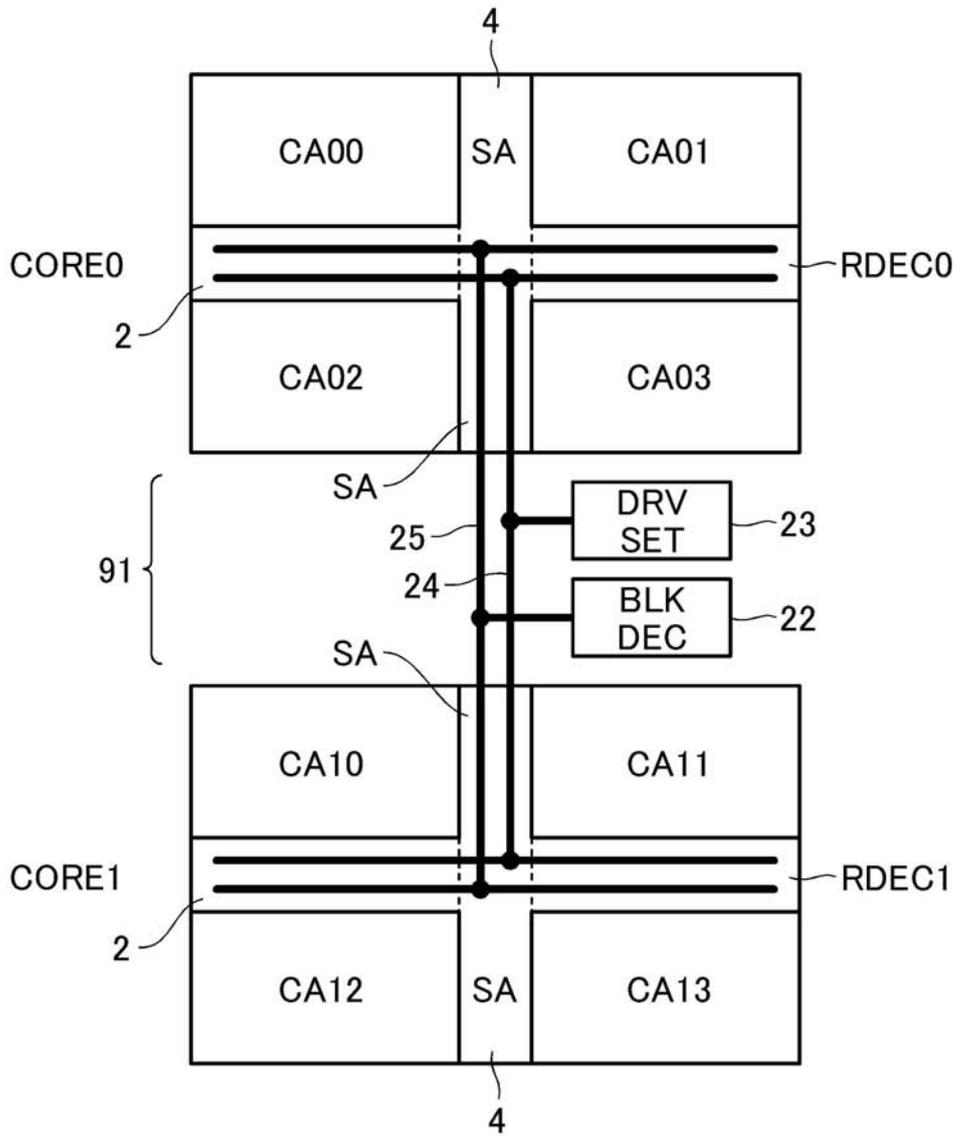


SAU

【 図 9 】



【 図 1 0 】



【 図 1 1 】

