

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4229652号
(P4229652)

(45) 発行日 平成21年2月25日(2009.2.25)

(24) 登録日 平成20年12月12日(2008.12.12)

(51) Int. Cl.		F I	
G 1 1 C	29/02	(2006.01)	G 1 1 C 29/00 6 7 5 L
G 1 1 C	29/56	(2006.01)	G 1 1 C 29/00 6 5 9
G 1 1 C	11/401	(2006.01)	G 1 1 C 11/34 3 7 1 A
G O 1 R	31/28	(2006.01)	G O 1 R 31/28 V
			G O 1 R 31/28 B

請求項の数 6 (全 30 頁)

(21) 出願番号 特願2002-211081 (P2002-211081)
 (22) 出願日 平成14年7月19日(2002.7.19)
 (65) 公開番号 特開2004-55030 (P2004-55030A)
 (43) 公開日 平成16年2月19日(2004.2.19)
 審査請求日 平成17年4月22日(2005.4.22)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体回路装置

(57) 【特許請求の範囲】

【請求項1】

メモリクロック信号に同期して動作するメモリア、
 テストクロック信号に同期して、前記メモリアへ信号/データを転送するメモリ転送回路、

少なくとも前記メモリクロック信号およびテストクロック信号を受け、少なくとも前記メモリクロック信号およびテストクロック信号のいずれかを選択するタイミング選択回路、および

前記タイミング選択回路の出力信号を補正用テストクロック信号に同期して取込み、外部へ転送するタイミング転送回路を備える、半導体回路装置。

【請求項2】

ラッチタイミング信号に同期して、前記メモリアから転送された信号/データを取込み外部へ転送するラッチ転送回路をさらに備え、

前記タイミング選択回路は、前記メモリクロック信号、前記テストクロック信号および前記ラッチタイミング信号のいずれかを選択指示信号に応答して選択する、請求項1記載の半導体回路装置。

【請求項3】

前記タイミング選択回路の入力から前記タイミング転送回路の出力までの前記メモリクロック信号、前記テストクロック信号および前記ラッチタイミング信号の遅延時間は実質的に同じである、請求項2記載の半導体回路装置。

【請求項 4】

前記メモリ転送回路は、前記メモリコアに対してデータを転送するデータ転送回路を含み、

前記半導体回路装置は、さらに、

前記データ転送回路と同じ特性を有するレプリカ回路、

前記メモリクロック信号と前記レプリカ回路の出力信号の一方を選択するテストデータ選択回路、および

前記補正用クロック信号に同期して前記テストデータ選択回路の出力信号を取込み転送するテストデータ転送回路を備える、請求項 1 記載の半導体回路装置。

【請求項 5】

前記テストデータ転送回路と前記タイミング転送回路は、前記補正用クロック信号に同期して与えられた信号を取込み転送するラッチ回路を共有する、請求項 4 記載の半導体回路装置。

【請求項 6】

前記タイミング転送回路と前記テストデータ転送回路とは、それぞれ別々に配置されて前記補正用クロック信号に同期して動作するラッチ回路を備える、請求項 4 記載の半導体回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体回路装置に関し、特に、メモリとロジックとが同一半導体基板上に集積化されるシステム L S I と称される半導体回路装置に関する。より特定的には、この発明は、内蔵メモリを信号 / データのタイミング条件を外部からテストするための構成に関する。

【0002】

【従来の技術】

D R A M (ダイナミック・ランダム・アクセス・メモリ) とロジックデバイスまたはマイクロプロセッサとを同一半導体基板上に集積化する D R A M 内蔵システム L S I が普及してきている。この D R A M 内蔵システム L S I は、個別の D R A M とロジックデバイスまたはマイクロプロセッサをプリント基板にはんだ付けなどにより実装する従来のシステムと比べて以下の利点を有している。

【0003】

(1) ピン端子の制約がないため、D R A M とロジックデバイス間のデータバス幅を大きくすることができ、データ転送速度を向上させることができ、応じてシステム性能を向上させることができる。

【0004】

(2) D R A M とロジックデバイス間に形成されるデータバスは、チップ上配線であり、プリント基板上の配線と比べて容量が小さく、データ転送時の動作電流を小さくすることができ、また、高速でデータを転送することができる。

【0005】

(3) 単一パッケージでシステムが構成されるため、外部のデータバス配線および制御信号配線が不要となり、プリント基板上的占有面積を小さくすることができ、システムを小型化することができる。

【0006】

図 8 は、従来の D R A M 内蔵システム L S I の構成の一例を概略的に示す図である。図 8 において、D R A M 内蔵システム L S I 5 0 0 は、所定の演算処理を行なうロジック 5 0 2 と、少なくともロジック 5 0 2 の必要なデータを格納する D R A M マクロ 5 0 4 と、ロジック 5 0 2 をパッド群 5 1 8 を介して外部装置に接続するロジック外部バス 5 0 8 を含む。

【0007】

10

20

30

40

50

ロジック502は、所定の演算処理を行なう専用のロジックデバイスであってもよく、またマイクロプロセッサであってもよい。ロジック502は、DRAMマクロ504に格納されるデータを用いて処理を行なう回路であればよい。

【0008】

DRAMマクロ504は、データを記憶するDRAMコア510と、このDRAMコア510に対し外部から直接アクセスしてテストを行なうためのテストインターフェイス回路(TIC)512と、テストモード指示信号MTESTに従ってロジック502の内部ロジックバス506とテストインターフェイス回路512からの内部テストバス516の一方を選択して内部メモリバス515に接続する選択回路517を含む。この内部メモリバス515は、DRAMコア510に接続される。テストインターフェイス回路512は、外部テストバス514を介してパッド群518に結合される。

10

【0009】

これらのバス506、508、514、515および516は、それぞれ、制御信号、アドレス信号およびデータを伝達する信号線を含む。内部ロジックバス506、内部メモリバス515および内部テストバス516は、ピン端子の制約条件がないため、そのバス幅を十分広くすることができる。

【0010】

DRAMコア510からの読出データは、選択回路517を介することなく直接テストインターフェイス回路512およびロジック502に転送される。しかしながら、図8においては、図面を簡略化するために、この内部読出データの転送経路は示していない。

20

【0011】

ロジック外部バス508と外部テストバス514は、図8においては、共通にパッド群518に結合されるように示す。しかしながら、この外部テストバス514とロジック外部バス508は、テストモード指示信号(MTEST)に従って選択的に共通のパッドに接続されるように構成されてもよい。このテストモード指示信号MTESTに従って、選択回路517が、テストインターフェイス回路512をDRAMコア510に結合する。

【0012】

図9は、DRAMコア510に対する信号を一覧にして示す図である。図9において、DRAMコア510に対しては、クロック信号CLKが動作タイミング決定信号として与えられる。DRAMコア510は、このクロック信号CLKに同期して与えられた信号/データの取込みおよびデータの出力を行う。

30

【0013】

DRAMコア510に対して、動作制御信号として、DRAMコア510における内部クロック信号の有効/無効を設定するクロックイネーブル信号CKE、内部での行選択動作を活性化するロウ活性化信号/ACT、選択行を非選択状態へ駆動するためのロウ非活性化信号/PRE、DRAMコア510におけるメモリセルデータのリフレッシュを指示するオートリフレッシュ指示信号/REFA、データの読出を指示するリード動作指示信号/RE、およびデータの書込動作を指示するライト動作指示信号/WRが与えられる。

【0014】

DRAMコア510に対しては、さらに、メモリセルのアドレス指定のために13ビットのロウアドレス信号RA<12:0>、4ビットのコラムアドレス信号CA<3:0>、スペアメモリセル行を指定するためのスペアロウ空間アドレッシング用アドレス信号RAspおよびスペア列を指定するためのスペアコラム空間アドレッシング用アドレス信号CAspが与えられる。

40

【0015】

スペアロウ空間アドレッシング用アドレス信号RAspおよびスペアコラム空間アドレッシング用アドレス信号CAspは、不良アドレスのヒューズプログラム前に行なわれる試験時において、DRAMコア510のスペアメモリセルへアクセスし、スペアメモリセルの良/不良を判定するために用いられる。

【0016】

50

これらのスペア空間アドレッシング用アドレス信号 $RAsp$ および $CAsp$ は、Hレベルのときにスペアメモリセル空間を指定し、Lレベルのときにノーマルメモリセル空間を指定する。

【0017】

DRAMコア510に対して、さらに、128ビットの書込データ $D<127:0>$ および2ビットのスペア書込データ $SD<1:0>$ が与えられ、また、DRAMコア510からは、128ビットの読出データ $Q<127:0>$ および2ビットのスペア読出データ $SQ<1:0>$ が出力される。スペアメモリセル空間がアドレス指定されたときには、冗長置換のためのスペアメモリセルが指定される。したがって、スペア空間アドレッシング用アドレス信号 $RAsp$ および $CAsp$ によりスペアメモリセルを指定し、この指定された 10
スペアメモリセルに対しデータの書込/読出を行なうことにより、スペアメモリセルを、直接外部から試験することができる。

【0018】

図9に示すように、DRAMコア510は、個別素子の汎用DRAMに比べて多くの入出力信号を有している。テストインターフェイス回路512は、テスト動作時において、DRAMコア510に対し、図9に示すような信号/データを、外部からのテストにより与えられる信号に従って生成する。

【0019】

テストインターフェイス回路512が、外部テストバス514によりパッド群518を介して図9に示す信号/データを外部テストとの間で転送した場合、外部テストのピン数より 20
もこれらの信号/データ線の数が多くなり、テストを行なうことができなくなる。また、たとえテストを行なうことができる場合においても、1つの被試験装置に必要とされる信号線/データ線の数が多いため、同時に測定することのできるデバイスの数が低減され、テストコストが増大する。

【0020】

テストインターフェイス回路512は、このテスト時に必要とされるピン数を低減し、またDRAMコア510へ外部から直接アクセスしてDRAMコア510のテストを容易に行なうために設けられる。

【0021】

図10は、テストインターフェイス回路512に対する外部信号を一覧にして示す図である。この図10に示す信号は、図8に示す外部テストバス514を介して外部のテスト装置とテストインターフェイス回路512との間で転送される。 30

【0022】

図10において、テストインターフェイス回路512に対し、テストクロック信号 $TCLK$ とテストクロックイネーブル信号 $TCKE$ が与えられる。これらのテストクロック信号 $TCLK$ およびテストクロックイネーブル信号 $TCKE$ は、通常動作モード時にDRAMコア510へ与えられるクロック信号 CLK およびクロックイネーブル信号 CKE に代えて、テスト動作モード時に用いられる。

【0023】

テストインターフェイス回路512に対し、さらに、チップセレクト信号/ CS 、ロウアドレスストロープ信号/ RAS 、コラムアドレスストロープ信号/ CAS およびライト動作指示信号/ WE が与えられる。これらの制御信号/ CS 、/ RAS 、/ CAS および/ WE のテストクロック信号のたとえば立上がりエッジにおける論理レベルの組合せにより、DRAMコアの動作モードが指定される。 40

【0024】

テストインターフェイス回路512は、これらの外部制御信号をデコードし、図9に示すようなロウ活性化信号/ ACT 、ロウ非活性化信号/ PRE 、オートリフレッシュ指示信号/ $REFA$ 、リード動作指示信号/ RE およびライト動作指示信号/ WE を、そのデコード結果に従って選択的に活性化する。

【0025】

アドレス信号として、テストインターフェイス回路512に対し、13ビットのアドレス信号AD<12:0>とスペア空間アドレッシング用アドレス信号ADspが与えられる。ロウアドレスとコラムアドレスは同じパッド(端子)を介して時分割的に与えられる。また、スペア空間アドレッシング用アドレス信号ADspも、スペアロウおよびスペアコラムに対し時分割的に与えられる。

【0026】

データとして、8ビットのテスト書込データTD<7:0>と8ビットのテスト読出データTQ<7:0>と1ビットのマルチビットテスト結果指示信号TQmbtが、外部テスト装置とテストインターフェイス回路512の間で転送される。

【0027】

テストインターフェイス回路512は、テストデータ書込時においては、8ビットのテストデータTD<7:0>を128ビットのデータにビット幅拡張して、選択回路517を介してDRAMコア510へ与える。このテスト書込データのビット幅拡張時においては、8ビットのテストデータTD<7:0>を繰返しコピーして同一パターンの8ビットデータを16個含む128ビットのデータを生成する。

【0028】

テストデータ読出時において、テストインターフェイス回路512は、DRAMコア510から読出された128ビットのデータを、8ビット単位で順次出力する。

【0029】

マルチビットテスト結果指示信号TQmbtは、128ビットのテスト読出データについてのマルチビットテスト結果を示す信号である。このマルチビットテスト結果指示信号TQmbtを用いることにより、128ビットのデータを個々に良/不良を判定する必要がなくなり、8ビット単位でデータを出力しても、不良の特定はマルチビット結果が不良を示しているときにのみ行なうことにより、試験時間を短縮することができる。

【0030】

図11は、テストインターフェイス回路512に与えられる外部制御信号(TIC制御信号)とDRAMコア510に与えられる制御信号(DRAM制御信号)の関係を真理値表の形態で示す図である。指定される動作モードを、二モーニクで示す。

【0031】

図11において、DRAMマクロの非選択状態(DSEL)は、チップセレクト信号/CSがHレベルのときに設定される。この状態において、残りの制御信号/RAS、/CASおよび/WEの論理レベルにかかわらず、DRAMコア510は、非選択状態を維持する。

【0032】

チップセレクト信号/CSがLレベルに設定されると、DRAMコア510に対する動作モードが指定される。

【0033】

動作モードが指定されないNOP(ノーオペレーション)の場合、制御信号/RAS、/CASおよび/WEがすべてHレベルに設定される。この場合、DRAMコア510に与えられる制御信号はすべてHレベルを維持し、DRAMコア510に対する新たな動作モードは指定されない。DRAMコア510は、通常、このNOPコマンド印加時においては、スタンバイ状態を維持する。

【0034】

チップセレクト信号/CSとロウアドレスストロープ信号/RASをともにLレベルに設定し、コラムアドレスストロープ信号/CASとライト動作指示信号/WEをともにHレベルに設定すると、アレイ活性化を示すACTが指定される。この状態においては、DRAMコア510に対し、ロウ活性化信号/ACTがLレベルの活性化状態に設定される。残りのDRAM制御信号は、Hレベルの非活性化状態を維持する。

【0035】

ここで、テストインターフェイス回路512に対するTIC制御信号の論理レベルの判定

10

20

30

40

50

は、テストクロック信号 T C L K の立上がりエッジまたは立下がりエッジにおいて行なわれる。

【 0 0 3 6 】

チップセレクト信号 / C S、ロウアドレスストロブ信号 / R A S およびライト動作指示信号 / W E を L レベルに設定し、コラムアドレスストロブ信号 / C A S を H レベルに維持すると、プリチャージ動作を示す P R E が指定される。この状態においては、D R A M 制御信号として、ロウ非活性化信号 / P R E が L レベルに設定され、D R A M コア 5 1 0 がプリチャージ状態に復帰する。

【 0 0 3 7 】

チップセレクト信号 / C S、ロウアドレスストロブ信号 / R A S およびコラムアドレスストロブ信号 / C A S を L レベルに設定し、ライト動作指示信号 / W E を H レベルに設定した場合には、リフレッシュ動作を示す R E F A が指定される。この場合には、D R A M 制御信号のうち、オートリフレッシュ指示信号 / R E F A が L レベルに設定され、D R A M コア 5 1 0 においてリフレッシュが実行される。

10

【 0 0 3 8 】

チップセレクト信号 / C S とコラムアドレスストロブ信号 / C A S をともに L レベルに設定し、ロウアドレスストロブ信号 / R A S とライト動作指示信号 / W E をともに H レベルに設定すると、データ読出を指示する R E が指定される。この場合には、D R A M 制御信号のうち、リード動作指示信号 / R E が L レベルの活性状態に設定され、残りの D R A M 制御信号は H レベルに維持される。

20

【 0 0 3 9 】

チップセレクト信号 / C S、コラムアドレスストロブ信号 / C A S およびライト動作指示信号 / W E を L レベルに設定し、ロウアドレスストロブ信号 / R A S を H レベルに設定した場合には、データ書込を示す W E が指定される。この状態においては、D R A M 制御信号において、ライト動作指示信号 / W R が、L レベルに設定される。

【 0 0 4 0 】

テストインターフェイス回路 5 1 2 においては、この図 1 1 に示す真理値表に従って、T I C 制御信号を D R A M 制御信号に変換する。テストインターフェイス回路 5 1 2 においてアドレスのマルチプレクス、データビット幅の変換および制御信号の変換を行なうことにより、外部テスト(テスト装置)が、D R A M コア 5 1 0 へアクセスしてテスト動作を行なうときに使用されるピン端子数を大幅に低減することができる。また、テストインターフェイス回路 5 1 2 に与えられる制御信号は、通常のクロック同期型の D R A M に用いられる制御信号と同じであり、標準のクロック同期型 D R A M に対するテストを用いて、D R A M コア 5 1 0 のテストを行なうことができる。

30

【 0 0 4 1 】

図 1 2 は、図 8 に示す D R A M コア 5 1 0 およびテストインターフェイス回路 (T I C) 5 1 2 の構成を概略的に示す図である。図 1 2 においては、D R A M コア 5 1 0 とテストインターフェイス回路 5 1 2 の間に配置される選択回路 5 1 7 は、図面を簡略化するために示していない。

【 0 0 4 2 】

図 1 2 において、D R A M コア 5 1 0 は、それぞれが行列状に配列される複数のメモリセルを有する D R A M アレイ 5 5 0 e および 5 5 0 w と、アドレス信号に従ってこれらの D R A M アレイ 5 5 0 e および 5 5 0 w からメモリセルを選択するデコーダ 5 5 2 を含む。

40

【 0 0 4 3 】

D R A M アレイ 5 5 0 e および 5 5 0 w は、一例として、それぞれ 8 M ビットの記憶容量を有する。

【 0 0 4 4 】

この D R A M アレイ 5 5 0 e および 5 5 0 w においては、不良メモリセルを救済するためのスペアロウおよびスペアコラムが配置される。

【 0 0 4 5 】

50

デコーダ552は、これらのDRAMアレイ550eおよび550wにおいてメモリセル行を選択するためのロウデコーダと、メモリセル列を選択するためのコラムデコーダ両者を含む。

【0046】

このローディングとコラムデコーダを同一方向に配置することにより、内部の多ビットデータバス線をメモリセルアレイ(DRAMアレイ)上に配線することができ、チップ面積を低減することができる。この列選択のコラムデコーダを行選択のロウデコーダと同一方向に配置する構成は、ロジック内蔵用DRAMマクロにおいて一般的に用いられる。

【0047】

DRAMコア510は、さらに、DRAMアレイ550eとデータの入出力を行なうためのDRAMデータバス556eと、DRAMアレイ550wとデータの入出力を行なうDRAMデータバス556wと、DRAMコア510の内部動作を制御するDRAM制御回路558を含む。

10

【0048】

DRAMデータバス556eおよび556wの各々は、内部書込データを対応のDRAMアレイ550eおよび550wに転送するライトドライバと、対応のDRAMアレイ550eおよび550wから読出されたメモリセルデータを増幅するプリアンプとを含む。

【0049】

DRAMデータバス556eは、64ビット幅のライトデータバス551eを介して書込データWD<127:64>を転送し、またDRAMアレイ550eから内部リードデータバス553eを介して転送される64ビットの内部読出データRD<127:64>を受け。

20

【0050】

デコーダ552に設けられるコラムデコーダからの列選択線は、行方向に延在して配置され、DRAMアレイ550eにおいて、スペア列もノーマル列と同時に選択される。したがって、DRAMデータバス556eは、不良列救済時においては、スペアライトデータ線557eを介してスペア書込データSWD<1>を転送し、またスペアリードデータ線559eを介してスペアメモリセルから読出データSRD<1>を受け。

【0051】

DRAMデータバス556wも、同様、64ビット幅の内部ライトデータバス551wを介して内部書込データWD<63:0>をDRAMアレイ550wへ転送し、またDRAMアレイ550wから64ビット幅の内部読出データRD<63:0>を内部リードデータバス553wを介して受け。

30

【0052】

DRAMデータバス556wは、さらに、不良列救済時において、スペア列から読出されたスペア読出データSRD<1>をスペアリードデータ線559wを介して受けてまたスペアライトデータ線557wを介してスペア列への書込データSWD<0>を転送する。

【0053】

DRAMデータバス556eは、通常動作モード時において不良列救済時においては、スペアライトデータ線557eを内部ライトデータバス550eの対応のライトデータ線と置換し、またはスペアリードデータ線559eを内部リードデータバス553eの対応の内部リードデータ線と置換する。同様、DRAMデータバス556wも、通常動作モード時において、不良列救済時においては、スペアリードデータ線559wを内部リードデータバス553wの対応の内部リードデータ線と置換し、またスペアライトデータ線557wを内部ライトデータバス551wの対応の内部ライトデータ線と置換する。

40

【0054】

不良列救済のための不良アドレスのプログラムを行なう前の救済判定のためのテストモード時においては、ノーマルメモリセルおよびスペアメモリセルが試験され、スペアメモリセルが正常であるかの試験が行なわれる。この救済判定のメモリ試験時においては、DRAMデータバス556eおよび556wのスペアリードデータ線559eおよび559w

50

とスペアライトデータ線 5 5 7 e および 5 5 7 w は、ノーマルデータ線との置換を行なうことなく、テストインターフェイス回路 5 1 2 とデータの転送を行なう。

【 0 0 5 5 】

テストインターフェイス回路 5 1 2 は、D R A M データバス 5 5 6 e および 5 5 6 w それぞれに対応して設けられる T I C データバス 5 6 0 e および 5 6 0 w と、外部テストとの間でテスト書込データ T D < 7 : 0 > およびテスト読出データ T Q < 7 : 0 > およびマルチビットテスト結果指示信号 T Q m b t を転送する T I C 制御回路 5 6 2 を含む。

【 0 0 5 6 】

T I C 制御回路 5 6 2 は、また、外部のテストから図 1 0 に示すようなアドレッシングおよび動作モードを指定する制御信号を受ける。しかしながら、図 1 2 においては、これらの T I C 制御回路 5 6 2 へ与えられる制御信号およびアドレス信号は、図面を簡略化するために示していない。

10

【 0 0 5 7 】

T I C データバス 5 6 0 e および 5 6 0 w は、テストデータ書込時においては、8 ビットのテスト書込データ T D < 7 : 0 > を、それぞれ、6 4 ビットのテストデータに拡張して対応のデータバス 5 6 1 e および 5 6 1 w を介して D R A M データバス 5 5 6 e および 5 5 6 w へ転送する。

【 0 0 5 8 】

データ読出時においては、これらの T I C データバス 5 6 0 e および 5 6 0 w が、D R A M データバス 5 5 6 e および 5 5 6 w からデータバス 5 6 3 e および 5 6 3 w を介してそれぞれ 6 4 ビットの読出データ（合計 1 2 8 ビットの読出データ）を受ける。

20

【 0 0 5 9 】

T I C データバス 5 6 0 e は、D R A M データバス 5 5 6 e から 6 4 ビットのデータ Q < 1 2 7 : 6 4 > をデータバス 5 6 3 e を介して受け、また D R A M データバス 5 5 6 e を介して伝送されるスペア内部リードデータ線 5 5 9 e からのスペアリードデータ S R D < 1 > を、スペアリードデータ線 5 6 9 e を介してスペアデータ S Q < 1 > として受ける。

【 0 0 6 0 】

この T I C データバス 5 6 0 e は、6 4 ビットの書込データ D < 1 2 7 : 6 4 > を内部書込データバス 5 6 1 e を介して D R A M データバス 5 5 6 e へ転送し、また、内部スペアライトデータ線 5 5 7 e へスペアライトデータ線 5 6 7 c を介してスペアライトデータ S D < 1 > を転送する。

30

【 0 0 6 1 】

T I C データバス 5 6 0 w が、同様、リードデータバス 5 6 3 w を介して D R A M データバス 5 5 6 w からの内部読出データ Q < 6 3 : 0 > を受け、またスペアデータ線 5 6 9 w を介してスペアリードデータ S Q < 0 > を受ける。また、この T I C データバス 5 6 0 w は、書込データバス 5 6 1 w を介して 6 4 ビットのデータ D < 6 3 : 0 > を D R A M データバス 5 5 6 w に転送し、また、スペアライトデータ線 5 6 7 w を介して D R A M データバス 5 5 6 w にスペアライトデータ S D < 0 > を転送する。

【 0 0 6 2 】

T I C 制御回路 5 6 2 は、データ読出時には、T I C データバス 5 6 0 e および 5 6 0 w に与えられた合計 1 2 8 のデータを、8 ビットデータ単位で順次テストデータ T Q < 7 : 0 > として出力する。

40

【 0 0 6 3 】

T I C 制御回路 5 6 2 は、また、同時に読出された 1 2 8 ビットのデータのマルチビットテスト結果を示す信号 T Q m b t をマルチビット信号線 5 7 3 を介して転送する。このマルチビットテスト結果指示信号 T Q m b t が不一致を示しているときには、外部のテストにおいて、テスト読出データ T Q < 7 : 0 > と期待値データとに従って不良メモリエルを特定する。

【 0 0 6 4 】

図 1 3 は、図 1 2 に示す T I C データバス 5 5 6 e および 5 5 6 w のデータ書込に関連す

50

る部分の構成を概略的に示す図である。図 1 3 においては、T I C 制御性回路 5 6 2 の書込データを生成する部分の構成を併せて示す。

【 0 0 6 5 】

T I C 制御回路 5 6 2 は、テストクロック信号 T C L K に従って 8 ビットのテストデータ $T D < 7 : 0 >$ を転送するサイクルシフト回路 6 0 0 を含む。このサイクルシフト回路 6 0 0 は、与えられたテストデータ $T D < 7 : 0 >$ をテストクロック信号 T C L K の所定サイクル期間遅延して出力する。

【 0 0 6 6 】

T I C 制御回路 5 6 2 へは、また、13 ビットのアドレス信号 $A D < 1 2 : 0 >$ およびスペアアドレス空間アドレッシング用アドレス信号 $A D s p$ が与えられる。

10

【 0 0 6 7 】

このサイクルシフト回路 6 0 0 から、テストクロック信号 T C L K に同期した 8 ビットのデータ $D f < 7 : 0 >$ が生成される。

【 0 0 6 8 】

T I C データパス 5 6 0 e は、データ $D f < 7 : 0 >$ をそれぞれコピーして 8 ビットのデータを生成するドライブ回路 $D R E 0 - D R E 7$ と、1 ビットデータ $D f < 7 >$ をコピーしてスペアデータ $S D < 1 >$ を生成するドライバ $S D R e$ を含む。

【 0 0 6 9 】

ドライブ回路 $D R E 0 - D R E 7$ は、それぞれ、8 ビットのドライバを含み、それぞれ 8 ビットデータ $D < 6 4 : 7 1 >$ 、 $D < 7 2 : 7 9 >$ 、... および $D < 1 2 0 : 1 2 7 >$ を生成する。これらの 8 ビットデータ $D < 6 4 : 7 1 >$ 、 $D < 7 2 : 7 9 >$... および $D < 1 2 0 : 1 2 7 >$ の各々は、データ $D f < 7 : 0 >$ と同じデータパターン有する。

20

【 0 0 7 0 】

ドライバ $S D R e$ は、1 ビットのドライブ回路で構成され、データ $D f < 7 >$ をバッファ処理してスペア書込データ $S D < 1 >$ を生成する。

【 0 0 7 1 】

T I C データパス 5 6 0 w は、同様、データ $D f < 7 : 0 >$ をそれぞれコピーして 8 ビットデータを生成するドライブ回路 $D R W 0 - D R W 7$ と、データ $D f < 7 >$ をバッファ処理してスペアデータ $S D < 0 >$ を生成するドライバ $S D R w$ を含む。

【 0 0 7 2 】

ドライブ回路 $D R W 0 - D R W 7$ から、それぞれ、8 ビットデータ $D < 7 : 0 >$ 、 $D < 1 5 : 8 >$ 、... および $D < 6 3 : 5 6 >$ が生成される。T I C データパス 5 6 0 w から生成されるこれらの 8 ビットデータは、すべて同一パターンを有する。

30

【 0 0 7 3 】

ここで、テストデータ $< 7 : 0 >$ は、データパターンが以下の条件を満たすようにビット幅拡張が行なわれて 1 2 8 ビットのデータが生成される。

【 0 0 7 4 】

$D < 8 \cdot n + m > = T D < m >$

ただし、 n は 0 から 1 5 の整数であり、また m は、0 から 7 の整数を示す。

【 0 0 7 5 】

T I C データパス 5 6 0 e および 5 6 0 w において、データ $D f < 7 : 0 >$ をコピーすることにより、8 ビット外部データから 1 2 8 ビット内部データを生成して D R A M コアへ伝達することができ、また、D R A M コアへスペアライトデータ $S D < 0 >$ および $S D < 1 >$ を転送することができる。このスペアライトデータ $S D < 0 >$ および $S D < 1 >$ は、テストデータ $T D < 7 >$ と同じ論理レベルを有する。

40

【 0 0 7 6 】

図 1 4 は、図 1 2 に示す T I C データパス 5 6 0 e および 5 6 0 w のデータ読出部の構成を概略的に示す図である。T I C データパス 5 6 0 e および 5 6 0 w の構成は同じであるため、図 1 4 においては、T I C データパス 5 6 0 w の構成を具体的に示し、T I C データパス 5 6 0 e の構成は、単にブロックで示す。

50

【 0 0 7 7 】

T I C データパス 5 6 0 w が、8 ビットデータ $Q < 7 : 0 >$ ないし $Q < 6 3 : 5 6 >$ それぞれに対応して配置される単位処理回路 U P W 0 - U P W 7 と、スペア読出データ $S Q < 0 >$ に対して設けられるトライステートバッファ 6 0 0 e を含む。これらの単位処理回路 U P W 0 - U P W 7 は、同一構成を有し、それぞれ、活性化時対応の 8 ビットデータ Q をバッファ処理して内部データ $T Q f < 7 : 0 >$ を生成するトライステートバッファ回路 6 1 0 と、対応の 8 ビット内部読出データと期待値データ $C M P D < 7 : 0 >$ とを比較し、その比較結果を 1 ビットデータに縮退して出力する比較回路 6 1 2 を含む。

【 0 0 7 8 】

トライステートバッファ回路 6 1 0 は、T I C 制御回路 5 6 2 からアドレス信号に従って生成される 1 6 ビット選択信号 $Q S E L < 1 5 : 0 >$ の対応の選択信号 $Q S E L$ に従って活性化される。トライステートバッファ 6 0 0 e は、T I C 制御回路からの選択信号 $S Q S E L < 0 >$ に従って選択的に活性化される。

10

【 0 0 7 9 】

T I C データパス 5 6 0 e は、スペアデータ $S Q < 1 >$ に対して設けられるトライステートバッファ回路 6 0 0 w と、8 ビットデータ $Q < 6 4 : 7 1 >$ ないし $Q < 1 2 0 : 1 2 7 >$ それぞれに対して設けられる単位処理回路 U P E 0 - U P E 7 を含む。これらの単位処理回路 U P E 0 - U P E 7 も、また 1 6 ビット選択信号 $Q S E L < 1 5 : 0 >$ の対応の選択信号に従って選択的に活性化される。

【 0 0 8 0 】

これらの単位処理回路 U P E 0 - U P E 7 は、それぞれ、活性化時対応の 8 ビットデータをバッファ処理して内部読出データ $T Q f < 7 : 0 >$ を生成するトライステートバッファ回路と、期待値データ $C M P D < 7 : 0 >$ と対応のデータビットの一致 / 不一致を示すマルチビットテストを行なう比較回路 6 1 2 を含む。

20

【 0 0 8 1 】

比較回路 6 1 2 は、8 ビットの期待値データ $C M P D < 7 : 0 >$ と対応の 8 ビットデータ $D < 8 \cdot n + 7 : 8 \cdot n >$ とのビットごとの比較を行ない、かつさらにそれぞれのビットごと比較の 8 ビット信号を 1 ビットの信号 $Q m b t f < n >$ に縮退する。比較回路 6 1 2 からの 1 6 ビットの比較結果を示す信号 $Q m b t f < 1 5 : 0 >$ は、さらに、T I C 制御回路 5 6 2 において縮退され、1 ビットのマルチビット結果指示信号 $T Q m b t$ が生成されて外部のテストに転送される。この縮退時においては、単に 1 6 ビットの信号 $Q m b t f < 1 5 : 0 >$ の各ビットの論理レベルが正常状態を示しているかの判定が行なわれる (A N D 処理が行なわれる) 。

30

【 0 0 8 2 】

図 1 5 は、T I C 制御回路 5 6 2 の図 1 4 に示す選択信号を発生する部分の構成を概略的に示す図である。図 1 5 において、T I C 制御回路 5 6 2 は、テストクロック信号 $T C L K$ に同期してアドレス信号 $A D < 1 2 : 0 >$ および $A D s p$ を転送して内部アドレス信号 $i n t A D < 1 2 : 0 >$ および $i n t A D s p$ を生成するフリップフロップ回路 6 2 0 と、フリップフロップ回路 6 2 0 からの内部アドレス信号 $i n t A D < 1 2 : 0 >$ および $i n t A D s p$ をさらにテストクロック信号 $T C L K$ に同期して転送してロウアドレス信号 $R A < 1 2 : 0 >$ およびスペアロウアドレッシング用アドレス信号 $R A s p$ を生成するフリップフロップ回路 6 2 1 と、フリップフロップ回路 6 2 0 からの 4 ビットのアドレス信号 $i n t A D < 3 : 0 >$ をテストクロック信号 $T C L K$ に同期して転送してコラムアドレス信号 $C A < 3 : 0 >$ を生成するフリップフロップ回路 6 2 2 と、フリップフロップ回路 6 2 0 からの 4 ビットの内部アドレス信号 $i n t A D < 9 : 6 >$ および $i n t A D s p$ をテストクロック信号 $T C L K$ に同期して転送する 3 段の縦続接続されるフリップフロップ回路 6 2 3 - 6 2 5 と、フリップフロップ回路 6 2 5 の出力信号をデコードして選択信号 $Q S E L < 1 5 : 0 >$ および $S Q S E L < 1 : 0 >$ を生成するデコーダ 6 2 6 を含む。

40

【 0 0 8 3 】

デコーダ 6 2 6 の前段に、3 段のフリップフロップ回路 6 2 3 - 6 2 5 が配置されている

50

のは、テストデータ読出時におけるレイテンシに相当する期間、このデコーダ626の出力信号を遅延するためである。レイテンシは、テストインターフェイス回路512からDRAMコア510へデータ読出を指示するリード動作指示信号を与えてからDRAMコア510からテストデータが読出されてテストインターフェイス回路512に転送されるまでに要する時間を示す。ここでは、レイテンシは2が想定されている。

【0084】

フリップフロップ回路620 - 625は、それぞれ、テストクロック信号TCLKの立上がりに同期して信号を取込みかつ出力する。

【0085】

図16は、図12から図15に示すDRAMマクロのテストデータの読出時の動作を示すタイミング図である。以下、図16を参照して、このDRAMマクロのテストデータの読出動作について説明する。

10

【0086】

テストインターフェイス回路(TIC)512は、外部からの制御信号を、テストクロック信号TCLKの1クロックサイクル遅延してDRAMコア510に転送する。DRAMコア510においては、したがって、テストインターフェイス回路512にテストから制御信号等が与えられてから2クロックサイクル後のテストクロック信号TCLKの立上がりにおいて制御信号およびアドレス信号を取込み内部動作を実行する。ここで、図16においては、DRAMコア510に与えられるクロック信号CLKとテストクロック信号TCLKとは同一波形の信号であると仮定している。

20

【0087】

時刻T1において、テストインターフェイス回路512へ、ロウ活性化ACTを示す制御信号が与えられ、同時に13ビットのロウアドレス信号RA(k)が与えられる。テストインターフェイス回路(TIC)512は、この外部から与えられる制御信号をデコードし、そのデコード結果に従ってDRAMコア510に対するロウ活性化信号/ACTをクロック信号TCLKの立上がりに同期して転送する。図10および図11に示すように、DRAMコア510へ与えられる制御信号は負論理の信号であるが、図16においては、図11に示す二モーニックで動作モード指示信号を示す。

【0088】

また、図15に示すように、ロウアドレス信号RA(k)は、テストクロック信号TCLKの立上がりに同期してフリップフロップ回路621から転送される。

30

【0089】

DRAMコア510においては、時刻T3において、クロック信号CLKの立上がりに同期してこのロウ活性化信号ACTをロウアドレス信号RA(k)とともに取込み内部で行選択動作を実行する。

【0090】

時刻T2において、テストインターフェイス回路(TIC)512に対し、データ書込を示す書込動作指示信号がコラムアドレス信号CA(m)およびテストデータTD(m)とともに与えられ、テストクロック信号TCLKの立上がりに同期してこれらの制御信号、コラムアドレス信号およびテストデータが、テストインターフェイス回路(TIC)512内に取込まれる。

40

【0091】

このテストインターフェイス回路(TIC)512内部で、制御信号のデコード動作が行なわれ、DRAMコア510に対する書込動作指示信号WRITE、コラムアドレス信号CA(m)およびテストデータTD(m)が時刻T3のクロック信号TCLKの立上がりに同期してDRAMコア510へ転送される。

【0092】

DRAMコア510においては、時刻T4のクロック信号CLKの立上がりに同期して書込動作指示信号WRITE、コラムアドレス信号CA(m)およびデータD(m)が取込まれて列選択動作が実行され、コラムアドレスCA(m)により指定された列へ128ビ

50

ットのデータD (m) が書込まれる。

【 0 0 9 3 】

時刻T 3において、テストインターフェイス回路 (T I C) 5 1 2 に対しデータ読出を示すコマンド (R E A D) がコラムアドレス信号C A (n) とテストデータT D (n) とともに与えられる。このデータ読出時のテストデータT D (n) は、テストインターフェイス回路5 1 2 のデータパスにおいて比較を行なうための期待値データC M P D < 7 : 0 > として用いられる。

【 0 0 9 4 】

時刻T 3において、テストインターフェイス回路 (T I C) 5 1 2 へ与えられるテストデータT D (n) は、T I C データパスにおいてはライト動作が実行されないため、D R A M コアに対しては転送されない。特に、図1 6 に示すタイミングにおいては、比較データ (期待値データ) は、外部のテストから与えられたデータをデータ読出時のコラムレイテンシを考慮して内部で所定サイクル期間シフトされて生成され、テストインターフェイス回路 (T I C) 5 1 2 内に設けられた比較回路6 1 2 へ与えられる。したがって、比較データ入力時においては、ライトコマンドにより書込まれる書込データがテストインターフェイス回路 (T I C) 5 1 2 内部で転送されてD R A M コアへ転送されるため、テストインターフェイス回路 (T I C) 5 1 2 に対してリードコマンドとともに書込データを与えても何ら問題は生じない。

10

【 0 0 9 5 】

ただし、内部での比較データ生成の遅延段数の制約により、比較データC M P D < 7 : 0 > の入力が、リードコマンド印加よりも早いサイクルにおいて行なうことを要求される場合には、この比較用のデータ入力サイクルにおいてライト動作を行なえないという制約などが生じる。

20

【 0 0 9 6 】

時刻T 3においてテストインターフェイス回路 (T I C) 5 1 2 へ与えられたコマンド (R E A D) は、テストインターフェイス回路 (T I C) 5 1 2 においてデコードされ、リード動作指示信号R E A D が生成され、時刻T 4 のテストクロック信号T C L K の立上がりエッジに同期してD R A M コア5 1 0 へリード動作指示信号R E A D とコラムアドレス信号C A (n) が与えられる。なお、コマンドは、先に、図1 1 において示したニモニックにおいて複数の制御信号の組合せにより与えられる動作モード指示を示すものとして

30

【 0 0 9 7 】

D R A M コア5 1 0 においては、時刻T 5 におけるクロック信号C L K の立上がりエッジに同期して、このリード動作指示信号R E A D (/ R E) とコラムアドレス信号C A (n) に従って列選択動作が開始され、内部でテストデータの読出が行なわれる。

【 0 0 9 8 】

時刻T 4 において、テストインターフェイス回路 (T I C) 5 1 2 に対しプリチャージ動作を示す制御信号 (P R E) が与えられ、テストインターフェイス回路 (T I C) 5 1 2 においてこの制御信号がデコードされ、ロウ非活性化信号P R E が生成され、D R A M コア5 1 0 に対し転送される。時刻T 6 において、D R A M コア5 1 0 において、このロウ非活性化信号P R E が取込まれて内部のプリチャージ動作が実行される。

40

【 0 0 9 9 】

D R A M コア5 1 0 において、コラムレイテンシが2 サイクルであり、時刻T 5 に与えられたリード動作指示信号R E A D に従って内部で読出されたデータが、時刻T 6 から始まるクロックサイクルにおいて読出され、読出データQ (n) がテストインターフェイス回路 (T I C) 5 1 2 へ与えられる。

【 0 1 0 0 】

テストインターフェイス回路 (T I C) 5 1 2 においては、この時刻T 6 から始まるクロックサイクルにおいて、図1 5 に示すデコーダ6 2 6 からの選択信号に従ってバッファ回路6 1 0 を選択的に活性化して、D R A M コア5 1 0 から転送された1 2 8 ビットのデー

50

タ $Q(n)$ から8ビットデータを生成し、また比較回路612において時刻 T_3 において取込んだデータ $TD(n)$ と読出したデータとの比較を行ない、その比較結果を示す信号を生成する。これらの8ビットデータの生成および比較結果指示信号の生成が、時刻 T_7 までに行われる。

【0101】

時刻 T_7 から始まるクロックサイクルにおいて、テストインターフェイス回路(TIC)512が、8ビットテストデータ $TQ(n)$ をマルチビットテスト結果指示信号 $Qmbt(n)$ とともに出力する。図15に示すデコーダ626およびフリップフロップ回路620-625は、テストクロック信号 $TCLK$ に同期して常時動作している。したがって、図15に示すアドレス信号 $intAD<9:6>$ および $ADsp$ を各クロックサイクルにおいて順次与えることにより、デコーダ626の出力する選択信号 $QSEL<15:0>$ および $SQSEL<1:0>$ に従って8ビットデータが順次選択されてテストインターフェイス回路(TIC)512から読出される。

10

【0102】

なお、デコーダ626が、アドレスカウンタを含み、内部でテストクロック信号 $TCLK$ に同期してカウント動作を行なって、列アドレスを生成し、その列アドレス信号をデコードして選択信号 $QSEL<15:0>$ を生成してもよい。

【0103】

外部のテストにおいては、8ビットテストデータ $TQ(n)$ に対しマルチビットテスト結果指示信号 $Qmbt(n)$ ($TQmbt$)が不一致を示すときにテスト期待値データ $TD(n)$ とテスト読出データ $TQ(n)$ を8ビット単位で各ビットごとに比較し、不良メモリセルの位置を特定する。マルチビット結果指示信号 $TQmbt$ は、同時に選択された128ビットのデータについて的一致/不一致を示す信号であり、マルチビットテスト結果指示信号 $Qmbt(n)$ が一致を示している場合には、128ビットテストデータ $TQ(n)$ の各ビットはすべて正常であると判定される。

20

【0104】

外部のテストにおいて、各8ビットのテストデータごとに不良メモリセルの位置の特定をすべての8ビットデータについて行なう必要がなく、テスト時間が短縮される。

【0105】

上述のようなテストインターフェイス回路512を利用することにより、DRAMコア510を外部からアクセスしてメモリセルの良/不良を判定することができる。

30

【0106】

DRAMコア510のテスト内容としては、この他に、セットアップ時間、ホールド時間、およびアクセス時間などの測定がある。従来、このようなDRAMコア510の信号のタイミング関係についての試験は以下のようにして行なわれている。

【0107】

図17はテストインターフェイス回路512およびDRAMコア510の入出力信号の関係を概略的に示すブロック図である。図17において、テストインターフェイス回路(TIC)512は、テストクロック信号 $TCLK$ の立上がり同期してTIC入力信号を取込み転送するフリップフロップ回路700と、このフリップフロップ回路700からの信号/データを、DRAMコアのインターフェイスに応じた信号/データに変換する入力インターフェイス変換ロジック702と、入力インターフェイス変換ロジック702の出力信号/データをテストクロック信号 $TCLK$ の立上がりエッジに同期して取込み転送するフリップフロップ回路704を含む。

40

【0108】

このTIC入力信号は、外部のテストから与えられるテスト書込データ、アドレス信号、および制御信号(コマンド)を含む。入力インターフェイス変換ロジック702は、テスト書込データのビット幅拡張回路、およびコマンドをデコードして、DRAMコアに対する動作モード指示信号を生成するデコーダを含む。したがって、フリップフロップ回路700は、図15に示すフリップフロップ回路620を含み、またフリップフロップ回路7

50

04は、図15に示すフリップフロップ回路621および622を含む。

【0109】

テストインターフェイス回路(TIC)512は、さらに、DRAMコア510から読出された信号(読出データRD)を、出力インターフェイスに応じたデータ/信号に変換する出力インターフェイス変換ロジック706と、出力インターフェイス変換ロジックの出力信号/データを、テストクロック信号CLKに従って取込み転送して、TIC出力信号を生成するフリップフロップ回路708を含む。

【0110】

この出力インターフェイス変換ロジック706は、図14に示すTICデータパスおよびTIC制御回路562における出力データ $TQ < 7 : 0 >$ およびマルチビットテスト結果指示信号 $TQmbt$ を生成する回路部分を含む。

10

【0111】

テストインターフェイス回路(TIC)512は、さらに、外部のテストからのラッチタイミング信号MLATに従ってDRAMコアから読出されたデータを取込み転送するフリップフロップ710を含む。このフリップフロップ710からの出力信号QLATが、テストへ与えられ、正確に読出されたかの判定が行なわれる。

【0112】

DRAMコア510においては、その信号/データ入力部に、クロック信号CLKの立上がりエッジに同期して与えられた信号/データを取込むフリップフロップ回路720が設けられる。また、データ出力部においては、このクロック信号CLKに同期してデータを出力するフリップフロップ回路725が設けられる。DRAMコア510に対する信号/データのセットアップ/ホールド時間は、このフリップフロップ回路720に与えられるクロック信号CLKの立上がりエッジに関して測定される。アクセス時間は、フリップフロップ725から読出されたコア出力信号(読出データRD)がテストインターフェイス回路(TIC)512の出力インターフェイス変換ロジック706に到達するまで要する時間で与えられる。

20

【0113】

このセットアップ/ホールド時間を測定する場合、テストインターフェイス回路(TIC:以下、単にテストインターフェイス回路と称す)512のフリップフロップ回路704から、メモリ書込データWD、アドレス信号ADおよび制御信号CTLがテストクロック信号CLKに同期して転送されるため、このテストクロック信号CLKとフリップフロップ回路720へ与えられるクロック信号CLKの位相をずらせることにより測定される。

30

【0114】

図18は、このセットアップ/ホールド時間およびアクセス時間などの信号パラメータの測定動作を示すタイミング図である。以下、図18を参照して、図17に示すテストインターフェイス回路512における信号パラメータ測定動作について説明する。

【0115】

セットアップ/ホールド時間の測定時においては、図18において波形SHMで示すように、テストクロック信号CLKの位相を、クロック信号CLKに対して変化させる。すなわちDRAMコア510においてフリップフロップ回路720が信号/データを取込むクロック信号CLKのエッジに対し、テストクロック信号CLKの位相の進み具合を変化させ、セットアップ時間 t_{su} を変化させて、正確に、データの書込および読出が行なえるかを判定する。このセットアップ時間 t_{su} の測定時においては、バイナリサーチ方式に従ってDRAMコア510のセットアップ時間の測定が行なわれる。このバイナリサーチ方式に従ったセットアップ時間の測定においては、以下の手順でセットアップ時間の測定が行なわれる。すなわち、すべてのDRAMコアが正常に動作するセットアップ時間(最大測定値と称す)とすべてのDRAMコアが誤動作するセットアップ時間(最小測定値と称す)との中間値を最初のセットアップ時間測定値(初期値)としてDRAMコア510が正常に動作するかを測定する。正常に動作する場合には、この初期値と最小測定値

40

50

の中間値を第2測定値としてDRAMコア510を動作させて、正常に動作するかを測定する。その測定結果に従って次の測定値を設定する。すなわち正常に動作する場合には、第2測定値と最小測定値の中間値を用いてさらに測定を行ない、誤動作が生じている場合には、第2測定値と初期値との中間値を用いて測定する。以下この測定動作を繰返し実行し、DRAMコア510が正常に動作するセットアップ時間と誤動作するセットアップ時間との境界値を求め、この境界値をDRAMコア510のセットアップ時間とする。

【0116】

ホールド時間 t_h についても同様であり、テストクロック信号 $TCLK$ の位相をクロック信号 CLK に対して遅らせることにより、図18に示すコア入力信号 $Cn-1$ のホールド時間 t_h を変化させる。同様、このホールド時間に対しては、テストクロック信号 $TCLK$ のクロック信号 CLK に対する位相遅れ量をバイナリサーチ方式に従って調整してホールド時間 t_h を測定する。

10

【0117】

アクセス時間の測定においては、DRAMコア510から、この同一半導体基板上に搭載されるロジック502までの読出データの伝達時間を測定する必要がある。したがって、この場合には、フリップフロップ710を用い、DRAMコア510のフリップフロップ回路725からの読出データの特定のビットを、外部テストからのラッチタイミング信号 $MLAT$ の位相を変化させて、目標データが読出されたかを測定する。すなわち、図18において、波形 ATM で示すように、クロック信号 CLK の立上がりエッジに対し、ラッチタイミング信号 $MLAT$ の位相を変更して、フリップフロップ710からの出力データ $QLAT$ が、データ Q_{m-1} であるかデータ Q_m であるかを識別し、目標データ Q_m が正常に読出されるアクセス時間と、データ Q_{m-1} が読出されるアクセス時間の境界値をバイナリサーチ方式に従って求め、このDRAMコア510のアクセス時間を測定する。

20

【0118】

【発明が解決しようとする課題】

図18においては、クロック信号 CLK およびテストクロック信号 $TCLK$ を同一波形の信号としている。これらのクロック信号 CLK および $TCLK$ およびラッチタイミング信号 $MLAT$ は、外部のテストから印加される。これらの信号 CLK 、 $TCLK$ および $MLAT$ の位相関係は、外部のテストで決定することができ、各設定された位相差に応じて、バイナリサーチ方式に従ってセットアップ/ホールド時間およびアクセス時間を測定することができる。

30

【0119】

図19は、外部に設けられたテスト750とDRAM内蔵システムLSI(半導体集積回路装置)500の間の信号 CLK 、 $TCLK$ および $MLAT$ の転送経路を概略的に示す図である。図19において、システムLSI500においては、パッド760a、760bおよび760cに、それぞれクロック信号 CLK 、テストクロック信号 $TCLK$ およびラッチタイミング信号 $MLAT$ を受ける。パッド760aに与えられたクロック信号 CLK は内部配線762aを介してDRAMコア510へ転送される。パッド760bに与えられたテストクロック信号 $TCLK$ は内部配線762bを介してテストインターフェイス回路(TIC)512へ転送され、パッド760cへ転送されたラッチタイミング信号 $MLAT$ は、内部配線762cを介してテストインターフェイス回路512へ転送される。

40

【0120】

これらの内部配線762a、762bおよび762cは、それぞれ配線長が異なり、また負荷も異なるため、それぞれの信号伝搬遅延量が異なる。また、パッド760a、760bおよび760cは、パッケージ実装時にはリードフレームへボンディングワイヤを介して接続される。したがって、このリードフレームとパッド760a、760bおよび760cの間の配線長が異なる場合、同様、信号伝搬遅延が異なる。

【0121】

したがって、外部のテスト750において、設定した信号 CLK 、 $TCLK$ または $MLAT$ の相対的なタイミング関係が、このシステムLSI500内部での信号伝搬遅延量が異

50

なるため、相対的な位相関係が設定時と異なり、正確なセットアップ時間、ホールド時間またはアクセス時間を測定することができなくなるという問題が生じる。

【0122】

図20に示すように、たとえばテストクロック信号TCLKのクロック信号CLKに対する設定位相変化量Tsetに対し、信号伝搬遅延のずれにより内部波形の位相がずれた場合、この補正を行なうためには、内部信号波形を、オシロスコープ等の装置を用いて測定して、予め補正値を測定する必要がある。しかしながら、1つのデバイスについて補正値を測定しても、ユーザロジックが異なる他の種類のデバイスにおいては、パッド配置またはフレームが異なり、この補正値を使用することができない。また、同一種類のデバイスであっても、内部配線の抵抗値/容量値の製造工程時のバラツキにより、1つのデバイスについて測定された補正値を利用することはできない可能性がある。

10

【0123】

また、モールド樹脂等のパッケージ実装後においては、内部波形を全く観測することができず、補正値の測定自体を行なうことができない。

【0124】

特に、仕様値の条件が厳しくなる高速クロック信号に同期して動作する場合、セットアップ時間、ホールド時間およびアクセス時間を高精度で測定することができない場合には、DRAMマクロ単体試験で、不良デバイスをスクリーニングすることができない。この場合、最終製品に、不良DRAMマクロが組込まれることになり、最終製品試験での歩留りが低下し、製品コストが高くなるという問題が生じる。

20

【0125】

それゆえに、この発明の目的は、内蔵クロック同期型メモリの内部信号タイミングを高精度で測定することのできる半導体回路装置を提供することである。

【0126】

この発明の他の目的は、内蔵メモリのセットアップ/ホールド時間/またはアクセス時間を正確に測定することのできるテストインターフェイス回路を提供することである。

【0127】

この発明のさらに他の目的は、高精度で不良内蔵DRAMコアをスクリーニングし、最終製品の歩留りを改善することのできるテストインターフェイス回路を提供することである。

30

【0128】

【課題を解決するための手段】

この発明の第1の観点に係る半導体回路装置は、メモリクロック信号に同期して動作するメモリコアと、テストクロック信号に同期して、メモリコアへ信号/データを転送するメモリ転送回路と、少なくともメモリクロック信号およびテストクロック信号を受け、メモリクロック信号およびテストクロック信号の一方を選択するタイミング選択回路と、この選択回路の出力信号を補正用テストクロック信号に同期して取込み外部へ転送するタイミング転送回路とを含む。

【0129】

好ましくは、ラッチタイミング信号に同期して、メモリコアから転送された信号/データを外部へ転送するラッチ転送回路が設けられる。タイミング選択回路は、メモリクロック信号およびテストクロック信号とラッチタイミング信号のいずれかを選択指示信号に応答して選択する。

40

【0130】

このタイミング選択回路の入力からタイミング転送回路の出力までのメモリクロック信号およびテストクロック信号およびラッチタイミング信号の遅延時間は実質的に同じである。

【0131】

好ましくは、メモリ転送回路は、メモリコアに対して多ビットデータを転送するデータ転送回路を含む。この構成において、さらに、データ転送回路と同一特性を有するレプリカ

50

回路と、メモリクロック信号とレプリカ回路の出力信号の一方を選択するテストデータ選択回路と、補正用クロック信号に同期してテストデータ選択回路の出力信号を転送するテストデータ転送回路が備けられる。

【0132】

好ましくは、テストデータ転送回路とタイミング転送回路は、補正用クロック信号に同期して与えられた信号を取込みラッチするラッチ回路を共有する。

【0133】

これに代えて、好ましくは、タイミング転送回路とテストデータ転送回路とは、それぞれ別々に配置されて、補正用クロック信号に同期して動作するラッチ回路を備える。

【0140】

メモリクロック信号とテストクロック信号の一方を選択して、補正用クロック信号に同期して転送することにより、外部のテストにおいて、補正用クロック信号に対するテストクロック信号およびメモリクロック信号の相対的位相を検出することができ、応じてメモリクロック信号とテストクロック信号との位相差を検出することができる。この位相差を用いることにより、セットアップ時間、ホールド時間またはアクセス時間の測定値を補正することができ、高精度でセットアップ時間、ホールド時間またはアクセス時間を測定することができる。

【0141】

また、データ転送回路と同一の転送特性を有するレプリカ回路の出力信号とメモリクロック信号を選択的に補正用クロック信号に同期して転送することにより、外部テストにおいて書込データとメモリクロック信号の位相差を補正用クロック信号を基準として検出することができ、書込データについてのセットアップ時間およびホールド時間を高精度で補正することができ、応じてセットアップ時間またはホールド時間を高精度で測定することができる。

【0142】

また、ラッチタイミング信号とメモリクロック信号の一方を補正用クロック信号に同期して転送することにより、ラッチタイミング信号とメモリクロック信号との位相差を検出することができ、アクセス時間の測定値を正確に補正して正確なアクセス時間を決定することができる。

【0143】

【発明の実施の形態】

[実施の形態1]

図1は、この発明の実施の形態1に従うテストインターフェイス回路の構成を概略的に示す図である。この図1に示すテストインターフェイス回路(TIC)1は、以下の点において、図19に示すテストインターフェイス回路512と構成が異なる。フリップフロップ回路700、入力インターフェイス変換ロジック702およびフリップフロップ回路704により、メモリコア(DRAMコア)に信号/データを、テストクロック信号TCLKに同期して転送するメモリ転送回路が構成される。

【0144】

すなわち、ラッチタイミング信号MLATとテストクロック信号TCLKとクロック信号CLKの1つを選択信号SELに従って選択する選択回路10と、この選択回路10の出力信号DCALを補正用テストクロック信号TCLKcalに従って取込み転送するフリップフロップ20が設けられる。フリップフロップ20の出力信号TQcalが、外部のテストへ与えられる。この図1に示すテストインターフェイス回路1の他の構成は、図17に示すテストインターフェイス回路512の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0145】

選択信号SELは、図示しないテストモードレジスタ内に、外部のテストの制御の下に設定されたデータに基づいて生成される。選択信号SELは、レジスタの格納データをデコードして生成されてもよく、また、レジスタ内のデータ自体が選択信号として用いられて

10

20

30

40

50

もよい。

【0146】

フリップフロップ20は、補正用テストクロック信号TCLKcalの立上がりエッジに同期して選択回路10の出力信号DCALを取込みラッチし、かつテストクロック信号TCLKcalの立上がりエッジで出力信号TQcalを出力する構成であれば、任意の構成を利用することができる。例えば、相補クロック信号に同期して動作する二段の従属接続されるラッチ回路でフリップフロップ20を構成することができる。

【0147】

また、補正用のデータTQcalを出力する端子および補正用テストクロック信号TCLKcalを入力する端子は、図示しないテストモードレジスタの設定により、他のピン端子（たとえばTIC入力信号またはTIC出力信号）の端子と切換えて用いられてもよい。またテストインターフェイス回路1において、これらの補正用データTQcalおよび補正用テストクロック信号TCLKcal専用のピン端子が設けられてもよい。

10

【0148】

図2は、この図1に示すテストインターフェイス回路1の動作を示すタイミング図である。以下、図2を参照して、図1に示すテストインターフェイス回路1の動作について説明する。

【0149】

選択回路10は、選択信号SELに従って、ラッチタイミング信号MLAT、クロック信号CLKおよびテストクロック信号TCLKのいずれかを選択して、その出力信号DCALを生成する。補正用テストクロック信号TCLKcalの立上がりタイミングを、外部テストの制御の下に変化させる。フリップフロップ20は、この補正用テストクロック信号TCLKcalの立上がりエッジで、選択回路10の出力信号DCALを取込みラッチし、補正用データTQcalを生成する。このデータTQcalを外部テストへ転送し、外部のテストにおいて、バイナリサーチ方式に従って、この選択回路10の出力信号DCALの立上がりエッジまたは立下がりエッジを検出する。この選択信号SELを順次切換えて、補正用テストクロック信号TCLKcalにより、ラッチタイミング信号MLAT、テストクロック信号TCLKおよびクロック信号CLKの遷移エッジを検出する。

20

【0150】

図3は、ラッチタイミング信号MLAT、テストクロック信号TCLKおよびクロック信号CLKの位相関係の一例を示す図である。図3に示すように、テストにおいては、基本テストクロック信号BTCLKを基準として、補正用テストクロック信号TCLKcalの位相を変化させて、このテストインターフェイス回路1へ与えている。したがって、この補正用テストクロック信号TCLKcalのテスト基本クロック信号BTCLKに対する相対的な位相を用いて、選択回路10の出力信号DCAL、すなわちラッチタイミング信号MLAT、テストクロック信号TCLKおよびクロック信号CLKの遷移エッジの相対的な位相関係を検出することができる。図3においては、クロック信号CLK、テストクロック信号TCLK、およびラッチタイミング信号MLATの立上がりエッジが、基本テストクロック信号BTCLKの立上がりエッジに対し、それぞれ、時間T1、T2およびT3だけ遅れている。

30

40

【0151】

したがって、テストクロック信号TCLKとクロック信号CLKの位相差Tshcは、時間T2 - T1で与えられ、ラッチタイミング信号MLATとクロック信号CLKの位相差Taccは、時間T3 - T1で与えられる。

【0152】

この図3に示すように、テストクロック信号TCLKとクロック信号CLKの位相差Tshcが正の場合、実際には、DRAMコアに対して転送される信号の転送タイミングが、時間Tshcだけ遅れている。したがって、実際のセットアップ時間は、テストにおける設定値よりも時間Tshcだけ短くなる。一方、ホールド時間の測定時においては、時間Tshcだけホールド時間が長くなる。したがって、セットアップ時間測定時においては

50

、このテストクロック信号TCLKとクロック信号CLKの位相差Tshcを測定値から減算し、ホールド時間測定時には、この位相差Tshcを測定値に加算することにより、実際のセットアップ時間およびホールド時間を求めることができる。

【0153】

アクセス時間については、図3に示すタイミングにおいては、ラッチタイミング信号MLATの立上がりエッジが、クロック信号CLKに対して時間Tacc遅れており、実際には、DRAMコア510からのデータの転送時間が時間Taccだけ長くなっている。

【0154】

テストインターフェイス回路512からは、テストクロック信号TCLKの立上がり同期してデータが転送される。テストクロック信号TCLKは、クロック信号CLKに対して時間T1遅れている。しかしながら、クロック信号の立上り時においてDRAMコア510において、コマンドは確定状態にあり、このクロック信号CLKに同期してDRAMコア510においてデータ読出が実行される。従って、アクセス時間の測定時には、テストクロック信号TCLKとクロック信号CLKとの位相差を考慮する必要がなく、クロック信号CLKとラッチタイミング信号との位相関係が測定されれば、アクセス時間を補正することができる。したがって、テストにおける設定値に比べて、実際のアクセス時間を、この位相差(時間)Taccを測定値に加算することにより求めることができる。

【0155】

図4は、図1に示す選択回路10の構成を概略的に示す図である。図4において、選択回路10は、選択信号SLaの活性化時選択され、ラッチタイミング信号MLATに従って出力信号DCALを生成するセレクタ10aと、選択信号SLbの活性化時選択され、テストクロック信号TCLKに従って出力信号DCALを生成するセレクタ10bと、選択信号SLcの活性化時選択され、クロック信号CLKに従って出力信号CALを生成するセレクタ10cを含む。

【0156】

これらのセレクタ10a - 10cの各々は、CMOSトランスマッションゲートで構成されてもよく、またトライステートバッファ回路で構成されてもよい。セレクタ10a - 10cは、非選択時には、出力ハイインピーダンス状態に設定される。

【0157】

この選択回路10において、セレクタ10a - 10cそれぞれにおいて、入力部から出力部の信号伝搬遅延はすべて同じである。したがって、ラッチタイミング信号MLAT、テストクロック信号TCLKおよびクロック信号CLKの伝搬遅延が同じである。また、次段においては、共通のフリップフロップ20を用いてこの選択回路10の出力信号DCALを転送しており、これらの信号MLAT、TCLKおよびCLKの伝播遅延は同一である。したがって、セレクタ10およびフリップフロップ20の伝搬遅延の影響を受けることなく正確に、これらの信号MLAT、TCLKおよびCLKの相対的な位相関係を正確に求めることができる。

【0158】

以上のように、この発明の実施の形態1に従えば、テストインターフェイス回路内部においてテストクロック信号とクロック信号とテストタイミングクロック信号を補正用のテストクロック信号により取込んで転送し、外部のテストにおいて、この補正用テストクロック信号を基準として各信号の相対的位相を検出しており、このテストインターフェイス回路内において実際に生じている各信号の位相差を検出することができ、高精度でセットアップ時間、ホールド時間およびアクセス時間を補正することができる。これにより、正確にセットアップ時間、ホールド時間およびアクセス時間を測定することができ、セットアップ異常などを検出することができ、製品歩留りの低下を抑制することができる。

【0159】

[実施の形態2]

図5は、この発明の実施の形態2に従うテストインターフェイス回路の要部の構成を概略的に示す図である。図5において、TICデータパス560(560eまたは560w)

10

20

30

40

50

においては、それぞれ 8 ビットデータを転送するためのバスドライブ回路 DRW0 - DRW7 が設けられる。これらのドライブ回路 DRW0 - DRW7 に対し、データを転送するために、大きな駆動力を有するバッファ回路 40 が設けられ、このバッファ回路 40 により、8 ビットデータ $D < 7 : 0 >$ から 8 ビットデータ $Df < 7 : 0 >$ を生成して、バスドライブ回路 DRW0 - DRW7 へ伝達する。バスドライブ回路 DRW0 - DRW7 のそれぞれは、8 ビットのドライバを有しており、バスドライブ回路 DRW0 は、ドライバ DV0 - DV7 を有し、バスドライブ回路 DRW1 は、ドライバ DV10 - DV17 を有し、バスドライブ回路 DRW7 は、ドライバ DV70 - DV77 を有する。

【0160】

これらのドライバ DV0 - DV7、DV10 - DV17... DV77 に対応して、DRAM データバス 569 (569e または 569w) において、フリップフロップ FF0 - FF63 が設けられる。このフリップフロップ FF0 - FF63 に対し、クロック信号 CLK が与えられる。

10

【0161】

したがって、この DRAM コアに対する書込データ WD については、ビット幅拡張動作のために、他の制御信号およびアドレス信号の信号伝播経路と、信号転送経路に設けられるバッファ回路の段数および配線遅延が異なるため、先の実施の形態 1 と異なる手法を用いてセットアップ/ホールド時間を測定する。

【0162】

すなわち、図 5 に示すように、TIC 制御回路 562 において、バッファ回路 40 に含まれるバッファと同じ伝達特性を有するバッファ 42 と、バスドライブ回路 DRW0 - DRW7 と同じ転送特性を有し、このバッファ 42 の出力信号に従って、バスドライブ回路 DRW0 - DRW7 と同一転送タイミングで信号を生成するレプリカ回路 50 を設ける。

20

【0163】

このバッファ 40 は、テストデータ $D < 7 >$ を受ける。レプリカ回路 50 においては、バスドライブ回路 DRW0 - DRW7 における最も遅延の大きい (バッファ回路 40 から遠い) ドライバ DV7、DV17、... DV77 に対応して、バッファ DRP7N、DRP17、DRP27、DRP37、DRP47、DRP57、DRP67 および DRP7F を設ける。レプリカバッファ DRP7N は、バスドライブ回路 DRW0 のドライバ DV7 に対応し、レプリカバッファ DRP7F は、バスドライブ回路 DRW7 のドライバ DV77 に対応する。

30

【0164】

レプリカ回路 50 において、バッファ 42 の出力信号を転送する信号線 51 を、その中央部付近で折返す構造とし、データバスの最遠点に対応して配置されるドライバ DV77 に対応するレプリカバッファ DRP7F を、レプリカ回路 50 の入力部に配置する。レプリカ回路 50 の入力部近傍から、バスドライブ回路の最遠点に配置されたドライバ DV77 の出力するデータと実質的に同じタイミングでデータを出力することができる (信号線 51 を直線状に配置した場合、遠方のドライバ DRP7F の出力信号をレプリカ回路 50 の入力部にまで伝達するための信号伝播遅延が生じ、正確な測定ができない)。

【0165】

40

レプリカ回路 50 において、データビット $D < 7 >$ に対するドライバに対応するレプリカバッファ DRP7N - DRP7F を配置しているのは、信号線 51 の負荷をドライブ回路 40 のドライバの出力負荷と同一とするためである。また、データビット $D < 7 >$ を利用するのは、以下の理由による。すなわち、バスドライブ回路 DRW0 - DRW7 それぞれにおいて、データ到達の遅延時間が最も大きくなるのはバッファ回路 40 から遠いドライバであり、このドライバにおいて、セットアップ時間が各バスドライブ回路 DRW0 - DRW7 において最悪ケースとなる。最悪ケースに対してセットアップ時間を測定する必要があるためである。

【0166】

この TIC 制御回路 562 において、さらに、選択信号 SELB に従ってクロック信号 C

50

CLKとレプリカ回路50のレプリカバッファDRP7NおよびDRP7Fの出力信号の1つを選択するセクタ55と、このセクタ55の出力信号を補正用テストクロック信号TCLKcalの立上がりに同期して取込み転送するフリップフロップ60が設けられる。このフリップフロップ60の出力信号TQcalがデータに対する位相補正用の信号として外部テストへ与えられる。

【0167】

なお、レプリカ回路50において、レプリカバッファDRP7NおよびDRP7Fの出力信号を用いているのは以下の理由による。

【0168】

セットアップ時間は、クロック信号CLKの立上がりに対して、入力データが確定状態にある時間を示し、ホールド時間は、クロック信号CLKの立上がりエッジ後のデータの確定状態の保持時間を示す。したがって、セットアップ時間については、信号の遅延の最も大きなドライバDV77の出力信号が最悪ケースを示す。また、同様、このデータビットD<7>について、ホールド条件が最悪ケースとなるのは、データビットD<7>について遅延時間が最も短いドライバDV7である。したがって、ホールド時間についての最悪ケースとなるレプリカバッファDRP7Fの出力信号を用いてクロック信号CLKとの位相差を外部のテストで測定する。

【0169】

ホールド条件の厳密な意味での最悪ケースは、データバスドライブ回路DRW0 - DRW7において最も遅延の小さなドライバDV0である。したがって、ホールド条件に対するクロック補正のために、データビットD<0>に対して、このレプリカ回路50と同様の構成を設け、その最小遅延のレプリカバッファの出力信号を選択してもよい。

【0170】

しかしながら、この図5に示すレプリカ回路50の構成において、ドライブ回路DRW0において、ドライバDV0 - DV7に対する信号の遅延時間が、ほぼ無視することができる程度であれば、このレプリカバッファDRP7Nを用いて、最悪ケースのホールド時間に対するクロック補正を正確に行なうことができる。また、データビットD<7>に対するレプリカ回路50を設けるだけで、ホールド条件に対するクロック補正およびセットアップ条件に対するクロック補正両者を行なうことができ、回路占有面積を低減することができる。

【0171】

なお、選択回路55に対する選択信号SELBは、図示しないテストモードレジスタに外部のテストの制御の下に設定されて、クロック信号CLK、およびレプリカバッファDRP7NおよびDRP7Fの出力信号が選択される。この選択回路55においても、その入力部から出力部までの各信号についての遅延はすべて同じである。

【0172】

補正用テストクロック信号TCLKcalは、先の実施の形態1において用いられた補正用テストクロック信号TCLKcalと同じである。

【0173】

以上のように、この発明の実施の形態2に従えば、テストデータを転送経路と同じ転送特性を有するレプリカ回路を用い、そのレプリカ回路の出力信号とメモリクロック信号を補正用テストクロック信号に従って取込んで、これらのクロック信号およびテストデータの位相のずれを測定しており、正確に、書込データについても、セットアップ条件、およびホールド条件を正確に測定することができる。

【0174】

[実施の形態3]

図6は、この発明の実施の形態3に従うテストインターフェイス回路の要部の構成を概略的に示す図である。図6において、このテストインターフェイス回路においては、選択信号SELCに従って、ラッチタイミング信号MLAT、テストクロック信号TCLK、クロック信号CLK、図5に示すレプリカバッファDRP7Nの出力信号DRP<7N>、

10

20

30

40

50

およびレプリカバッファDRP7Fの出力信号DRP<7F>の出力信号の1つを選択する選択回路70と、選択回路70の出力信号を補正用テストクロック信号の立上がりエッジに同期して取込み転送するフリップフロップ72とが設けられる。このフリップフロップ72の出力信号TQc a lが外部のテストへ与えられる。選択信号SELCは、図示しないテストモードレジスタに、外部のテストの制御の下に格納される。

【0175】

選択回路70の各信号についての入力部から出力部までの信号伝播遅延は同じである。選択回路70の出力信号が共通のフリップフロップ72を介して転送される。従って、これらの信号MLAT、TCLK、CLK、DRP<7N>およびDRP<7F>のこの経路における信号伝播遅延は全て等しい。選択信号SELCを用いて各信号の補正テストクロック信号TCLKc a lを基準とする相対的な位相を検出することができる。検出動作は先の実施の形態1および2と同様である。

10

【0176】

この図6に示す構成の場合、選択回路70およびフリップフロップ72を用いて、信号およびデータのセットアップ時間、ホールド時間、およびアクセス時間の補正を行なうことができ、回路占有面積を低減することができる。

【0177】

[変更例]

図7は、この発明の実施の形態3の変更例のテストインターフェイス回路の要部の構成を概略的に示す図である。この図7に示すテストインターフェイス回路の構成においては、選択信号SELDに従ってラッチタイミング信号MLAT、テストクロック信号TCLKおよびクロック信号CLKの1つを選択する選択回路80と、選択信号SELEに従ってクロック信号CLKと、レプリカバッファDRP7Nの出力信号DRP<7N>とレプリカバッファDRP7Fの出力信号DRP<7F>の1つを選択する選択回路82が設けられる。これらの選択回路80および82は、それぞれ、図1に示す選択回路10および図5に示す選択回路55に対応する。

20

【0178】

テストインターフェイス回路において、さらに、選択回路80の出力信号を補正用テストクロック信号TCLKc a lの立上がりエッジに同期して取込み転送するフリップフロップ84と、選択回路82の出力信号を補正用テストクロック信号TCLKc a lの立上がりエッジに同期して転送するフリップフロップ86と、選択信号SELFに従ってフリップフロップ84および86の出力信号の一方を選択する選択回路88が設けられる。選択回路88から、外部テストに対する補正用データTQc a lが出力される。

30

【0179】

選択回路80および82の各信号についてその入力部から出力部までの信号伝播遅延は同一であり、また、フリップフロップ84および86の動作特性、特に補正用テストクロック信号TCLKc a lに対する応答特性も同じである。

【0180】

この図7に示すテストインターフェイス回路の構成においては、実施の形態1および2の構成がそれぞれ別々に設けられる。したがって、レプリカ回路50の配置位置に応じて、選択回路82およびフリップフロップ86を配置することができ、回路レイアウトの自由度が改善される。

40

【0181】

また、この図7に示す構成において、選択回路82により、クロック信号CLKおよびレプリカバッファの出力信号DRP<7N>およびDRP<7F>の1つを選択することにより、同じ経路を介してクロック信号CLK、レプリカバッファ出力信号DRP<7N>およびDRP<7F>が転送されるため、正確に、これらのクロック信号と書込データとの位相差を検出することができる。しかしながら、フリップフロップ84および86の伝送特性の相違を無視することができる程度であれば、この選択回路82は、選択信号SELEに従ってレプリカバッファDRP<7N>およびDRP<7F>の一方を選択する構

50

成とされてもよい。

【0182】

以上のように、この発明の実施の形態3に従えば、ラッチタイミング信号MLAT、テストクロック信号TCLK、クロック信号CLK、およびレプリカバッファ出力信号DRP<7N>およびDRP<7F>を選択して、補正用テストクロック信号TCLKcalの立上がりエッジに同期して取込み転送しており、正確に、この補正用テストクロック信号を基準として、各信号/データの位相差を検出することができ、正確にセットアップ時間、ホールド時間、およびアクセス時間を、信号およびデータについて測定することができる。

【0183】

[他の適用例]

上述の説明においては、同一半導体チップ上にロジックと混載されるDRAMのテストインターフェイス回路について説明している。しかしながら、このメモリとしては、ロジックと混載されるメモリであればよく、DRAMに限定されない。たとえば他のクロック同期型のSRAM(スタティック・ランダム・アクセス・メモリ)または不揮発性メモリであってもよい。すなわち、本発明、内蔵クロック同期型メモリに対するテストインターフェイス回路に対して適用することができる。

【0184】

また、テストインターフェイス回路512においては、信号/データの入力部および出力部にフリップフロップが配置されており、クロック信号の立上りで外部信号/データを取込みかつクロック信号の立ち上がりで信号/データを転送している。しかしながら、入力部と出力部とに相補的に動作するラッチ回路を配置し、外部信号/データをクロック信号の立上りに同期して取込み、クロック信号の立下りに同期して信号/データを転送してもよい。DRAMコアは、この構成において、クロック信号の立上りに同期して信号/データを取込む。

【0185】

【発明の効果】

以上のように、この発明に従えば、内蔵クロック同期型メモリのテストインターフェイス回路において、内部信号/データと内部クロック信号との位相のずれを測定することができるようにしており、正確に内蔵メモリの信号パラメータを測定することができ、製品歩留りを改善することができる。

【0186】

すなわち、メモリへの信号転送タイミングを決定するテストクロック信号とメモリの信号取込みタイミングを決定するメモリクロック信号との補正テストクロック信号に対する相対的な位相を検出するように構成することにより、この補正用テストクロック信号を基準としてテストクロック信号とメモリクロック信号との実際の位相差を検出することができ、信号タイミングの測定値を高精度で補正することができ、セットアップ時間などのタイミング条件を高精度で測定することができる。

【0187】

また、メモリから転送された信号を取込むタイミングを与えるラッチタイミング信号に対して、補正用テストクロック信号に対する相対的な位相を検出するように構成することにより、メモリから読出されたデータに対するアクセス時間の補正値を高精度で検出ことができ、正確にアクセス時間を測定することができる。

【0188】

また、このラッチタイミング信号、メモリクロック信号およびテストクロック信号を選択する選択回路の各信号についての入力から出力までの遅延時間をすべて同じとすることにより、高精度で実際の各信号間の位相差を検出することができる。

【0189】

また、テストデータ転送回路とタイミング転送回路とに対し共通に、補正テストクロック信号に同期して与えられた信号を取込み転送するラッチ回路を配置することにより、同一

10

20

30

40

50

経路を介して補正用テストクロック信号に従って選択された信号を転送することができ、正確に相対的な位相を検出することができる。

【0190】

また、テストデータ転送回路とタイミング転送回路とに対し別々に、補正テストクロック信号に同期して与えられた信号を取込み転送するラッチ回路を配置することにより、各信号の伝播経路に応じてラッチ回路を最適配置することができる。

【0191】

また、メモリに対するデータ転送回路と同一転送特性を有するレプリカ回路を設け、このレプリカ回路の出力信号を補正用テストクロック信号に同期して取込み転送することにより、データバスの負荷が大きく、他の信号と伝送特性が異なる場合においても、正確に、書込データに対するセットアップ時間およびホールド時間に対する補正値を検出することができる。

10

【0192】

また、レプリカ回路において、所定のテストデータビットについての最小遅延および最大遅延のバスマイバそれぞれに対応するレプリカドライバを配置し、このレプリカドライバの出力信号について、補正用テストクロック信号に対する相対的な位相を検出することにより、書込データに対するホールド時間およびセットアップ時間に対する補正値を高精度で検出することができる。

【0193】

また、レプリカ回路において、バス信号線に接続されるバスマイバと同数のレプリカドライバレプリカ信号線に接続し、レプリカ信号線の負荷をバス信号線と同一とすることができ、また、このレプリカ信号線を折返し構造とすることにより、セットアップ時間測定のための最大遅延のレプリカバッファの出力信号をレプリカ回路入力部から出力することができ、直線構造のレプリカバス信号線の構成に比べて、この信号伝搬遅延を、正確に、メモリへの書込データを転送するバスマイバと同じとすることができ、正確にメモリクロック信号と書込データとの位相差を検出することができる。

20

【0194】

また、メモリ転送回路のバスマイバを複数のグループに分割し、レプリカ回路において、各グループの同一ビットのバスマイバに対応してレプリカドライバを配置することにより、正確に、セットアップ/ホールド時間に対する最悪ケースを用いて、補正値を検出することができる。

30

【0195】

また、メモリコアから転送された信号/データを取込むタイミングを与えるラッチタイミング信号とメモリクロック信号をそれぞれ補正用テストクロック信号にしたがって転送することにより、メモリクロック信号とラッチタイミング信号との位相差を検出することができ、正確に測定アクセス時間を補正して、正確なアクセス時間を検出することができる。

【0196】

また、メモリクロック信号とラッチタイミング信号の一方を選択回路に従って選択し、この選択回路の出力信号を補正用テストクロック信号に従って転送することにより、正確に補正用テストクロック信号に対する各信号の相対的な位相を検出することができる。

40

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従うテストインターフェイス回路の構成を概略的に示す図である。

【図2】 図1に示すテストインターフェイス回路の動作を示すタイミング図である。

【図3】 この発明の実施の形態1におけるセットアップ時間、ホールド時間およびアクセス時間の補正動作を示す図である。

【図4】 図1における選択回路の構成を概略的に示す図である。

【図5】 この発明の実施の形態2に従うテストインターフェイス回路の要部の構成を概略的に示す図である。

50

【図 6】 この発明の実施の形態 3 に従うテストインターフェイス回路の要部の構成を概略的に示す図である。

【図 7】 この発明の実施の形態 3 に従うテストインターフェイス回路の他の構成を概略的に示す図である。

【図 8】 従来システム L S I の構成を概略的に示す図である。

【図 9】 図 8 に示すシステム L S I の D R A M コアに対する信号を一覧にして示す図である。

【図 10】 図 8 に示すテストインターフェイス回路へ与えられる信号を一覧にして示す図である。

【図 11】 テストインターフェイス回路へ与えられる信号と D R A M コアへ与えられる信号の対応関係を一覧にして示す図である。

10

【図 12】 図 8 に示す D R A M コアおよびテストインターフェイス回路の構成をより具体的に示す図である。

【図 13】 図 12 に示す T I C データパスのデータ書込部の構成を概略的に示す図である。

【図 14】 図 12 に示す T I C データパスのデータ読出部の構成を概略的に示す図である。

【図 15】 図 14 に示す R I C 制御回路の構成を概略的に示す図である。

【図 16】 図 12 から図 15 に示すテストインターフェイス回路および D R A M コアの動作を示すタイミング図である。

20

【図 17】 従来テストインターフェイス回路の信号タイミングパラメータを測定する部分の構成を概略的に示す図である。

【図 18】 従来テストインターフェイス回路におけるセットアップ/ホールド時間およびアクセス時間の測定動作を示すタイミング図である。

【図 19】 従来システム L S I のテスト環境を概略的に示す図である。

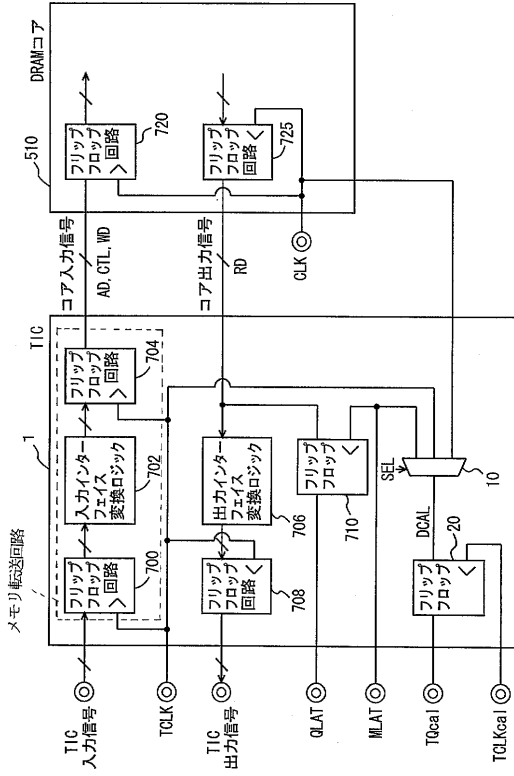
【図 20】 従来テスト環境の問題点を説明するための図である。

【符号の説明】

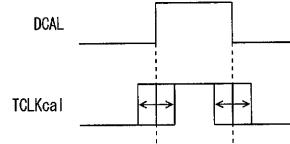
1 テストインターフェイス回路、700, 704, 708, 720, 725 フリップフロップ回路、710, 20 フリップフロップ、10 選択回路、50 レプリカ回路、55 選択回路、60 フリップフロップ、40 バスドライブバッファ、42 バッファ、D R W 0 - D R W 7 バスドライブ回路、D V 0 - D V 7、D V 10 - D V 17、D V 77 ドライバ、D R P 7 N, D R P 17, D R P 27, D R P 37, D R P 47, D R P 57, D R P 67, D R P 7 F レプリカバッファ、70, 80, 82, 88 選択回路、72, 84, 86 フリップフロップ。

30

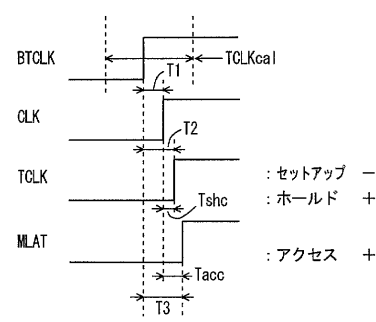
【図1】



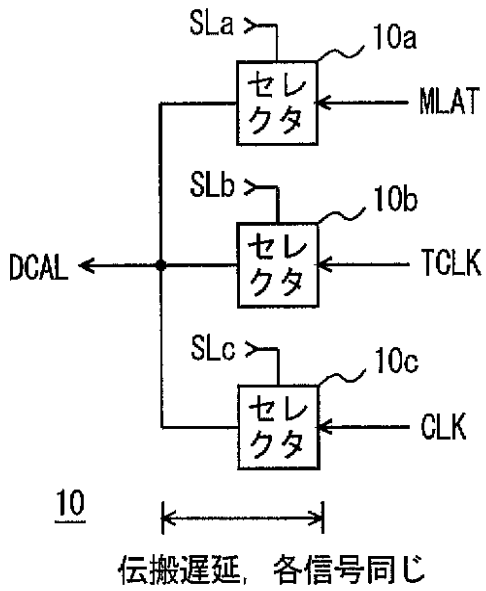
【図2】



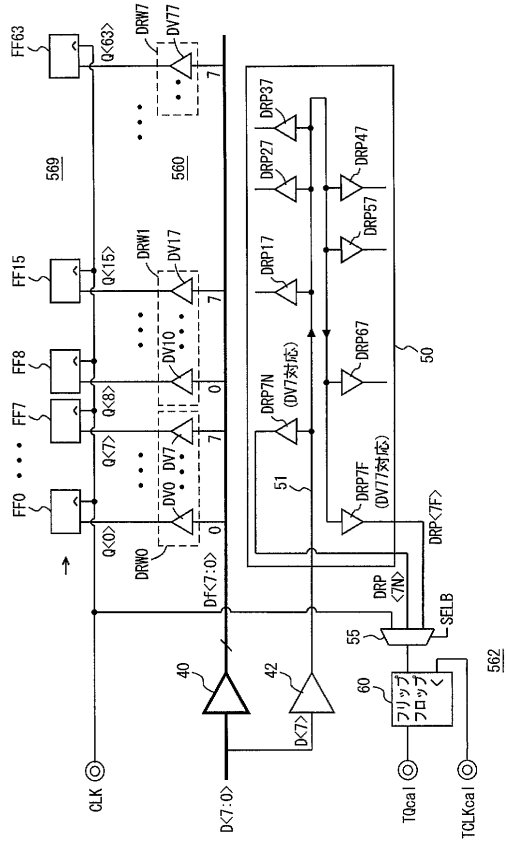
【図3】



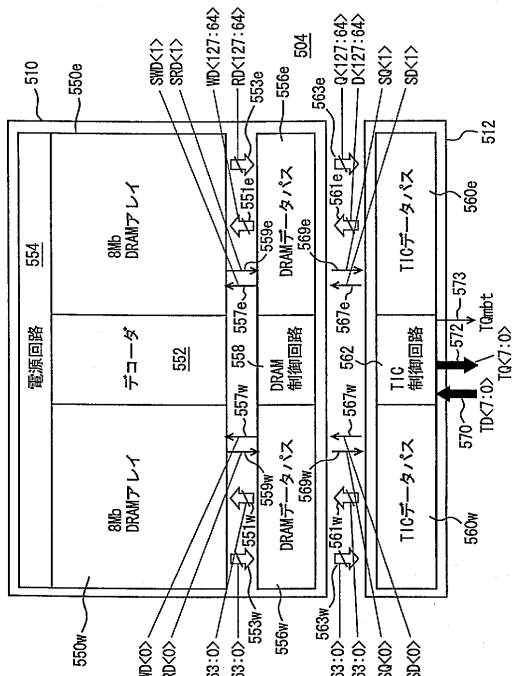
【図4】



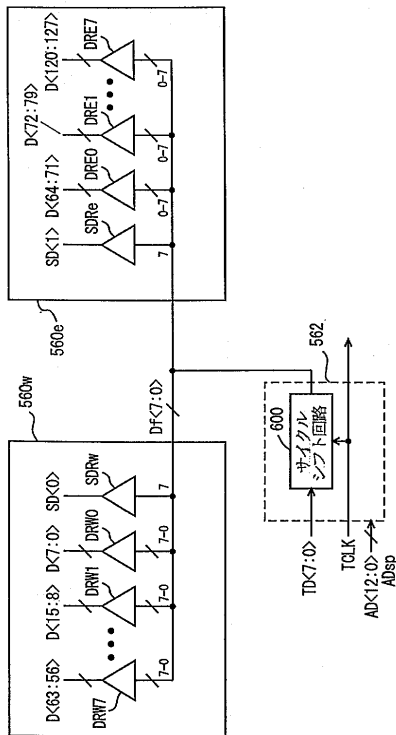
【図5】



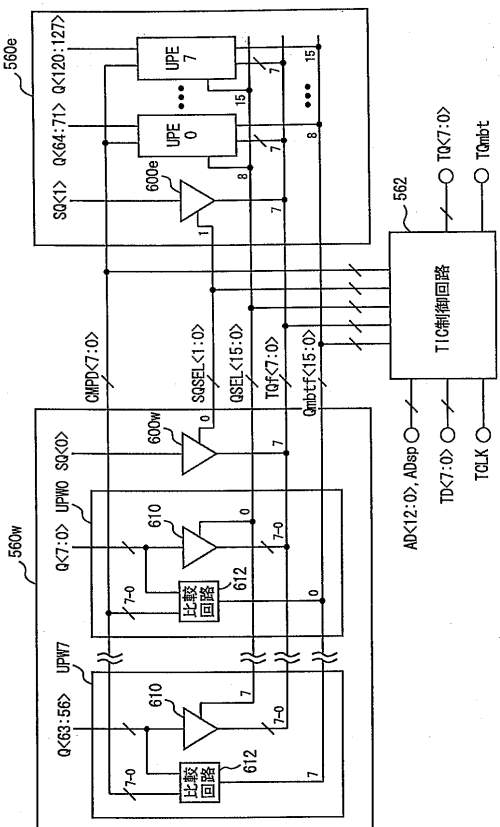
【 図 1 2 】



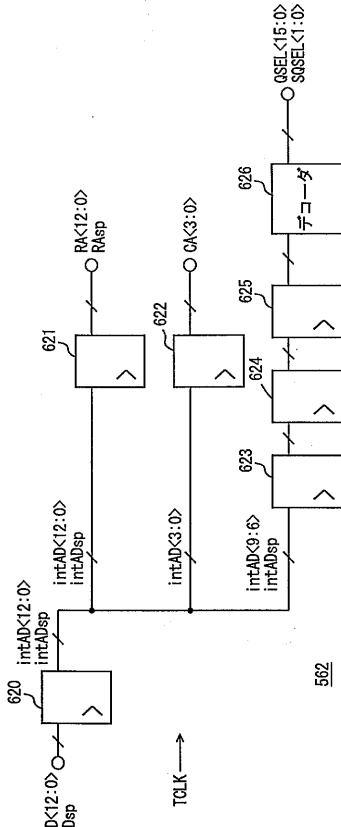
【 図 1 3 】



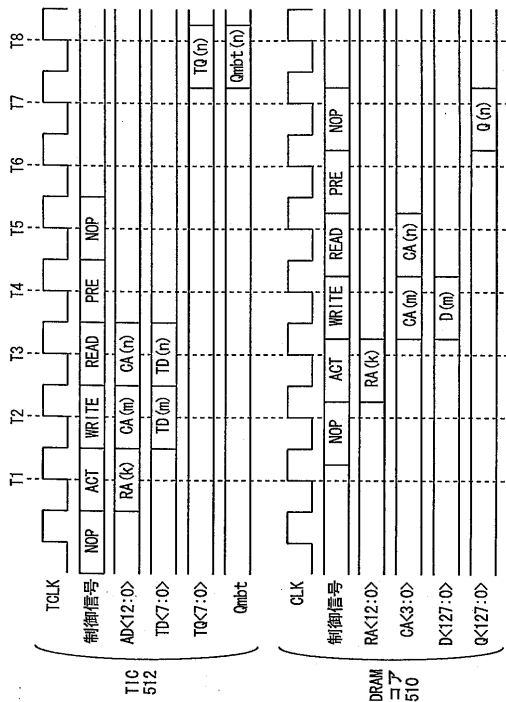
【 図 1 4 】



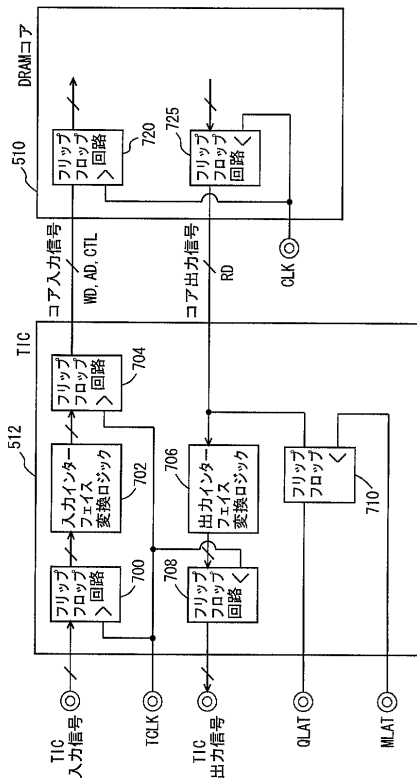
【 図 1 5 】



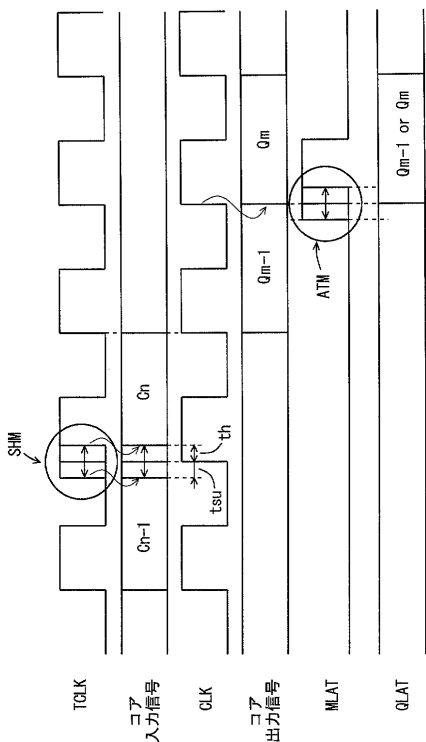
【図16】



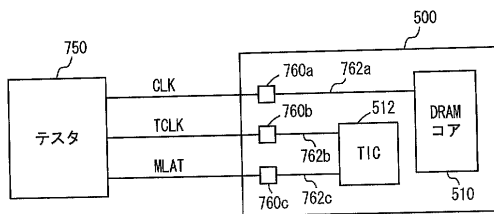
【図17】



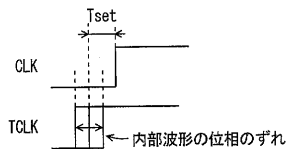
【図18】



【図19】



【図20】



フロントページの続き

- (72)発明者 山崎 彰
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 萬行 厚雄
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 堀江 義隆

- (56)参考文献 特開2002-008393(JP,A)
特開2003-218216(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/02
G11C 29/56
G11C 11/401
G01R 31/28