

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-119601

(P2012-119601A)

(43) 公開日 平成24年6月21日(2012.6.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	B
HO 1 L 23/14 (2006.01)	HO 1 L 23/14	S
HO 1 L 23/32 (2006.01)	HO 1 L 23/32	D

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2010-270079 (P2010-270079)
 (22) 出願日 平成22年12月3日 (2010.12.3)

(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100106909
 弁理士 棚井 澄雄
 (74) 代理人 100134544
 弁理士 森 隆一郎
 (74) 代理人 100150197
 弁理士 松尾 直樹
 (72) 発明者 武田 勉
 東京都港区芝五丁目7番1号 日本電気株式会社社内

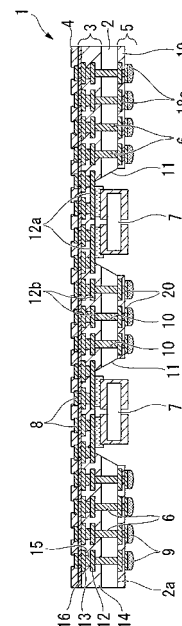
(54) 【発明の名称】 インターポーザ及び半導体装置

(57) 【要約】

【課題】 給電経路を確保しつつ、キャパシタ部品等の搭載用電子部品を電子部品実装面に近付けて搭載する。

【解決手段】 本発明のインターポーザ1は、複数の貫通電極6を有するシリコン基板2と、該シリコン基板2上に設けられ、第1配線層12及び第2配線層13と層間絶縁層14とを有する多層配線部3と、該多層配線部3上に設けられ、第2配線層13と電氣的に接続された第1UBM構造8と、シリコン基板2の裏側に設けられ、各貫通電極6と電氣的に接続された複数のパンプ9を有している。そして、特に、シリコン基板2の裏面2aには、第1配線層12のパッド部12aが露出するキャビティ部11が設けられ、このキャビティ部11内にキャパシタ部品が収容されてパッド部12aに接続されている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の貫通電極を有する基板と、

該基板上に設けられ、前記各貫通電極と電氣的に接続された配線層及び該配線層を覆う絶縁層とを有する配線部と、

該配線部の前記基板と反対側に設けられ、前記配線層と電氣的に接続された複数の第 1 U B M 構造と、

前記基板の前記配線部と反対側に設けられ、第 2 U B M 構造を介して前記各貫通電極と電氣的に接続された複数のパンプを有し、

前記各第 1 U B M 構造に実装用電子部品の接続部が接続されることで該実装用電子部品が実装され、前記各パンプが配線基板の電極パッドに接続されることで該配線基板に実装されるインターポーザであって、

前記基板の前記配線部と反対側の面に開口し、その底部に前記配線層が露出するキャビティ部が設けられ、

前記配線層は、前記キャビティ部の底部に露出する部分に、搭載用電子部品が電氣的に接続されるパッド部を有することを特徴とするインターポーザ。

【請求項 2】

前記搭載用電子部品を有し、

前記搭載用電子部品は、前記キャビティ部内に収容され、その接続端が前記配線層の前記パッド部に電氣的に接続されていることを特徴とする請求項 1 に記載のインターポーザ。

【請求項 3】

前記搭載用電子部品は、キャパシタ部品及び抵抗部品のうち少なくとも一方であることを特徴とする請求項 1 または請求項 2 に記載のインターポーザ。

【請求項 4】

前記搭載用電子部品は、前記配線基板の前記電極パッドに接続される接続端を有することを特徴とする請求項 3 に記載のインターポーザ。

【請求項 5】

前記配線部は、前記絶縁層を介して積層された複数の配線層を有し、

前記各配線層が、前記第 1 U B M 構造に前記実装用電子部品の前記各接続部が接続された状態で、前記実装用電子部品の電源用接続部及びグランド用接続部に交互に電氣的に接続されるように構成されていることを特徴とする請求項 1 から請求項 4 のうちいずれか一項に記載のインターポーザ。

【請求項 6】

前記基板は、シリコン基板であることを特徴とする請求項 1 から請求項 5 のうちいずれか一項に記載のインターポーザ。

【請求項 7】

前記基板にトランジスタが設けられ、

前記トランジスタが、前記第 1 U B M 構造に前記実装用電子部品の前記各接続部が接続された状態で、そのゲート電極が前記実装用電子部品の電源用接続部に電氣的に接続され、そのソース電極及びドレイン電極が前記実装用電子部品のグランド用接続部にそれぞれ電氣的に接続されるように構成されていることを特徴とする請求項 6 に記載のインターポーザ。

【請求項 8】

請求項 1 から請求項 7 のうちいずれか一項に記載のインターポーザと、

複数の接続部を有し、前記各接続部が前記インターポーザの前記各第 1 U B M 構造に接続されることで前記インターポーザに実装された電子部品と、

複数の電極パッドを有し、前記インターポーザの前記各パンプが前記各電極パッドに接続されることで前記インターポーザが実装された配線基板とを有することを特徴とする半導体装置。

10

20

30

40

50

【請求項 9】

前記インターポーザは、前記キャビティ部内に收容され、前記配線層の前記パッド部に接続された前記搭載用電子部品を有し、

前記搭載用電子部品が、前記配線基板の電極パッドに接続されていることを特徴とする請求項 8 に記載のインターポーザ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばキャパシタ部品等のディスクリット部品が搭載されたインターポーザ、及び、そのインターポーザを備えた半導体装置に関するものである。

10

【背景技術】

【0002】

CPUやクロックドライバなどの電子部品では電源ノイズが発生する。この電源ノイズを除去するために、通常、キャパシタ部品が使われる。

ここで、このようなキャパシタ部品は、電源ノイズが高周波であればある程、できるだけ電子部品の近くに実装する必要がある。しかし、そのような実装位置は電子部品の周囲か、図 14 に示すように、電子部品 104 が実装されたインターポーザ 101 やプリント配線板の真裏であり、キャパシタ部品 103 を、これ以上近くに実装することは困難である。

【0003】

20

そこで、図 15 に示すように、インターポーザ 101 やプリント配線板に、その裏面から配線層の途中までキャビティ形成加工を行い、そのキャビティ部 102 にキャパシタ部品 103 を実装することで、キャパシタ部品 103 が電子部品 104 のより近くに配置されるようにした構造が提案されている。しかし、このような構造では、配線層のキャビティ加工を行った部分では、配線経路が途切れてしまうため、結果的に給電が弱くなったり、信号線の配線性を悪化させたりする。

【0004】

また、インターポーザやプリント配線板に、電源層とグランド層で高誘電体を挟み込んだキャパシタシートを作り込んだ構造も知られている（例えば、特許文献 1 参照）。しかし、このキャパシタシートは、一般的なキャパシタ部品と比較して容量が小さく、電源ノイズを除去する効果が十分に得られないという問題がある。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2009 - 59822 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、これら問題を解決するためになされたものであり、給電経路を確保しつつ、キャパシタ部品等の搭載用電子部品を電子部品実装面に近付けて搭載することができ、例えばキャパシタ部品を搭載した場合には、実装された電子部品の電源ノイズを、その周波数に関わらず、効果的に低減できるインターポーザ、及び、そのインターポーザを備えた半導体装置を提供することを目的とする。

40

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明は以下の構成を有する。

本発明のインターポーザは、複数の貫通電極を有する基板と、該基板上に設けられ、前記各貫通電極と電氣的に接続された配線層及び該配線層を覆う絶縁層とを有する配線部と、該配線部の前記基板と反対側に設けられ、前記配線層と電氣的に接続された複数の第 1 UBM 構造と、前記基板の前記配線部と反対側に設けられ、第 2 UBM 構造を介して前記

50

各貫通電極と電氣的に接続された複数のパンブを有し、前記各第1UBM構造に実装用電子部品の接続部が接続されることで該実装用電子部品が実装され、前記各パンブが配線基板の電極パッドに接続されることで該配線基板に実装されるインターポーザであって、前記基板の前記配線部と反対側の面に開口し、その底部に前記配線層が露出するキャビティ部が設けられ、前記配線層は、前記キャビティ部の底部に露出する部分に、搭載用電子部品が電氣的に接続されるパッド部を有することを特徴とする。

【0008】

また、本発明の半導体装置は、本発明のインターポーザと、複数の接続部を有し、前記各接続部が前記インターポーザの前記各第1UBM構造に接続されることで前記インターポーザに実装された電子部品と、複数の電極パッドを有し、前記インターポーザの前記各パンブが前記各電極パッドに接続されることで前記インターポーザが実装された配線基板とを有することを特徴とする。

10

【発明の効果】

【0009】

本発明によれば、インターポーザは、複数の貫通電極を有する基板と、該基板上に設けられ、各貫通電極と電氣的に接続された配線層及び該配線層を覆う絶縁層とを有する配線部と、該配線部上に設けられ、配線層と電氣的に接続された複数の第1UBM構造と、基板の裏側に設けられ、各貫通電極と電氣的に接続された複数のパンブを有しており、そのシリコン基板の裏面に、その内部において配線層が露出するキャビティ部が設けられ、配線層は、キャビティ部内に露出する部分に、搭載用電子部品が電氣的に接続されるパッド部を有しているため、搭載用電子部品を、電子部品実装面(第1UBM構造が形成されている面)に近付けて搭載することができる

20

これにより、例えば搭載用電子部品がキャパシタ部品である場合には、実装された電子部品が発生する高周波電源ノイズを、キャパシタ部品によって効率よく抑制することができる、高い高周波電源ノイズ耐性を得ることができる。

また、搭載用電子部品が抵抗部品である場合には、直列終端回路における伝送特性の向上を図ることができる。

【0010】

さらに、搭載用電子部品を、インターポーザが実装される配線基板に接続した場合には、配線基板側の配線を給電経路として利用することができるため、キャビティ部を形成しないインターポーザと同等の給電経路を確保することができる。

30

【0011】

また、本発明によれば、半導体装置は、本発明のインターポーザを備えているため、インターポーザに搭載する搭載用電子部品によって、実装用電子部品が発生する高周波電源ノイズを効率よく抑えたり、直列終端回路における伝送特性の向上を図ったりすることができる。このため、この半導体装置は、安定且つ良好な動作を得ることができる。

【図面の簡単な説明】

【0012】

【図1】本発明のインターポーザの第1実施形態を示す概略縦断面図である。

【図2】図1に示すインターポーザに電子部品が実装され、さらに該インターポーザが配線基板に実装された状態を示す概略縦断面図である。

40

【図3】本発明の第1実施形態に係る第1UBM構造8の拡大断面図である。

【図4】本発明の第1実施形態に係る第2UBM構造20の拡大断面図である。

【図5】図1に示すインターポーザの製造方法を工程順に示すものであり、多層配線部及びキャビティ部の形成工程を示す概略縦断面図である。

【図6】図1に示すインターポーザの製造方法を工程順に示すものであり、下地層及び貫通電極の形成工程を示す概略縦断面図である。

【図7】完成したインターポーザを示す概略縦断面図である。

【図8】インターポーザの他の製造方法を工程順に示すものであり、貫通孔及び貫通電極の形成工程を示す概略縦断面図である。

50

【図 9】インターポーザの他の製造方法を工程順に示すものであり、キャビティ部及びパンプ形成部の形成工程を示す概略縦断面図である。

【図 10】本発明のインターポーザの第 2 実施形態を示す概略縦断面図である。

【図 11】本発明のインターポーザの第 3 実施形態を示す概略縦断面図である。

【図 12】本発明のインターポーザの第 4 実施形態を示す概略縦断面図である。

【図 13】本発明の半導体装置の実施形態を示す概略縦断面図である。

【図 14】関連するインターポーザを示す模式図である。

【図 15】関連するインターポーザの他の例を示す模式図である。

【発明を実施するための形態】

【0013】

次に、本発明の具体的な実施形態について図面を参照しながら説明する。

< 第 1 実施形態 >

まず、本発明のインターポーザの第 1 実施形態について説明する。

図 1 は、本発明のインターポーザの第 1 実施形態を示す概略縦断面図であり、図 2 は、図 1 に示すインターポーザに電子部品が実装され、さらに該インターポーザが配線基板に実装された状態を示す概略縦断面図である。

【0014】

図 1 に示すインターポーザ 1 は、シリコン基板 2 と、該シリコン基板 2 の一方の側に設けられた多層配線部（配線部）3 及び封止樹脂 4 と、他方の側に設けられたパンプ形成部 5 と、シリコン基板 2 を厚さ方向に貫通する貫通電極 6 と、シリコン基板 2 のキャビティ部 11 内に收容されたキャパシタ部品（搭載用電子部品）7 とを有している。図 2 に示すように、インターポーザ 1 では、多層配線部 3 に設けられた各第 1 UBM 構造 8 に、電子部品（実装用電子部品）30 の各接続部 31 がそれぞれ半田パンプ 32 を介して電氣的に接続されることで、この電子部品 30 がインターポーザ 1 に実装される。また、パンプ形成部 5 の各パンプ 9 が、配線基板 40 の各パッド部 41b に電氣的に接続されることで、この配線基板 40 にインターポーザ 1 自体が実装される。

なお、「UBM」とは、Under Bump MetallizationあるいはUnder Barrier Metaの略称である。

【0015】

シリコン基板 2 は、インターポーザ 1 を構成する各部を支持するものである。シリコン基板 2 には、該シリコン基板 2 を厚さ方向に貫通する貫通孔 10 及びキャビティ部 11 が複数設けられている。このうち各貫通孔 10 は、それぞれ、配線基板 40 に設けられた各パッド部 41b と同じピッチで設けられている。

【0016】

多層配線部 3 は、第 1 配線層 12、第 2 配線層 13、層間絶縁層 14、ビア電極 15 及びパッシベーション層 16 を有している。

第 1 配線層 12 は、シリコン基板 2 上に所定のパターンで設けられ、第 2 配線層 13 は、第 1 配線層 12 の上方に所定のパターンで設けられている。そして、本発明では、特に第 1 配線層 12 は、キャビティ部 11 に対応する領域に、キャパシタ部品 7 が電氣的に接続されるパッド部 12a を有している。パッド部 12a は、電子部品 30 の電源ピン（電源用接続部）及びグランドピン（グランド用接続部）にそれぞれ対応する各第 1 UBM 構造 8 に、第 1 配線層 12、ビア電極 15、第 2 配線層 13 を介して電氣的に接続されている。従って、このインターポーザ 1 では、電子部品 30 が実装された状態で、パッド部 12a に接続されたキャパシタ部品 7 が、これら各部を介して電源ピン及びグランドピンに電氣的に接続される。なお、以下の説明では、第 1 配線層 12 のパッド部 12a 以外の部分を配線部 12b と言う。

第 1 配線層 12 及び第 2 配線層 13 の構成材料としては、特に限定されず、Cu 等の導電性金属材料が用いられる。

【0017】

シリコン基板 2 と第 1 配線層 12 の間、及び、第 1 配線層 12 と第 2 配線層 13 の間に

10

20

30

40

50

は、各配線間を埋めるように層間絶縁層（絶縁層）14が設けられている。層間絶縁層14は、 SiO_2 等の絶縁材料よりなり、シリコン基板2、各配線層12、13及びビア電極15を互いに絶縁する。

ここで、シリコン基板2に形成された各貫通孔10及び各キャビティ部11は、シリコン基板2と第1配線層12との間の層間絶縁層14に亘って連続して形成されており、各貫通孔10の上端には第1配線層12の配線部12bの下面が露出し、各キャビティ部11の上端には第1配線層12の各パッド部12aの下面が露出している。このうちキャビティ部11の上端に露出する各パッド部12aには、各キャビティ部11内に収容された各キャパシタ部品7が電氣的に接続されている。

【0018】

ビア電極15は、第1配線層12と第2配線層13との間の層間絶縁層14を厚さ方向に貫通して複数設けられ、第1配線層12と第2配線層13とを電氣的に接続する。各ビア電極15の構成材料としては、特に限定されないが、めっきによる金属が低電気抵抗であることから好ましく、Cuが好適である。

【0019】

パッシベーション層16は、層間絶縁層14及び第2配線層13の上面を覆うように設けられ、第2配線層13の上面が露出する複数の開口部が、インターポーザ1に実装される電子部品30の各接続部31と同じピッチで形成されている。このパッシベーション層16は、層間絶縁層14及び第2配線層13の表面を外傷から保護するものである。パッシベーション層16の構成材料としては、特に限定されず、ポリイミド膜、PSG（Phospho-Silicate-Glass）膜、窒化シリコン膜等の半導体分野で用いられるパッシベーション層の材料がいずれも使用可能である。

【0020】

多層配線部3の表面は、各第1UBM構造8の上面の一部を除いて封止樹脂4で覆われている。

封止樹脂4は、多層配線部3を外環境から保護するものであり、例えばエポキシ系樹脂等が用いられる。ここで、このインターポーザ1では、この封止樹脂4及び各第1UBM構造8表面が、電子部品30の裏面と対峙する電子部品実装面3aを構成する。

【0021】

多層配線部3上には、第2配線層13毎に第1UBM構造8が構成されている。

第1UBM構造8は、例えば図3の拡大断面図に示すように、パッシベーション層16の各開口部から露出する第2配線層13を被覆する下地メッキ8aと、下地メッキ8a上に配設されたNi/Au等の導体部8bと、導体部8bを被覆する金属膜8cとが、封止樹脂4で被覆されて構成されている。そして、導体部8bの上面の一部が金属膜8cと封止樹脂4とから外部に露出している。

【0022】

各第1UBM構造8は、外部に露出した導体部8bの上面に、半田バンプ32を介して、インターポーザ1に実装される電子部品30の各接続部31が電氣的に接続されている。

【0023】

シリコン基板2の裏面（多層配線部3と反対側の面）と、各貫通孔10及び各キャビティ部11のそれぞれの内側面には、図示しない熱酸化膜（ SiO_2 膜）及びバリア層が全面的に形成されている。そして、これら各層を介して、シリコン基板裏面2aにはバンプ形成部5が設けられ、各貫通孔10内には導電体が充填されている。各貫通孔10内に充填された導電体は、第1配線層12とバンプ形成部5とを電氣的に接続する貫通電極6を構成する。

【0024】

ここで、熱酸化膜は、シリコン基板2と各貫通電極6、及び、シリコン基板2とバンプ形成部5の各導電膜18aとを絶縁する絶縁層として機能する。また、バリア層は、各貫通電極6や各導電膜18aから、熱酸化膜及びシリコンへCuが拡散するのを防止する作

10

20

30

40

50

用がある。

【0025】

パンプ形成部5は、導電膜18a、絶縁層19を有している。

導電膜18aは、シリコン基板裏面2aのパリヤ層上に、各貫通電極6に対応するように複数設けられ、各貫通電極6と電氣的に接続している。

また、絶縁層19は、各導電膜18aを覆うように設けられている。絶縁層19は、ポリイミド等の絶縁材料からなり、各導電膜18aを外部環境から保護する作用がある。

【0026】

このパンプ形成部5は、第2UBM構造20及びパンプ9を有している。

第2UBM構造20は、各導電膜18a上にそれぞれ設けられており、各導電膜18aと各パンプ9の双方と密着する。

【0027】

この第2UBM構造20は、例えば、図4に示すように、金属層20aとパッシベーション層20bと絶縁層19と下地メッキ20cと導体部20dとで構成されている。

金属層20aは、導電膜18a上に形成されている。

パッシベーション層20bは、金属層20aの上面の一部が露出するように、金属層20aと導電膜18aとを被覆している。

絶縁層19は、パッシベーション層20bから露出する金属層20aの上面と、この金属層20aの上面の周囲を露出させるようにして、パッシベーション層20bを被覆している。

下地メッキ20cは、絶縁層19から露出した金属層20aとパッシベーション層20bと、これら金属層20aとパッシベーション層20bの周囲の絶縁層19を被覆している。

導体部20dは、Ni/Au等からなり、下地メッキ20c上に形成されている。

【0028】

パンプ9は、はんだ等の低融点金属からなるボール状の導電端子であり、各第2UBM構造20上(例えば導体部20d上)にそれぞれ設けられている。インターポーザ1は、各パンプ9が配線基板40の各パッド部41bに接続されることで該配線基板40に実装される。

【0029】

そして、本発明のインターポーザ1では、シリコン基板2の各キャビティ部11内に、それぞれキャパシタ部品7が収容され、このキャパシタ部品7の接続端7aがキャビティ部11内に露出するパッド部12aに電氣的に接続されている。また、本実施形態では、キャパシタ部品7には、接続端7aと反対側に接続端7bが設けられ、この接続端7bを配線基板40のパッド部41aに接続し得るように構成されている。

【0030】

このようなインターポーザ1では、電子部品30が実装された状態で、各キャパシタ部品7が、多層配線部3の各部を介して電子部品30の電源ピン及びグランドピンに電氣的に接続される。このため、電子部品30からの電源電流がキャパシタ部品7に通電され、電子部品30が発生する電源ノイズをキャパシタ部品7に吸収させ低減することができる。これにより、電子部品30は安定な動作を行うことができる。

【0031】

また、各キャパシタ部品7は、キャビティ部11内に搭載されるため、シリコン基板2の裏面2aに搭載される場合に比べて、電子部品実装面3aにより近い位置とすることができる。例えば、シリコン基板2上に設けられる各配線層12、13同士の間隔は1 μ m以下と非常に狭いため、キャビティ部11内にキャパシタ部品7を搭載することにより、キャパシタ部品7を、電子部品30に対して数 μ m以下の位置に配することもできる。これにより、電子部品30が発生する高周波電源ノイズがキャパシタ部品7によって効率よく抑制され、高周波電源ノイズ耐性を高めることが可能である。

【0032】

また、本発明のインターポーザ1では、シリコン基板2の各キャビティ部11内に、それぞれキャパシタ部品7が収容され、このキャパシタ部品7の接続端7aがキャビティ部11内に露出するパッド部12aに電氣的に接続されている。また、本実施形態では、キャパシタ部品7には、接続端7aと反対側に接続端7bが設けられ、この接続端7bを配線基板40のパッド部41aに接続し得るように構成されている。

さらに、本実施形態のように、キャパシタ部品 7 が配線基板 40 のパッド部 41 a に接続される接続端 7 b を有する場合には、配線基板 40 側の配線を給電経路として利用することができるため、キャビティ部 11 を形成しないインターポーザと同等の給電経路を確保することができる。

【0033】

したがって、本実施形態のインターポーザ 1 では、十分な給電経路を確保しつつ、キャパシタ部品 7 を電子部品 30 と近付けて搭載することができる。これにより、電子部品 30 が発生する電源ノイズを、その周波数に関わらず低減することができ、電子部品 30 の動作を安定且つ良好なものとするのが可能である。

【0034】

次に、本実施形態のインターポーザ 1 の製造方法について説明する。

図 5 ~ 図 7 は、図 1 に示すインターポーザの製造方法を工程順に示すものであり、図 5 は、多層配線部及びキャビティ部の形成工程を示す概略縦断面図、図 6 は、貫通電極及び導電膜の形成工程を示す概略縦断面図、図 7 は、完成したインターポーザを示す概略縦断面図である。

【0035】

[1-1] 多層配線部及び封止樹脂形成工程

まず、図 5 (a) に示すようなシリコン基板 2 を用意する。そして、図 5 (b) に示すように、このシリコン基板 2 上に、第 1 配線層 12 及び第 2 配線層 13、層間絶縁層 14、ビア電極 15 を形成する。

各配線層 12、13 及び層間絶縁層 14 は、(1) シリコン基板 2 に形成された絶縁層上に、導電性金属膜を成膜、パターニングすることで配線層を形成する工程と、この配線層を覆うように絶縁層を成膜し、CMP (Chemical Mechanical Polishing) 技術によって平坦化することで層間絶縁層 14 を形成する工程とを繰り返すことで形成してもよく、(2) 絶縁層を形成し、パターニングすることで溝を形成する工程と、この絶縁層表面に金属メッキ膜を成膜し、CMP 技術によって溝内の金属メッキ膜 (配線層) のみが残るように平坦化する工程とを繰り返すことで形成してもよい。

【0036】

ここで、導電性金属膜の形成方法としては、蒸着法、スパッタ法や CVD 法等の気相成膜法、めっき法等が挙げられる。また、絶縁層の形成方法としては、CVD (Chemical Vapor Deposition) 法や SOG (スピン・オン・グラス) 法等が挙げられる。

導電性金属膜及び絶縁層のパターニングは、例えばフォトリソグラフィ技術とエッチング技術を用いて行うことができる。

【0037】

ビア電極 15 は、エッチングによって層間絶縁層 14 にビアを形成した後、ビア内に導電性金属材料を充填することで形成する。

エッチング方法としては、特に限定されないが、アスペクト比の高いビアが形成できることから、イオンエッチング等の異方性ドライエッチング等を用いるのが好ましい。

ビア内に導電性金属材料を充填する方法としては、例えばスパッタ法や CVD 法等の気相成膜法、めっき法、導電ペースト充填法等が挙げられるが、中でもめっき法を用いるのが好ましい。これにより、Cu 等よりなる低抵抗なビア電極を高速で形成することができる。

【0038】

次に、図 5 (c) に示すように、パッシベーション層 16、第 1 UBM 構造 8、封止樹脂 4 を順次形成する。

パッシベーション層 16 は、例えば CVD 法により、層間絶縁層 14 及び第 2 配線層 13 を覆うように材料膜を成膜した後、開口部に対応する領域の材料膜を選択的にエッチング除去することによって形成することができる。

また、第 1 UBM 構造 8 は、公知の手段で形成することができる。スパッタ法や CVD 法等の気相成膜法を用い、パッシベーション層 16 から露出する第 2 配線層 13 上に、選

10

20

30

40

50

択的に金属膜を形成することで得ることができる。

封止樹脂 4 は、例えば樹脂またはその前駆体の溶液を、多層配線部 3 の表面に塗布し、硬化させた後、開口部に対応する領域の樹脂を選択的に除去することによって形成することができる。

【0039】

[1-2] キャビティ部及び貫通孔形成工程

次に、図 5 (d) に示すように、シリコン基板 2 及び層間絶縁層 1 4 に、キャビティ部 1 1 を形成する。

キャビティ部 1 1 は、シリコン基板 2 の裏面 2 a に、キャビティ部 1 1 に対応する領域に開口を有するレジストマスクを形成し、このレジストマスクを介して、シリコン基板 2 の裏面 2 a からエッチング加工を行い、パッド部 1 2 a を露出させることで形成することができる。

エッチング方法としては、比較的広い領域を高速でエッチング加工し得ることからウェットエッチングを用いるのが好ましい。ウェットエッチングに用いるエッチング液としては、水酸化テトラメチルアンモニウムや水酸化カリウム等が挙げられる。

【0040】

次に、図 6 (e) に示すように、シリコン基板 2 に貫通孔 1 0 を形成する。

貫通孔 1 0 は、シリコン基板 2 の裏面 2 a に、貫通孔 1 0 に対応する領域に開口を有するレジストマスクを形成し、このレジストマスクを介してシリコン基板 2 の裏面 2 a からエッチング加工を行い、第 1 配線層 1 2 の配線部 1 2 b を露出させることで形成することができる。

エッチング方法としては、アスペクト比の高い貫通孔 1 0 が形成できることから、イオンエッチング等の異方性ドライエッチングを用いるのが好ましい。

【0041】

[1-3] 下地層（熱酸化膜、バリア層及びシード層）形成工程

次に、図 6 (f) に示すように、下地層（熱酸化膜、バリア層及びシード層）2 1 を形成する。

まず、シリコン基板 2 に熱酸化処理を行うことで、シリコン基板の裏面 2 a と、キャビティ部及び貫通孔の各内側面に熱酸化膜（ SiO_2 膜）を形成する。

そして、この熱酸化膜上に、バリア層及びシード層を順次形成する。ここで、シード層は、次工程 [1-4] で行う電解めっきに際して、めっき電極として使用するものである。

バリア層及びシード層は、例えばスパッタ法や CVD 法等の気相成膜法等によって形成することができる。

【0042】

[1-4] 貫通電極及びパンプ形成部形成工程

次に、貫通電極 6 及びパンプ形成部 5 を形成する。

まず、貫通電極 6 及び導電膜 1 8 a を電解めっき法によって形成する。

具体的には、シード層をめっき電極として用い、貫通孔 1 0 内が金属めっき膜で充填されるまで電解めっきを行う。その結果、図 6 (g) に示すように、貫通孔 1 0 内に円柱状の貫通電極 6 が形成されるとともに、シリコン基板 2 の裏面 2 a とキャビティ部 1 1 の内側面に金属めっき膜 2 2 が堆積する。

【0043】

次に、この金属めっき膜 2 2 を所定の形状にパターンニングする。これにより、図 6 (h) に示すように、貫通電極 6 の下端付近に、該貫通電極 6 と接続した導電膜 1 8 a が形成される。

次に、図 7 に示すように、絶縁層 1 9、第 2 UBM 構造 2 0、パンプ 9 を順次形成する。

絶縁層 1 9 は、CVD 法や SOG (スピン・オン・ガラス) 法等によって、導電膜 1 8 a を覆うように絶縁膜を形成した後、不要な絶縁膜を選択的にエッチング除去することで

10

20

30

40

50

形成することができる。

また、第2UBM構造20は、前述と同様の方法によって形成することができ、パンプ9は、例えば半田ボールを各第2UBM構造20上に溶着させることで形成することができる。

【0044】

[1-5] キャパシタ部品搭載工程

最後に、キャパシタ部品7をキャビティ部11内に収容し、キャパシタ部品7の接続端7aを第1配線層12のパッド部12aに電氣的に接続する。

以上の工程により、図1に示すインターポーザ1が得られる。

【0045】

次に、本実施形態のインターポーザの他の製造方法について説明する。なお、この製造方法においては、前述の同様の工程についてはその説明を省略する。

図8、図9は、インターポーザの他の製造方法を工程順に示すものであり、図8は、貫通孔及び貫通電極の形成工程を示す概略縦断面図、図9は、キャビティ部及びパンプ形成部の形成工程を示す概略縦断面図である。

[2-1] 多層配線部及び封止樹脂形成工程

前記第1実施形態の工程[1-1]と同様に、多層配線部3、第1UBM構造8及び封止樹脂4を形成する。

【0046】

[2-2] 貫通孔、貫通電極及びキャビティ部形成工程

次に、図8(a)に示すように、シリコン基板2及び層間絶縁層14の各貫通孔10に対応する部分に、各貫通孔10と略同じ外径を有するリング状の細溝23をそれぞれ形成するとともに、キャビティ部11に対応する部分に、各キャビティ部11の外形形状に沿った細溝24をそれぞれ形成する。

【0047】

各細溝23、24は、シリコン基板2の裏面2aに、各細溝23、24に対応する領域に開口を有するレジストマスクを形成し、このレジストマスクを介してシリコン基板2の裏面2aからエッチング加工を行い、第1配線層12の配線部12b及びパッド部12aを露出させることで形成することができる。

エッチング方法としては、アスペクト比の高い細溝23、24が形成できることから、イオンエッチング等の異方性ドライエッチングを用いるのが好ましい。

【0048】

次に、図8(b)に示すように、シリコン基板2の裏面2aと各細溝23、24内に樹脂を供給し、硬化させることで、シリコン基板2の裏面2aと各細溝23、24内に樹脂膜25を形成する。

樹脂としては、BCB、ポリイミド系樹脂、エポキシ系樹脂等が挙げられる。

次に、シリコン基板裏面2aの樹脂膜25上に、リング状の細溝23の内側(中央部)に対応する領域に開口を有するフォトレジストのマスクを形成する。そして、このマスクを介して、中央部の樹脂膜25をエッチング除去した後、イオンエッチングによって、中央部のシリコンをエッチング除去する。その結果、図8(c)に示すように、内側面に樹脂膜25を有する円柱状の貫通孔10が得られる。

【0049】

次に、シリコン基板2の裏面2a及び貫通孔10内の樹脂膜25上に、図示しないバリヤ層及びシード層を順次形成する。バリヤ層及びシード層は前記第1実施形態と同様の方法によって形成することができる。

次に、貫通電極6を電解めっき法によって形成する。

具体的には、シード層をめっき電極として、貫通孔10内が金属めっき膜で充填されるまで電解めっきを行う。その結果、図8(d)に示すように、貫通孔10内に円柱状の貫通電極6が形成されるとともに、シリコン基板2の裏面2aに金属めっき膜22が堆積する。

10

20

30

40

50

【 0 0 5 0 】

次いで、図 9 (e) に示すように、シリコン基板 2 の裏面 2 a に堆積した金属めっき膜 2 2 を、CMP 法によって研削除去する。

次に、シリコン基板 2 の裏面 2 a に、キャビティ部 1 1 に対応する領域に開口を有するレジストマスクを形成し、このレジストマスクを介してシリコン基板 2 の裏面 2 a からウェットエッチングを行い、第 1 配線層 1 2 のパッド部 1 2 a を露出させる。その結果、図 9 (f) に示すように、内側面に樹脂膜 2 5 を有するキャビティ部 1 1 が得られる。

【 0 0 5 1 】

[2 - 3] パンプ形成部形成工程

次に、図 9 (g) に示すように、シリコン基板 2 の裏面 2 a にパンプ形成部 5 を形成する。 10

まず、導電膜 1 8 a を電解めっき法によって形成する。

具体的には、シリコン基板 2 の裏面 2 a に形成されたシード層をめっき電極として用い、シード層上に金属めっき膜を堆積させた後、所定の形状にパターニングする。これにより、貫通電極 6 の下端付近に、該貫通電極 6 と接続した導電膜 1 8 a が形成される。

【 0 0 5 2 】

次に、絶縁層 1 9、第 2 U B M 構造 2 0、パンプ 9 を順次形成する。これら各部は、前記第 1 実施形態と同様に形成することができる。

以上の工程により、本実施形態のインターポーザ 1 が得られる。

この製造方法では、貫通電極を形成する工程で、キャビティ部に銅メッキが付着することがない。また、特に、工程 [2 - 2] でキャビティ部 1 1 を形成するために行うウェットエッチングは、エポキシ系樹脂に対してシリコンの選択性が高いため、樹脂膜に沿った形で、シリコンを奥行き方向へ容易にエッチングすることができる。このため、ポッシュプロセスに代表されるようなシリコンのイオンエッチングを用いるのに比べて、良好な形状のキャビティ部 1 1 を形成することができる。 20

【 0 0 5 3 】

< 第 2 実施形態 >

次に、本発明のインターポーザの第 2 実施形態について説明する。

なお、第 2 実施形態においては、前記第 1 実施形態と同様の構成についてはその説明を省略する。 30

図 1 0 は、本発明のインターポーザの第 2 実施形態を示す概略縦断面図である。

第 2 実施形態のインターポーザ 1 は、貫通電極 6 及び導電膜 1 8 a の形状が異なる以外は、前記第 1 実施形態と同様の構成されている。

このインターポーザ 1 では、貫通電極 6 は、貫通孔 1 0 の内側面から所定の厚さで堆積したリング状をなしており、導電膜 1 8 a は、シリコン基板裏面 2 a の貫通電極 6 の下端部付近に該貫通電極 6 と連続して設けられている。

【 0 0 5 4 】

この第 2 実施形態においても、前記第 1 実施形態と同様の効果を得ることができる。

また、第 2 実施形態では、特に貫通電極 6 がリング状であるため、貫通孔 1 0 内に充填された電極であるのに比べて、貫通電極 6 を形成するのに要するめっき膜の堆積時間を短縮することが可能である。これにより、インターポーザ 1 の製造効率の向上を図ることができるという効果が得られる。 40

【 0 0 5 5 】

< 第 3 実施形態 >

次に、本発明のインターポーザの第 3 実施形態について説明する。

なお、第 3 実施形態においては、前記第 1 実施形態と同様の構成についてはその説明を省略する。

図 1 1 は、本発明のインターポーザの第 3 実施形態を示す概略縦断面図である。

第 3 実施形態のインターポーザ 1 は、多層配線部 3 が、第 1 配線層 1 2 ~ 第 6 配線層 2 9 の 6 層の配線層を有しており、電子部品 3 0 が実装された状態で、各配線層 1 2、1 3 50

、26、27、28、29が、電子部品30のグランドピンまたは電源ピンに交互に接続されるように構成されている以外は、前記第1実施形態と同様の構成されている。

【0056】

この第3実施形態においても、前記第1実施形態と同様の効果を得ることができる。

また、第3実施形態では、特にグランドピンに接続される配線層（第1配線層12、第3配線層26、第5配線層28）がグランド層として機能するとともに、電源ピンに接続される配線層（第2配線層13、第4配線層27、第6配線層29）が電源層として機能し、グランド層 - 層間絶縁層 - 電源層の各ユニットが、それぞれキャパシタとして働く。このため、電子部品30の電源ノイズをより効果的に低減できるという効果が得られる。

【0057】

<第4実施形態>

次に、本発明のインターポーザの第4実施形態について説明する。

なお、第4実施形態においては、前記第3実施形態と同様の構成についてはその説明を省略する。

図12は、本発明のインターポーザの第4実施形態を示す概略縦断面図である。

第4実施形態のインターポーザ1は、シリコン基板2に複数のトランジスタ33が形成されており、電子部品30が実装された状態で、各トランジスタ33のゲート電極が電子部品30の電源ピンに、ソース電極及びドレイン電極が電子部品30のグランドピンに電氣的に接続されるように、各電極が配線部12bに接続されている以外は、前記第3実施形態と同様の構成されている。

【0058】

この第4実施形態においても、前記第3実施形態と同様の効果を得ることができる。

また、第3実施形態では特に、シリコン基板2に複数のトランジスタ33が形成されており、電子部品30が実装された状態で、各トランジスタ33のゲート電極が電子部品30の電源ピンに、ソース電極及びドレイン電極が電子部品30のグランドピンに電氣的に接続されるように、各電極が配線部12bに接続されていることにより、ゲート容量がキャパシタとして機能する。このため、電子部品30の電源ノイズをさらに効果的に低減できるという効果が得られる。

【0059】

<半導体装置>

次に、本発明のインターポーザを適用した半導体装置（本発明の半導体装置）について説明する。

図13は、本発明の半導体装置の実施形態を示す概略縦断面図である。

図13に示す半導体装置50は、インターポーザ1と、該インターポーザ1に実装された電子部品（実装用電子部品）30と、該インターポーザ1が実装されたビルドアップ基板（配線基板）40とを有している。

【0060】

インターポーザ1は、前述したようなインターポーザ1によって構成されている。

電子部品30は、その裏面に複数の接続部31を有しており、各接続部31がインターポーザ1の各第1UBM構造8に接続されることでインターポーザ1に実装されている。

このように電子部品30が実装されたインターポーザ1では、キャビティ部11内に搭載されたキャパシタ部品7が、多層配線部3の各部を介して電子部品30のグランドピン及び電源ピンに電氣的に接続される。

【0061】

配線基板40は、基板42と、基板42の両側に設けられた多層配線部43を有している。各多層配線部43は、それぞれ3層の配線層44、45、46を有しており、その一方の多層配線部43の表面には、各配線層44、45、46に電氣的に接続された複数のパッド部41b及びパッド部41aが設けられ、他方の多層配線部43の表面には、各配線層44、45、46に電氣的に接続された複数のパンプ47が設けられている。

【0062】

10

20

30

40

50

そして、インターポーザ 1 は、各パンプ 9 が配線基板 40 の各パッド部 41 b に接続されるとともに、キャパシタ部品 7 の接続端 7 b が配線基板 40 の各パッド部 41 a に接続されることで配線基板 40 に実装されている。

【0063】

このような半導体装置 50 では、電子部品 30 が発生する電源ノイズが、その周波数に関わらず、インターポーザ 1 に搭載されたキャパシタ部品 7 によって効果的に低減する。また、キャパシタ部品 7 の接続端 7 b が配線基板 40 のパッド部 41 a に電氣的に接続されていることにより、配線基板 40 の各配線層が給電経路として利用され、十分な給電を確保することができる。このため、この半導体装置 50 は、安定且つ良好な動作を得ることができる。

10

【0064】

以上、本発明のインターポーザ及びこれを備えた半導体装置について説明したが、前記インターポーザ及び半導体装置を構成する各部は一例であって、本発明の範囲を逸脱しない範囲で適宜変更することができる。

例えば、前記各実施形態では、インターポーザのキャビティ部内に搭載される搭載用電子部品としてキャパシタ部品を用いているが、搭載用電子部品はこれに限るものではない。例えば、搭載用電子部品として抵抗部品を用いた場合には、抵抗部品が実装用電子部品の近くの位置に配されることにより、直列終端回路における伝送特性が向上という効果が得られる。

20

【0065】

また、前記実施形態では、半導体装置に適用されるインターポーザとして第 1 実施形態のものを用いているが、半導体装置に適用されるインターポーザは、第 2 実施形態～第 4 実施形態のインターポーザであっても構わない。さらに、配線基板も、ビルドアップ基板に限るものではなく、セラミック基板等、この他の配線基板であっても良い。

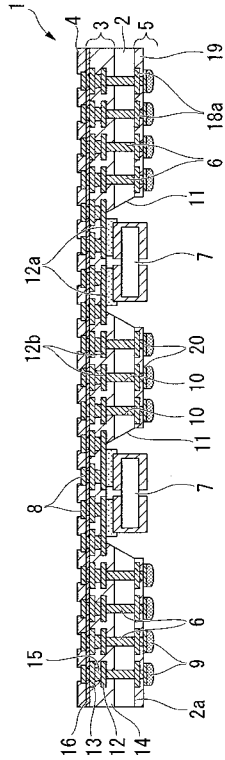
【符号の説明】

【0066】

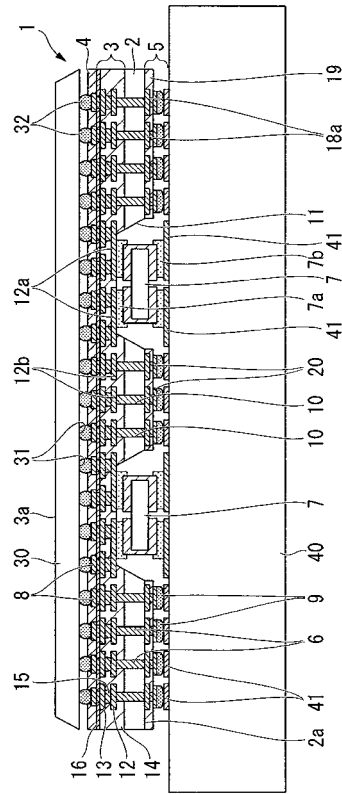
1 ... インターポーザ、2 ... シリコン基板、3 ... 多層配線部、3 a ... 電子部品実装面、4 ... 封止樹脂、5 ... パンプ形成部、6 ... 貫通電極、7 ... キャパシタ部品（搭載用電子部品）、8 ... 第 1 U B M 構造、9 ... パンプ、10 ... 貫通孔、11 ... キャビティ部、12 ... 第 1 配線層、13 ... 第 2 配線層、14 ... 層間絶縁層、15 ... ピア電極、16 ... パッシベーション層、18 a ... 導電膜、19 ... 絶縁層、20 ... 第 2 U B M 構造、30 ... 電子部品（実装用電子部品）、31 ... 接続ピン（接続部）、40 ... 配線基板、41 a ... パッド部、41 b ... 第 1 U B M 構造

30

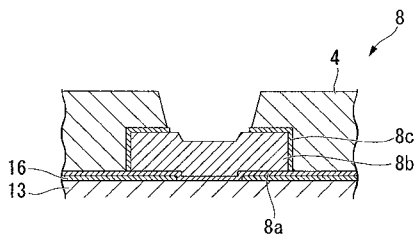
【 図 1 】



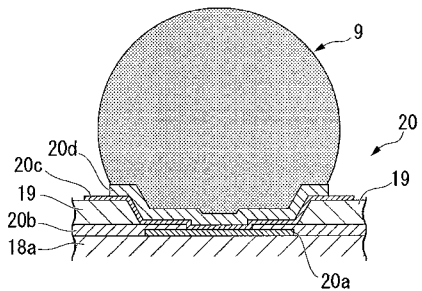
【 図 2 】



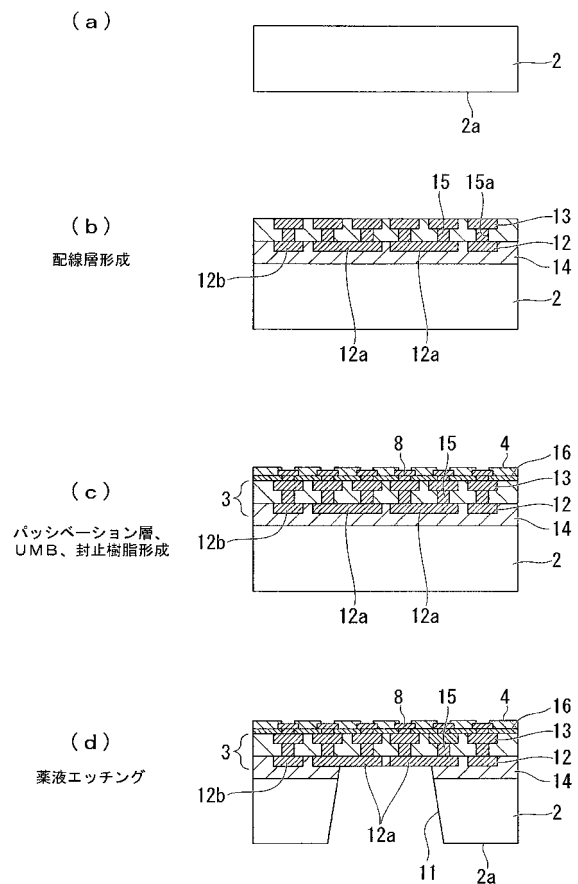
【 図 3 】



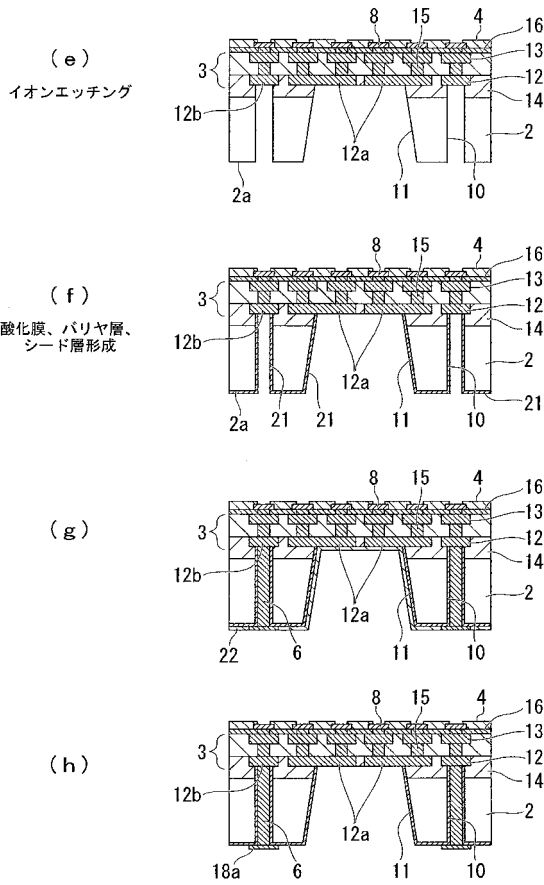
【 図 4 】



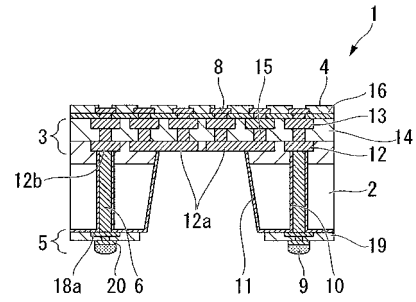
【 図 5 】



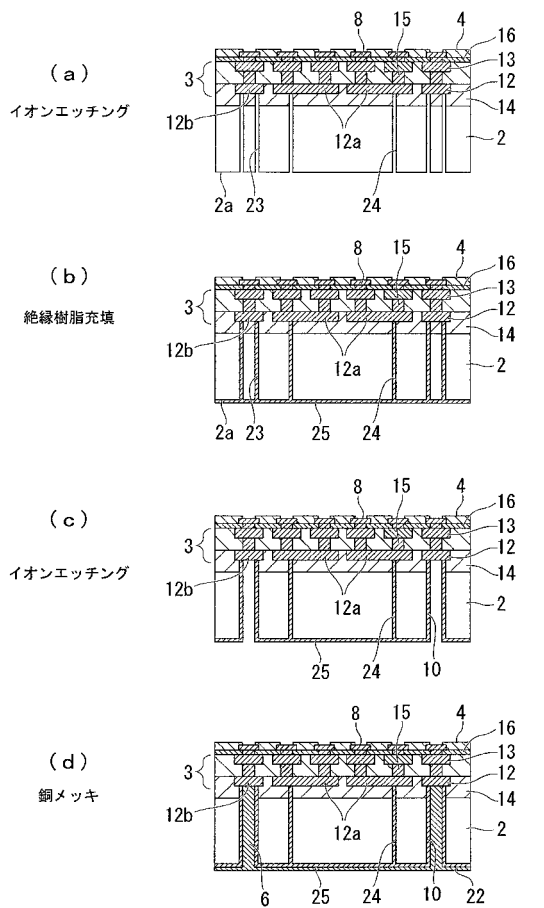
【 図 6 】



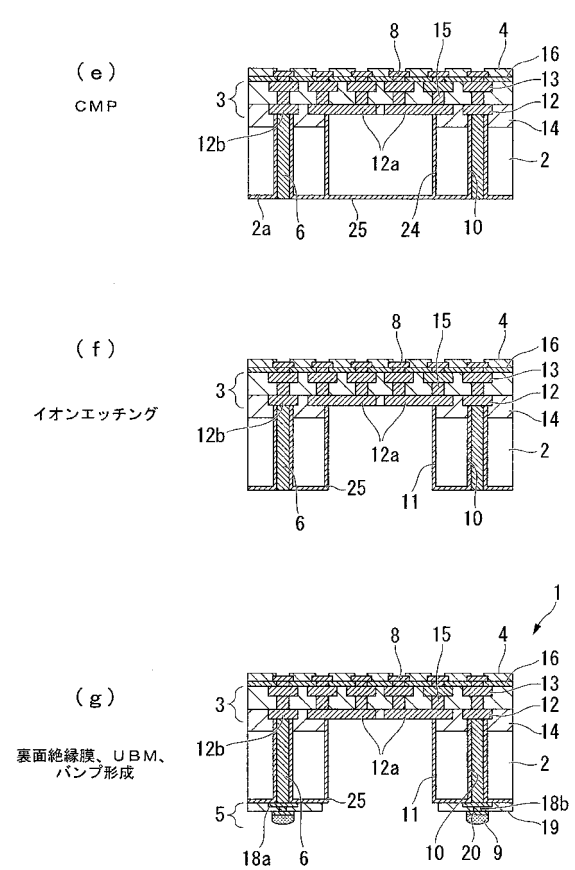
【 図 7 】



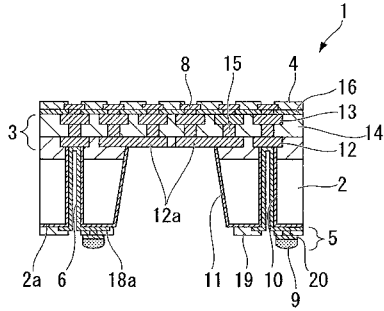
【 図 8 】



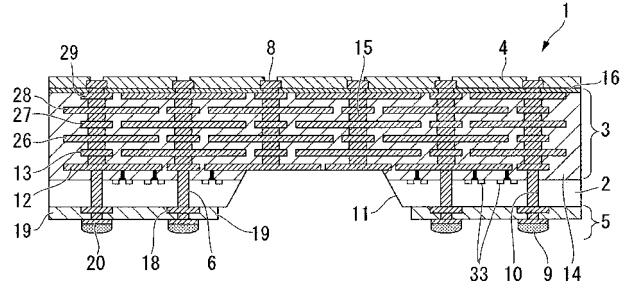
【 図 9 】



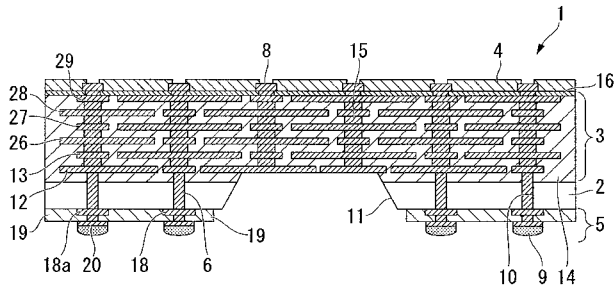
【図10】



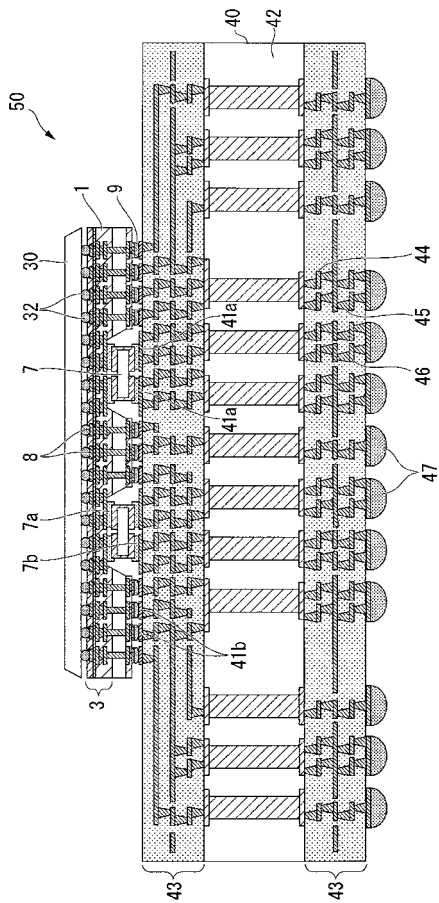
【図12】



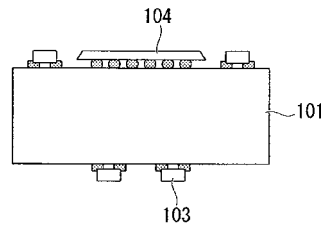
【図11】



【図13】



【図14】



【図15】

