

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-3723

(P2010-3723A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 T	5 F 1 1 0
HO 1 L 51/05 (2006.01)	HO 1 L 29/78 6 1 8 B	
	HO 1 L 29/78 6 2 6 C	
	HO 1 L 29/28 1 0 0 A	

審査請求 未請求 請求項の数 12 O L (全 19 頁)

(21) 出願番号	特願2008-158790 (P2008-158790)	(71) 出願人	000003193 凸版印刷株式会社 東京都台東区台東1丁目5番1号
(22) 出願日	平成20年6月18日 (2008.6.18)	(74) 代理人	110000408 特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	小久保 悠 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
		(72) 発明者	石▲崎▼ 守 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
		(72) 発明者	松原 亮平 東京都台東区台東1丁目5番1号 凸版印刷株式会社内

最終頁に続く

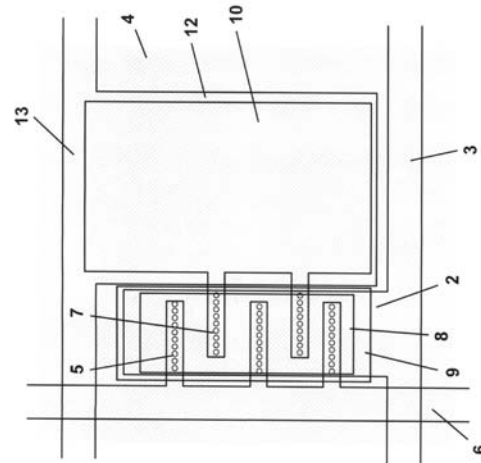
(54) 【発明の名称】 薄膜トランジスタ及び薄膜トランジスタアレイ並びに画像表示装置

(57) 【要約】

【課題】 薄膜トランジスタの寄生容量を低減した薄膜トランジスタアレイ及び薄膜トランジスタアレイを備えた画像表示装置を提供する。

【解決手段】 半導体層とゲート電極とソース電極とドレイン電極とを備え、前記ゲート電極、前記ソース電極または前記ドレイン電極のいずれか一つが開口部を有する形状であること。開口部は円、三角、四角のいずれかの形状であり、半導体層が有機半導体または酸化物半導体であることを特徴とする薄膜トランジスタ。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体層とゲート電極とソース電極とドレイン電極とを備え、

前記ゲート電極、前記ソース電極または前記ドレイン電極のいずれか一つが開口部を有する形状であることを特徴とする薄膜トランジスタ。

【請求項 2】

前記開口部は円、三角、四角のいずれかの形状であることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記半導体層が有機半導体または酸化物半導体であることを特徴とする請求項 1 に記載の薄膜トランジスタ。

10

【請求項 4】

基板と、

前記基板上に形成された複数のゲート配線と前記複数のゲート配線に接続された複数のゲート電極と、

前記複数のゲート配線と前記複数のゲート電極との同一層に隔離して形成された複数のキャパシタ配線と前記複数のキャパシタ配線に接続された複数のキャパシタ電極と、

前記複数のゲート配線と前記複数のゲート電極と前記複数のキャパシタ配線と前記複数のキャパシタ電極とを覆うように形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された複数のソース配線と前記複数のソース配線に接続された複数のソース電極と、

20

前記複数のソース配線と前記複数のソース電極との同一層に隔離して形成された複数の画素電極と前記複数の画素電極に接続された複数のドレイン電極と、

前記複数のソース電極と前記複数のドレイン電極との間に形成された複数の半導体層と、を備え、

前記ドレイン電極、前記ソース電極または前記ゲート電極のいずれか一つが開口部を有する形状であることを特徴とする薄膜トランジスタアレイ。

【請求項 5】

前記開口部が円、三角、四角のいずれかの形状であることを特徴とする請求項 4 に記載の薄膜トランジスタアレイ。

30

【請求項 6】

前記複数の半導体層が、有機半導体または酸化物半導体であることを特徴とする請求項 4 に記載の薄膜トランジスタアレイ。

【請求項 7】

基板と、

前記基板上に形成された複数のソース配線と前記複数のソース配線に接続された複数のソース電極と、

前記複数のソース配線と前記複数のソース電極との同一層に隔離して形成された複数の画素電極と前記複数の画素電極に接続された複数のドレイン電極と、

前記複数のソース電極と前記複数のドレイン電極との間に形成された複数の半導体層と、

40

前記複数のソース配線と前記複数のソース電極と前記複数の半導体層と前記複数の画素電極と前記複数のドレイン電極とを覆うように形成された開口部を有するゲート絶縁膜と、

、

前記ゲート絶縁膜上に形成された複数のゲート配線と前記複数のゲート配線に接続された複数のゲート電極と、

前記複数のゲート配線と前記複数のゲート電極との同一層に隔離して形成された複数のキャパシタ配線と前記複数のキャパシタ配線に接続された複数のキャパシタ電極と、

前記複数のゲート配線と前記複数のゲート電極と前記複数のキャパシタ配線と前記複数のキャパシタ電極とを覆うように形成された開口部を有する層間絶縁膜と、

50

前記層間絶縁膜上に形成され、前記複数の画素電極に導通された複数の上部画素電極と、を備え、

前記ドレイン電極、前記ソース電極または前記ゲート電極のいずれか一つが開口部を有する形状であることを特徴とする薄膜トランジスタアレイ。

【請求項 8】

前記開口部が円、三角、四角のいずれかの形状であることを特徴とする請求項 7 に記載の薄膜トランジスタアレイ。

【請求項 9】

前記複数の半導体層が、有機半導体または酸化物半導体であることを特徴とする請求項 7 に記載の薄膜トランジスタアレイ。

10

【請求項 10】

前記基板がプラスチック基板であることを特徴とする請求項 4 乃至 9 のいずれかに記載の薄膜トランジスタアレイ。

【請求項 11】

請求項 4 乃至 9 のいずれかに記載の薄膜トランジスタアレイを備えたことを特徴とする画像表示装置。

【請求項 12】

前記画像表示装置が液晶ディスプレイ、有機 EL、電子ペーパーのいずれかであることを特徴とする請求項 11 に記載の画像表示装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、薄膜トランジスタ及び薄膜トランジスタアレイ並びに画像表示装置に関し、特に寄生容量を低減した薄膜トランジスタ及び薄膜トランジスタアレイ並びに画像表示装置に関する。

【背景技術】

【0002】

半導体を基板としたトランジスタや集積回路技術を基礎として、ガラス基板上にアモルファスシリコン (a - Si) やポリシリコン (poly - Si) の薄膜トランジスタ (Thin Film Transistor、以下「TFT」という。) が製造されている。TFTは、液晶ディスプレイ等の画像表示装置に応用されている (詳細は、例えば、松本正一編著「液晶ディスプレイ技術 - アクティブマトリクスLCD - 」産業図書を参照) 。

30

【0003】

従来、例えば図 1 4 に示すような TFT アレイが用いられていた。なお、図 1 4 は、TFT アレイの 1 画素を示している。TFT はスイッチの役割を果たし、TFT アレイは、ゲート配線 5 3 に与えられた選択電圧によって TFT をオンにした時に、ソース配線 5 5 に与えられた信号電圧をドレイン電極 5 6 に接続された画素電極 5 8 に書き込む。書き込まれた電圧は、画素電極 5 8、ゲート絶縁膜 (図示せず)、キャパシタ電極 5 9 によって構成される蓄積キャパシタに保持される。

40

【0004】

近年、有機半導体や酸化物半導体が登場し、200 以下の低温で TFT を作製できることが示され、プラスチック基板を用いたフレキシブルディスプレイへの期待が高まっている。フレキシブルという特長以外に、軽量、壊れにくい、薄型化できるというメリットも期待されている。また、印刷法の技術を用いて、TFT をマトリクス状に形成することにより、安価で大面積なディスプレイが期待されている。

【0005】

ところで、ディスプレイを大面積化するには、大面積にパターンニングできるだけでなく、オン電流を大きくする必要がある。チャンネル幅を W、チャンネル長を L とした時、オン電流は W / L に比例する。大きなオン電流を得たい場合、図 1 3 に示すように、ソース電極

50

54・ドレイン電極56としては、直線状のクシ歯を交互に配置したクシ型電極がよく用いられる。クシ型電極は、大きなWと小さなLを有するからである。

【0006】

また、ディスプレイをフレキシブル化するためにはプラスチック基板を用いる必要があり、基材の収縮が大きいのでアライメント余裕を大きくする目的で電極を大きくすることが行われる。

【0007】

しかし、図13のようなクシ型電極のTFTアレイの場合や、図14に示すような従来のTFTアレイの場合でも電極を大きくした場合には、ゲート電極52・ドレイン電極56間の電極重なり面積が大きく、フィードスルーが大きいという問題があった。

10

【0008】

ここで、フィードスルーとは、図15に示すようにゲート電位 V_g がオンからオフに変わる際に、画素の電位 V_p が変化する現象であり、ゲート電極52・ドレイン電極56間のキャパシタンスが原因である。

【0009】

また、ゲート電極52・ソース電極54間のキャパシタンスやゲート電極52・ドレイン電極56間のキャパシタンスはゲート電圧の応答を悪くする原因となっていた。

【非特許文献1】松本正一編著「液晶ディスプレイ技術 - アクティブマトリクスLCD -」産業図書

【発明の開示】

20

【発明が解決しようとする課題】

【0010】

本発明は、薄膜トランジスタの寄生容量を低減した薄膜トランジスタアレイを提供する。

【課題を解決するための手段】

【0011】

本発明の請求項1に係る発明は、半導体層とゲート電極とソース電極とドレイン電極とを備え、ゲート電極、ソース電極またはドレイン電極のいずれか一つが開口部を有する形状であることを特徴とする薄膜トランジスタとしたものである。

【0012】

30

本発明の請求項2に係る発明は、開口部は円、三角、四角のいずれかの形状であることを特徴とする請求項1に記載の薄膜トランジスタとしたものである。

【0013】

本発明の請求項3に係る発明は、半導体層が有機半導体または酸化物半導体であることを特徴とする請求項1に記載の薄膜トランジスタとしたものである。

【0014】

本発明の請求項4に係る発明は、基板と、基板上に形成された複数のゲート配線と複数のゲート配線に接続された複数のゲート電極と、複数のゲート配線と複数のゲート電極との同一層に隔離して形成された複数のキャパシタ配線と複数のキャパシタ配線に接続された複数のキャパシタ電極と、複数のゲート配線と複数のゲート電極と複数のキャパシタ配線と複数のキャパシタ電極とを覆うように形成されたゲート絶縁膜と、ゲート絶縁膜上に形成された複数のソース配線と複数のソース配線に接続された複数のソース電極と、複数のソース配線と複数のソース電極との同一層に隔離して形成された複数の画素電極と複数の画素電極に接続された複数のドレイン電極と、複数のソース電極と複数のドレイン電極との間に形成された複数の半導体層と、を備え、ドレイン電極、ソース電極またはゲート電極のいずれか一つが開口部を有する形状であることを特徴とする薄膜トランジスタアレイとしたものである。

40

【0015】

本発明の請求項5に係る発明は、開口部が円、三角、四角のいずれかの形状であることを特徴とする請求項4に記載の薄膜トランジスタアレイとしたものである。

50

【 0 0 1 6 】

本発明の請求項 6 に係る発明は、複数の半導体層が、有機半導体または酸化物半導体であることを特徴とする請求項 4 に記載の薄膜トランジスタアレイとしたものである。

【 0 0 1 7 】

本発明の請求項 7 に係る発明は、基板と、基板上に形成された複数のソース配線と複数のソース配線に接続された複数のソース電極と、複数のソース配線と複数のソース電極との同一層に隔離して形成された複数の画素電極と複数の画素電極に接続された複数のドレイン電極と、複数のソース電極と複数のドレイン電極との間隙に形成された複数の半導体層と、複数のソース配線と複数のソース電極と複数の半導体層と複数の画素電極と複数のドレイン電極とを覆うように形成された開口部を有するゲート絶縁膜と、ゲート絶縁膜上に形成された複数のゲート配線と複数のゲート配線に接続された複数のゲート電極と、複数のゲート配線と複数のゲート電極との同一層に隔離して形成された複数のキャパシタ配線と複数のキャパシタ配線に接続された複数のキャパシタ電極と、複数のゲート配線と複数のゲート電極と複数のキャパシタ配線と複数のキャパシタ電極とを覆うように形成された開口部を有する層間絶縁膜と、層間絶縁膜上に形成され、複数の画素電極に導通された複数の上部画素電極と、を備え、ドレイン電極、ソース電極またはゲート電極のいずれかが開口部を有する形状であることを特徴とする薄膜トランジスタアレイとしたものである。

10

【 0 0 1 8 】

本発明の請求項 8 に係る発明は、開口部が円、三角、四角のいずれかの形状であることを特徴とする請求項 7 に記載の薄膜トランジスタアレイとしたものである。

20

【 0 0 1 9 】

本発明の請求項 9 に係る発明は、複数の半導体層が、有機半導体または酸化物半導体であることを特徴とする請求項 7 に記載の薄膜トランジスタアレイとしたものである。

【 0 0 2 0 】

本発明の請求項 10 に係る発明は、基板がプラスチック基板であることを特徴とする請求項 4 乃至 9 のいずれかに記載の薄膜トランジスタアレイとしたものである。

【 0 0 2 1 】

本発明の請求項 11 に係る発明は、請求項 4 乃至 9 のいずれかに記載の薄膜トランジスタアレイを備えたことを特徴とする画像表示装置としたものである。

30

【 0 0 2 2 】

本発明の請求項 12 に係る発明は、画像表示装置が液晶ディスプレイ、有機 EL、電子ペーパーのいずれかであることを特徴とする請求項 11 に記載の画像表示装置としたものである。

【 発明の効果 】

【 0 0 2 3 】

本発明によれば、薄膜トランジスタの寄生容量を低減した薄膜トランジスタアレイを提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 2 4 】

本発明の実施の形態について、図面を参照して説明する。以下、参照する図面は、説明を判り易くするために縮尺は正確には描かれていない。なお、実施の形態において、同一構成要素には同一符号を付け、実施の形態間において、重複する説明は省略する。

40

【 0 0 2 5 】

図 1 に示すように、本発明の実施の形態に係る薄膜トランジスタアレイ（以下、「TFTアレイ」という。）は、基板 1、ゲート電極 2、ゲート配線 3、ゲート絶縁膜 4、ソース電極 5、ソース配線 6、ドレイン電極 7、半導体層 8、封止層 9、画素電極 10、キャパシタ電極 12 及びキャパシタ配線 13 を備えている。さらに、ここでは図示しないが、層間絶縁膜 11 及び上部画素電極 14 を備えている。なお、図 1 は、TFTアレイの 1 画素領域を示しているが、実際にはマトリクス状に複数配置したものが本発明の実施の形態

50

に係る T F T アレイである。

【 0 0 2 6 】

ここで、本発明の実施の形態に係る T F T アレイは、ソース電極 5 とドレイン電極 7 との働きは書き込む電圧の極性によって変わるため、動作で名称を決められない。そこで、便宜的に一方をソース電極 5、他方をドレイン電極 7 と、呼び方を統一しておく。本発明の実施の形態に係る T F T アレイでは、配線に接続されている方をソース電極 5、画素電極 10 に接続されている方をドレイン電極 7 と呼ぶことにする。

【 0 0 2 7 】

図 1 に示すように、本発明の実施の形態に係る T F T アレイはソース電極 5 ・ドレイン電極 7 のうち少なくともゲート電極 2 と重なる部分に開口部を有している。図 1 に示すように、ドレイン電極 7 とゲート電極 2 との重なり部においてドレイン電極 7 に開口部を設けることにより、ゲート電極 2 とドレイン電極 7 との重なり面積を小さくすることができ、ゲート電極 2 とドレイン電極 7 との間のキャパシタンスを小さくできる。キャパシタンスを小さくできるため、フィードスルーを低減できる。また、ソース電極 5 とゲート電極 2 との重なり部においてソース電極 5 に開口部を設けることにより、ゲート電極 2 とソース電極 5 との重なり面積を小さくでき、ゲート電極 2 とソース電極 5 との間のキャパシタンスを小さくできる。なぜなら、キャパシタンスは、重なり面積にほぼ比例するからである。さらに、ソース電極 5 とドレイン電極 7 の一方または両方を開口部を有する形状にすることにより、ソース電極 5、ドレイン電極 7 と半導体層 8 との密着性が向上する。なお、ソース電極 5 とドレイン電極 7 は、くし形状でなくてもよい。

【 0 0 2 8 】

図 2 に示すように、本発明の実施の形態に係る T F T アレイはソース電極 5 ・ドレイン電極 7 ・ゲート電極 2 に開口部を有する。ドレイン電極 7 とゲート電極 2 との重なり部においてドレイン電極 7 及びゲート電極 2 に開口部を設けることにより、ゲート電極 2 ・ドレイン電極 7 の重なり面積を小さくすることができ、ゲート電極 2 ・ドレイン電極 7 間のキャパシタンスを小さくできる。また、ソース電極 5 とゲート電極 2 との重なり部においてソース電極 5 及びゲート電極 2 に開口部を設けることにより、ゲート電極 2 ・ソース電極 5 の重なり面積を小さくでき、ゲート電極 2 ・ソース電極 5 間のキャパシタンスを小さくできる。なお、ソース電極 5 とドレイン電極 7 は、くし形状でもよい。

【 0 0 2 9 】

図 3 に示すように、本発明の実施の形態に係る T F T アレイはソース電極 5 ・ドレイン電極 7 と重なるゲート電極 2 に開口部を有する。ドレイン電極 7 とゲート電極 2 との重なり部においてゲート電極 2 に開口部を設けることにより、ゲート電極 2 とドレイン電極 7 との重なり面積を小さくすることができ、ゲート電極 2 とドレイン電極 7 との間のキャパシタンスを小さくできる。また、ソース電極 5 とゲート電極 2 との重なり部においてゲート電極 2 に開口部を設けることにより、ゲート電極 2 ・ソース電極 5 の重なり面積を小さくでき、ゲート電極 2 ・ソース電極 5 間のキャパシタンスを小さくできる。なお、ソース電極 5 とドレイン電極 7 は、くし形状でもよい。

【 0 0 3 0 】

図 1 及び図 2 に示すように、ソース電極 5 ・ドレイン電極 7 の開口部の形状は、図 4 (c) に示すように円に限定されるものではなく、たとえば図 4 (a) に示すように三角状、図 4 (b) に示すように四角状に形成することができる。ドレイン電極 7 ・ソース電極 5 の開口部の形状は、上記した形状に限定されるわけではなく、ゲート電極 2 とドレイン電極 7、ゲート電極 2 とソース電極 5 との寄生容量が低減できるような形状であればよい。

【 0 0 3 1 】

図 5 に示すように、ソース電極 5 とドレイン電極 7 との一方または両方を開口部を有する形状にすることにより、電流パスが複数になるので、仮に開口部の一部で断線が起きた場合、断線が一部の開口部で停止するため、完全な断線になりにくいので影響を小さくできる。また、T F T の構造がボトムコンタクト型の場合、半導体層 8 がソース電極 5 ・ド

10

20

30

40

50

レイン電極 7 の開口部に食い込んだ凹凸型になるため、ソース電極 5 ・ドレイン電極 7 と半導体層 8 との密着性が向上する。

【 0 0 3 2 】

本発明の実施の形態に係る薄膜トランジスタアレイはソース電極 5 やドレイン電極 7 に開口部を有しているが、それ以外の部分にも開口部を有することができる。即ち、ソース電極 5、ドレイン電極 7、ゲート電極 2 以外の、例えばソース配線 6、画素電極 10、ゲート配線 3、キャパシタ電極 12、キャパシタ配線 13 等にも開口部を有してもよい。

【 0 0 3 3 】

また、ゲート電極 2 の開口部は、ソース電極 5 ・ドレイン電極 7 との重なり部のみでなくチャンネル部にあってもよい。その場合、ゲート電極 2 の開口部の分だけキャリアの誘起が少なくなるので開口部が無い場合よりもチャンネル幅を大きくする必要はある。なお、ゲート電極 2 の開口部と半導体層 8 の位置関係がオン電流に影響しないようにするため、チャンネル幅はゲート電極 2 の開口部のピッチ（チャンネルに垂直方向）の整数倍にするのが望ましい。またチャンネル長はゲート電極 2 の開口部のピッチ（チャンネル方向）の整数倍にするのが望ましい。

【 0 0 3 4 】

本発明の実施の形態に係る T F T アレイの半導体層 8 としては、有機半導体や酸化物半導体を用いることができる。半導体層 8 として有機半導体または酸化物半導体を用いることにより、T F T アレイを 200 以下の低温で作製することができ、熱に弱いプラスチック基板の使用ができて、フレキシブルディスプレイを作製できる。

【 0 0 3 5 】

半導体層 8 として用いる有機半導体の材料としては、例えばポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等を用いることができる。有機半導体の形成方法は、溶液をスピンコート法、ダイコート法、フレキソ印刷法、インクジェット印刷法等を用いて塗布・焼成することにより 200 以下の低温で成膜することができる。

【 0 0 3 6 】

半導体層 8 として用いる酸化物半導体の材料としては、InGaZnO系、ZnGaO系、InZnO系、InO系、GaO系、SnO系、あるいはそれらの混合物等を用いることができる。酸化物半導体の形成方法は、スパッタリング法、真空蒸着法、レーザーアブレーション法等を用いることにより 200 以下の低温で成膜することができる。

【 0 0 3 7 】

本発明の実施の形態に係る T F T アレイの基板 1 は、半導体層 8 を 200 以下の低温で成膜できるためプラスチックを使用することができる。基板 1 の材料として、例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルスルホン（PES）、ポリイミド（PI）、ポリエーテルイミド（PEI）、ポリスチレン（PS）、ポリ塩化ビニル（PVC）、ポリエチレン（PE）、ポリプロピレン（PP）、ナイロン（Ny）等を用いることができる。

【 0 0 3 8 】

本発明の実施の形態に係る T F T アレイのゲート電極 2 及びキャパシタ電極 12 の材料としては、Al、Cr、Au、Ag、Ni、Cu、Mo等の金属や、ITO等の透明導電膜を用いることができる。ゲート電極 2 及びキャパシタ電極 12 の形成方法としては、真空蒸着法やスパッタリング法等を用いて成膜し、成膜後にフォトリソグラフィとエッチングを用いて形成することができる。上記した形成方法以外の場合には、印刷法であるスクリーン印刷法、フレキソ印刷法、グラビア印刷法、オフセット印刷法、反転印刷法等を用いることができる。印刷法を用いる場合の材料は、Agインク、Niインク、Cuインク等を用いることができる。インクは、平均粒子径が 50 nm以下の金属粒子と、水溶性溶媒と、水溶性樹脂とを含む導電性インクが望ましい。

【 0 0 3 9 】

本発明の実施の形態に係るTFTアレイのゲート絶縁膜4の材料としては、例えばポリビニルフェノール、エポキシ、ポリイミド等の有機絶縁膜や、 SiO_2 、 SiN 、 SiON 、 Al_2O_3 等の無機絶縁膜を用いることができる。ゲート絶縁膜3の形成方法としては、溶媒可溶性有機物の場合にはスピンコート法、ダイコート法、インクジェット法等を用いることができる。上記した形成方法以外の場合には、スパッタリング法、真空蒸着法、レーザアブレーション法等を用いることができる。例えばTFTの構造がトップゲート型のようにゲート絶縁膜3にパターニングが必要な場合には、フォトリソグラフィとエッチング、リフトオフ等でパターニングするか、インクジェット法等の印刷法や感光性有機物をゲート絶縁膜4の材料とし露光・現像するなどして直接パターニングすることができる。

10

【0040】

本発明の実施の形態に係るTFTアレイの半導体層8は、ソース電極5・ドレイン電極7が近接している領域に形成され、ゲート絶縁膜4を挟んで、ゲート電極2と重なっている。ゲート電極2の電位によって、半導体層8とゲート絶縁膜4との界面の電荷を制御し、ドレイン電極7の電流を制御できる。

【0041】

本発明の実施の形態に係るTFTの構造は、ボトムゲート型でもよいし、トップゲート型でもよい。また、ボトムコンタクトでもよいし、トップコンタクトでもよい。図6(a)に示すように、ボトムゲート型・ボトムコンタクトでは、積層順序が、基板1、ゲート電極2、ゲート絶縁膜4、ソース電極5及びドレイン電極7、半導体層8となる。図6(b)に示すように、ボトムゲート型・トップコンタクトでは、積層順序が、基板1、ゲート電極2、ゲート絶縁膜4、半導体層8、ソース電極5及びドレイン電極7となる。なお、さらに、ゲート電極2と同層にゲート配線3、ソース電極5・ドレイン電極7と同層にソース配線6、画素電極10を有する。また、ゲート電極2と同層または別層に、キャパシタ電極12及びキャパシタ配線13を有してもよい。ボトムゲート型の場合、半導体層8上に封止層9を有してもよい。

20

【0042】

図6(c)に示すように、トップゲート型・ボトムコンタクトでは、積層順序が、基板1、ソース電極5及びドレイン電極7、半導体層8、ゲート絶縁膜4、ゲート電極2となる。図6(d)に示すように、トップゲート型・トップコンタクトでは、積層順序が、基板1、半導体層8、ソース電極5及びドレイン電極7、ゲート絶縁膜4、ゲート電極2となる。なお、さらに、ゲート電極2と同層にゲート配線3を、ソース電極5・ドレイン電極7と同層にソース配線6、画素電極10を有する。また、ゲート電極2と同層または別層にキャパシタ電極12及びキャパシタ配線13を有してもよい。トップゲート型の場合、層間絶縁膜11、上部画素電極14を有することが望ましい。

30

【0043】

なお、半導体層8は全面形成でもTFTを動作させることができるが、パターニングされているほうがオフ電流を小さくできて望ましい。半導体層8は、スピンコート法、ダイコート法、スパッタリング法、真空蒸着法、レーザアブレーション法等で全面成膜後にフォトリソグラフィ、あるいはそれに類する方法を用いてパターニングするか、成膜とパターニングを同時に行うことができる印刷法、マスク蒸着法等を用いるか、あらかじめレジストパターンを形成しておき、全面成膜後にレジストを除去するリフトオフ法を用いることができる。あるいは半導体層8に有機半導体を用いる場合、後述する封止層9を形成後、封止層9をマスクとして O_2 プラズマ、 N_2 プラズマ、 Ar プラズマによるエッチングを行うか、封止層9を溶解せず半導体層8を溶解する液体でリンスする等の方法によっても、パターニングすることができる。

40

【0044】

本発明の実施の形態に係るTFTアレイのソース電極5、ソース配線6、ドレイン電極7、画素電極10としては、ゲート電極2等と同様の材料と同様の方法を用いることができるが、特に形成方法は反転印刷が最適である。

50

【 0 0 4 5 】

ソース電極 5 とドレイン電極 7 とを反転印刷法を用いて形成することにより、高精度の薄膜トランジスタを容易に製造することができる。

【 0 0 4 6 】

本発明の実施の形態に係る T F T アレイの封止層 9 は半導体層 8 の特性変化を防止するために用いることができる。封止層 9 の材料としては、フッ素化樹脂が好適である。封止層 7 の形成方法としては、スクリーン印刷法が好適である。

【 0 0 4 7 】

本発明の実施の形態に係る T F T アレイの層間絶縁膜 1 1 の材料としては、ポリビニルフェノール (P V P)、アクリル、エポキシ、ポリイミド等を用いることができる。層間絶縁膜 1 1 の形成方法としては、スクリーン印刷法が好適であるが、感光性膜を形成後、露光・現像によって形成してもよい。

10

【 0 0 4 8 】

本発明の実施の形態に係る T F T アレイの上部画素電極 1 4 の材料としては、A l、C r、A u、A g、N i、C u 等の金属や、I T O 等の透明導電膜等を用いることができる。上部画素電極 1 4 の形成方法としては、真空蒸着法、スパッタリング法等を用いて形成後に、フォトリソグラフィ、エッチングする等の方法も用いることができるが、A g インク、N i インク、C u インク等をスクリーン印刷法を用いて形成するのが好適である。

【 0 0 4 9 】

本発明の実施の形態に係る T F T アレイは、層間絶縁膜 1 1 及び上部画素電極 1 4 を有し、上部画素電極 1 4 が画素電極 1 0 に接続されていてもよい。特にトップゲート型では、層間絶縁膜 1 1 及び上部画素電極 1 4 を有することが望ましい。なお、上部画素電極 1 4 を画素電極 1 0 に接続するため、ボトムゲート型では層間絶縁膜 1 1 に開口が必要あり、トップゲート型ではゲート絶縁膜 3 及び層間絶縁膜 1 1 に開口が必要である。

20

【 0 0 5 0 】

図 7 (a) ~ 図 8 (d)、図 9 (a) ~ 図 1 0 (c) 及び図 1 1 (a) ~ 図 1 2 (c) は本発明の実施の形態に係る T F T アレイの製造方法であり、断面図及び平面図を示している。以下、図 9 (a) ~ 図 1 0 (c) 及び図 1 1 (a) ~ 図 1 2 (c) は、図 7 (a) ~ 図 8 (d) と形状が異なるものの同一の方法であるために説明を省略する。

【 0 0 5 1 】

まず、図 7 (a) に示すように、基板 1 上にゲート電極 2 及びキャパシタ電極 1 0 を形成する。次に、図 7 (b) に示すように、全面にゲート絶縁膜 3 を形成する。次に、図 7 (c) に示すように、ソース電極 5、ソース配線 6、ドレイン電極 7、画素電極 1 0 を形成する。次に、図 8 (a) に示すように、半導体層 8 を形成する。次に、図 8 (b) に示すように、封止層 9 を形成する。次に、図 8 (c) に示すように、層間絶縁膜 1 1 を形成する。次に、図 8 (d) に示すように、上部画素電極 1 4 を形成する。

30

【 0 0 5 2 】

以上は、ボトムゲート型・ボトムコンタクトの場合の手順であるが、ボトムゲート型・トップコンタクト、トップゲート型・ボトムコンタクト、トップゲート型・トップコンタクトの場合には、層順を入れ替えればよい。

40

【 0 0 5 3 】

本発明の実施の形態に係る T F T アレイは画像表示装置に用いることができる。画像表示装置としては、例えば電気泳動型ディスプレイ、液晶ディスプレイまたは有機エレクトロルミネッセンスディスプレイ等に用いることができる。

【 実施例 1 】

【 0 0 5 4 】

実施例 1 として図 1 に示す T F T アレイを、図 7 (a) ~ 図 8 (d) の工程によって作製した。まず初めに、図 7 (a) に示すように、基板 1 である P E N 上に、真空蒸着法を用いて A l を 5 0 n m 成膜し、フォトリソグラフィ及びウェットエッチングによってゲート電極 2、キャパシタ電極 1 2 を形成した。

50

【 0 0 5 5 】

次に、図 7 (b) に示すように、ゲート絶縁膜 4 としては、ポリビニルフェノール溶液をスピコートし、150℃で焼成することにより、ポリビニルフェノールを1μm形成した。

【 0 0 5 6 】

次に、図 7 (c) に示すように、ソース電極 5、ソース配線 6、ドレイン電極 7、画素電極 10 として、Ag イnk を反転印刷法を用いて印刷し、180℃で焼成することによって厚さ50nmのパターンに形成した。その時のソース電極 5・ドレイン電極 7 の形状は、図 1 に示すように、ソース電極 5・ドレイン電極 7 の幅が10μm、ゲート電極 2・ドレイン電極 7 の重なり長が120μm、ドレイン電極 7 の本数が4本、ソース電極 5・ドレイン電極 7 の開口部が直径5μmの円形で、ピッチが10μm、チャンネル長が5μm、チャンネル幅が800μmである。

10

【 0 0 5 7 】

次に、図 8 (a) に示すように、ポリチオフェン溶液をフレキソ印刷法を用いて印刷し、100℃で焼成することにより、半導体層 8 を形成した。

【 0 0 5 8 】

次に、図 8 (b) に示すように、フッ素化樹脂であるサイトップをスクリーン印刷法を用いて印刷、焼成し封止層 9 を形成した。次に、図 8 (c) に示すように、エポキシ樹脂をスクリーン印刷法を用いて印刷、焼成し層間絶縁膜 11 を形成した。次に、図 8 (d) に示すように、上部 Ag ペーストをスクリーン印刷法を用いて印刷、焼成し上部画素電極 14 を形成した。

20

【 0 0 5 9 】

こうして作製した図 1 に示す薄膜トランジスタアレイと対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製し、想定通りに動作することを確認した。

【 0 0 6 0 】

ここで、想定通りに動作するとは、電気泳動表示体の特性及びトランジスタの特性から計算される所定の書込み動作（所定のソース電圧、ゲート電圧、ゲートパルス幅、書込み周期、書込み回数）を行ったところ想定どおりの書込み回数で動作したという意味である。

30

【 実施例 2 】

【 0 0 6 1 】

実施例 2 として図 2 に示す TFT アレイを、図 9 (a) ~ 図 10 (c) の工程によって作製した。まず初めに、図 9 (a) に示すように、基板 1 である PEN 上に、真空蒸着法を用いて Al を 50nm 成膜し、フォトリソグラフィ及びウェットエッチングによってゲート電極 2、キャパシタ電極 12 を形成した。ゲート電極 2 の開口部は直径4μmの円形で、ピッチが12μmである。

【 0 0 6 2 】

次に、図 9 (b) に示すように、SiN をターゲットとし、Ar、O₂、N₂ を流して RF スパッタリング法を用いることにより、ゲート絶縁膜 4 として SiON を 500nm 形成した。

40

【 0 0 6 3 】

次に、図 9 (c) に示すように、InGaZnO₄ をターゲットとし、Ar、O₂ を流して RF スパッタリング法を用いることにより、半導体層 8 として InGaZnO を 50nm 成膜し、フォトリソグラフィ及び塩酸によるウェットエッチングによりパターンニングした。

【 0 0 6 4 】

次に、図 9 (d) に示すように、ソース電極 5、ソース配線 6、ドレイン電極 7、画素電極 10 として、あらかじめレジストパターンを形成しておき、Al を蒸着後リフトオフによって厚さ50nmのパターンを形成した。その時のソース電極 5、ドレイン電極 7 の

50

幅が $48\ \mu\text{m}$ 、ゲート電極 2 との重なり長が各々 $24\ \mu\text{m}$ 、ソース電極 5・ドレイン電極 7 の開口部が $6\ \mu\text{m}$ 角の正方形で、ピッチが $12\ \mu\text{m}$ 、チャンネル長が $24\ \mu\text{m}$ 、チャンネル幅が $8\ \mu\text{m}$ である。

【0065】

次に、図 10 (a) に示すように、フッ素化樹脂であるサイトップをスクリーン印刷法を用いて印刷、焼成し封止層 9 を形成した。次に、図 10 (b) に示すように、エポキシ樹脂をスクリーン印刷法を用いて印刷、焼成し層間絶縁膜 11 を形成した。次に、図 10 (c) に示すように、Ag ペーストをスクリーン印刷法を用いて印刷、焼成し上部画素電極 14 を形成した。

【0066】

こうして作製した図 2 に示す薄膜トランジスタアレイと、対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製し、想定通りの書込み回数で動作することを確認した。

【実施例 3】

【0067】

実施例 3 として図 3 に示す TFT アレイを、図 11 (a) ~ 図 12 (c) の工程によって作製した。まず初めに、図 11 (a) に示すように、基板 1 である PEN 上に、真空蒸着法を用いて Al を $50\ \text{nm}$ 成膜し、フォトリソグラフィ及びウェットエッチングによってゲート電極 2、キャパシタ電極 12 を形成した。ゲート電極 2 の開口部が直径 $4\ \mu\text{m}$ の円形で、ピッチが $10\ \mu\text{m}$ である。

【0068】

次に、図 11 (b) に示すように、SiN をターゲットとし、Ar、 O_2 、 N_2 を流して RF スパッタリング法を用いることにより、ゲート絶縁膜 4 として SiON を $500\ \text{nm}$ 形成した。

【0069】

次に、図 11 (c) に示すように、InGaZnO₄ をターゲットとし、Ar、 O_2 を流して RF スパッタリング法を用いることにより、半導体層 8 として InGaZnO を $50\ \text{nm}$ 成膜し、フォトリソグラフィ及び塩酸によるウェットエッチングによりパターンングした。

【0070】

次に、図 11 (d) に示すように、ソース電極 5、ソース配線 6、ドレイン電極 7、画素電極 10 として、あらかじめレジストパターンを形成しておき、Al を蒸着後リフトオフによって厚さ $50\ \text{nm}$ のパターンを形成した。その時のソース電極 5・ドレイン電極 7 の幅が $48\ \mu\text{m}$ 、ゲート電極 2 との重なり長が $24\ \mu\text{m}$ 、チャンネル長が $24\ \mu\text{m}$ 、チャンネル幅が $8\ \mu\text{m}$ である。

【0071】

次に、図 12 (a) に示すように、フッ素化樹脂であるサイトップをスクリーン印刷法を用いて印刷、焼成し封止層 9 を形成した。次に、図 12 (b) に示すように、エポキシ樹脂をスクリーン印刷法を用いて印刷、焼成し層間絶縁膜 11 を形成した。次に、図 12 (c) に示すように、Ag ペーストをスクリーン印刷法を用いて印刷、焼成し上部画素電極 14 を形成した。

【0072】

こうして作製した図 3 に示す薄膜トランジスタアレイと対向電極付き基板の間に電気泳動表示体を挟んだ構造の電気泳動ディスプレイを作製し、想定 1.5 倍の書込み回数で動作することを確認した。

【0073】

[比較例 1]

実施例 1 と同様に図 1 に示す TFT アレイを作製したがソース電極 5 とドレイン電極 7 には開口部を設けなかった。比較例 1 のソース電極 5 とドレイン電極 7 に開口部を設けない場合、ドレイン電極 7・ゲート電極 2 の重なり面積、ソース電極 5・ゲート電極 2 の重

10

20

30

40

50

なり面積は、実施例 1 の 1.25 倍に増加した。そのため、各容量も 1.25 倍になったと考えられる。実際に比較例 1 の TFT アレイを電子ペーパーとして作製して、書込みを行ったところ、想定 of 1.5 倍の書込回数を要した。実施例 1 ではドレイン電極 7 の開口部が直径 $5 \mu\text{m}$ であるので、比較例 1 では開口面積の $19.625 \mu\text{m}^2 \times 48$ 個分だけドレイン電極 7 の面積に加えられる。ゲート電極 2 とドレイン電極 7 の重なり面積が大きくなり寄生容量の増加とともにフィードスルー V_p が増加した。

【0074】

[比較例 2]

実施例 2 及び実施例 3 で穴なしの場合、ドレイン電極 7・ゲート電極 2 の重なり面積、ソース電極 5・ゲート電極 2 の重なり面積は実施例 2 の 1.25 倍、実施例 3 の 1.67 10
倍に増加した。そのため各容量もその分増加したと思われる。実際に比較例 2 の TFT アレイを電子ペーパーとして作製して書込みを行ったところ、想定 of 2 倍の書込み回数を要した。

【図面の簡単な説明】

【0075】

【図 1】本発明の実施の形態に係る薄膜トランジスタアレイの 1 画素を示す平面図である。

【図 2】本発明の実施の形態に係る薄膜トランジスタアレイの 1 画素を示す平面図である。

【図 3】本発明の実施の形態に係る薄膜トランジスタアレイの 1 画素を示す平面図である。 20

【図 4】本発明の実施の形態に係る薄膜トランジスタアレイの積層構造を示す断面図である。

【図 5】本発明の実施の形態に係るソース電極・ドレイン電極の開口部のパターンを示す図である。

【図 6】本発明の実施の形態に係るソース電極・ドレイン電極が断線を起こしたときを示す図である。

【図 7】(a)～(c) は本発明の実施の形態に係る薄膜トランジスタの 1 画素の製造工程を示す断面図及び平面図である。

【図 8】(a)～(d) は本発明の実施の形態に係る薄膜トランジスタの 1 画素の製造工程を示す断面図及び平面図である。 30

【図 9】(a)～(d) は本発明の実施の形態に係る薄膜トランジスタの 1 画素の製造工程を示す断面図及び平面図である。

【図 10】(a)～(c) は本発明の実施の形態に係る薄膜トランジスタの 1 画素の製造工程を示す断面図及び平面図である。

【図 11】(a)～(d) は本発明の実施の形態に係る薄膜トランジスタの 1 画素の製造工程を示す断面図及び平面図である。

【図 12】(a)～(c) は本発明の実施の形態に係る薄膜トランジスタの 1 画素の製造工程を示す断面図及び平面図である。

【図 13】従来のクシ型電極を有する薄膜トランジスタアレイの 1 画素の構造を示す平面図である。 40

【図 14】従来の薄膜トランジスタアレイの 1 画素の構造を示す平面図である。

【図 15】駆動方法の一例 (n チャンネルの場合) の電圧波形である。

【符号の説明】

【0076】

- 1 ... 基板
- 2 ... ゲート電極
- 3 ... ゲート配線
- 4 ... ゲート絶縁膜
- 5 ... ソース電極

10

20

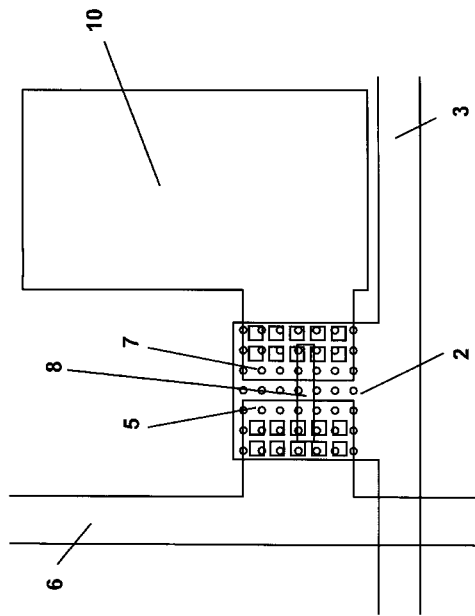
30

40

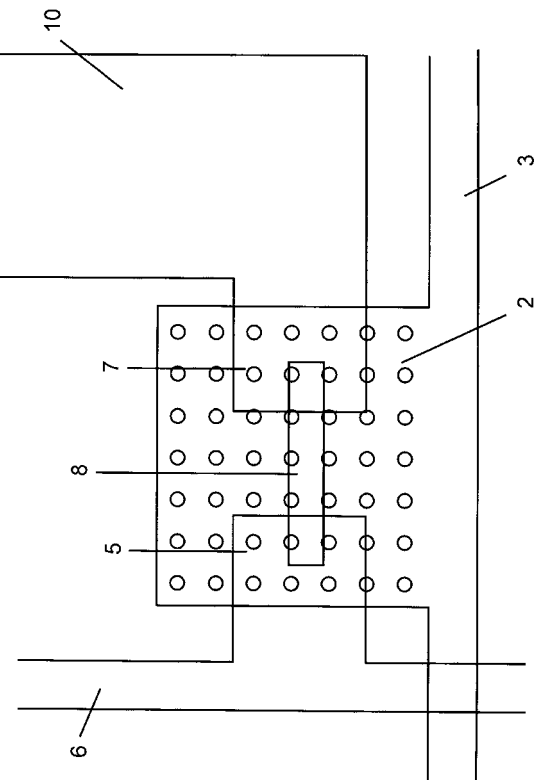
50

- 6 ... ソース配線
- 7 ... ドレイン電極
- 8 ... 半導体層
- 9 ... 封止層
- 10 ... 画素電極
- 11 ... 層間絶縁膜
- 12 ... キャパシタ電極
- 13 ... キャパシタ配線
- 14 ... 上部画素電極
- 52 ... ゲート電極
- 53 ... ゲート配線
- 54 ... ソース電極
- 55 ... ソース配線
- 56 ... ドレイン電極
- 57 ... 半導体層
- 58 ... 画素電極
- 59 ... キャパシタ電極
- 60 ... キャパシタ配線

【図2】

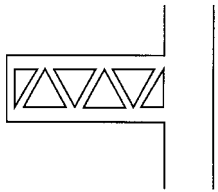


【図3】

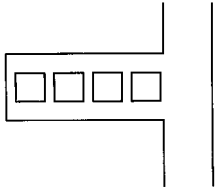


【 図 4 】

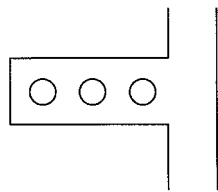
(a)



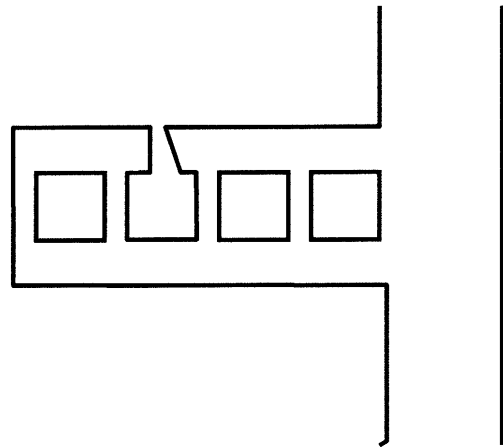
(b)



(c)

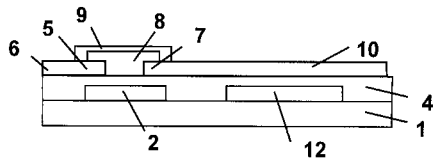


【 図 5 】

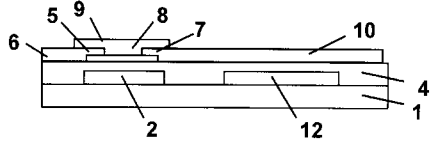


【 図 6 】

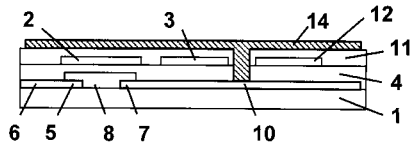
(a)



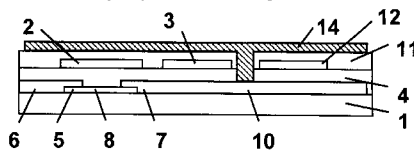
(b)



(c)

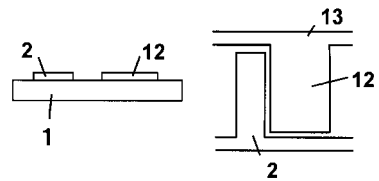


(d)

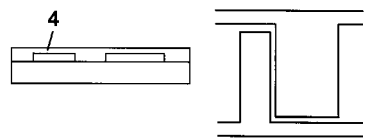


【 図 7 】

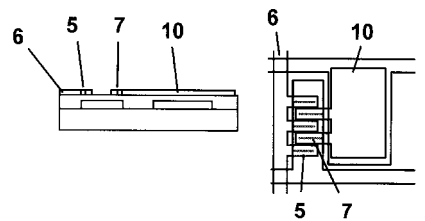
(a)



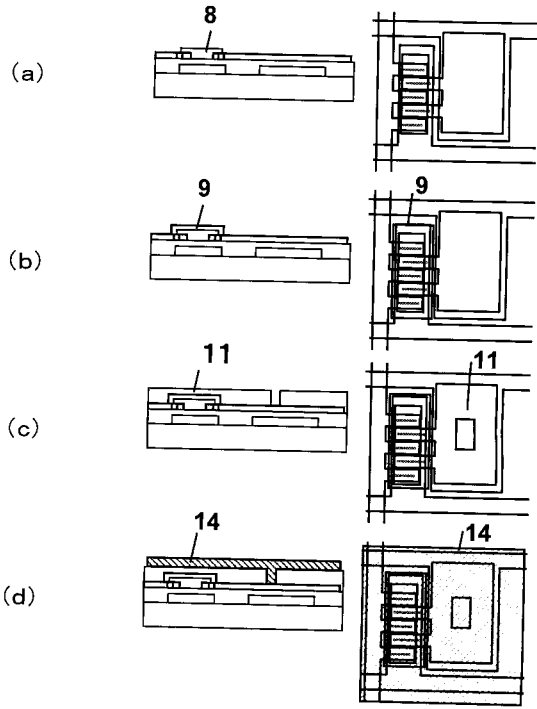
(b)



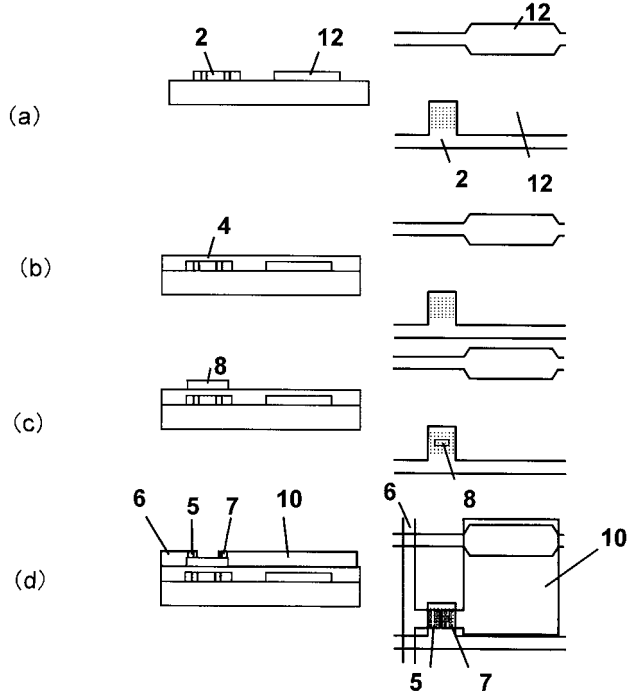
(c)



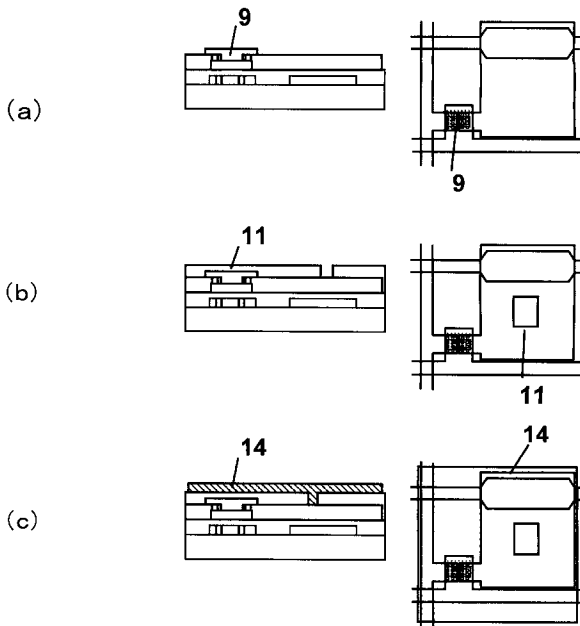
【 図 8 】



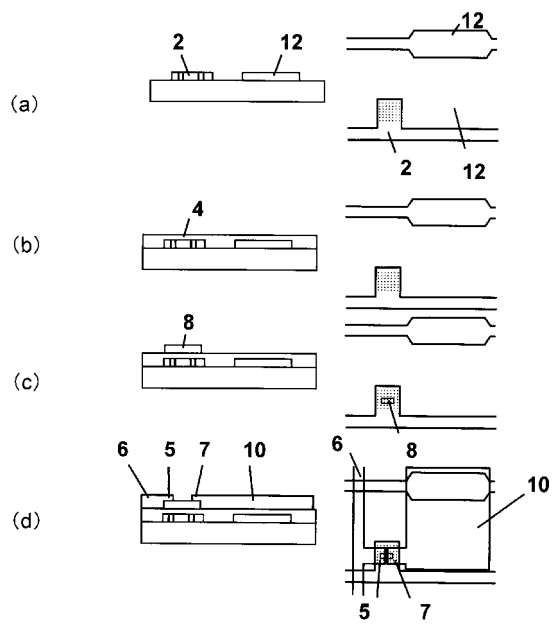
【 図 9 】



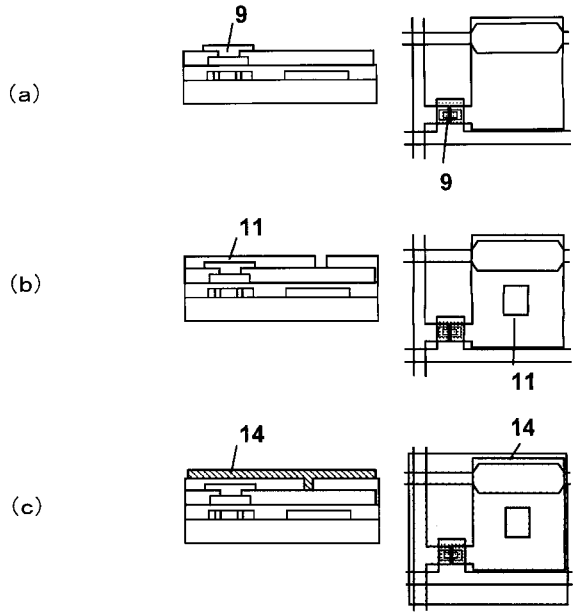
【 図 10 】



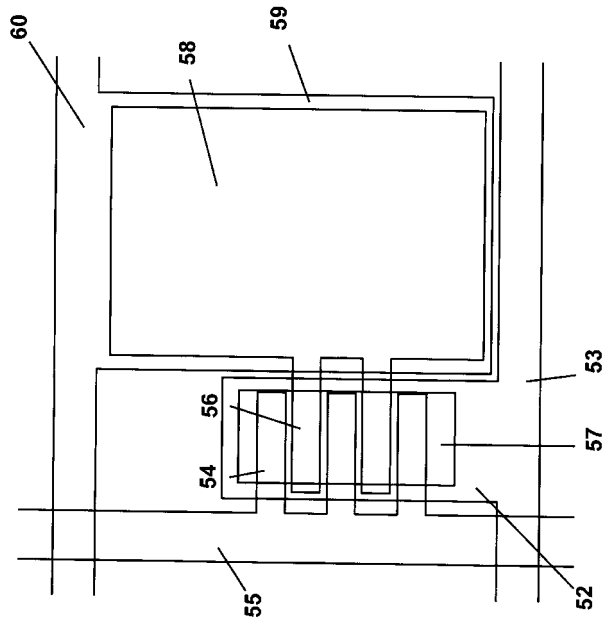
【 図 11 】



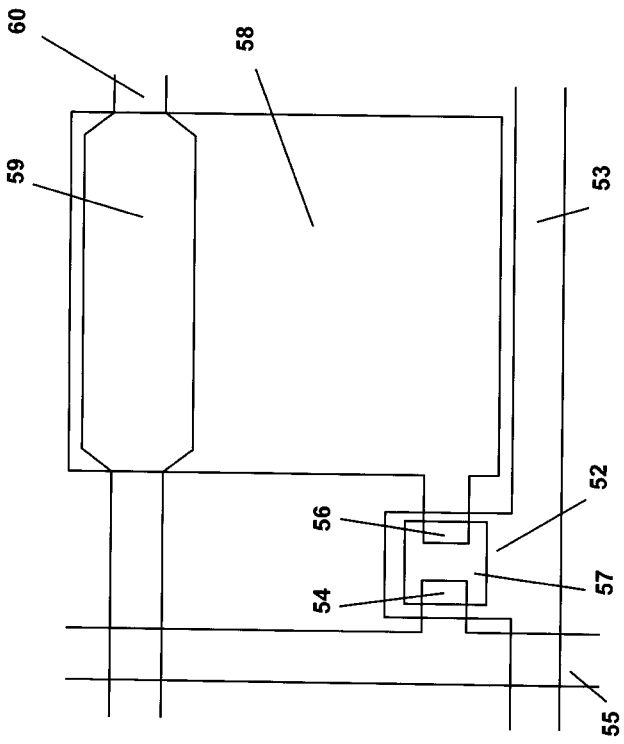
【 図 1 2 】



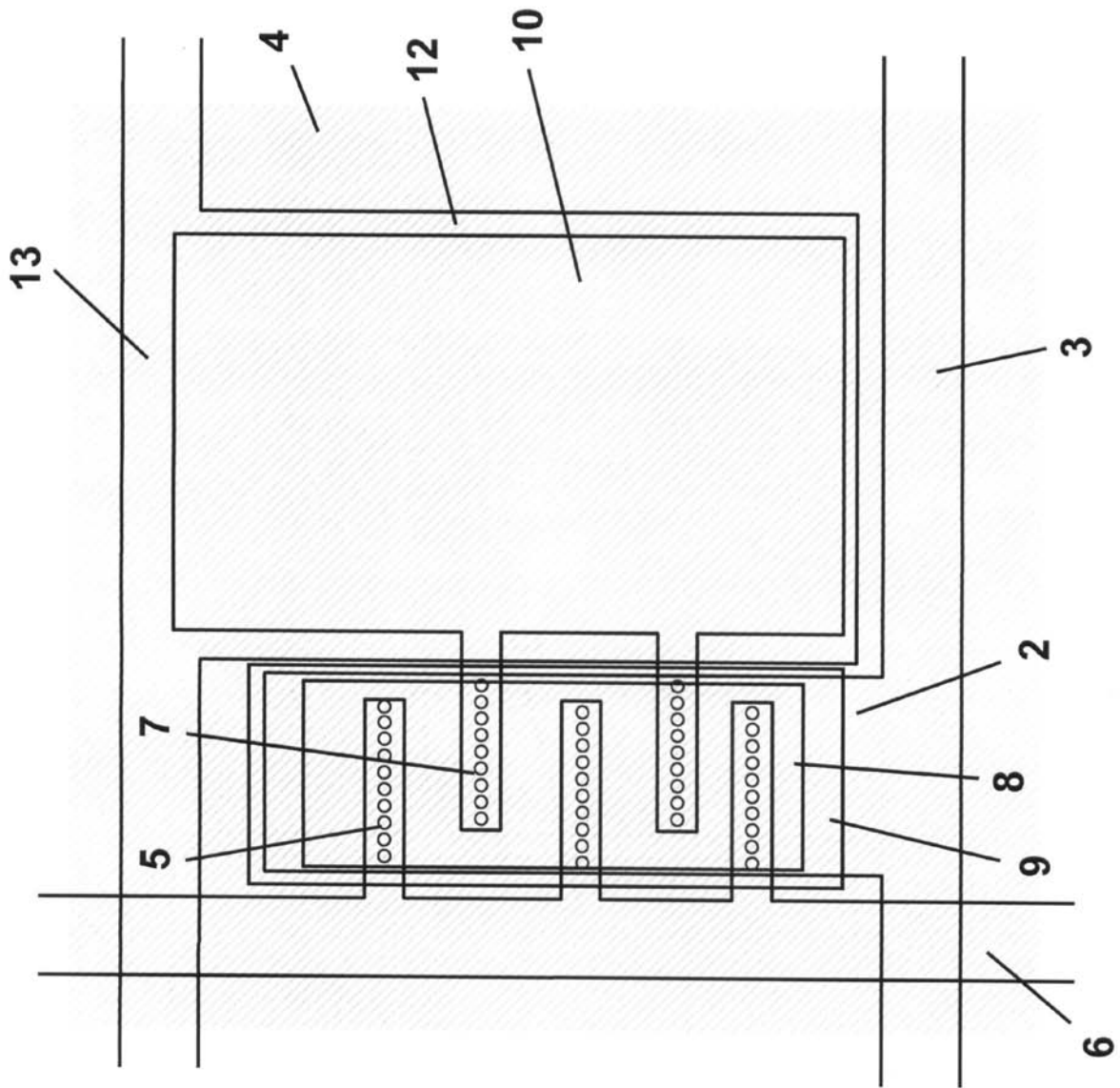
【 図 1 3 】



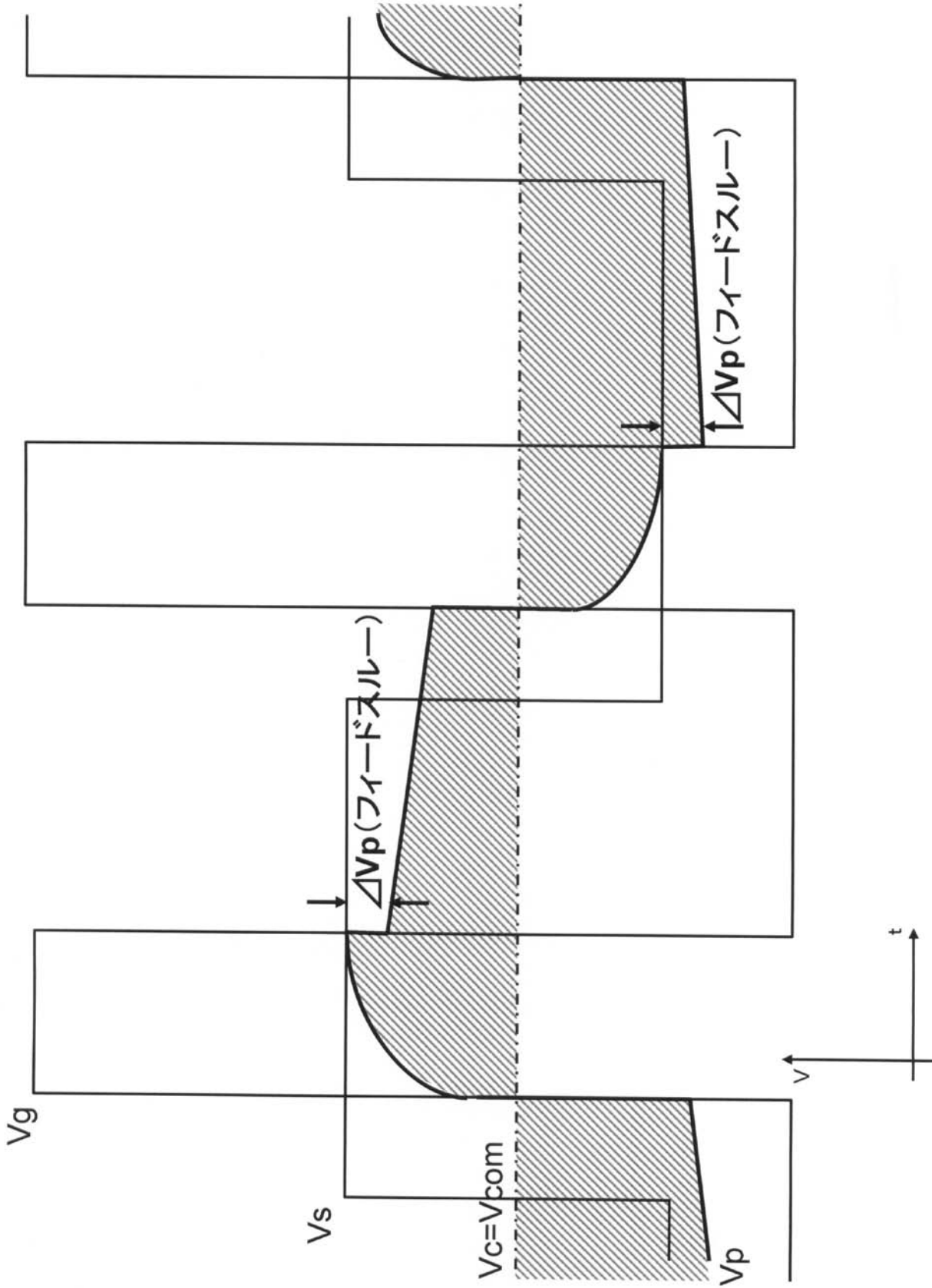
【 図 1 4 】



【図 1】



【図15】



フロントページの続き

Fターム(参考) 5F110 AA02 BB01 CC01 CC03 CC05 DD01 EE02 EE03 EE04 EE07
EE24 EE42 EE43 EE44 FF01 FF02 FF03 FF04 FF27 FF28
FF36 GG04 GG05 GG25 GG28 GG29 GG42 GG43 GG58 HK02
HK03 HK04 HK07 HK32 HK33 HK42 HM04 NN02 NN12 NN27
NN33 NN72 NN73 QQ05 QQ06 QQ08 QQ14