

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/28

(45) 공고일자 2001년11월02일
(11) 등록번호 10-0307828
(24) 등록일자 2001년08월24일

(21) 출원번호	10-1998-0061963	(65) 공개번호	특2000-0045405
(22) 출원일자	1998년12월30일	(43) 공개일자	2000년07월15일

(73) 특허권자 주식회사 하이닉스반도체 박종섭
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 박상준
경기도 수원시 장안구 화서2동 주공아파트 408-1802호
(74) 대리인 이정훈, 이후동

심사관 : 권인희

(54) 반도체소자의 제조방법

요약

본 발명은 반도체소자의 제조방법에 관한 것으로, 특히 하나의 칩에 저전압 소자와 고전압 소자가 함께 형성되는 소자에서 저전압 소자를 기준으로 공정을 진행하여 소자를 형성하고, 고전압 소자의 드레인 영역에만 고전압이 인가되며, 고전압 소자의 콘택이 저전압 소자에 비해 디자율이 크게 형성되는 점을 이용하여, 고전압소자의 드레인 영역과 접촉되어 금속배선과 연결시키는 드레인 콘택 플러그를 저항의 조절이 용이한 물질인 접합과 동일 도전형으로 도핑된 다결정실리콘층과 절연막의 적층 구조로 형성하거나, 동일 도전형 및 반대 도전형으로 도핑된 다결정실리콘층으로 형성하여 고전압 소자의 드레인에 인가되는 고전압을 용이하게 강하시켰으므로, 고전압 드레인 콘택에서의 전자축퇴나 접합 스파이킹에 의한 불량 발생이나, 고전압 소자형성에 따른 수율 및 신뢰성 저하를 방지할 수 있으며, 콘택의 크기를 감소시켜 소자의 고집적화를 유리하게 한다.

대표도

도 1c

명세서

도면의 간단한 설명

- <1> 도 1a 내지 도 1c는 본 발명의 일실시예에 따른 반도체소자의 제조공정도.
<2> 도 2는 본 발명의 다른 실시예에 따른 반도체소자의 단면도.
<3> <도면의 주요 부분에 대한 부호의 설명>
<4> 10 : 반도체 기판 12 : 소자분리 산화막
<5> 14 : 게이트산화막 16 : 게이트전극
<6> 18 : 저농도 불순물영역 20 : 스페이서
<7> 22 : 고농도 불순물영역 22S : 소오스영역
<8> 22D : 드레인영역 24 : 층간절연막
<9> 26 : 감광막패턴 28 : 콘택홀
<10> 30 : n형 도핑된 도전층 32 : 절연막
<11> 34D,39 : 드레인 콘택 플러그 34S : 소오스 콘택 플러그
<12> 36 : 금속배선
<13> 37 : n형 도핑된 다결정실리콘층
<14> 38 : p형 도핑된 다결정실리콘층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

- <15> 본 발명은 반도체소자의 제조방법에 관한 것으로서, 특히 저전압 구동 소자와 고전압 구동 소자가 함께 형성되는 반도체소자에서 고전압 및 저전압 소자를 함께 형성할 수 있어 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있는 반도체소자의 제조방법에 관한 것이다.
- <16> 반도체소자가 고집적화되어 감에 따라 소자의 크기를 감소시키기 위하여 모스 전계효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistor; 이하 MOS FET라 칭함)의 게이트전극이나 소오스/드레인영역 및 이들과의 콘택등 공정 전반의 디자인 룰이 감소되고 있으나, 게이트전극의 폭과 전기저항은 비례 관계에 있어 폭이 N배 줄어들면 전기 저항이 N배 증가되어 반도체소자의 동작 속도를 떨어뜨리는 문제점이 있다. 따라서 게이트전극의 저항을 감소시키기 위하여 가장 안정적인 MOSFET 특성을 나타내는 폴리실리콘층/산화막 계면의 특성을 이용하여 폴리실리콘층과 실리콘사이드의 적층 구조인 폴리사이드가 저저항 게이트로서 사용하기도 한다.
- <17> 일반적으로 반도체소자는 고전압 소자와 저전압 소자를 하나의 칩에 공유하게 되는데, 상기 고전압 소자는 모터 구동등의 고전압 또는 고전류 출력이 필요한 경우나 외부 시스템에서의 고전압 입력이 있는 경우에 사용되고, 상기 저전압 소자는 내부회로에 사용된다.
- <18> 또한 많은 경우가 게이트전극에는 저전압만이 인가되고, 드레인 쪽에만 고전압이 인가되는데, 이러한 고전압 소자의 파괴전압을 높이기 위하여 소자의 구조를 변경하게 된다.
- <19> 즉, 저전압 소자를 기준으로 공정을 진행하게 되고, 고전압 소자는 고전압을 수용할 수 있는 구조로 변경하게 되는데, 일반적으로 높은 파괴 전압을 유지하기 위하여 접합은 저농도의 깊은 접합을 가지게 하는데, 이로 인하여 소자의 면적이 증가되고, 게이트산화막은 F-N 터널링(Fowler-Nordheim tunneling)이 발생하지 않도록 형성하게된다.
- <20> 따라서 저전압을 기초로 형성하는 소자에서 웰 구조를 변경하고, 게이트산화막 두께를 두껍게 형성하며, 저전압 소자와 고전압소자간의 최적 접합 파괴전압을 얻기 위하여 많은 시뮬레이션 및 실험이 필요하게 된다.
- <21> 여기서 상기 고전압 소자의접합 도핑 구조를 변경시키는 것은 드레인에 인가되는 전압이 높기 때문이며, 따라서 저농도의 깊은 접합을 형성하여 전압 강하를 유도하여, 접합 양단에 가해지는 전기장의 크기를 일반적인 임계값인 약 1E5V/cm 보다 작게 유지하여 높은 항복전압을 갖도록하는 것이다. 또한 게이트 산화막의 경우에는 게이트전극과 드레인에 가해지는 전압차에 의한 GIDL(gate-induced drain leakage) 현상에 의한 브레이크 다운을 감소시키고, 측면 디플리션의 확보하기 위하여 게이트산화막의 두께를 변화시키게 된다.
- <22> 상기와 같은 종래 기술에 따른 고전압 소자의 제조방법은 게이트산화막으로 두가지 이상의 두께로 형성하여야하므로 공정이 복잡해지고, 게이트산화막 자체의 신뢰성도 떨어뜨리는 등의 문제점이 있으며, 고전압 소자용 웰과 드레인 도핑 구조의 변경등과 같은 공정을 진행하여야 하므로 공정이 복잡해져 공정수율 및 소자동작의 신뢰성을 떨어뜨리는 다른 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <23> 본 발명은 상기와 같은 문제점들을 해결하기 위한 것으로서, 본 발명의 목적은 드레인 접합의 저항을 조절하여 고전압에 대한 내압 구조를 가지는 고전압 소자를 형성하여 공정이 간단하고, 게이트산화막의 신뢰성을 향상시켜 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있는 반도체소자 및 그 제조방법을 제공함에 있다.

발명의 구성 및 작용

- <24> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 반도체소자의 제조방법의 특징은,
- <25> 제1도전형의 반도체기판에서 고전압 소자로 예정되어있는 부분상에 게이트산화막을 형성하는 공정과,
- <26> 상기 게이트산화막상에 게이트전극을 형성하는 공정과,
- <27> 상기 게이트전극 양측의 반도체기판에 제2도전형의 저농도 불순물영역을 형성하는 공정과,
- <28> 상기 게이트전극의 측벽에 절연 스페이서를 형성하는 공정과,
- <29> 상기 스페이서 양측의 반도체기판에 제2도전형의 고농도 불순물영역을 형성하여 소오스/드레인영역을 형성하는 공정과,
- <30> 상기 드레인영역으로 예정되어있는 부분을 노출시키는 콘택홀을 구비하는 층간절연막을 상기 구조의 표면에 형성하는 공정과,
- <31> 상기 구조의 전표면에 제2도전형의 불순물이 도핑된 다결정실리콘층과 절연막을 순차적으로 형성하는 공정과,
- <32> 상기 층간절연막상의 절연막과 다결정실리콘층을 제거하여 콘택홀을 메우는 다결정실리콘층 패턴과 절연막 패턴으로된 오옴릭 접촉되는 콘택 플러그를 형성하는 공정을 구비함에 있다.
- <33> 본발명의 다른 특징은
- <34> 제1도전형의 반도체기판에서 고전압 소자로 예정되어있는 부분상에 게이트산화막을 형성하는 공정과,

- <35> 상기 게이트산화막상에 게이트전극을 형성하는 공정과,
- <36> 상기 게이트전극 양측의 반도체기판에 제2도전형의 저농도 불순물영역을 형성하는 공정과,
- <37> 상기 게이트전극의 측벽에 절연 스페이서를 형성하는 공정과,
- <38> 상기 스페이서 양측의 반도체기판에 제2도전형의 고농도 불순물영역을 형성하여 소오스/드레인영역을 형성하는 공정과,
- <39> 상기 드레인영역으로 예정되어있는 부분을 노출시키는 콘택홀을 구비하는 층간절연막을 상기 구조의 표면에 형성하는 공정과,
- <40> 상기 구조의 전표면에 제2도전형의 불순물이 도핑된 다결정실리콘층과 제1도전형의 불순물이 도핑된 다결정실리콘층을 순차적으로 형성하는 공정과,
- <41> 상기 층간절연막상의 다결정실리콘층들을 제거하여 콘택홀을 메우는 제1 및 제2도전형의 불순물이 도핑된 다결정실리콘층 패턴들로된 오옴믹 접촉되는 콘택 플러그를 형성하는 공정을 구비함에 있다.
- <42> 이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자의 제조방법에 대하여 상세히 설명을 하기로 한다.
- <43> 도 1a 내지 도 1c는 본 발명의 실시시예에 따른 반도체소자의 제조공정도로서, NMOS의 고전압 소자만을 도시한 예이다.
- <44> 먼저, 실리콘 웨이퍼등의 p형 반도체기판(10)상에 소자분리 산화막(12)을 형성하고, 상기 반도체기판(10)상에 게이트산화막(14)과 다결정실리콘층 패턴으로된 게이트전극(16)을 형성하고, 상기 게이트전극(16) 양측의 반도체기판(10)에 n-의 저농도 불순물영역(18)을 형성한 후, 상기 게이트전극(16)의 측벽에 산화막 스페이서(20)를 형성하고, 상기 스페이서(20) 양측의 저농도 불순물 영역(18)에 n+의 고농도 불순물영역(22)을 형성하여, 소오스/드레인영역(22S, 22D)을 완성한다. 여기서 도시되어있지는 않으나, 동일한 구조로 저전압 소자도 형성된다.
- <45> 그다음 상기 구조의 전표면에 층간절연막(24)을 형성하고, 화학-기계적 연마(chemical mechanical polishing; CMP) 방법으로 평탄화 시킨 다음 상기 소오스/드레인영역중 드레인영역으로 예정되어있는 부분상의 층간절연막(24)을 노출시키는 감광막패턴(26)을 형성한 후, 상기 감광막패턴(26)에 의해 노출되어있는 층간절연막(24)을 제거하여 드레인영역(22D)을 노출시키는 콘택홀(28)을 형성한다. (도 1a 참조).
- <46> 그후, 상기 감광막패턴(26)을 제거하고, 상기 구조의 전표면에 n형 도핑된 도전층(30)과 산화막이나 질화막등의 절연막(32)을 도포하여 상기 콘택홀(28)을 메운다. 여기서 상기 드레인 콘택 플러그로 사용되는 도전층(30)은 불순물 도핑 농도에 따라 저항의 조절이 용이한 다결정실리콘층을 사용한다. (도 1b 참조).
- <47> 그다음 상기 층간절연막(24)상의 절연막(32)과 도전층(30)을 CMP 나 전면 식각 방법 등으로 제거하여 드레인영역(22D)과 접촉되는 드레인 콘택 플러그(34D)를 형성하고, 상기 소오스영역(22S)을 노출시키는 콘택홀을 형성하고, 다시 이를 메우는 소오스 콘택 플러그(34S)를 선택 증착되는 텅스텐이나 금속층으로 형성하며, 각각의 콘택 플러그와 접촉되는 금속배선(36)을 층간절연막(24) 상에 형성한다. (도 1c 참조).
- <48> 상기에서 도전층과 절연막으로 드레인 콘택 플러그를 형성하는 공정은 고전압 소자의 드레인 콘택이 저전압 소자의 콘택 보다 크게 형성되므로, 충분한 디자인 룰상의 여유를 가지고 공정을 진행할 수 있다.
- <49> 또한 드레인 콘택의 크기와 다결정실리콘층의 도핑 정도 및 도전층과 절연막간의 두께를 조절하는 것으로서 드레인 콘택 저항을 용이하게 조절할 수 있으며, 플러그 이온주입이나 플러그 형성후의 이온주입 등으로 드레인영역과 다결정실리콘층간에는 오옴믹 콘택이 되도록하여야 하고, 접합 계면에서의 불순물 농도는 디제너러시(degeneracy)를 보상하여야한다.
- <50> 도 2는 본 발명의 다른 실시시예에 따른 반도체소자의 단면도로서, NMOS 의 예이며, 도 1c 에서의 드레인 콘택 플러그(34D)를 n형 도핑된 다결정실리콘층(37)과 p형 도핑된 다결정실리콘층(38)을 순차적으로 적층하고, 이를 CMP나 전면 이방성 식각으로 제거하여 n형 및 p형 도핑된 다결정실리콘층(37), (38) 패턴으로된 콘택플러그(39)를 형성하고, 후속 공정을 진행한 것이다.
- <51> 여기서 상기 n형 도핑된 다결정실리콘층(37)과 p형 도핑된 다결정실리콘층(38) 모두가 금속배선(36)과 접촉되어 있으며, 상기에서 드레인 접합과는 n형 도핑된 다결정실리콘층(37)이 맞닿아 있고, p형 도핑된 다결정실리콘층(38)은 동일 전압 상태가 된다. 따라서 n-p 접합간의 빌트인 포텐셜 만큼의 전위장벽차가 있어 전류의 흐름에는 p형 도핑된 다결정실리콘층(38)은 기여하지 못하는 준 절연(quasi-insulating) 상태가 되므로, n형 도핑된 다결정실리콘층(37)이 차지하는 면적이 유효 단면적이 되어 저항을 조절하는 수단이 된다. 상기 p형 도핑된 다결정실리콘층(38)은 도핑되지 않은 다결정실리콘층으로 형성할 수도 있다.

발명의 효과

- <52> 상기한 바와같이 본 발명에 따른 반도체소자의 제조방법은, 하나의 칩에 저전압 소자와 고전압 소자가 함께 형성되는 경우 저전압 소자를 기준으로 공정을 진행하여 소자를 형성하고, 고전압 소자의 드레인 영역에만 고전압이 인가되며, 고전압 소자의 콘택이 저전압 소자에 비해 디자인 룰이 크게 형성되는 점을 이용하여, 고전압소자의 드레인 영역과 접촉되어 금속배선과 연결시키는 드레인 콘택 플러그를 저항의 조절이 용이한 물질인 접합과 동일 도전형으로 도핑된 다결정실리콘층과 절연막의 적층 구조로 형성하거나, 동일 도전형 및 반대 도전형으로 도핑된 다결정실리콘층으로 형성하여 고전압 소자의 드레인에 인가

되는 고전압을 용이하게 강하시켰으므로, 고전압 드레인 콘택에서의 전자축퇴나 접합 스파이킹에 의한 불량 발생이나, 고전압 소자형성에 따른 수율 및 신뢰성 저하를 방지할 수 있으며, 콘택의 크기를 감소시켜 소자의 고집적화를 유리하게하는 효과가 있다.

(57) 청구의 범위

청구항 1

제1도전형의 반도체기판에서 고전압 소자로 예정되어있는 부분상에 게이트산화막을 형성하는 공정과,

상기 게이트산화막상에 게이트전극을 형성하는 공정과,

상기 게이트전극 양측의 반도체기판에 제2도전형의 저농도 불순물영역을 형성하는 공정과,

상기 게이트전극의 측벽에 절연 스페이서를 형성하는 공정과,

상기 스페이서 양측의 반도체기판에 제2도전형의 고농도 불순물영역을 형성하여 소오스/드레인영역을 형성하는 공정과,

상기 드레인영역으로 예정되어있는 부분을 노출시키는 콘택홀을 구비하는 층간절연막을 상기 구조의 표면에 형성하는 공정과,

상기 구조의 전표면에 제2도전형의 불순물이 도핑된 다결정실리콘층과 절연막을 순차적을 형성하는 공정과,

상기 층간절연막상의 절연막과 다결정실리콘층을 제거하여 콘택홀을 메우는 다결정실리콘층 패턴과 절연막 패턴으로된 오움믹 접촉되는 콘택 플러그를 형성하는 공정을 구비하는 반도체소자의 제조방법.

청구항 2

제 1 항에 있어서, 상기 층간절연막을 형성한후에 콘택홀을 형성하기전 단계에서 평탄화를 위한 CMP 공정을 실시하는 것을 특징으로하는 반도체소자의 제조방법.

청구항 3

제1도전형의 반도체기판에서 고전압 소자로 예정되어있는 부분상에 게이트산화막을 형성하는 공정과,

상기 게이트산화막상에 게이트전극을 형성하는 공정과,

상기 게이트전극 양측의 반도체기판에 제2도전형의 저농도 불순물영역을 형성하는 공정과,

상기 게이트전극의 측벽에 절연 스페이서를 형성하는 공정과,

상기 스페이서 양측의 반도체기판에 제2도전형의 고농도 불순물영역을 형성하여 소오스/드레인영역을 형성하는 공정과,

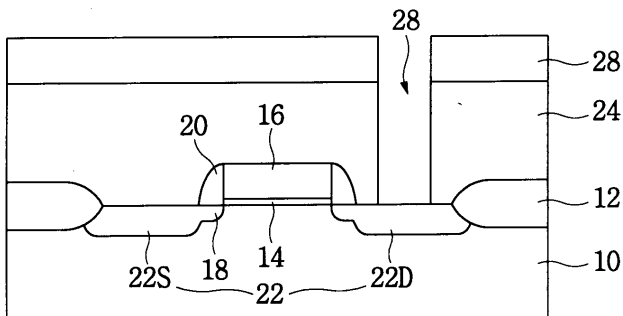
상기 드레인영역으로 예정되어있는 부분을 노출시키는 콘택홀을 구비하는 층간절연막을 상기 구조의 표면에 형성하는 공정과,

상기 구조의 전표면에 제2도전형의 불순물이 도핑된 다결정실리콘층과 제1도전형의 불순물이 도핑된 다결정실리콘층을 순차적을 형성하는 공정과,

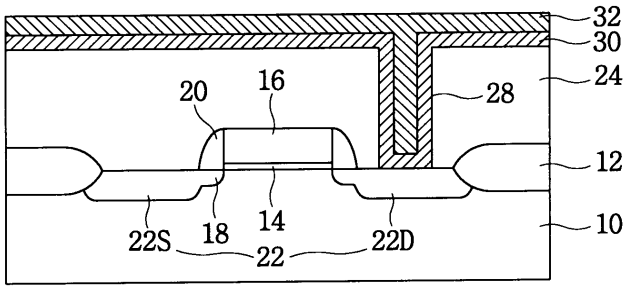
상기 층간절연막상의 다결정실리콘층들을 제거하여 콘택홀을 메우는 제1 및 제2도전형의 불순물이 도핑된 다결정실리콘층 패턴들로된 오움믹 접촉되는 콘택 플러그를 형성하는 공정을 구비하는 반도체소자의 제조방법.

도면

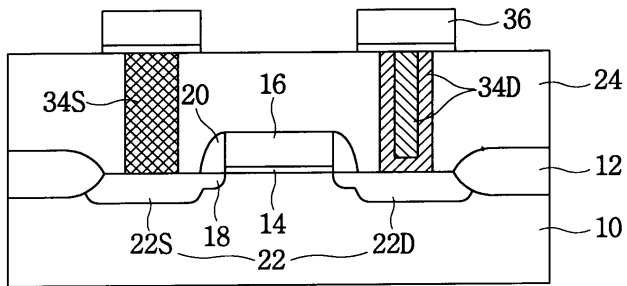
도면 1a



도면 1b



도면 1c



도면 2

