

申請日期	89. 4. 15
案 號	89107075
類 別	H01C 23/60

A4
C4

441074

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	高壓元件之靜電放電保護電路構造
	英 文	
二、發明 創作人	姓 名	潘瑞祥
	國 籍	中華民國
	住、居所	新竹市光復路一段 390 號
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代 表 人 姓 名	曹興誠

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (|)

本發明是有關於一種高壓元件之靜電放電保護電路構造，且特別有關於一種使用虛擬 N+區域之高壓元件之靜電放電保護電路構造，以增加寄生雙載子電晶體基極與集極寬度，來確保維持電壓(Hold Voltage)大於運作(Operation)電壓，而避免發生鎖存(Latch up)情形。

在積體電路中，例如動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)的製造過程中或是晶片完成後，靜電放電事件常是導致積體電路損壞的主要原因。例如在地毯上行走的人體，於相對濕度(RH)較高的情況下可檢測出約帶有幾百至幾千伏的靜電，而於相對濕度較低的情況下則可檢測出約帶有一萬伏以上的靜電。當這些帶電體接觸到晶片時，將會向晶片放電，結果有可能造成晶片失效。於是，為了避免靜電放電損傷晶片，各種防制靜電放電的方法便因應而生。最常見的習知作法是利用硬體防制靜電放電，也就是在內部電路(Internal Circuit)與每一焊墊(Pad)間，均設計一晶片嵌入式(On-Chip)的靜電放電保護電路以保護其內部電路。

接著，我們以第 1 圖所繪示習知的高壓靜電放電保護電路結構圖來說明。一 N 型基底 10 上形成一高壓 N 井區域 12 與一高壓 P 井區域 14。然後，在高壓 N 井區域 12 上形成一 PMOS 電晶體 16，其中 PMOS 電晶體之閘極 18 與源極 20 同時連接到一高電壓 VDD，其汲極 22 連接到一輸入輸出墊(I/P PAD)23 之電壓。

其中上述源極 20 係由一 P+型區域 24、一 P 型漸進

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

(P-grade)區域 26 以及 P 型漂移區域 28 所構成。而 P+型區域 24 下面外圍部分則為 P 型漸進區域 26，而 P 型漂移區域 28 則連接在 P 型漸進區域 26 靠近閘極 18 內側。相同的汲極 22 亦具有相同結構，由一 P+型區域 30、一 P 型漸進區域 32 以及漂移區域 34 所構成。其中，P+型區域 30 下面外圍部分則為 P 型漸進區域 32，而 P 型漂移區域 34 則連接在 P 型漸進區域 32 靠近閘極 18 內側。此外在高壓 N 井區域 12 內，還包括一第一隔離區域 36，連接到 PMOS 晶體之源極 20，以及一 N+基座連接區域 38，連接到第一隔離區域 36，並接收一高電壓 V_{DD} 。

另外，在高壓 N 井區域 12 與高壓 P 井區域 14 交錯處上，具有一第二隔離區域 40。接著，說明在高壓 P 井區域 14 內結構所形成的 NMOS 電晶體 42，其中 NMOS 電晶體 42 連接到第二隔離區域 40，其閘極 44 與源極 46 同時接收一接地電壓 V_{SS} ，至於汲極 48 則連接到輸入輸出墊(I/P PAD)23 之電壓，與上述高壓 N 井區域 12 之源極和汲極類似，在高壓 P 井區域 14 之汲極 48 由 N+型區域 50、N 型漸進區域 52 以及 N 型漂移區域 54 所構成。其中，N+型區域 50 下面外圍部分則與 N 型漸進區域 52 連接，而 N 型漂移區域 54 則連接在 N 型漸進區域 52 靠近閘極 44 內側。而源極 46 亦具有相同結構，即由一 N+型區域 56、一 N 型漸進區域 58 以及 N 型漂移區域 60 所構成。其中，N+型區域 56 下面外圍部分則為 N 型漸進區域 58，而漂移區域 60 則連接在 N 型漸進區域 58 靠近閘極 44 內側。此外在高壓 P 井區域 14 內，還具有第三隔離區域 62，連接 NMOS 電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

晶體之源極 46，以及 P+基座連接區域 64，連接到第三隔離區域 62，並接收一接地電壓 V_{ss} 。

由於高壓製程需要下，使得 P 井區域 24 也形成高阻值，所以也相對使得崩潰電壓(Breakdown Voltage; BV)相當的高，並使得在第 1 圖中兩個寄生雙載子電晶體 66、68 在超過觸發電壓 V_{t1} ，而觸發導通後，馬上降到急回(Snapback)電壓，如第 2 圖所示寄生雙載子電晶體特性曲線圖形可以看出，在電壓超過 V_{t1} 後，使得寄生雙載子電晶體導通，急速的降到急回電壓 S_b ，然後電流逐漸放大後，電壓也逐漸上升到超過操作高電壓(Operation high voltage) V_{op} 。在上述過程中，由於 P 井區域阻值高，所以急回電壓 S_b 遠低於操作高電壓 V_{op} ，對於正常工作時，靜電放電保護元件在低於操作高電壓 V_{op} 導通時，很容易發生鎖存(Latch up)現象，而使得產品功能失效。

本發明就是在提供一種高壓元件之靜電放電保護電路構造，利用以增加一虛擬 N+區域，使汲極到閘極距離增加，以調整寄生雙載子電晶體之增益值 β ，而達到維持電壓大於運作電壓，而避免發生鎖存情形。

本發明提出一種高壓元件之靜電放電保護電路構造，載一基底上，分別形成一高壓 N 井區域與一高壓 P 井區域，其中兩者彼此連接。接著在該高壓 N 井區域內，形成一 PMOS 電晶體，其閘極與源極同時接收一高電壓，汲極接收一輸入輸出端墊電壓，且汲極與源極皆包括一 P+型區域，一 P 型漸進區域，位於 P+型區域下面外圍，以及一 P 型標移區域，位於 P 型漸進區域與閘極下面之間。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

然後，在高壓N井區域內部在形成第一隔離區域，以連接到PMOS電晶體之源極，並在高壓N井區域內，形成一N+基座連接區域，連接到第一隔離區域，且接收高電壓。接著，於高壓N井區域內，連接PMOS電晶體之汲極旁，形成第二隔離區域，然後再於高壓N井區域內形成一虛擬N+區域，並連接第二隔離區域，此外接著形成第三隔離區域於高壓N井區域內，並連接虛擬N+區域。

接著，形成一NMOS電晶體，連接在第三隔離區域旁，其閘極與源極位於高壓P井區域，並同時接收一接地電壓，其汲極位於高壓N井區域與高壓P井區域交接處，連接第三隔離區域，並接收輸入輸出墊電壓，且汲極與源極皆包括一N+型區域，一N型漸進區域，位於N+型區域下面外圍，以及一N型標移區域，位於N型漸進區域與閘極下面之間。接著，在高壓P井區域內形成一第四隔離區域，連接NMOS電晶體之源極旁。以及一P+基座連接區域位於高壓P井區域內，並連接到第三隔離區域，且接收接地電壓。

由於增加一虛擬N+區域，使得NMOS電晶體之汲極到閘極距離增加，就可以有效調整寄生雙載子電晶體之基極寬度，使得在運作時維持電壓能夠大於運作電壓，避免發生鎖存情形。此外上述基底一般使用一N型基底。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖繪示習知的高壓靜電放電保護電路結構圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

第 2 圖繪示寄生雙載子電晶體特性曲線圖形；以及
第 3 圖繪示依照本發明一較佳實施例的一種高壓靜電
放電保護電路結構圖；以及

第 4 圖繪示修正的寄生雙載子電晶體特性曲線圖形。

圖式之標號說明：

- | | |
|------------------|------------------|
| 10、100: N 型基底 | 12、102: N 井區域 |
| 14、104: P 井區域 | 16、106: NMOS 電晶體 |
| 18、108: 閘極 | 20、110: 源極 |
| 22、112: 汲極 | 23、123: 輸入輸出墊 |
| 24、114: P+型區域 | 26、116: P 型漸進區域 |
| 28、118: 漂移區域 | 30、120: P+型區域 |
| 32、122: P 型漸進區域 | |
| 34、124: P 型漂移區域 | |
| 36、126: 第一隔離區域 | |
| 38、128: N+基座連接區域 | |
| 40、130: 第二隔離區域 | |
| 42、136: NMOS 電晶體 | |
| 44、138: 閘極 | 46、140: 源極 |
| 48、142: 汲極 | 50、144: N+型區域 |
| 52、146: N 型漸進區域 | |
| 54、148: N 型漂移區域 | |
| 56、150: N+型區域 | |
| 58、152: N 型漸進區域 | |
| 60、154: N 型漂移區域 | |
| 62、134: 第三隔離區域 | |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

五、發明說明(6)

64、158: P+基座連接區域

66、68: 雙載子電晶體

132: 虛擬 N+區域

156: 第四隔離區域

實施例

請參照第 3 圖，其繪示的是依照本發明一較佳實施例的一種高壓靜電放電保護電路結構圖。

在圖中，首先由最底部之一 N 型基底 100 上形成一高壓 N 井區域 102 與一高壓 P 井區域 104。然後，在高壓 N 井區域 102 上形成一 PMOS 電晶體 106，其中 PMOS 電晶體 106 之閘極 108 與源極 110 同時連接到一高電壓 VDD，其汲極 112 連接到一輸入輸出墊(I/P PAD)113 之電壓。

其中上述源極 110 係由一 P+型區域 114、一 P 型漸進區域 116 以及 P 型漂移區域 118 所構成。而 P+型區域 114 下面外圍部分則為 P 型漸進區域 116，而 P 型漂移區域 118 則連接在 P 型漸進區域 116 靠近閘極 108 內側。相同的汲極 112 亦具有相同結構，由一 P+型區域 120、一 P 型漸進區域 122 以及 P 型漂移區域 124 所構成。其中，P+型區域 120 下面外圍部分則為 P 型漸進區域 122，而 P 型漂移區域 124 則連接在 P 型漸進區域 122 靠近閘極 108 內側。此外在高壓 N 井區域 102 內，還包括一第一隔離區域 126，連接到 PMOS 晶體 106 之源極 110，以及一 N+基座連接區域 128，連接到第一隔離區域 126，並接收一高電壓 VDD。

上述部分與習知完全相同，接著，說明本發明與習知相異之處，在高壓 N 井區域 102 內部，連接 PMOS 電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(↑)

106 之汲極 112，形成一第二隔離區域 130，然後於第二隔離區域 130 旁，再形成一虛擬 N+區域 132，其中虛擬 N+區域 132 由一 N+型區域 131 與一 N 型漸進區域 133 所構成，而虛擬 N+區域 132 另一邊再連接一第三隔離區域 134，其中虛擬 N+區域 132 與第三隔離區域 134 皆位於高壓 N 井區域 102 內。

接著形成一 NMOS 電晶體 136，連接到第三隔離區域 134，且其閘極 138 與源極 140 位於高壓 P 井區域 104，並同時接收一接地電壓 V_{ss} ，而汲極 142 則位於高壓 N 井區域 102 與高壓 P 井區域 104 交接處，連接第三隔離區域 134，並接收輸入輸出墊電壓 113。其中，在高壓 P 井區域 104 之汲極 142 由 N+型區域 144、N 型漸進區域 146 以及 N 型漂移區域 148 所構成。其中，N+型區域 144 下面外圍部分則與 N 型漸進區域 146 連接，且 N 型漸進區域 146 位於高壓 N 井區域 102 與高壓 P 井區域 104 交接處，至於 N 型漂移區域 148 則連接在 N 型漸進區域 146 靠近閘極 138 內側。而源極 140 亦具有相同結構，即由一 N+型區域 150、一 N 型漸進區域 152 以及 N 型漂移區域 154 所構成。其中，N+型區域 150 下面外圍部分則為 N 型漸進區域 152，而漂移區域 154 則連接在 N 型漸進區域 152 靠近閘極 138 內側。此外在高壓 P 井區域 104 內，還具有第四隔離區域 156，連接 NMOS 電晶體 136 之源極 140，以及 P+基座連接區域 158 連接到第四隔離區域 156，並接收一接地電壓 V_{ss} 。

由於本發明增加一虛擬 N+區域 132 與第三隔離區域

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

134，所以在圖形中我們可以看出寄生雙載子電晶體160之基極寬度增加d，使得其本身的增益因此下降，而提高維持電壓保持在大於運作電壓之上，如第4圖所示之虛線，所以不會發生鎖存情形。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱： 高壓元件之靜電放電保護電路構造)

一種高壓元件之靜電放電保護電路構造，增加一虛擬N+區域於 NMOS 電晶體於原先高壓元件之靜電放電保護電路構造。如此可增加汲極到閘極距離，而且有效的增加寄生雙載子電晶體之基極寬度，使得維持電壓大於運作電壓，而避免發生鎖存情形。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

六、申請專利範圍

1. 一種高壓元件之靜電放電保護電路構造，包括：
 - 基底；
 - 高壓N井區域，位於該基底上；
 - 高壓P井區域，位於該基底上，並連接該高壓N井區域；
 - PMOS電晶體，位於該高壓N井區域內，具有一閘極、一汲極、一源極，該閘極與該源極同時接收一高電壓，該汲極接收一輸入輸出端墊電壓，且該汲極與該源極皆包括
 - P+型區域，一P型漸進區域，位於該P+型區域下面外圍，以及一P型標移區域，位於該P型漸進區域與該閘極下面之間；
 - 第一隔離區域，位於該高壓N井區域內部，並連接到該PMOS電晶體之源極；
 - N+基座連接區域，位於該高壓N井區域內，並連接到該第一隔離區域，且接收該高電壓；
 - 第二隔離區域，位於該高壓N井區域內，並連接該PMOS電晶體之汲極；
 - 虛擬N+區域，位於該高壓N井區域內，並連接該第二隔離區域；
 - 第三隔離區域，位於該高壓N井區域內，並連接該虛擬N+區域；
 - NMOS電晶體，連接該第三隔離區域，具有一閘極、一汲極、一源極，該閘極與該源極位於該高壓P井區域，並同時接收一接地電壓，該汲極位於該高壓N井區域與該高壓P井區域交接處，連接該第三隔離區域，並接收該輸入輸

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

出墊電壓，且該汲極與該源極皆包括一N+型區域，一N型漸進區域，位於該N+型區域下面外圍，以及一N型標移區域，位於該N型漸進區域與該閘極下面之間；

一第四隔離區域，位於該高壓P井區域內，連接該NMOS電晶體之源極；以及

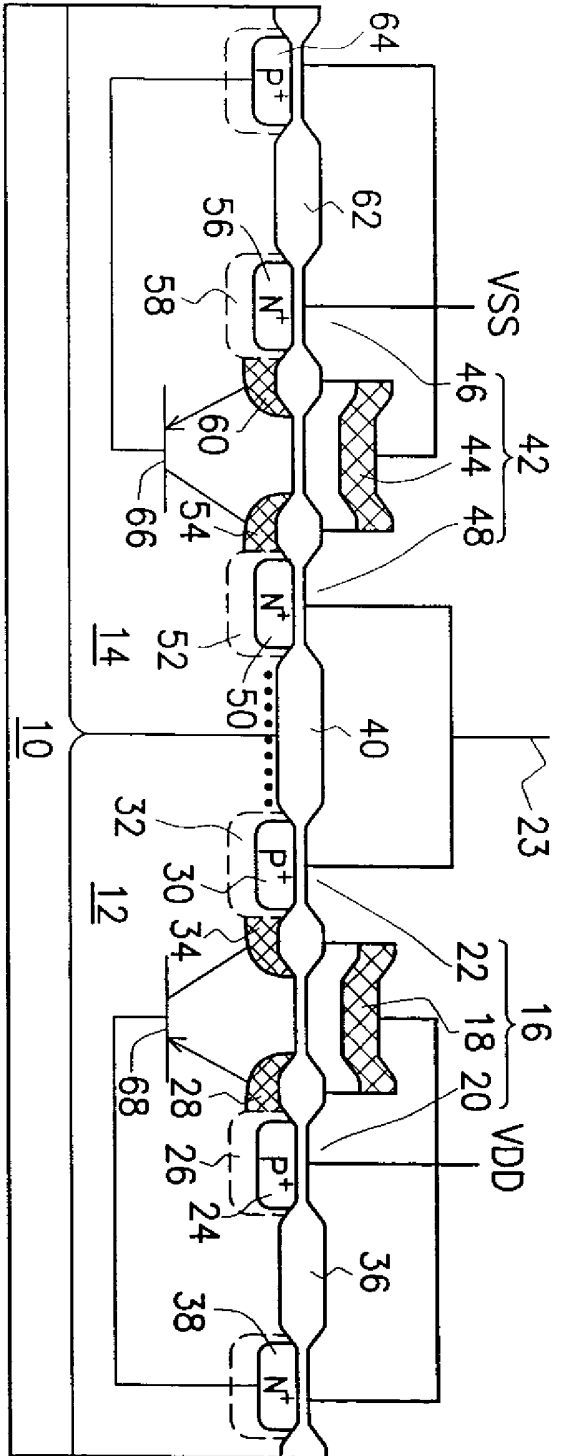
一P+基座連接區域，位於該高壓P井區域內，並連接到該第三隔離區域，且接收該接地電壓。

2.如申請專利範圍第1項所述之高壓元件之靜電放電保護電路構造，其中該基底為一N型基底。

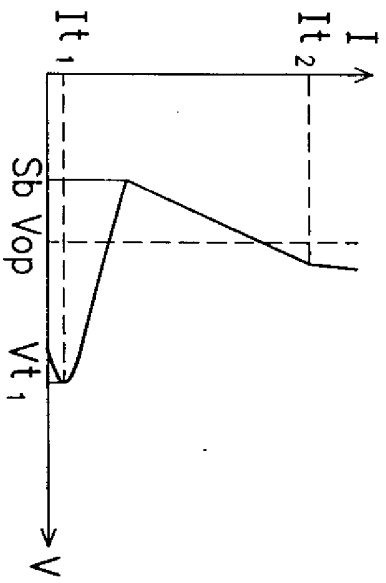
3.如申請專利範圍第1項所述之高壓元件之靜電放電保護電路構造，其中該虛擬N+區域包括一N+型區域以及一N型漸進區域。

(請先閱讀背面之注意事項再填寫本頁)

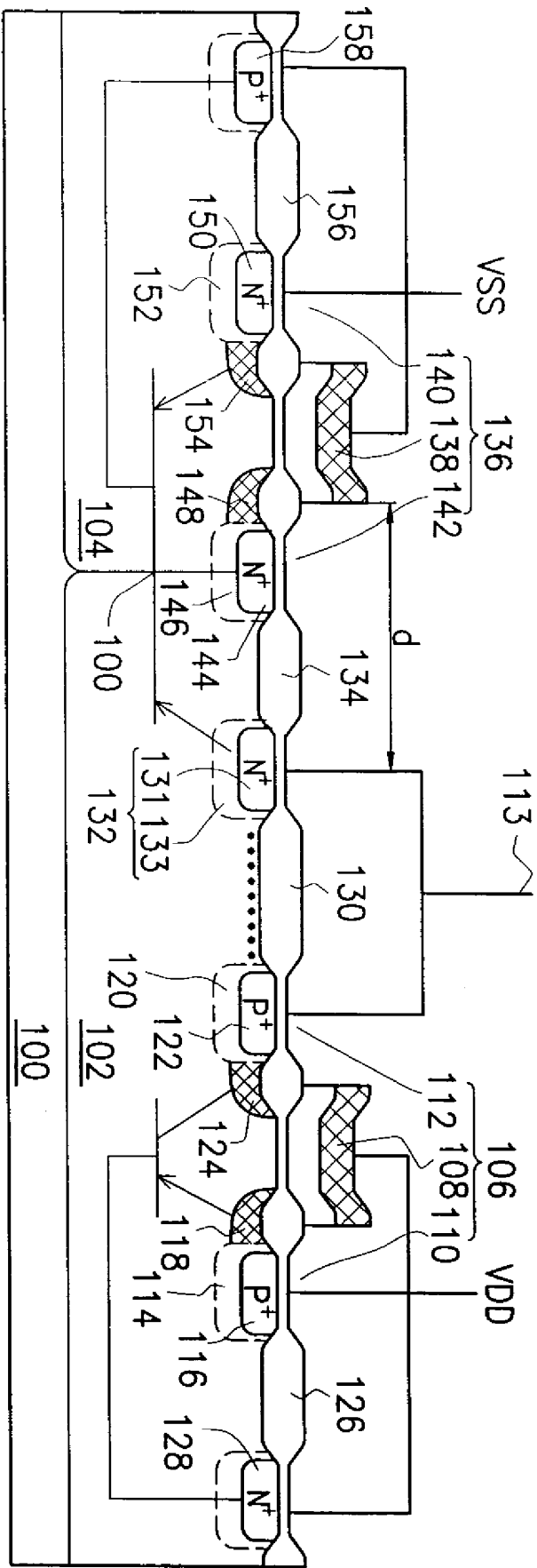
裝
訂
線



第 1 圖

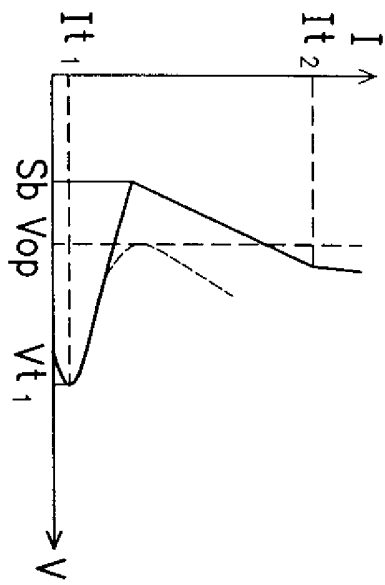


第 2 圖



第 3 圖

5771TW



第 4 圖