

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 95132508

※申請日期： 95.9.1

※IPC 分類： G09G 3/18 (2006.01)

一、發明名稱：(中文/英文)

可消除殘留電荷之控制電路 / Control Circuit for Releasing Residual Charges

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

友達光電股份有限公司 / AU Optronics Corp.

代表人：(中文/英文) 李焜耀 / Kuen-Yao Lee

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行二路一號 /

No. 1, Li-Hsin Road II, Science-Based Industrial Park, Hsin-Chu, Taiwan,
R.O.C

國籍：(中文/英文) 中華民國 / R.O.C.

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 張立勳 / Chang, Lee-Hsun

ID : P122310786

2. 林毓文 / Lin, Yu-Wen

ID : H120709299

3. 鄭詠澤 / Cheng, Yung-Tse

ID : R122530146

國籍：(中文/英文)

1. 中華民國 / R.O.C.

2. 中華民國 / R.O.C.

3. 中華民國 / R.O.C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明涉及一種控制電路，尤其是指一種利用時脈訊號來消除各級暫存器中殘留電荷之控制電路。

【先前技術】

功能先進的顯示器漸成為現今消費電子產品的重要特色，其中液晶顯示器已經逐漸成為各種電子設備如行動電話、個人數位助理(PDA)、數位相機、電腦螢幕或筆記型電腦螢幕所廣泛應用具有高解析度彩色螢幕的顯示器。

移位暫存器 (shift register) 為液晶顯示面板之驅動電路中之一重要結構，其用以驅動液晶顯示面板中各級顯示電路，因此移位暫存器之電路設計對液晶顯示面板之效能具有決定性之影響。

請參閱第 1 圖，第 1 圖係先前技術之液晶顯示器中單級移位暫存器 10 之電路結構圖。該移位暫存器 10 主要包含一拉高區塊 (pull-up section) 12、一拉低區塊 (pull-down section) 14、一拉低驅動區塊 (pull-down driving section) 16 與一拉高驅動區塊 (pull-up driving section) 18。該拉高區塊 12 具有一電晶體 NT11，用以接收一時脈訊號 CK 與輸出一輸出訊號 GOUT。該電晶體 NT11 之閘極電性連接至一節點 N3，且該節點 N3 電性連接至另一電晶體 NT18。電晶體 NT18 之閘極用以接收一清除訊號 CLR。請同時參閱第 2 圖，其為第 1 圖中各節點之訊號時序圖。當該清除訊號 CLR 為高電位時，電晶體 NT18 會被打開而將節點 N3 所殘留之電荷藉由低電位 V_{SS} 釋

放掉。然而，由於先前技術之移位暫存器係在無畫面訊號輸入的時間內（即 blanking time，每幀畫面輸入的間隔時間）啟動清除訊號 CLR 以釋放節點 N3 所殘留之電荷，如第 2 圖所示，清除訊號 CLR 是在最後一級輸出訊號 GOUT(Last)與起始訊號 STV 之間啟動。這樣一來，就必須以外部電源額外提供該清除訊號 CLR，而且若清除訊號 CLR 的啟動時間太過接近最後一級輸出訊號 GOUT(Last)時，也會導致最後一級的電路效能不佳。

因此，必須提出一種可利用內部時脈訊號來消除各級中殘留電荷之移位暫存器，且該時脈訊號係在畫面訊號輸入的時間內運作，以克服先前技術之缺陷。

【發明內容】

本發明之主要目的在於提供一種利用內部時脈訊號來消除各級暫存器中殘留電荷且不影響各級電路效能之控制電路。

依據本發明之上述目的，本發明提供一種控制電路，其包含複數級暫存器，每一級暫存器用以分別輸出一輸出訊號，該輸出訊號並做為下一級之驅動訊號。每一級暫存器設有一電晶體用以接收一清除訊號，當清除訊號為高電位時，則可藉由該電晶體釋放該級暫存器之殘留電荷。

每一級暫存器可利用相隔一預設數量之暫存器之輸出訊號來做為該級暫存器之清除訊號，該清除訊號只要不與該級輸出訊號或其前一級輸出訊號同步即可。該級暫存器要輸出該級輸出訊號前，可先釋放該級暫存器之殘留電荷，使該級暫存器在輸出該級輸出訊號時的電荷耦合效應可降到最

低，因此即可維持各級暫存器輸出訊號的品質。

本發明之控制電路利用內部時脈訊號來控制各級暫存器中之電晶體，以消除各級暫存器之殘留電荷，且該時脈訊號係在畫面訊號輸入的時間內運作，故無需額外之外部電源。本發明之控制電路可有效地降低移位暫存器中之電荷耦合效應，並可提升暫存器電路的效能與增加其使用壽命。

【實施方式】

請參閱第 3 圖，第 3 圖係本發明控制電路之一實施例之結構示意圖。控制電路 30 包含複數級暫存器，該複數級暫存器係以串聯方式連接。每一級暫存器用以分別輸出一輸出訊號，該輸出訊號並做為下一級之驅動訊號，例如：第 1 級暫存器 302 接收起始訊號 ST，並輸出一輸出訊號 OUTPUT_1 做為第 2 級暫存器 304 之驅動訊號；第 2 級暫存器 304 接收第 1 級暫存器 302 所輸出之輸出訊號 OUTPUT_1，並輸出一輸出訊號 OUTPUT_2 做為第 3 級暫存器 306 之驅動訊號，依此類推。各級暫存器同時接收由一時脈訊號產生器 320 所產生之一第一時脈訊號 CK 與一第二時脈訊號 XCK，藉以控制各級暫存器訊號輸出之運作。第一時脈訊號 CK 與一第二時脈訊號 XCK 互為反相。

在第 3 圖中，控制電路 30 所例示之清除訊號 CLR 係由時脈訊號產生器 320 所產生並與起始訊號 ST 同步。當清除訊號 CLR 啟動時（即呈高電位時），除了第 1 級暫存器 302 外，其他各級暫存器之殘留電荷皆會被釋放，因此可降低各級暫存器在輸出其各別之輸出訊號的電荷耦合效應（Coupling）。由於此實施例所例示之清除訊號 CLR 係與起始訊號 ST 同步，

故第 1 級暫存器 302 並不接收該清除訊號 CLR，以免影響其輸出訊號 OUTPUT_1 之正常輸出。該清除訊號 CLR 亦可改為與其他任何一級之輸出訊號同步，而其輸出訊號與清除訊號 CLR 同步之該級暫存器則不接收該清除訊號 CLR，以維持該級暫存器輸出訊號之正常運作。

請參閱第 4 圖，第 4 圖係本發明控制電路之另一實施例之結構示意圖。控制電路 40 之各級結構與上述控制電路 30 相似，而不同之處在於：每一級暫存器接收各別之清除訊號，且每一級暫存器所接收之清除訊號係為前兩級暫存器之輸出訊號。例如：第 3 級暫存器 406 所接收之清除訊號 CLR_3 為第 1 級暫存器 402 之輸出訊號 OUTPUT_1，依此類推，第 N 級暫存器 410 所接收之清除訊號 CLR_N 則為第 N-2 級暫存器之輸出訊號 OUTPUT_{N-2}。

在第 4 圖中，由於每一級暫存器皆有各別之清除訊號，故每一級暫存器皆可在其各別之清除訊號啟動時，釋放掉其內部之殘留電荷。由於在每一級暫存器要輸出該級輸出訊號前，前一級暫存器之電荷耦合效應最為嚴重，故利用前兩級暫存器之輸出訊號來做為該級暫存器之清除訊號，目的在於預先在該級暫存器要輸出該級輸出訊號前，先釋放該級暫存器之殘留電荷，使該級暫存器在輸出該級輸出訊號時的電荷耦合效應可降到最低，因此即可維持各級暫存器輸出訊號的品質。每一級暫存器之清除訊號亦可選擇相隔其他數量之暫存器所輸出之輸出訊號，只要不與該級輸出訊號或其前一級輸出訊號同步即可。

請參閱第 5 圖，第 5 圖係本發明控制電路之單級暫存器之電路結構圖。單級暫存器 50 包含一第一時脈訊號拉低電路 52、一第二時脈訊號拉低電路

54、一第 N+1 級輸出訊號拉低電路 56 與電晶體 T1、T2、T3。電晶體 T1 接收驅動訊號 N-1 並用以控制電晶體 T2 之開啟來輸出輸出訊號 OUT_N。電晶體 T3 接收清除訊號 CLR，當清除訊號 CLR 為高電位時，電晶體 T3 被打開，使電晶體 T2 之閘極電位被拉至低電位 V_{SS} ，藉此可釋放電晶體 T2 之殘留電荷。而第 N+1 級輸出訊號拉低電路 56 則在第 N+1 級輸出訊號為高電位時，同樣可將電晶體 T2 之閘極電位被拉至低電位 V_{SS} 以釋放電晶體 T2 之殘留電荷。因此，在顯示每一畫面的時間內，每一級暫存器可釋放電晶體 T2 之殘留電荷兩次，如此可降低整體移位暫存器之偏壓效應 (stress)，並可提高暫存器電路的效能與增加其使用壽命。

當單級暫存器 50 之電路結構應用於第 3 圖所示之控制電路 30 時，則其輸出訊號與清除訊號 CLR 同步之該級暫存器不接收該清除訊號 CLR，故該級暫存器不需設置電晶體 T3。

請參閱第 6 圖，其為應用單級暫存器 50 各節點之訊號時序圖。清除訊號 CLR 可選擇與起始訊號 ST 或第 N-2 級、第 N-3 級等暫存器之輸出訊號同步，使節點 Q 之殘留電荷可適時地被釋放，以改善電荷耦合效應。

相較於先前技術，本發明之控制電路利用內部時脈訊號來控制各級暫存器中之電晶體，以消除各級暫存器之殘留電荷，且該時脈訊號係在畫面訊號輸入的時間內運作，故無需額外之外部電源。本發明之控制電路可有效地降低移位暫存器中之電荷耦合效應，並可提升暫存器電路的效能與增加其使用壽命。

以上所述者僅為本發明之較佳實施方式，舉凡熟習本案技術之人士援

依本發明之精神所作之等效修飾或變化，皆涵蓋於後附之申請專利範圍內。

【圖式簡單說明】

第 1 圖為先前技術之單級移位暫存器之電路結構圖。

第 2 圖為第 1 圖中該移位暫存器各節點之訊號時序圖。

第 3 圖為本發明控制電路之一實施例之結構示意圖。

第 4 圖為本發明控制電路之另一實施例之結構示意圖。

第 5 圖為本發明控制電路之單級電路結構圖。

第 6 圖為第 5 圖中各節點之訊號時序圖。

【主要元件符號說明】

30、40	控制電路
302-310、402-410	各級暫存器
320、420	時脈訊號產生器
50	單級移位暫存器
52	第一時脈訊號拉低電路
54	第二時脈訊號拉低電路
56	第 N+1 級輸出訊號拉低電路
T1-T3	電晶體
CK	第一時脈訊號
XCK	第二時脈訊號
CLR	清除訊號

OUTPUT_N 各級輸出訊號驅動訊號

ST 起始訊號

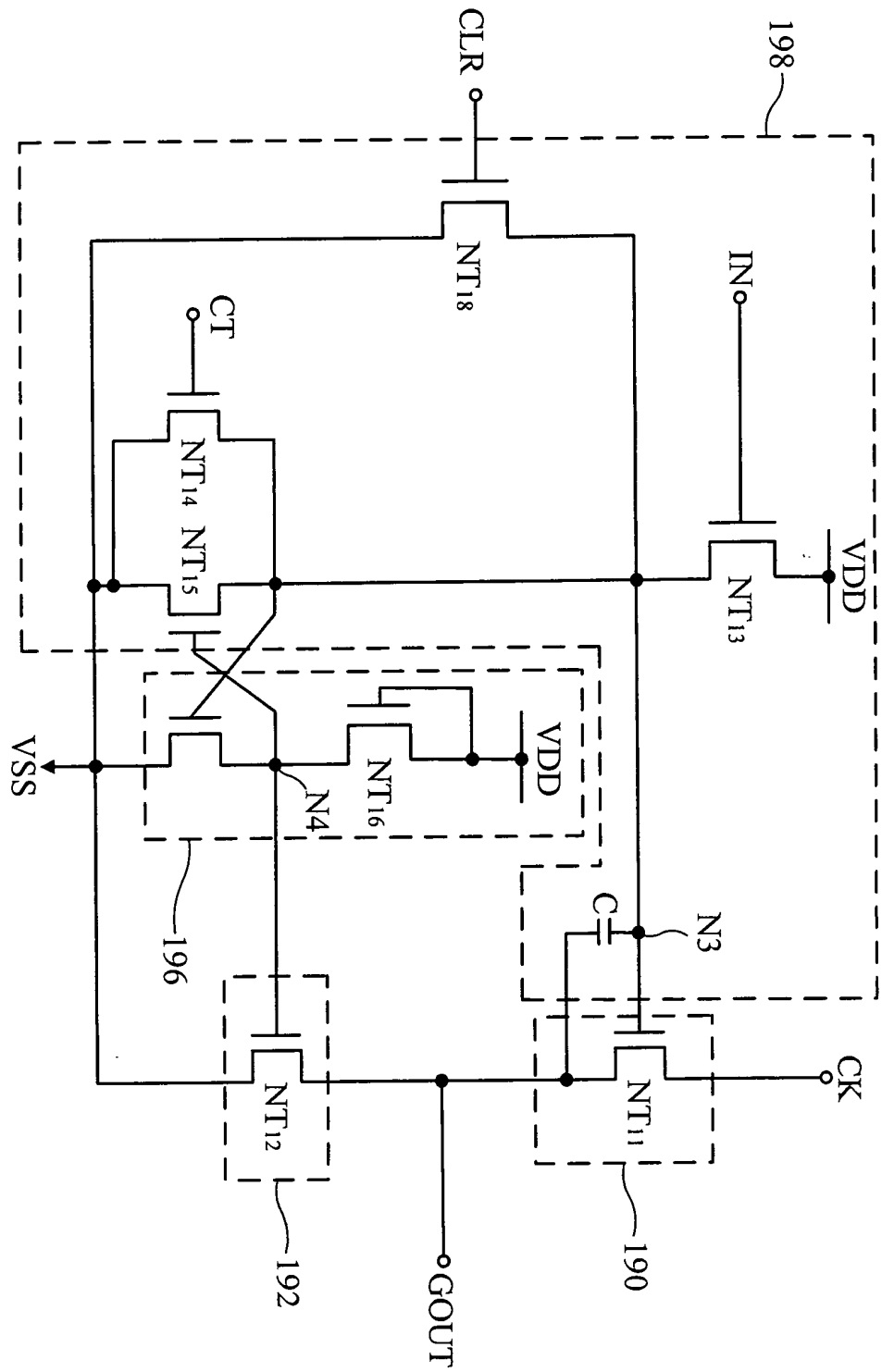
Q 節點

五、中文發明摘要：

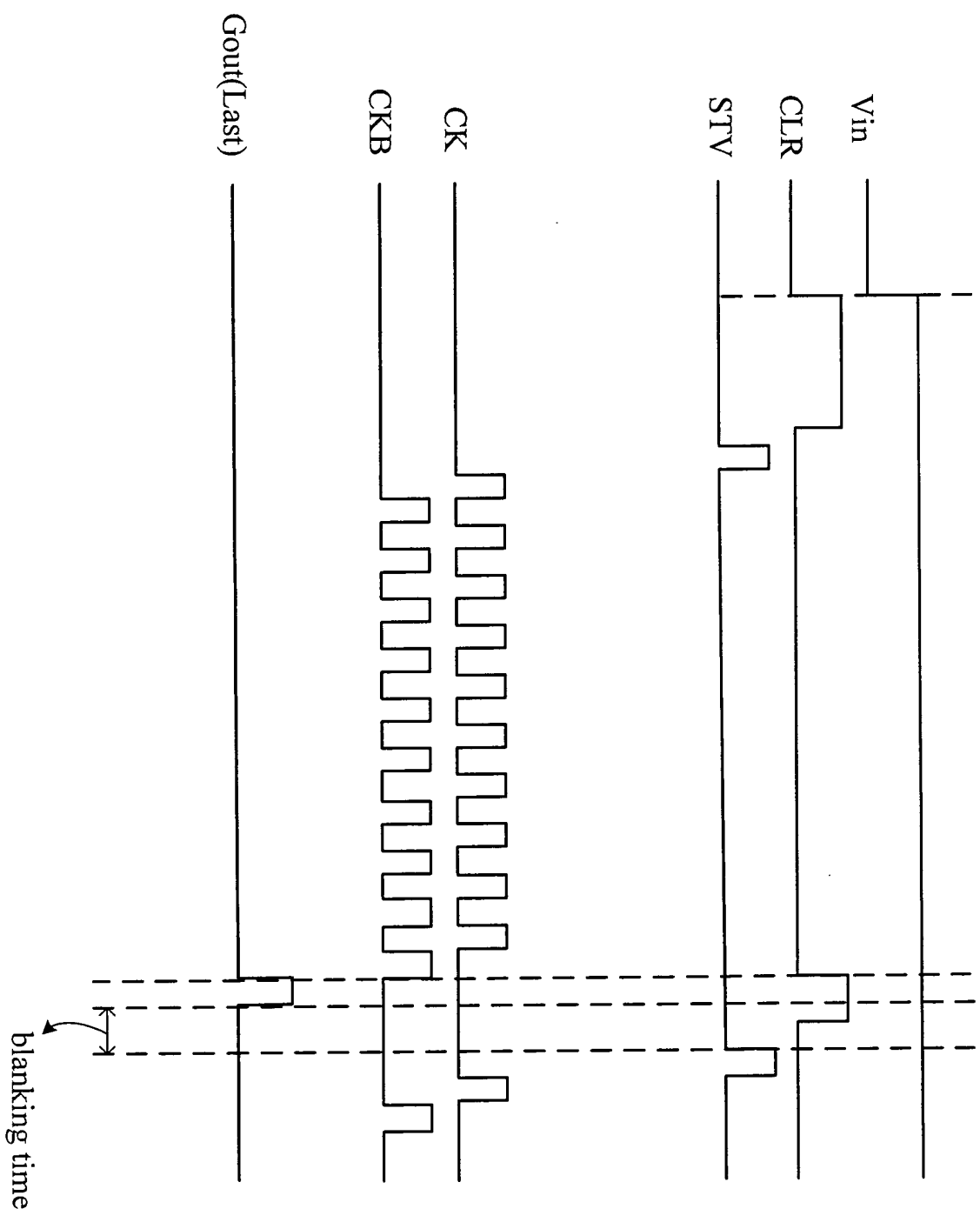
一種控制電路，其包含複數級暫存器，每一級暫存器用以分別輸出一輸出訊號，該輸出訊號並做為下一級之驅動訊號。每一級暫存器設有一電晶體用以接收一清除訊號，當清除訊號為高電位時，則可藉由該電晶體釋放該級暫存器之殘留電荷。該清除訊號係在液晶顯示器之畫面訊號輸入的時間內運作。每一級暫存器可利用相隔一預設數量之暫存器之輸出訊號來做為該級暫存器之清除訊號，使該級暫存器要輸出該級輸出訊號前，可先釋放該級暫存器之殘留電荷。

六、英文發明摘要：

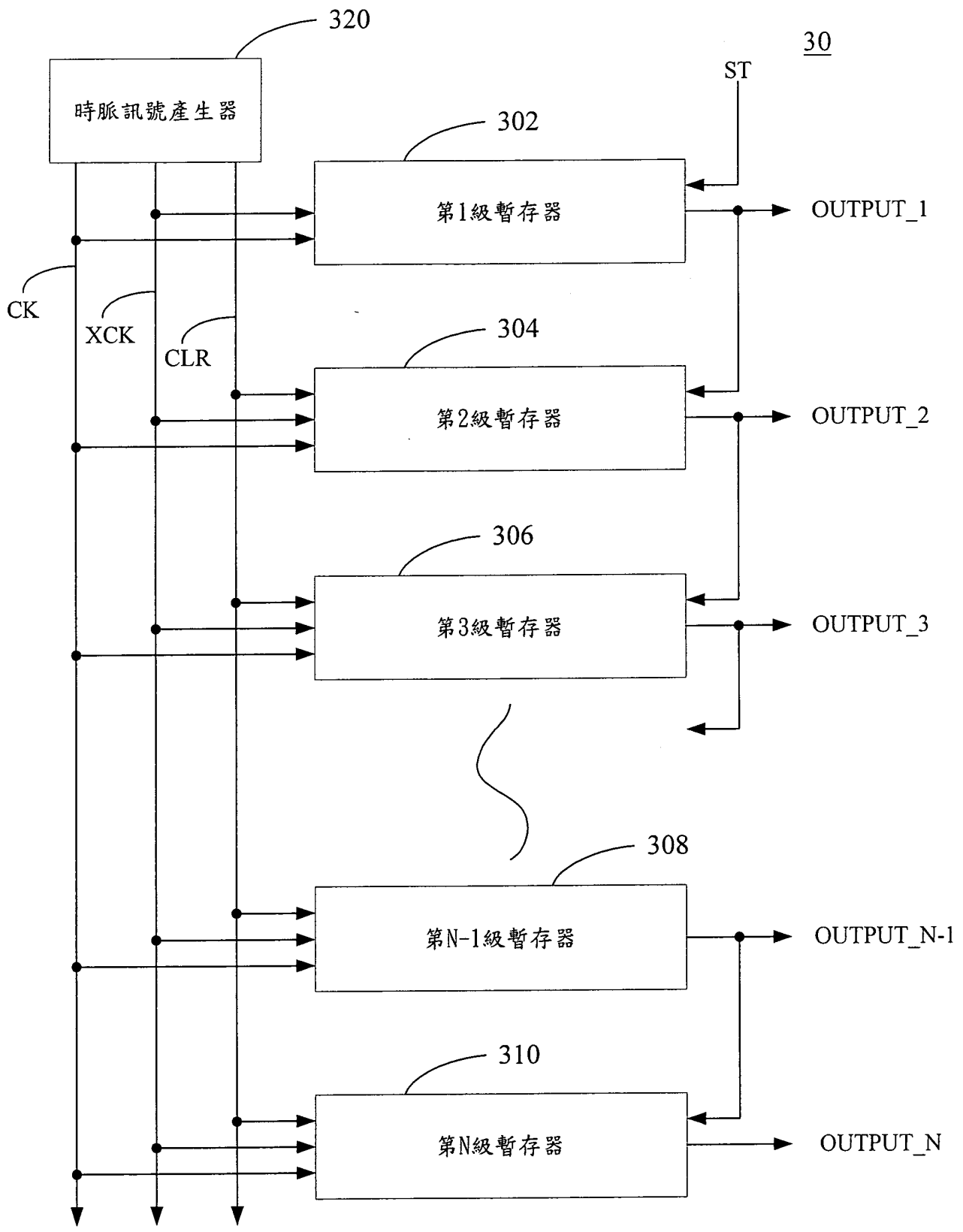
A control circuit includes a plurality of register stages. Each register stage is capable of outputting an individual output signal. The output signal is utilized to be a driving signal of next register stages. Each register stage comprises a transistor for receiving a clear signal CLR. The residual charges of the register stage can be released when the clear signal CLR is in a logic-high state. The clear signal CLR is operated under a non-blanking time of a liquid crystal display (LCD). Each register stage can use an output signal of a preceding register stage as the clear signal CLR. The preceding register stage leads the register stage by a predetermined number. The clear signal CLR is used to release the residual charges of the register stage before the register stage outputs its output signal.



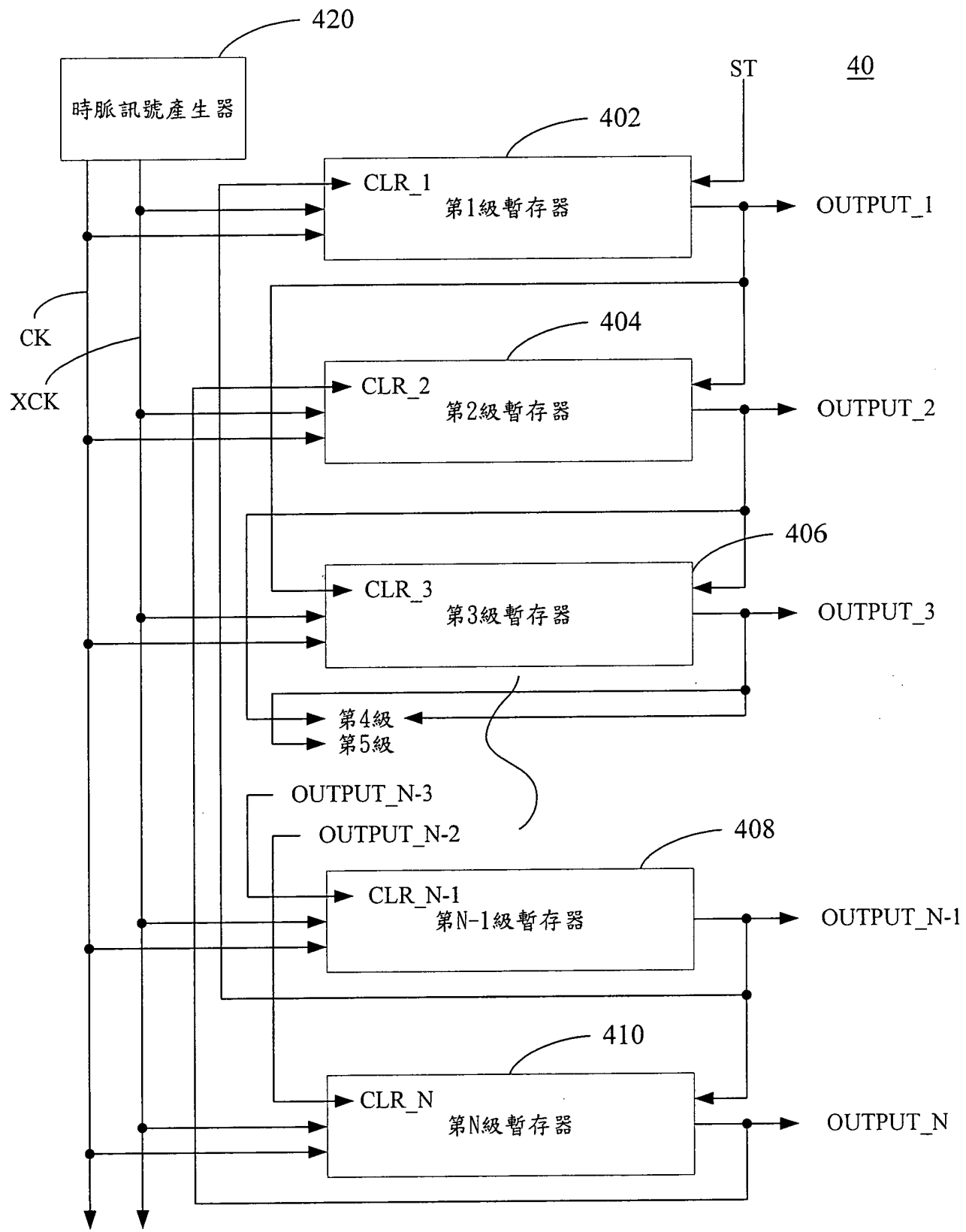
第1圖 (先前技術)



第2圖 (先前技術)

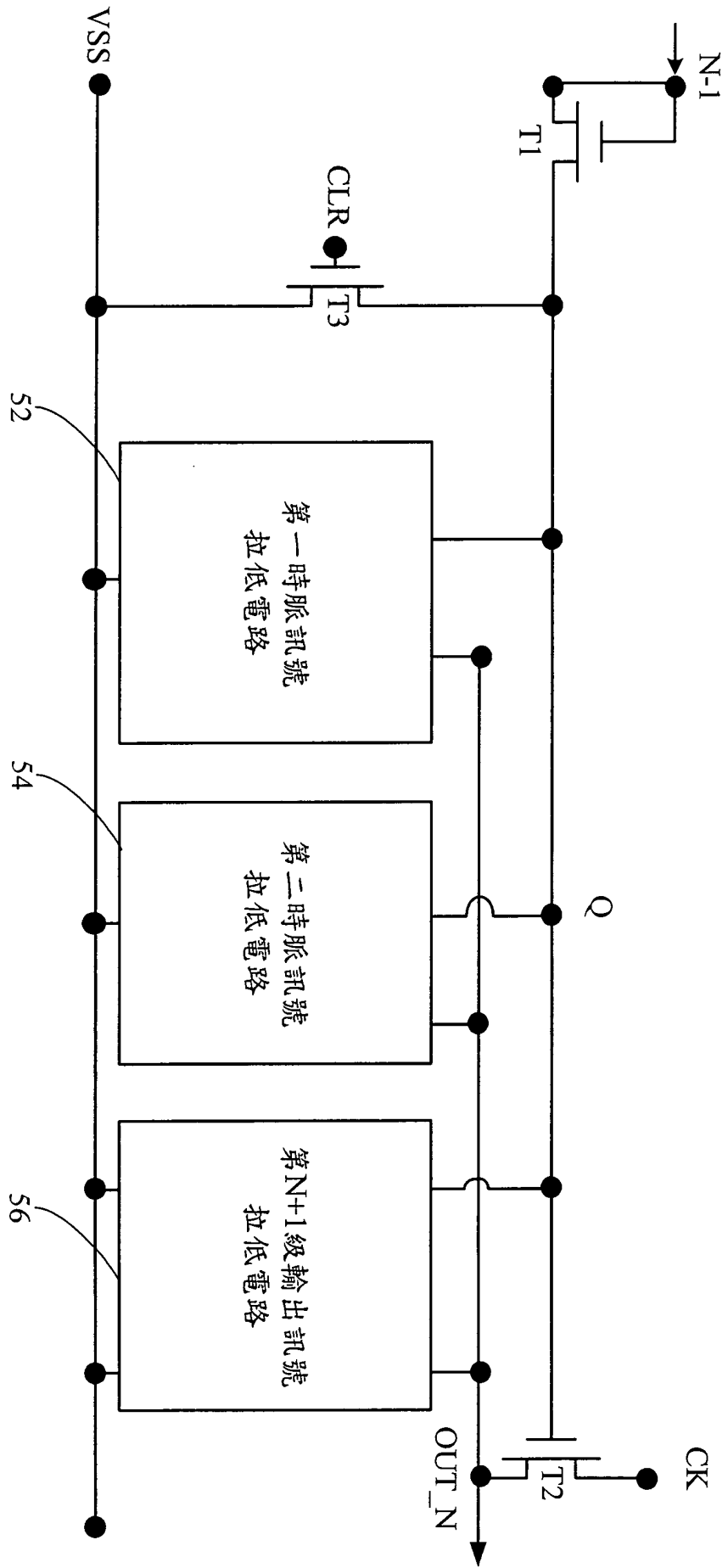


第3圖

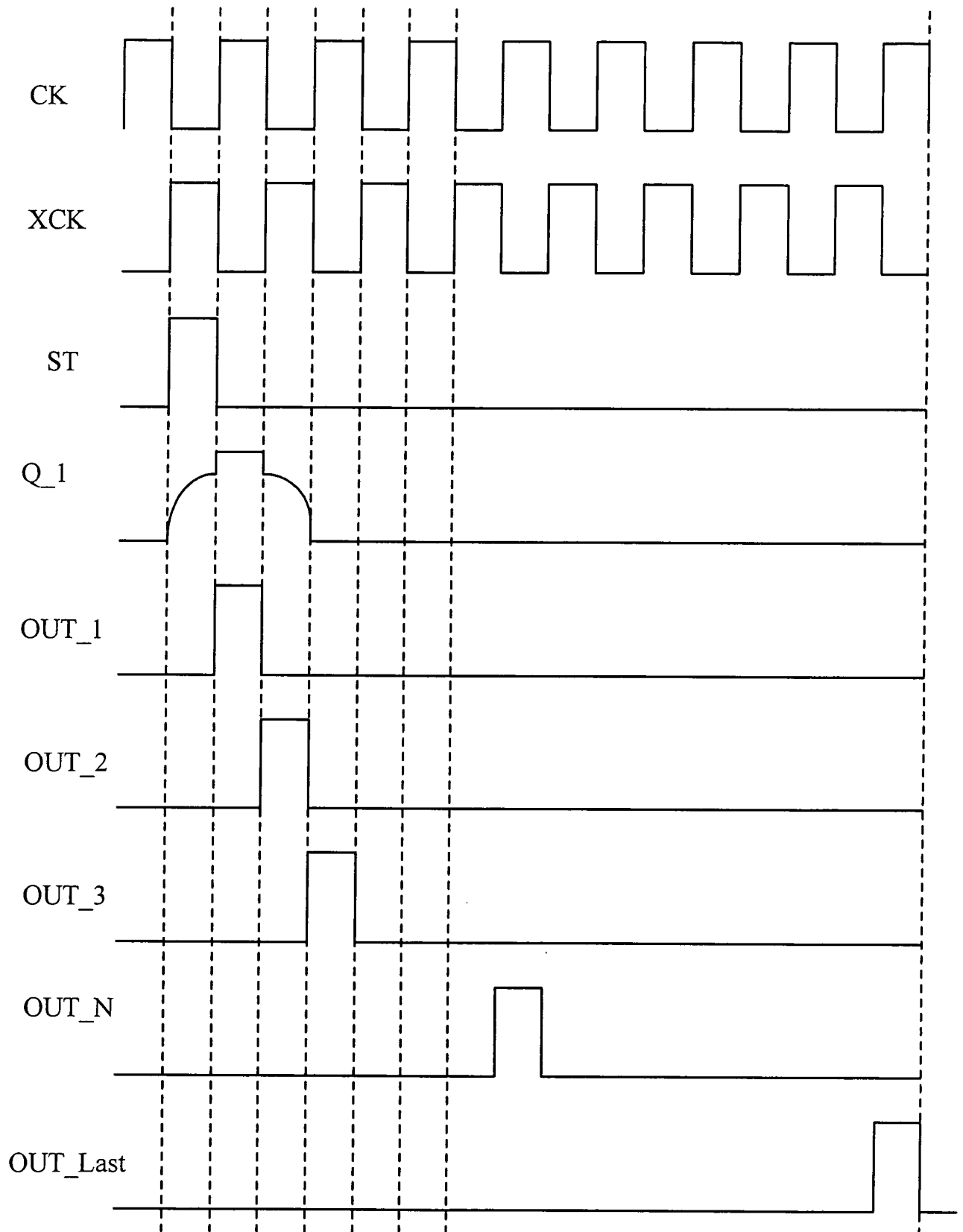


第4圖

50



第5圖



第6圖

七、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件代表符號簡單說明：

40	控制電路
402-410	各級暫存器
420	時脈訊號產生器
CK	第一時脈訊號
XCK	第二時脈訊號
CLR	清除訊號
OUTPUT_N	各級輸出訊號驅動訊號
ST	起始訊號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

1. 一種可消除殘留電荷之控制電路，係應用於一液晶顯示器中，其包含：
複數級暫存器，該複數級暫存器係以串聯的方式連接，每一級暫存器分別接收一第一時脈訊號與一第二時脈訊號，並依據該第一時脈訊號與第二時脈訊號分別輸出一輸出訊號，該級暫存器之輸出訊號係做為下一級之驅動訊號，每一級暫存器包含：
一第一電晶體 (T1)，用以接收前一級之驅動訊號；
一第二電晶體 (T2)，用以當該第一電晶體開啟時，根據該第一時脈訊號輸出下一級之驅動訊號；
一第三電晶體 (T3)，用以接收一清除訊號 (CLR)，當該清除訊號為高電位時，則藉由該第三電晶體電性連接至一低電位以釋放該第二電晶體之殘留電荷；
其中該清除訊號係為與該級暫存器間隔一預設數量之暫存器所輸出之驅動訊號，用以在該液晶顯示器之畫面訊號輸入之時間內釋放該第二電晶體之殘留電荷。
2. 如申請專利範圍第 1 項所述之控制電路，其中該間隔一預設數量之暫存器為至少間隔為前兩級之暫存器。
3. 如申請專利範圍第 1 項所述之控制電路，其中該間隔一預設數量之暫存器為前兩級之暫存器。
4. 如申請專利範圍第 1 項所述之控制電路，其中該第一時脈訊號為一 CK 時脈訊號，該第二時脈訊號為一 XCK 時脈訊號，且該第一時脈訊號與

該第二時脈訊號互為反相。

5. 如申請專利範圍第 1 項所述之控制電路，其中該低電位為一 V_{SS} 電位。

6. 一種可消除殘留電荷之控制電路，係應用於一液晶顯示器中，其包含：

複數級暫存器，該複數級暫存器係以串聯的方式連接，每一級暫存器分

別接收一第一時脈訊號與一第二時脈訊號，並依據該第一時脈訊號與

第二時脈訊號分別輸出一輸出訊號，該級暫存器之輸出訊號係做為下

一級之驅動訊號，每一級暫存器包含：

一第一電晶體 (T1)，用以接收前一級之驅動訊號；

一第二電晶體 (T2)，用以當該第一電晶體開啟時，根據該第一時脈訊

號輸出下一級之驅動訊號；

一第三電晶體 (T3)，用以接收一清除訊號 (CLR)，當該清除訊號為

高電位時，則藉由該第三電晶體電性連接至一低電位以釋放該第二

電晶體之殘留電荷；

其中該清除訊號係為與一預設暫存器之輸出訊號同步，當該清除訊號為

高電位時，用以在該液晶顯示器之畫面訊號輸入之時間內同時釋放除

了該預設暫存器之外所有級暫存器其第二電晶體之殘留電荷，且該預

設暫存器不接收該清除訊號。

7. 如申請專利範圍第 6 項所述之控制電路，其中該預設暫存器不設置該第

三電晶體。

8. 如申請專利範圍第 6 項所述之控制電路，其中該第一時脈訊號為一 CK

時脈訊號，該第二時脈訊號為一 XCK 時脈訊號，且該第一時脈訊號與

該第二時脈訊號互為反相。

9. 如申請專利範圍第 6 項所述之控制電路，其中該低電位為一 V_{SS} 電位。
10. 如申請專利範圍第 6 項所述之控制電路，其中每一級暫存器另包含一第 $N+1$ 級輸出訊號拉低電路，用以當第 $N+1$ 級輸出訊號為高電位時，藉由該第 $N+1$ 級輸出訊號拉低電路電性連接至一低電位以釋放該第二電晶體之殘留電荷。