



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/105 (2006.01) H01L 29/82 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월20일 10-0709395 2007년04월12일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0057043 2006년06월23일 2006년06월23일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 한국과학기술연구원
 서울 성북구 하월곡2동 39-1

(72) 발명자 구현철
 서울 성북구 상월곡동 동아에코빌아파트 111동 1203호

 한석희
 서울 노원구 중계1동 건영3차아파트 310-1504

 엄종화
 서울 송파구 송파2동 삼성래미안 112-1303

 장준연
 서울 성북구 하월곡3동 222 두산위브아파트 109-1003

 김형준
 대구 남구 봉덕동 효성타운 105동 702호

 이현정
 서울 영등포구 당산동4가 현대5차아파트 509동 1203호

(74) 대리인 특허법인씨엔에스

(56) 선행기술조사문헌 JP2000349095 A KR1019980044520 A * 심사관에 의하여 인용된 문헌	JP2003092412 A KR1020060048384 A
---	-------------------------------------

심사관 : 홍경희

전체 청구항 수 : 총 16 항

(54) 강자성체를 이용한 스핀 트랜지스터

(57) 요약

스핀 주입 효율이 높고 신호대 잡음비가 개선된 고품질 스핀 트랜지스터를 제공한다. 본 발명의 스핀 트랜지스터는, 하부 클래딩층, 채널층 및 상부 클래딩층을 갖는 반도체 기판부와; 상기 기판부 상에 형성된 강자성체 소스 및 드레인과; 상기 채널층을 통과하는 전자의 스핀을 제어하는 게이트를 포함한다. 상기 하부 클래딩층은 제1 하부 클래딩층과 제2 하부 클래딩층의 2중 클래딩층 구조를 갖고, 상기 상부 클래딩층은 제1 상부 클래딩층과 제2 상부 클래딩층의 2중 클래딩 구조를 갖는다. 상기 소스 및 드레인은 상기 기판부 상면 아래로 매립되어 상기 제1 상부 클래딩층 또는 그 아래로 연장되어 있다.

대표도

도 4b

특허청구의 범위

청구항 1.

순차 적층된 하부 클래딩층, 채널층 및 상부 클래딩층을 갖는 반도체 기판부와;

상기 기판부 상에 형성되어 서로 이격 배치된 강자성체 소스 및 드레인과;

상기 기판부 상에 배치되어, 상기 채널층을 통과하는 전자의 스핀을 제어하는 게이트를 포함하되,

상기 하부 클래딩층은 제1 하부 클래딩층과, 상기 제1 하부 클래딩층 아래에 형성되어 상기 제1 하부 클래딩층보다 큰 밴드갭을 갖는 제2 하부 클래딩층을 포함하고,

상기 상부 클래딩층은 제1 상부 클래딩층과, 상기 제1 상부 클래딩층 위에 형성되어 상기 제1 상부 클래딩층보다 큰 밴드갭을 갖는 제2 상부 클래딩층을 포함하고,

상기 소스 및 드레인은 상기 기판부 상면 아래로 매립되어, 상기 제1 상부 클래딩층 또는 그 아래로 연장된 것을 특징으로 하는 스핀 트랜지스터.

청구항 2.

제1항에 있어서,

상기 소스 및 드레인의 하면은 상기 제1 상부 클래딩층까지 연장된 것을 특징으로 하는 스핀 트랜지스터.

청구항 3.

제1항에 있어서,

상기 소스 및 드레인의 하면은 상기 채널층까지 연장된 것을 특징으로 하는 스핀 트랜지스터.

청구항 4.

제1항에 있어서,

상기 소스 및 드레인의 하면은 상기 하부 클래딩층까지 연장된 것을 특징으로 하는 스핀 트랜지스터.

청구항 5.

제1항에 있어서,

상기 채널층은 2차원 전자가스층으로 이루어진 것을 특징으로 하는 스핀 트랜지스터.

청구항 6.

제5항에 있어서,

상기 2차원 전자가스층은 GaAs, InAs, InGaAs 및 InSb로 이루어진 그룹으로부터 선택된 재료로 형성된 것을 특징으로 하는 스핀 트랜지스터.

청구항 7.

제1항에 있어서,

상기 소스와 드레인은 강자성 금속인 것을 특징으로 하는 스핀 트랜지스터.

청구항 8.

제7항에 있어서,

상기 소스와 드레인은 Fe, Co, Ni, CoFe, NiFe 및 이들의 조합으로 이루어진 그룹으로부터 선택된 재료로 형성된 것을 특징으로 하는 스핀 트랜지스터.

청구항 9.

제1항에 있어서,

상기 소스와 드레인은 강자성 반도체인 것을 특징으로 하는 스핀 트랜지스터.

청구항 10.

제9항에 있어서,

상기 소스와 드레인은, (GaMn)As 또는 (InMn)As로 형성된 것을 특징으로 하는 스핀 트랜지스터.

청구항 11.

제1항에 있어서,

상기 기관부는 상기 하부 클래딩층 아래에 형성된 전하 공급층을 더 갖는 것을 특징으로 하는 스핀 트랜지스터.

청구항 12.

제11항에 있어서,

상기 전하 공급층은 n-도프 InAlAs로 형성된 것을 특징으로 하는 스핀 트랜지스터.

청구항 13.

제1항에 있어서,

상기 기판부는 상기 상부 클래딩층 상에 형성된 캡핑층을 더 갖는 것을 특징으로 하는 스핀 트랜지스터.

청구항 14.

제13항에 있어서,

상기 캡핑층은 InAs로 형성된 것을 특징으로 하는 스핀 트랜지스터.

청구항 15.

제1항에 있어서,

상기 제1 하부 클래딩층과 제1 상부 클래딩층은 언도프 InGaAs로 형성되고, 상기 제2 하부 클래딩층과 제2 상부 클래딩층은 언도프 InAlAs로 형성된 것을 특징으로 하는 스핀 트랜지스터.

청구항 16.

제1항에 있어서,

상기 소스 및 드레인의 하면과 상기 기판부 간의 경계부에 형성된 자연 산화박막을 더 포함하는 것을 특징으로 하는 스핀 트랜지스터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 강자성체 소스 및 드레인을 구비한 스핀 트랜지스터 소자에 관한 것으로서, 특히, 강자성체에서 반도체로의 스핀의 주입 효율이 높고 신호대 잡음비가 개선된 스핀 트랜지스터에 관한 것이다.

최근 많은 연구가 진행되고 있는 신개념 트랜지스터 소자로서 스핀 트랜지스터(Spin-FET)가 주목받고 있다. 기존의 반도체 기반의 트랜지스터(예컨대, MOSFET)는 반도체 내의 전하를 전기장을 이용하여 제어하는데 비하여, 스핀 트랜지스터에서는 스핀 분극된 전하를 이용함으로써 전하와 스핀을 동시에 제어한다. 이러한 스핀 분극된 전하의 제어를 통하여 스핀 트랜지스터를 스위칭 소자나 논리회로 등에 이용하려 하고 있다. 스핀 트랜지스터 성능은 얼마나 큰 효율로 잡음 없이 강자성체로부터 반도체로 스핀 분극된 전자(spin-polarized electron)를 주입시키는가에 달려있다. 스핀 주입 기술을 개선하기 위해 반도체나 금속과 관련된 많은 연구가 진행되고 있다.

현재 반도체 장치의 핵심 소자인 MOSFET은 전력과 면적의 추가적 감소의 어려움과 산화막의 물리적 한계 등에 직면해 있다. 이를 극복하기 위한 방안 중 하나로서 '스핀의 프리세션(precession)을 전압으로 제어하는 소자'가 1990년대 제안되어 이와 관련된 많은 연구가 진행되어 왔다. 이러한 소자들 중 스핀 트랜지스터는 소스와 드레인 그리고 두 단자를 이어주는 채널을 포함한다. 채널로서는 높은 전자이동도를 갖는 양자 우물층, 특히 2차원 전자가스(2-Dimensional Electron Gas: 2-DEG)층이 사용될 수 있다. 기존에 제안된 Datta-Das Spin FET(Applied Physics letter, vol. 56, 665, 1990 참조) 및, 이와 유사한 구조에 관한 미국특허 제5,654,566호(Magnetic spin injected field effect transistor and method of operation)에서 스핀 트랜지스터를 제안하고 있다. 스핀 트랜지스터의 구현을 위해 필요한 강자성체로부터 2차원 전자가스층으로의 주입에 관한 연구는 Hammer et al에 의해 보고되었는데(Physical review letters, vol. 88, p.066806, 2002 참조), 이에 따르면 잡음이 많고, 주입효율이 매우 낮게 측정되었다. 이러한 큰 잡음과 낮은 주입효율의 가장 큰 원인은 금속성의 강자성체와 반도체 간에 존재하는 전도도의 불일치와 불균일한 접합 부분에서 발생하는 잡음때문이다.

도 1은 종래기술에 따른 스핀 트랜지스터의 개략적인 평면도 및 단면도이다. 도 1을 참조하면, 스핀 트랜지스터(50)는 기판부(10)와, 그 위에 배치된 강자성체 소스(13) 및 드레인(14)과, 게이트(17)를 포함한다. 게이트(17)는 게이트 절연막(16)에 의해 소스(13), 드레인(14) 및 기판부(10)로부터 절연되어 있다. 기판부(10)는 반도체 물질로 되어 있으며, 2차원 전자가스를 형성하는 채널층(7)을 포함한다. 소스(13)로부터 채널층(7)으로 주입된 전자의 스핀은 게이트 전압을 통해 조절된다. 드레인(14)에 도달한 전자의 스핀 방향이 드레인의 자화방향과 평행 또는 반평행하게 됨으로써, 스핀 트랜지스터 전류의 저항이 조절된다.

도 2는 도 1의 라인 AB를 따라 자른 단면도이다. 도 2를 참조하면, 기판부(10)는 반절연성 InP 기판(1) 상에 순차 적층된 버퍼층(2), 전하 공급층(4), 하부 클래딩층(5), 채널층(7), 상부 클래딩층(5'), 캡핑층(6)을 포함한다. 소스(13) 및 드레인(14)은 캡핑층(6) 상에 배치되어 있다. 채널층(7)은 InAs 양자우물층으로 이루어져 있다. 하부 클래딩층(5)과 상부 클래딩층(5')은 각각 InGaAs/InAlAs(5a, 5b) 및 InAlAs/InGaAs(5b', 5a')로 이루어져 있다. 따라서, 하부 및 상부 클래딩층(5, 5') 각각은 서로 다른 에너지 밴드갭을 갖는 2중 클래딩 구조를 갖는다. 도 2에는 각 층에 사용된 재료가 예시되어 있다.

도 3은 도 1의 스핀 트랜지스터에서 소스 또는 드레인(13, 14)과 기판부(10)의 접합 부분에서의 에너지 밴드 구조를 나타내는 도면이다. 도 3을 참조하면, InGaAs(5a, 5a')와 InAlAs(5b, 5b')가 에너지 배리어(장벽)의 역할을 하여 InAs 채널층(7)내에 전자를 가두고 있다. 강자성체(FM)인 소스(13)로부터 채널층(7)으로 스핀 전자가 주입되기 위해서는 에너지 배리어(즉, 5a', 5b')를 넘어야 한다. 이러한 에너지 배리어 없이 직접 채널과 강자성체(소스)가 직접 접촉하면 마이너 스핀의 영향과 백스캐터링(back-scattering)에 의해 스핀 효율이 떨어지게 되므로, 에너지 배리어가 필요한 것으로 알려져 있다. 또한 게이트 제어를 통한 라쉬바 효과를 용이하게 얻기 위해서는 채널을 둘러싸는 클래딩 배리어가 필요하다.

그러나, 이러한 2중 클래딩 구조의 에너지 배리어(5a', 5b)는 접촉저항을 크게 하고 스핀의 주입 효율을 떨어뜨리는 요인으로 작용한다. 이에 따라, 신호의 감지도가 떨어지고 전력소모가 커지며 신호대 잡음비도 낮게 된다. 결과적으로, 스핀 트랜지스터(50)로부터 뚜렷한 신호를 안정적으로 얻기가 어려워진다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 스핀의 주입효율이 높고 신호대 잡음비가 증대된 고품질 스핀 트랜지스터를 제공하는 데에 있다.

발명의 구성

상술한 기술적 과제를 달성하기 위하여, 본 발명에 따른 스핀 트랜지스터는,

순차 적층된 하부 클래딩층, 채널층 및 상부 클래딩층을 갖는 반도체 기판부와; 상기 기판부 상에 형성되어 서로 이격 배치된 강자성체 소스 및 드레인과; 상기 기판부 상에 배치되어, 상기 채널층을 통과하는 전자의 스핀을 제어하는 게이트를 포함하되,

상기 하부 클래딩층은 제1 하부 클래딩층과, 상기 제1 하부 클래딩층 아래에 형성되어 상기 제1 하부 클래딩층보다 큰 밴드갭을 갖는 제2 하부 클래딩층을 포함하고,

상기 상부 클래딩층은 제1 상부 클래딩층과, 상기 제1 상부 클래딩층 위에 형성되어 상기 제1 상부 클래딩층보다 큰 밴드갭을 갖는 제2 상부 클래딩층을 포함하고,

상기 소스 및 드레인은 상기 기판부 상면 아래로 매립되어, 상기 제1 상부 클래딩층 또는 그 아래로 연장되어 있다.

본 발명의 일 실시형태에 따르면, 상기 소스 및 드레인의 하면은 상기 제1 상부 클래딩층까지 연장될 수 있다. 이 경우, 상기 소스 및 드레인은 상기 기판부 상면 아래로 매립되어 상기 제1 상부 클래딩층의 일부 두께까지 연장될 수 있다.

본 발명의 다른 실시형태에 따르면, 상기 소스 및 드레인의 하면은 상기 채널층까지 연장될 수 있다. 이 경우, 상기 소스 및 드레인은 상기 기판부 상면 아래로 매립되어 상기 채널층의 일부 두께까지 연장될 수 있다.

본 발명의 또 다른 실시형태에 따르면, 상기 소스 및 드레인의 하면은 상기 하부 클래딩층까지 연장될 수 있다. 이 경우, 상기 소스 및 드레인은 상기 기판부 상면 아래로 매립되어 상기 하부 클래딩층의 일부 두께까지 연장될 수 있다.

바람직하게는, 상기 채널층은 2차원 전자가스층으로 이루어질 수 있다. 이러한 2차원 전자 우물층에서는, 전자 이동도가 매우 높을 뿐만 아니라 스핀-궤도 결합 효과가 크다. 상기 2차원 전자가스층은 GaAs, InAs, InGaAs 및 InSb로 이루어진 그룹으로부터 선택된 재료로 형성될 수 있다.

본 발명의 일 실시형태에 따르면, 상기 소스와 드레인은 강자성 금속(ferromagnetic metal)일 수 있다. 예를 들어, 상기 소스와 드레인은 Fe, Co, Ni, CoFe, NiFe 및 이들의 조합으로 이루어진 그룹으로부터 선택된 재료로 형성될 수 있다.

본 발명의 다른 실시형태에 따르면, 상기 소스와 드레인은 강자성 반도체(ferromagnetic semiconductor)일 수 있다. 예를 들어, 상기 소스와 드레인은, (GaMn)As 또는 (InMn)As로 형성될 수 있다.

바람직한 실시형태에 따르면, 상기 기판부는 상기 하부 클래딩층 아래에 형성된 전하 공급층을 더 포함한다. 또한, 상기 기판부는 상기 상부 클래딩층 상에 형성된 캡핑층을 더 포함할 수 있다. 바람직하게는, 상기 전하 공급층은 n-도프 InAlAs로 형성되고 상기 캡핑층은 InAs로 형성된다.

바람직한 실시형태에 따르면, 상기 제1 하부 클래딩층과 제1 상부 클래딩층은 언도프 InGaAs로 형성되고, 상기 제2 하부 클래딩층과 제2 상부 클래딩층은 언도프 InAlAs로 형성된다.

본 발명의 일 실시형태에 따르면, 상기 소스 및 드레인의 하면과 상기 기판부 간의 경계부에 형성된 자연 산화박막을 더 포함할 수 있다.

본 발명에 따르면, 강자성체인 소스 및 드레인은 기판부 상면으로부터 아래로 매립되어, 제1 상부 클래딩층 또는 그 아래로 연장된다. 이에 따라, 강자성체 소스로부터 주입되는 전자는 제2 상부 클래딩층의 에너지 장벽을 넘을 필요가 없게 된다. 또한 소스와 채널 간의 에너지 배리어 두께가 감소된다. 이에 따라 접촉 저항의 감소와 스핀 주입 효율의 향상을 가져온다.

이하, 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시형태는 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면 상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

도 4a는 본 발명의 일 실시형태에 따른 스핀 트랜지스터의 단면도이고, 도 4b는 도 4a의 라인 AA'를 따라 자른 단면도이다.

도 4a를 참조하면, 스핀 트랜지스터(150)는 채널층(107)이 형성된 반도체 기판부(100)와, 기판부 상에 서로 이격 배치된 강자성체 소스(113) 및 드레인(114)을 포함한다. 소스(113)와 드레인(114) 사이에는 기판부(100) 상에 게이트(117)가 배치되어 있다. 게이트(117)는 게이트 절연막(116)에 의해 소스(113), 드레인(114) 및 기판부(100)로부터 절연되어 있다.

상기 스핀 트랜지스터(150) 동작시, 채널층(107)을 통과하는 전자 스핀은 게이트(117)에 인가되는 전압(게이트 전압)에 의해 제어된다. 채널층(107)을 지나가는 전자의 웨이브 벡터(\mathbf{k})와 수직한 전계(\mathbf{E})가 존재하면 스핀궤도 결합(spin-orbit

coupling)에 의해 $H_{\text{Rashba}} \propto \mathbf{k} \times \mathbf{E}$ 로 표시되는 자기장이 발생한다. 이를 라쉬바(Rashba) 효과라고도 한다. 즉, 전류가 x 방향으로 진행하고 게이트 전압에 의해 전계가 z 방향으로 가해지면 스핀궤도결합 효과에 의해 유도된 y 방향의 자기장(스핀궤도 결합 유도자장)이 생긴다.

채널층(107)으로 주입된 스핀은, 그 스핀 방향이 스핀궤도 결합 유도 자장 방향과 평행하지 않을 경우, 스핀궤도 결합 유도 자장에 의해 프리세션(precession)을 일으킨다. 이 프리세션 각도를 게이트로 제어함으로써, 스핀 트랜지스터의 저항을 조절할 수 있다. 드레인에 도달하는 전자 스핀이 드레인의 자화방향과 동일한 방향을 가지면 낮은 저항(온-상태)을 나타내고, 반대방향을 가지면 높은 저항(오프-상태)을 나타낸다.

도 4b를 참조하면, 기판부(100)는 반절연성 InP 기판(101) 상에 순차 적층된 InAlAs 버퍼층(102), n-도프 InAlAs 전하 공급층(104), 인도프 InGaAs/InAlAs 하부 클래딩층(105), InAs 채널층(107), 인도프 InAlAs/InGaAs 상부 클래딩층(105') 및 InAs 캡핑층(106)을 포함한다. 하부 및 상부 클래딩층(105, 105') 각각은, 도핑되지 않은(인도프) InGaAs층과 InAlAs층으로 이루어진 2중 클래딩 구조로 되어 있다. 즉, 하부 클래딩층(105)은 InGaAs로 된 제1 하부 클래딩층(105a)과 그 아래에 형성되고 InAlAs로 된 제2 하부 클래딩층(105b)으로 이루어져 있다. 또한 상부 클래딩층(105')은 InGaAs로 된 제1 상부 클래딩층(105a')와 그 위에 형성되고 InAlAs로 된 제2 상부 클래딩층(105b')으로 이루어져 있다. 제2 하부 클래딩층(105b) 및 제2 상부 클래딩층(105b')은 각각 제1 하부 클래딩층(105a) 및 제1 상부 클래딩층(105a')보다 큰 에너지 밴드 갭을 갖는다.

채널층(107)은 상하부 클래딩층(105, 105')의 에너지 배리어에 의해 양자우물을 형성한다. 특히 2중 클래딩 구조의 상하부 클래딩층(105, 105')에 의해 전자가 채널층(107)에 갇히게 되고, 채널층(107)은 2차원 전자가스(2-DEC)층을 형성하게 된다. 이러한 2차원 전자가스층에서는 전자 이동도가 매우 높을 뿐만 아니라 스핀-궤도 결합 효과도 높다. 본 실시형태에서는, 채널층(107)으로서 InAs를 사용하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 2차원 전자가스 구조를 갖는 채널층으로서 GaAs, InGaAs 또는 InSb를 사용할 수도 있다.

n-도프 InAlAs 전하 공급층(104)은 채널층(107) 아래에 형성되어 채널층(107)에 전하를 공급해주며, InAlAs 버퍼층(102)은 InP 기판(101)과 하부 클래딩층(105) 간의 격차 불일치를 완화하기 위해 형성된다. 또한, 기판부(100)의 맨 위에 있는 InAs 캡핑층(106)은 공정 도중 발생할 수 있는 기판부(100)의 산화와 변성을 방지하는 역할을 한다.

소스(113) 및 드레인(114)은 자화된 강자성체로 이루어진다. 소스(113) 및 드레인(114)은 Fe, Co, Ni, CoFe, NiFe 등의 강자성 금속 재료로 형성될 수 있다. 이와 달리, 소스(113) 및 드레인(114)은 (GaMn)As 또는 (InMn)As 등의 강자성 반도체 재료를 사용하여 형성될 수도 있다.

도 4b에 도시된 바와 같이, 소스 및 드레인(113, 114)은 기판부(100)의 상면 아래로 매립되어 제1 상부 클래딩층(105a')까지 연장되어 있다(도 2의 종래기술과 비교). 이에 따라, 소스 및 드레인(113, 114)의 하면은 제1 상부 클래딩층(105a')과 접촉한다. 특히 본 실시형태에서는, 소스 및 드레인(113, 114)이 기판부(100) 안으로 매립되어 제1 상부 클래딩층(105a')의 일부 두께까지 연장되어 있다. 전류 흐름을 위해, 강자성체 소스 및 드레인(113, 114)은 반도체(본 실시형태에서는, 제1 상부 클래딩층(105a'))와 오믹 접촉을 이룬다.

이와 같이 소스(113)가 기판부(100)의 상면 아래로 매립되어 제1 상부 클래딩층(105a')까지 연장되면, 강자성체인 소스(113)로부터 주입되는 전자는 에너지 밴드갭이 큰 제2 상부 클래딩층의 장벽을 넘을 필요가 없게 된다. 또한, 소스(113)와 채널층(107) 간의 에너지 배리어 두께가 대폭 감소된다. 예를 들어, 소스(113)와 채널층(107) 간의 거리(에너지 배리어 두께)는 약 1 내지 13nm 정도로 유지될 수 있다. 후술하는 바와 같이, 강자성체 소스 및 드레인(113, 114)이 매립될 기판부 부분은 이온밀링 또는 건식 식각을 통해 제거될 수 있다.

이와 같이 주입되는 스핀에 대한 에너지 장벽을 대폭 줄여줌으로써, 강자성체(소스)로부터 반도체(채널층)으로의 스핀 주입 효율이 높아지고 접촉저항은 낮아지게 된다. 결국, 작은 잡음으로 효과적인 스핀 전달을 실현함으로써 스핀 트랜지스터로부터 뚜렷한 스핀 신호를 얻을 수 있게 된다(스핀 신호의 감지도 증대).

도 5a는 본 발명의 다른 실시형태에 따른 스핀 트랜지스터(250)의 단면도이고, 도 5b는 도 5a의 라인 AA'를 따라 자른 단면도이다. 도 5a 및 5b를 참조하면, 소스 및 드레인(213, 214)은 기판부(100)의 상면 아래로 매립되어 채널층(107)까지 연장되어 있다. 이에 따라, 소스 및 드레인(213, 214)의 하면은 채널층(107)과 접촉하게 된다. 특히, 소스 및 드레인(213, 214)은 기판부(100) 안으로 매립되어 채널층(107)의 일부 두께까지 연장되어 있다.

이와 같이 강자성체 소스(213)와 채널층(107)이 직접 접촉하는 경우에도 접촉저항은 존재하나, 소스(213)로부터 주입되는 전자는 높은 에너지 장벽을 갖는 상부 클래딩층의 장벽을 넘을 필요는 없게 된다. 따라서, 강자성체 소스(213)로부터 채널층(107)으로 주입되는 전자에 대한 에너지 장벽이 대폭 감소됨으로써, 큰 잡음 없이 스핀 전자의 주입 효율이 향상되고 드레인(214)에서의 스핀 신호 감지도가 개선된다.

도 6a는 본 발명의 또 다른 실시형태에 따른 스핀 트랜지스터(350)의 단면도이고, 도 6b는 도 6a의 라인 AA'를 따라 자른 단면도이다. 도 6a와 6b를 참조하면, 소스 및 드레인(313, 314)은 기판부(100)의 상면 아래로 매립되어 채널층(107)을 거쳐 제2 하부 클래딩층(105b)까지 연장되어 있다. 이에 따라, 소스 및 드레인(313, 314)의 하면은 제2 하부 클래딩층(105b)과 접촉하게 된다. 특히, 소스 및 드레인(313, 314)은 기판부(100) 안으로 매립되어 제2 하부 클래딩층(105b)의 일부 두께까지 연장되어 있다.

이와 같이 강자성체 소스(313)이 제2 하부 클래딩층(105b)까지 연장된 경우에도, 전술한 실시형태와 마찬가지로 소스(313)로부터 주입되는 전자는 높은 에너지 장벽을 갖는 상부 클래딩층의 장벽을 넘을 필요는 없게 된다. 따라서, 강자성체 소스(313)로부터 채널층(107)으로 주입되는 전자에 대한 에너지 장벽이 대폭 감소된다, 결국, 큰 잡음 없이 스핀 전자의 주입 효율이 향상되고 드레인(314)에서의 스핀 신호 감지도가 개선된다.

이상 설명한 실시형태들에서는, 강자성체 소스가 제1 상부 클래딩층(105a'), 채널층(107) 또는 제2 하부 클래딩층(105b)에까지 연장되었으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대, 강자성체 소스는, 그 하면이 제1 하부 클래딩층(105a)과 접촉하도록 기판부(100) 상면 아래로 연장될 수도 있다.

이하 도 7a 내지 도 7f를 참조하여 본 발명의 실시형태에 따른 스핀 트랜지스터의 제조 공정을 설명한다.

먼저, 도 7a를 참조하면, 도 4b에 도시된 바와 같은 다층구조를 갖는 기판부(100)를 형성한 후, 리소그래피(lithography) 공정과 이온밀링(ion-milling) 공정을 이용하여, 상기 기판부의 양측부를 제거하여 상기 기판부(100)에 리지(ridge) 구조를 형성한다. 이 리지 구조에 의해 2차원 전자가스의 채널층(107)이 한정된다. 채널층(107)의 폭은 사용목적에 따라 100nm ~ 8 μ m 정도일 수 있다.

다음으로, 도 7b에 도시된 바와 같이, 평탄화를 위해 도 7a의 결과물에서 리지 구조의 양측부에 절연막(108)을 형성한다. 예를 들어 TaO_x 또는 SiO₂로 상기 절연막(108)을 형성할 수 있다. 이 절연막(108)은 이웃하는 채널과의 절연을 위한 것이다.

다음으로, 도 7b의 결과물 상에 레지스트를 도포한 후 전자빔 리소그래피를 이용하여 '강자성체를 증착할 부분'의 레지스트를 제거한다. 그 후, 산소 플라즈마를 이용하여 상기 레지스트 제거후에 잔류할 수 있는 유기물을 제거하고나서, 이온밀링 또는 건식식각을 이용하여 상기 '강자성체를 증착할 부분'을 일정 두께까지 제거한다. 이에 따라, 도 7c에 도시된 바와 같이, 기판부(100)가 일정두께만큼 제거됨으로써 형성된 홈부(109, 109')를 얻게 된다. 이 홈부(109, 109')는, 홈부 바닥이 제1 상부 클래딩층(105a') 또는 그 아래에 이르도록 연장된다. 예컨대, 도 5b의 구조를 얻기 위해서 홈부(109, 109')는 홈부 바닥이 채널층(107)에 이르도록 아래로 연장될 수 있다.

다음으로, 도 7d를 참조하면, 강자성체(예컨대, Fe, Co, Ni 등의 금속 강자성체 또는 (GaMn)As 등의 반도체 강자성체)를 증착하여 강자성체 소스(113, 213 또는 313) 및 강자성체 드레인(114, 214 또는 314)를 형성한다. 상기 홈부(109, 109')의 바닥의 깊이에 따라 소스와 드레인의 연장 깊이는 달라진다. 예컨대, 홈부(109, 109') 바닥이 InGaAs 제1 상부 클래딩층(105a')에 이를 경우, 소스 및 드레인(113, 114)은 제1 상부 클래딩층(105a)까지 연장된다(도 4a, 4b 참조). 홈부(109, 109') 바닥이 채널층(107)에 이를 경우, 소스 및 드레인(213, 214)은 채널층(107)까지 연장된다(도 5a, 5b 참조). 홈부(109, 109') 바닥이 하부 클래딩층(105)에 이를 경우에는, 소스 및 드레인(313, 314)은 하부 클래딩층(105)까지 연장된다(도 6a, 6b 참조). 실제 강자성체 소스 및 드레인의 자화방향은, 그 모양과 상관없이, 전자 스핀의 프리세션을 위해 채널과 평행한 방향을 갖도록 제작된다.

소스 및 드레인을 형성한 후에는, 도 7e에 도시된 바와 같이, 강자성체가 없는 부분에 절연막(110)을 채워 평탄한 구조물을 얻는다. 다음으로, 도 7f에 도시된 바와 같이, 기판부 상에 산화막으로 이루어진 게이트 절연막(116)을 형성하고, Al 또는 Au를 증착하여 게이트(117)를 형성한다. 이에 따라, 스핀 트랜지스터 소자를 얻게 된다. 게이트 절연막(116)은, 게이트로부터 반도체(기판부)로 전류가 직접 누설되지 않도록 하기 위해 필요하다. 게이트 절연막(116)이나 게이트(117)형성시, 포토리소그래피를 이용한 패터닝 공정이 수반될 수 있다.

도 8은 소스와 기판부의 접합 부분의 단면 구조를 나타내는 투과 전자 현미경(TEM) 사진이다. 도 8의 단면 구조는 도 4a 및 4b에서 설명한 실시형태에 해당된다고 할 수 있다. 도 8을 참조하면, 강자성체 소스(113)가 InGaAs의 제1 상부 클래딩층(105a)까지 연장되어 있다. 강자성체 소스(113)와 채널층(107) 간의 거리는 약 7nm 정도이다. 사진에서 보는 바와 같이, 소스(113)와 반도체 간의 접촉면이 매우 고르게 되어 있음을 알 수 있다. 이온밀링을 마치고 강자성체 소스를 형성하는 사이에 얇은 산화막(124)이 형성될 수 있는데, 이러한 얇은 산화막(124)은 접촉 저항에 거의 영향을 미치지 않으면서 스핀 전달에 도움이 될 수 있을 정도로 스핀 배리어를 형성하는 것으로 보여진다.

도 9는 본 발명의 일 실시형태에 따른 스핀 트랜지스터 소자의 평면도를 나타내는 주사 전자 현미경(SEM) 사진이다. 도 9에 도시된 소자는 도 4b에 도시된 바와 같은 단면 구조와 도 7에서 설명한 공정을 이용하여 제조된 것이다. 소스(113)와 드레인(114)은 강자성체로 이루어져 있으며, 채널층(107)은 2차원 전자가스층으로 이루어져 있다. 소스(113)와 드레인(114) 사이의 간격은 스핀 정보의 손실 없는 전달을 위해 수백 나노미터가 되게 하였다. 후술할 스핀 신호 측정(논-로컬 또는 로컬 스핀밸브 측정)을 위해 소스와 드레인에는 각각 2개씩 패드(68, 68')를 연결하였다. 도 9에는 나타나 있지 않지만, 채널층(107)에도 양단에 2개씩 패드를 연결하였다. 스핀 신호 측정의 목적을 위해, 평탄화나 게이트 전극 형성은 생략하였다.

도 10은 스핀 주입 배리어 두께와 접촉 저항 간의 관계를 나타내는 그래프이다. 도 10으로부터 강자성체 소스와 반도체 채널층 간의 에너지 배리어가 접촉 저항에 어떠한 영향을 주는지를 알 수 있다. 도 10의 그래프는 약 15nm 정도의 두께의 InGaAs 제1 상부 클래딩층을 구비한 스핀 트랜지스터에 대한 접촉 저항 측정 결과를 나타낸다. 접촉 저항을 같은 접촉 면적에서 비교하여 위해, 접촉 저항(R)에 접촉 면적(A)을 곱한 값으로 표시하였다. 도 10에 도시된 바와 같이, 배리어 두께가 15nm 이상일때 접촉 저항이 급격히 증가하는 것을 알 수 있다. 이는, 강자성체 소스가 기판부 상면 아래로 연장되어 InGaAs 제1 상부 클래딩층에 접촉함으로써 접촉 저항이 대폭적으로 줄어들 수 있음을 보여주고 있는 것이다. 큰 접촉 저항은, 스핀 신호를 전기적으로 주입하고 스핀 신호를 감지하는 데에 있어서 잡음의 원인으로 작용하며 특히 드레인에서 신호를 올바르게 읽지 못하게 하는 원인이 된다.

본 발명자는 본 발명에 따른 스핀 트랜지스터의 스핀 주입 효율 향상 효과와 이에 따른 신호 감지도의 현저한 개선 효과를 확인하기 위해, 논-로컬 및 로컬 스핀 밸브 측정 실험을 실시하였다(도 12 내지 15 및 도 17 참조).

도 11은 스핀 트랜지스터 소자에 대한 논-로컬(non-local) 측정에 이용되는 소자 구조의 개략적 평면도이다. 도 11을 참조하면, 논-로컬 측정에 이용된 소자는, 2차원 전자가스층으로 된 채널층(107)과 그 위에 서로 이격 배치된 소스(113) 및 드레인(114)을 포함한다. 이 측정에서는 인가 자계에 따른 스핀의 주입과 감지만을 측정하기 때문에, 별도의 게이트 전극은 형성하지 않았다. 게이트 전압 인가에 따라 발생하는 자기장 대신에 외부에서 인위적으로 인가해주는 자계를 이용하였다. 전류를 소스(113)에서 채널층(107)의 일단(107')으로 흘려주면서 드레인(114)과 채널층(107)의 타단(107'') 사이의 전압을 측정하였다. 이때 전압 측정 단자로는 전류가 흐르지 않으므로 이러한 측정 방법을 논-로컬 측정 방법이라 한다. 강자성체 소스(113)와 드레인(114)의 사이즈와 장평비를 달리함으로써 스위칭 필드를 다르게 하였다. 따라서, 인가 자계에 따라 소스(113)와 드레인(114)의 자화 방향을 평행 또는 반평행으로 만들 수 있다. 이때, 자화방향이 서로 평행하면 높은 전압이 관찰되고 서로 반평행하면 낮은 전압이 관찰된다. 측정된 전압은 바이어스 전류로 나누어서 저항값으로 표시하였고, 인가자계(x축)에 따른 그 저항값(y축)을 그래프로 표시하였다.

도 12 내지 도 15는 상기한 논-로컬 측정방식을 이용한 측정실험 결과를 나타내는 그래프이다. 구체적으로, 도 12는 종래 예에 따른 소자(도 2 참조)에 대한 논-로컬 측정 결과를 나타낸다. 도 13은 도 4b에 따른 소자에 대한 논-로컬 측정 결과를 나타내고, 도 14는 도 5b에 따른 소자에 대한 논-로컬 측정 결과를 나타내고, 도 15는 도 5b에 따른 소자에 대한 또 다른 논-로컬 측정 결과(다른 온도에서 측정한 결과)를 나타낸다. 도 12 내지 도 14는 약 16K의 온도에서 측정된 결과이며, 도 15는 상온에서 측정된 결과를 나타낸다. 도 6b에 따른 소자에 대한 논-로컬 측정결과는, 여기에 도시되어 있지 않지만 도 14와 비슷한 측정결과를 나타낸다.

도 12 내지 도 15에 있어서 측정 소자의 InGaAs 제1 상부 클래딩층 두께는 약 15nm 정도이다. 도 12의 측정 소자는 배리어 두께가 21.5nm 정도(따라서, 주입되는 스핀 전자는 제2 상부 클래딩층의 에너지 배리어를 넘어야 함)이다. 도 13의 측정 소자는 배리어 두께가 7nm이다. 도 14 및 15의 측정 소자에서는 강자성체 소스가 채널층과 접한다.

도 12 내지 도 15의 각 그래프에서 '스윙 업'은 자계를 증가시키면서 전압을 측정한 경우를 나타내고, '스윙 다운'은 자계를 감소시키면서 전압을 측정한 경우를 나타낸다. 강자성체는 히스테리시스 특성이 있기 때문에, 스윙 업의 측정 결과와 스윙 다운의 측정 결과가 일치하지 않는다.

도 12를 참조하면, 인가 자계(자기장)에 따른 소자의 저항이 뚜렷한 스핀 신호를 나타내지 못하고 있음을 알 수 있다. 즉, 배리어 두께가 21.5nm 정도일 때는, 제2 상부 클래딩층의 에너지 배리어로 인해 베이스 라인의 저항이 크고 잡음이 많아 뚜렷한 스핀 신호를 얻을 수 없다.

그러나, 배리어 두께가 0 내지 10nm의 범위에 있는 경우에는, 도 13 내지 도 14에 도시된 바와 같이 뚜렷한 스핀 신호가 관찰된다. 도 13 내지 도 14에 나타난 바와 같이, 자계가 20 Oe에서 30 Oe 사이에 반평행 상태임을 보여주는 딥(dip: 그래프에서 아래로 파인 부분) 부분이 명확히 확인된다. 강자성체 소스가 채널층을 넘어 제2 하부 클래딩까지 연장된 경우(도 6b 참조; 이 경우에도 배리어 두께는 거의 0에 해당함)에도 도 14와 유사한 그래프를 나타내며, 특히 상온에서도 도 15에 도시된 바와 같이 뚜렷한 스핀 신호를 나타내었다.

도 16은 스핀 트랜지스터 소자에 대한 로컬 스핀 밸브(local spin valve) 측정에 이용되는 소자 구조의 개략적 평면도이다.

도 16을 참조하면, 로컬 스핀밸브 측정을 위해서, 전류를 소스(113)와 드레인(114) 사이로 흘려주면서 소스(113)의 일단부(113') 및 드레인의 일단부(114') 간의 전압을 측정한다. 결과적으로, 로컬 스핀밸브 측정 방법은 소스와 드레인 간의 저항을 측정하는 방법이다. 이 방법에서는, 논-로컬 측정 방법과 달리, 소스와 드레인이 평행일 때 낮은 저항(낮은 측정 전압)을 나타내고 반평행일 때 높은 저항(높은 측정 전압)을 나타낸다. 이러한 로컬 스핀밸브 측정 방법은 스핀 트랜지스터의 동작과 동일한 동작 방법을 이용하므로, 완성된 스핀 트랜지스터의 실제 동작 성능에 대한 정밀한 평가 방법에 해당된다.

도 17은 도 4b의 구조를 갖는 소자(강자성체 소스가 InGaAs 제1 상부 클래딩층까지 연장됨)에 대한 로컬 스핀밸브 측정 결과(측정시 온도는 16K)를 나타낸 그래프이다. 도 17에 나타난 바와 같이, 반평행 상태에서 뚜렷한 저항 상승을 보여주고 있을 뿐만 아니라 높은 저항의 평평한 고원부(plateau)까지 명확히 관찰되고 있다. 따라서, 도 4b의 구조를 채택하면 소자 응용시 뚜렷한 스핀 신호를 얻을 수 있을 뿐만 아니라 넓은 감지 마진(reading margin)까지도 얻을 수 있다.

본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니고, 첨부된 청구범위에 의해 한정하고자 한다. 또한, 본 발명은 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게 자명할 것이다.

발명의 효과

이상 설명한 바와 같이 본 발명에 따르면, 강자성체인 소스 및 드레인가 제1 상부 클래딩층 또는 그 아래로 연장됨으로써, 강자성체 소스로부터 주입되는 전자는 제2 상부 클래딩층의 에너지 장벽을 넘을 필요가 없게 된다. 또한 소스와 채널 간의 에너지 배리어 두께가 감소된다. 이에 따라 접촉 저항이 대폭 감소되고 스핀 주입 효율이 현저히 향상되며, 신호대 잡음비가 개선된다. 결국, 뚜렷한 스핀 신호를 얻게 되고 스핀 신호의 감지 마진이 넓어진다.

도면의 간단한 설명

도 1은 종래기술에 따른 스핀 트랜지스터의 개략적인 평면도 및 단면도이다.

도 2는 도 1의 라인 AB를 따라 자른 단면도이다.

도 3은 도 1의 스핀 트랜지스터에서 강자성체(소스 또는 드레인)와 기판부의 접합 부분에서의 에너지 밴드 구조를 나타내는 도면이다.

도 4a는 본 발명의 일 실시형태에 따른 스핀 트랜지스터의 단면도이다.

도 4b는 도 4a의 라인 AA'를 따라 자른 단면도이다.

도 5a는 본 발명의 다른 실시형태에 따른 스핀 트랜지스터의 단면도이다.

도 5b는 도 5a의 라인 AA'를 따라 자른 단면도이다.

도 6a는 본 발명의 또 다른 실시형태에 따른 스핀 트랜지스터의 단면도이다.

도 6b는 도 6a의 라인 AA'를 따라 자른 단면도이다.

도 7a 내지 7f는 본 발명의 실시형태에 따른 스핀 트랜지스터의 제조 공정을 설명하기 위한 단면도들이다.

도 8은 본 발명의 일 실시형태에 따른 스핀 트랜지스터의 주요 단면 부분을 나타내는 투과 전자 현미경(TEM) 사진이다.

도 9는 본 발명의 일 실시형태에 따른 스핀 트랜지스터의 평면도를 나타내는 주사 전자 현미경(SEM) 사진이다.

도 10은 스핀 주입 배리어 두께와 접촉 저항 간의 관계를 나타내는 그래프이다.

도 11은 스핀 트랜지스터 소자에 대한 논-로컬(non-local) 측정에 이용되는 소자 구조의 개략적 평면도이다.

도 12는 종래예에 따른 스핀 트랜지스터 소자에 대한 논-로컬 측정 결과를 나타내는 그래프이다.

도 13은 일 실시예에 따른 스핀 트랜지스터 소자에 대한 논-로컬 측정 결과를 나타내는 그래프이다.

도 14는 다른 실시예에 따른 스핀 트랜지스터 소자에 대한 논-로컬 측정 결과를 나타내는 그래프이다.

도 15는 다른 실시예에 따른 스핀 트랜지스터 소자에 대한 논-로컬 측정 결과를 나타내는 그래프이다.

도 16은 스핀 트랜지스터 소자에 대한 로컬 스핀 밸브(local spin valve) 측정에 이용되는 소자 구조의 개략적 평면도이다.

도 17은 일 실시예에 따른 스핀 트랜지스터 소자에 대한 로컬 스핀 밸브 측정 결과를 나타내는 그래프이다.

<도면의 주요부분에 대한 부호의 설명>

150, 250, 350: 스핀 트랜지스터 100: 기관부

101: 반절연성 기관 102: 버퍼층

104: 전하 공급층 105: 하부 클래딩층

107: 채널층 105': 상부 클래딩층

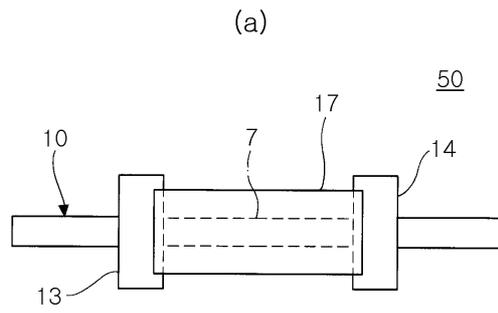
106: 캡핑층 108, 110: 절연막

113, 213, 313: 소스 114, 214, 314: 드레인

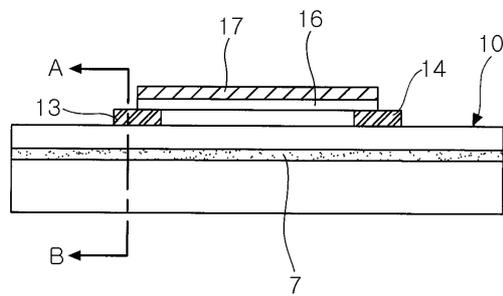
116: 게이트 절연막 117: 게이트

도면

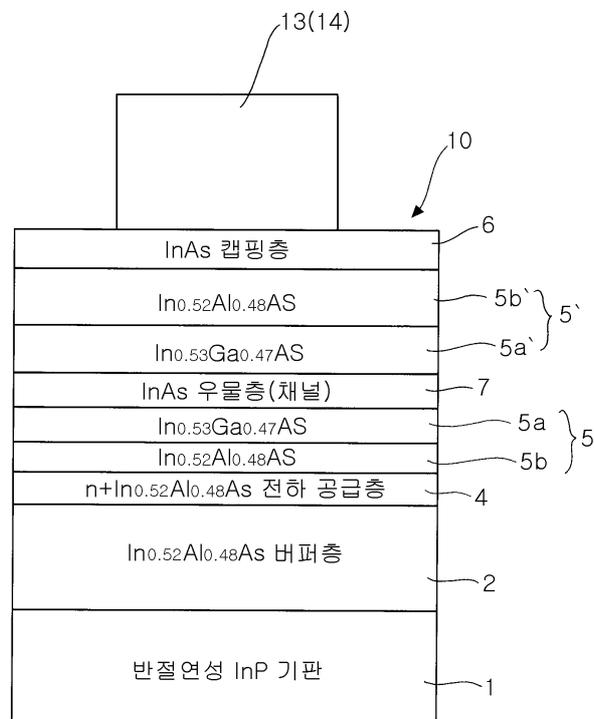
도면1



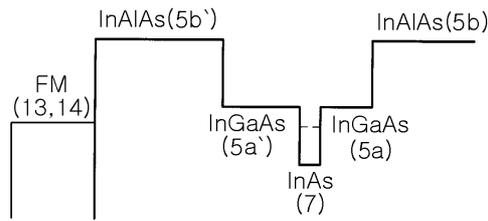
(b)



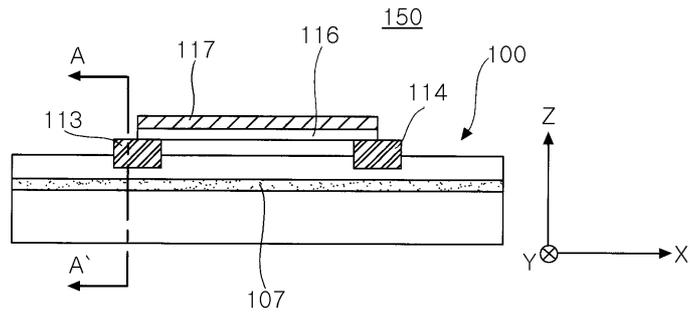
도면2



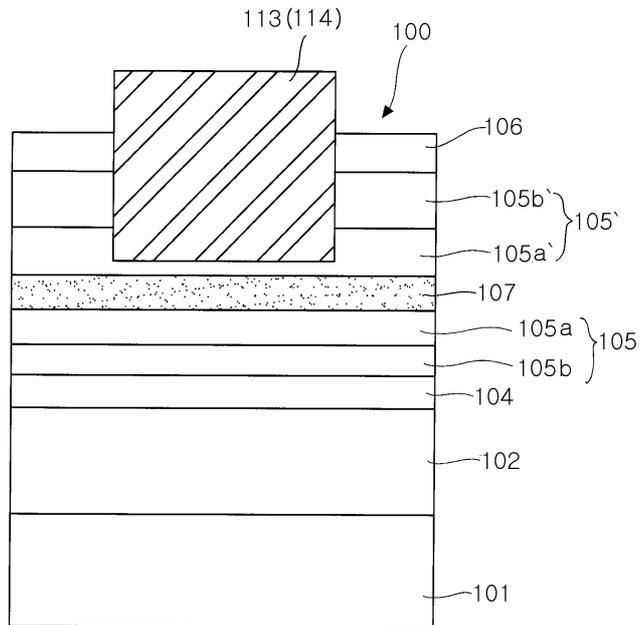
도면3



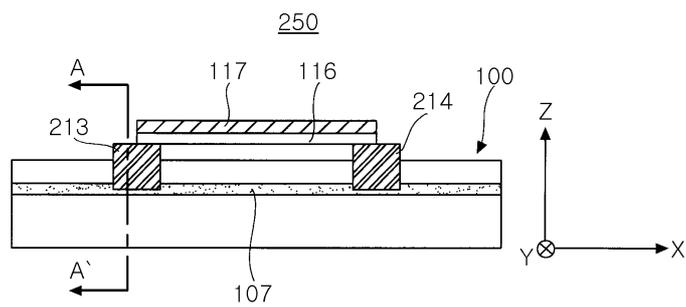
도면4a



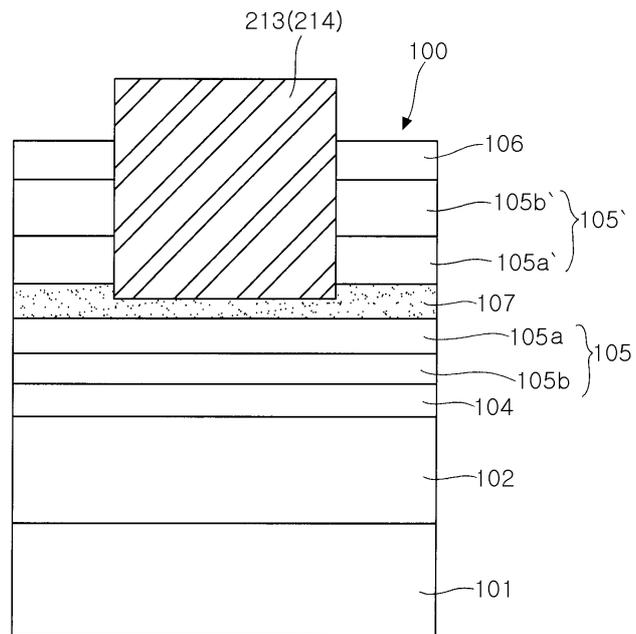
도면4b



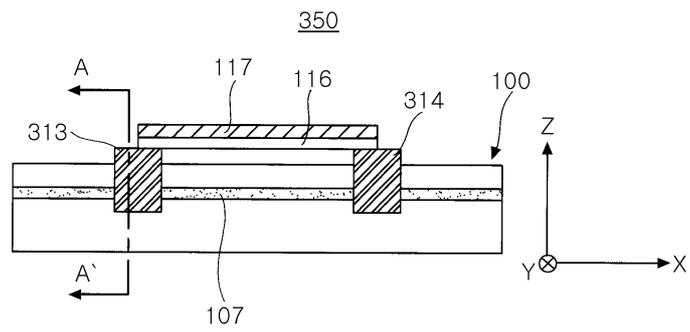
도면5a



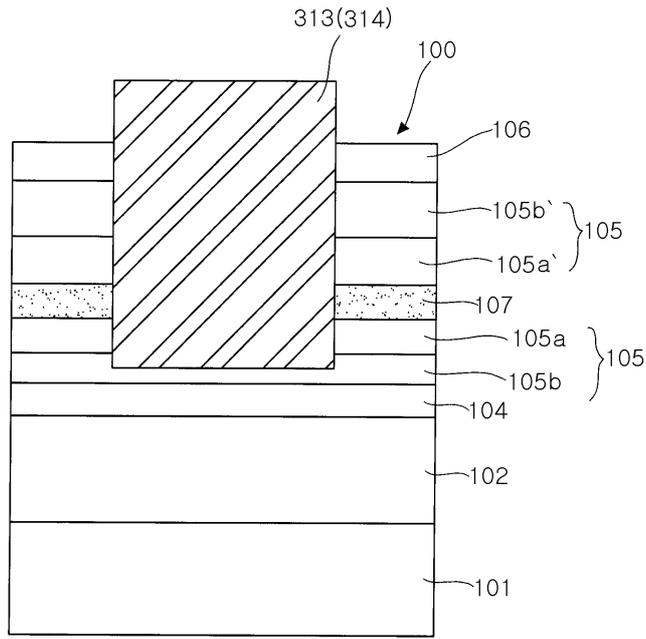
도면5b



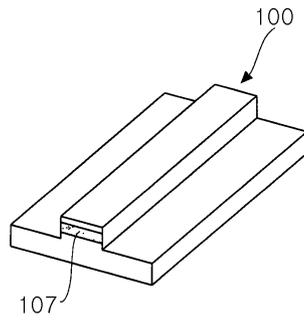
도면6a



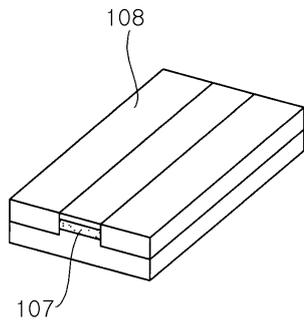
도면6b



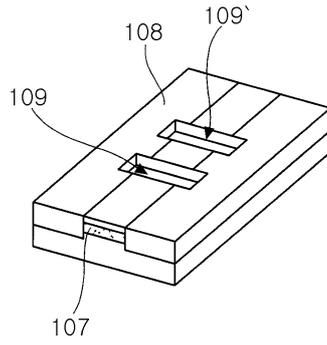
도면7a



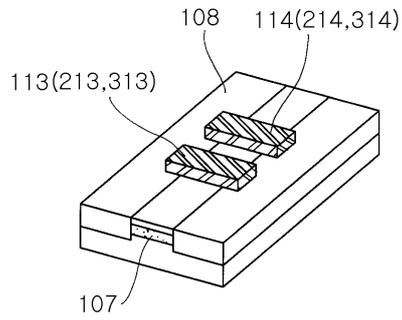
도면7b



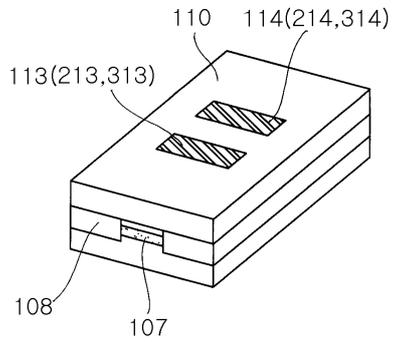
도면7c



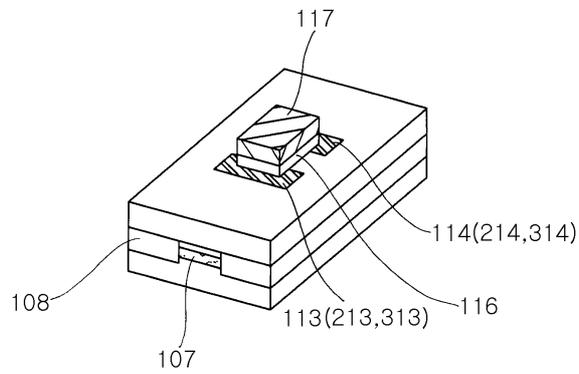
도면7d



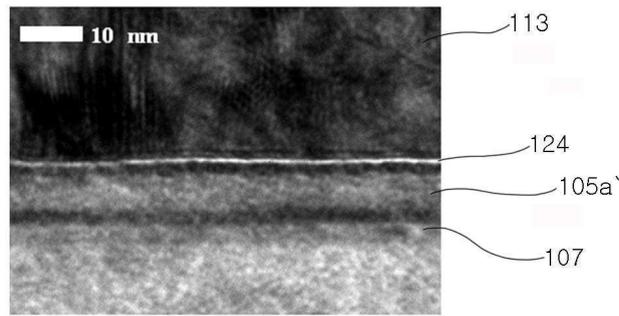
도면7e



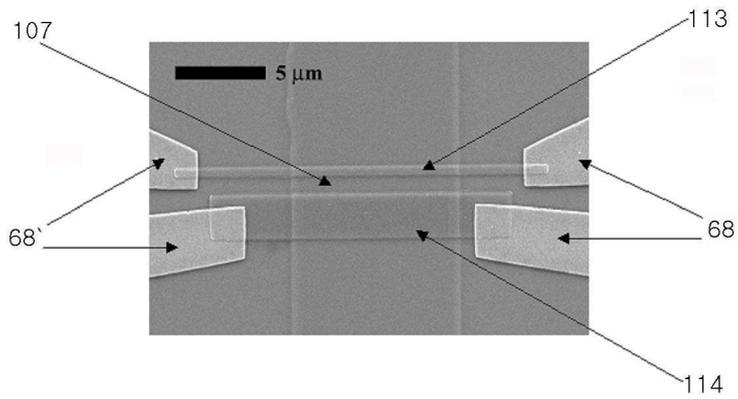
도면7f



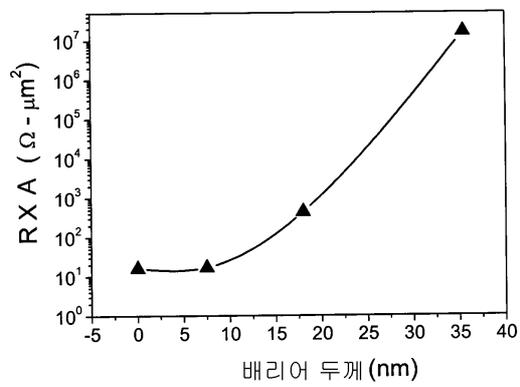
도면8



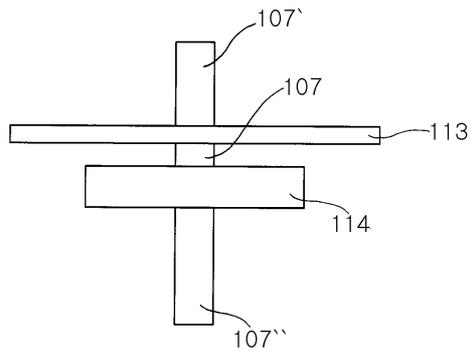
도면9



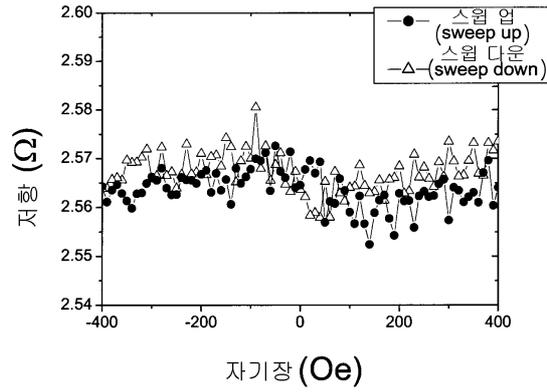
도면10



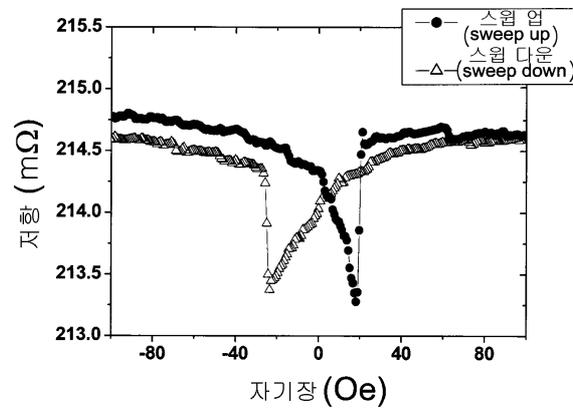
도면11



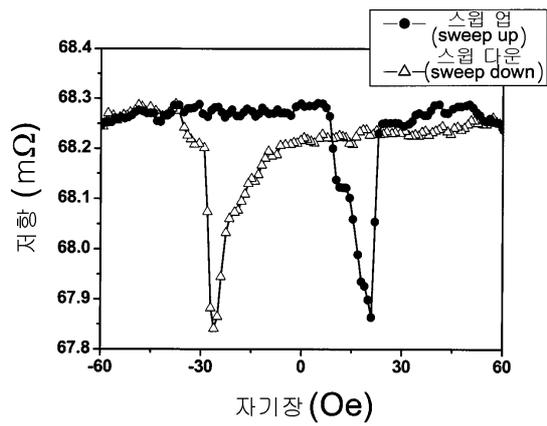
도면12



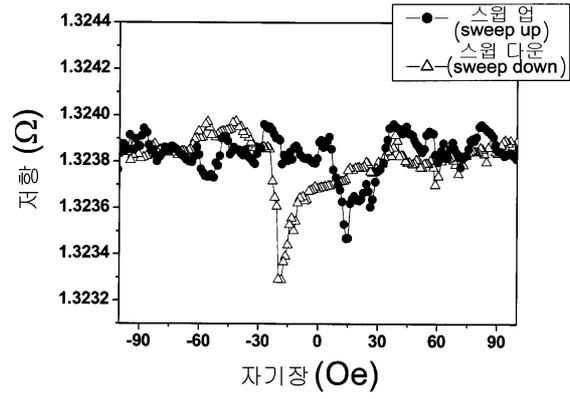
도면13



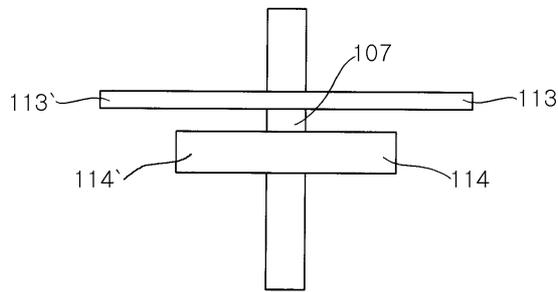
도면14



도면15



도면16



도면17

