

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/336
H01L 27/12

(11) 공개번호 10-2005-0062628
(43) 공개일자 2005년06월23일

(21) 출원번호 10-2005-7006718
(22) 출원일자 2005년04월18일
 번역문 제출일자 2005년04월18일
(86) 국제출원번호 PCT/US2003/032770
 국제출원일자 2003년10월14일

(87) 국제공개번호 WO 2004/040619
 국제공개일자 2004년05월13일

(30) 우선권주장 10/272,979 2002년10월18일 미국(US)

(71) 출원인 어드밴스드 마이크로 디바이시스, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 원 에이엠디 플레이스 메일 스톱68

(72) 발명자 리스터스 데릭 제이.
미국 텍사스주 78738 비 카브즈 오버랜드 패스 13710
 치앙 키
미국 캘리포니아주 95129 산 호세 템즈 드라이브 1119
 볼러 제임스 에프.
미국 텍사스주 78759 오스틴 인디카 코브 6908

(74) 대리인 박장원

심사청구 : 없음

(54) 매립 산화물층에서의 압축성 물질로 인한 인장 변형실리콘을 구비한 반도체 디바이스

명세서

기술분야

본 발명은 반도체 디바이스 제조에 관한 것이고, 더욱 구체적으로, 실리콘 온 절연체(SOI) 기술을 포함하는 개선된 반도체에 관한 것이다.

배경기술

반도체 산업에서 진행중인 연구의 중요한 목적은 반도체 디바이스에서 전력 소모를 감소시키면서도 반도체 성능을 증가시키는 것이다. 금속 산화물 반도체 전계 효과 트랜지스터(MOFET)와 같은 평면 트랜지스터(planar transistor)는 고-밀도 집적 회로에서의 사용에 매우 적합하다. MOSFET 및 다른 디바이스들의 크기가 감소함에 따라, 소스/드레인 영역들, 채널 영역들 및 디바이스들의 게이트 전극들의 크기 또한 감소한다.

채널 길이가 짧은 소형 평면 트랜지스터들의 디자인은 매우 얇은(shallow) 소스/드레인 접합(junction)의 제공을 필수로 한다. 얇은 접합들은 채널에 주입된 도펀트의 측면 확산을 피하는 것이 필요한바, 그 이유는 이러한 확산이 누설 전류 및 열 등한 브레이크다운(breakdown) 성능의 원인이 되기 때문이다. 짧은 채널 디바이스들에서 허용가능한 성능을 위해서는 1000Å 이하의 두께를 갖는 얇은 소스/드레인 접합들이 일반적으로 요구된다.

실리콘 온 절연체(SOI) 기술은 고속(high-speed)의 얇은-접합 디바이스들의 형성을 허용한다. 게다가, SOI 디바이스들은 기생 접합 캐패시턴스를 감소시킴으로써 성능을 개선한다. SOI 기술이 얇은-접합 디바이스들의 성능을 개선하더라도, 더 깊은(deeper) 접합을 필요로 하는 디바이스들은 SOI에서의 장점을 얻지 못한다. 예를 들면, 온도에 민감하거나 깊은 주입을 필요로 하는 디바이스들은 벌크 기판에서 형성될 때 동작을 보다 양호하게 수행한다.

SOI 기판에서, 실리콘 옥사이드로 만들어진 매립 산화물(BOX) 막은 단일 결정 실리콘 위에 형성되고, 단일 결정 실리콘 박막(thin film)이 그 위에 형성된다. 이러한 SOI 기판들의 제조를 위한 다양한 방법들이 알려져 있다. 이러한 방법 중 하나는 주입된 산소에 의한 분리(Separation-by-Implanted Oxygen)(SIMOX)이며, 여기서 산소는 매립 산화물(BOX) 막을 형성하기 위해 단일 결정 실리콘 기판에 이온 주입된다.

SOI 기판을 형성하는 다른 방법은 웨이퍼 본딩(wafer bonding)이며, 여기에서는 실리콘 옥사이드 표면층들을 구비한 두 개의 반도체 기판들이 실리콘 옥사이드 표면들에서 서로 본딩되어 상기 두 개의 반도체 기판들 사이에 BOX 층을 형성한다.

다른 SOI 기술은 스마트 컷(Smart Cut^R)이며, 이는 옥사이드 층들을 통해 반도체 기판들을 본딩하는 것을 또한 포함한다. 스마트 컷 방법에서, 반도체 기판들 중 하나는 본딩 전에 수소 이온들로 도핑된다. 이 수소 이온 도핑에 의해 수소 이온이 도핑된 기판이 그 표면 위에 실리콘 박층(thin layer)을 남긴 채 상기 본딩된 기판으로부터 분리(split)되게 된다.

스트레인드 실리콘(strained silicon) 기술은 또한 더 높은 속도의 디바이스를 형성하도록 한다. 스트레인드 실리콘 트랜지스터를 형성하는 하나의 방법은 벌크 실리콘 웨이퍼 위에 실리콘 게르마늄(SiGe)의 경사 층을 증착하는 것이다. 그 다음 실리콘 박층은 SiGe 위에 증착된다. SiGe 결정 격자에서의 원자들 간의 거리는 본래 실리콘 결정 격자에서의 원자들 간의 거리보다 더 크다. 하나의 결정이 다른 결정 위에 형성될 때 다른 결정들 내부에서의 원자들은 상호 정렬(align)하는 자연적 특성이 있기 때문에, 실리콘이 SiGe 위에 증착될 때 실리콘 원자들은 SiGe 격자 내부의 원자들과 정렬하기 위해 늘어나거나 "변형(strain)"되기 쉽다. 스트레인드 실리콘에서 전자들은 저항을 덜 받고 보통의 결정 실리콘에서보다 80% 빠르게 이동한다.

여기서 사용되는 용어, 반도체 디바이스들은 특정적으로 개시된 실시예들에 한정되지 않는다. 여기서 사용되는 반도체 디바이스들은 플립(flip) 칩, 플립 칩/패키지 조합체, 트랜지스터, 캐패시터, 마이크로프로세서, 랜덤 액세스 메모리(random access memory)등을 포함하는 매우 다양한 전자 디바이스들을 포함한다.

발명의 상세한 설명

반도체 디바이스 기술분야에서 SOI 기술 및 스트레인드 실리콘 기술의 개량된 성능들이 통합된 디바이스의 제공이 요구된다. 본 기술분야에서 기판 위에 SiGe 격자를 형성함이 없이 스트레인드 실리콘 층들을 형성하는 것을 포함하는 반도체 디바이스의 제공이 요구된다.

상기 및 기타 요구들은, 반도체 기판과 상기 반도체 기판 위의 압축성 물질(compressive material) 층을 포함하는 반도체 디바이스를 제공하는 본 발명의 실시예에 의해 충족된다. 스트레인드 실리콘층은 압축성 물질 층 위에 형성된다.

상기 요구들은 또한 반도체 기판을 제공하는 그 기판 위에 압축성 물질 층을 형성하는 단계를 포함하는 스트레인드 실리콘층을 구비한 반도체 디바이스의 형성 방법을 제공하는 본 발명의 임의의 실시예들에 의해 충족된다. 이후, 스트레인드 실리콘이 압축성 물질 층 위에 형성된다.

본 발명은 개선된 전기적 특성을 구비한 개선된 고속 반도체 디바이스의 요구에 대처한다.

본 발명의 상기 및 기타 특징, 양상 및 장점들은 첨부된 도면과 관련한 본 발명의 상세한 설명에서 명백해질 것이다.

도면의 간단한 설명

도 1A-1H는 스마트 컷 공정을 사용하여 매립 산화물층 내에 압축성 물질 층을 구비한 SOI 반도체 디바이스의 형성을 도시한다.

도 2A-2G는 웨이퍼 본딩 기술을 사용하여 매립 산화물층 내에 압축성 물질 층을 구비한 SOI 반도체 디바이스의 형성을 도시한다.

도 3A-3E는 매립 산화물층에 압축성 물질 층을 구비한 SOI 반도체 기판 위에서의 전계 효과 트랜지스터의 형성을 도시한다.

도 4A-4C는 스트레인드 실리콘 채널을 구비하고, 소스/드레인 영역들 내에 더 높은 레벨의 비소 도펀트를 갖는 전계 효과 트랜지스터의 형성을 도시한다.

실시예

본 발명은 SOI 및 스트레인드 실리콘 기술 양자의 장점을 모두 구비한 개선된 고속 반도체 디바이스들의 생산을 가능하게 한다. 본 발명은 또한 감소된 기생 접합 캐패시턴스를 갖는 SOI의 장점이 통합된 스트레인드 실리콘 기술에 의해 반도체 디바이스의 속도를 고속화시킬 수 있다. 이러한 장점들은 스트레인드 실리콘층과 SOI 반도체 기판을 결합함으로써 제공된다.

본 발명은 첨부된 도면에 도시된 반도체 디바이스의 형성과 관련하여 설명될 것이다. 그러나, 이러한 설명은 예시일뿐이며, 청구된 발명은 상기 도면에 도시된 특정 디바이스의 형성에 한하지 않는다.

스마트 컷 기술을 사용하여 SOI 기판 위에 반도체 디바이스를 형성하는 방법이 먼저 설명될 것이다. 상부 섹션(10)이 다음 단계에 따라 형성된다: 도 1A에 도시된 바와 같이, 단결정 실리콘 웨이퍼(12)가 준비된다. 도 1B에 도시된 바와 같이, 상기 실리콘 웨이퍼(12) 위에 열 성장된(thermally grown) 실리콘 옥사이드(14)층이 형성된다. 도 1C에 도시된 바와 같이, 상부 섹션(10)을 형성하도록 수소 이온들(16)이 실리콘 웨이퍼(12)에 소정의 깊이(18)로 주입된다. 주입된 수소 이온은 주입 웨이퍼 내부에 미세 공동(microcavity)들, 미세 기포(microblister)들, 혹은 미세 거품(microbubble)들을 생성한다. 미세 공동의 밀도 및 크기가 상기 공동 사이의 거리를 일정 임계값 아래로 감소시킬때, 이들 공동 상호간에 분열이 발생하여 이 분열이 침투(percolation) 형태 과정을 통해 퍼지게 된다. 이는 궁극적으로 전술한 바와 같이 웨이퍼(12)의 분리를 일으킨다.

상기 상부 섹션(10)에 본딩되도록 하부 섹션(40)이 준비된다. 하부 섹션(40)은 다음과 같이 형성된다: 반도체 기판(20)은 그 위에 형성된 압축성 물질(22) 층을 구비한다(도 1D). 압축성 물질은 실리콘 옥시나이트라이드(SiO_xN_y) 플라즈마 화학 기상 증착(PECVD)된 포스포러스(phosphorous), 실리콘 나이트라이드(Si_3N_4) 및 보론/포스포러스(boron/phosphorous) 도핑된 실리카 글래스(BPSG)를 포함하는 수많은 압축성 물질들 중 어느 것이라도 가능하다. 압축성 물질 층(22)은 화학 기상 증착(CVD)을 포함하는 수많은 종래 기술에 의해 증착될 수 있다. 압축성 물질(22)은 약 500Å 내지 2000Å의 두께로 증착된다.

도 1E에 도시된 바와 같이, BOX 층(26)은 SIMOX 공정에 의해 형성된다. SIMOX 공정에서, 산소 이온들(24)은 반도체 기판(20)에 주입된다. 본 발명의 임의의 실시예들에서, 산소 이온들(24)은 약 70keV 내지 약 200keV의 에너지 범위에서, 그리고 약 $1.0 \times 10^{17} \text{cm}^{-2}$ 내지 약 $1.0 \times 10^{18} \text{cm}^{-2}$ 의 도오즈(dose) 범위에서 반도체 기판(20)에 주입된다. 주입 후에, 하부 섹션(40)은 BOX 층(26)을 형성하기 위해, 비활성 기체와 약 0.2% 내지 약 2.0%의 O_2 를 포함한 대기에서 약 4시간 내지 약 6시간 동안, 약 1250°C 내지 약 1400°C의 온도 범위에서 어닐링(anneal) 된다. 어닐링 대기에서 O_2 는 하부 섹션(40) 위에 옥사이드 박층(28)을 형성한다. 옥사이드 층(28)은 수소 이온이 주입된 상부 섹션(10)으로의 후속 접촉을 개선한다.

도 1G에 도시된 바와 같이, 상부 섹션(10)과 하부 섹션(40)은 이들 각각의 옥사이드 층들(14 및 28)의 접촉면에서 서로 본딩된다. 임의의 실시예들에서, 상부 섹션(10)과 하부 섹션(40)의 본딩 표면들(19,29)은 폴리싱(polish)되어 낮은 표면 거칠기(예컨대, $2 \text{Å} \mu\text{m}^2 \text{RMS}$)를 나타내도록 된다. 도 1G에 도시된 바와 같이, 하부 섹션(10)과 상부 섹션(40)은 서로 압착(press)되고, 상부 섹션(10)과 하부 섹션(40)을 융합(fuse)시키기 위해 비활성 대기에서 약 5분 내지 약 5시간 동안 약 900°C 내지 약 1200°C의 범위에서 가열된다.

임의의 실시예들에서, H_2O_2 혹은, HNO_3 및 H_2O_2 의 소량의 수용액과 같은 산화제가 상부 섹션(10)과 하부 섹션(40) 사이에서의 접촉면에 공급된다. 상기 산화제는 상대적으로 낮은 온도에서 본딩을 허용하고; 기판 웨이퍼들의 열 확장 계수와 근접하게 매칭하는 열 확장 계수를 갖는 본딩 층을 산출하는 본딩 용액내의 도펀트들을 공급함으로써 더 나은 스트레스 보상(stress compensation)을 제공하고; 그리고 이동성 오염물질(contaminant)에 대한 장벽(barrier)인 본딩 층을 제공할 본딩 용액내의 도펀트들의 사용으로 오염물질 이동을 제한함으로써 본딩 공정을 개선시킨다.

상기 결합된 웨이퍼/반도체 기판(42)은 약 2시간 동안 약 1100°C에서 어닐링된다. 이러한 어닐링 단계는 수소 도핑된 상부 섹션(10)에서의 미세 공동들이 퍼져 상기 웨이퍼(12)의 분할을 야기한다. 그 다음 상부 섹션(10)의 벌크 실리콘 부분(44)은 접착된 실리콘층(21)을 남긴 채 하부 섹션(40)으로부터 제거된다. 따라서, 도 1H에 도시된 바와 같이, BOX 층 내에 형성된 압축성 물질 층을 구비한 SOI 기판이 얻어진다. 임의의 실시예들에서, 반도체 구조(46)의 형성 후에(도 1H), 분리된 SOI 구조는 미세한 거칠기(microroughness)를 나타내기 때문에, 상기 구조(46)는 폴리싱된다.

SOI 반도체 구조(46)는 제 1절연층(26)(하부 BOX 층), 그리고 제 2절연층(48)(옥사이드 층(14 및 28(상부 BOX 층)))을 포함하며, 이 두 층 사이에 삽입된 압축성 물질(22)을 구비한다. 제 1절연층(26)과 제 2절연층(48)의 두께들은 각각 약 500Å 내지 약 4000Å이다. 본 발명의 임의의 실시예들에서, 압축성 물질 층(22)이 두 절연층들(26,48) 사이에서 수직 방향의 중심에 위치하는 것이 필수는 아니지만, 압축성 물질 층(22)은 실질적으로 수직 방향에서 제 1절연층(26)과 제 2절연층(48) 사이의 중심에 위치한다. 압축성 물질 층(22)은 실리콘층(21)에서 약 0.2% 내지 약 1.5%의 격자 미스매치(mismatch)를 야기한다.

BOX 층들 사이에서 형성된 압축성 물질 층을 구비한 SOI 반도체 기판 위에 스트레인트 실리콘층을 갖는 반도체 디바이스를 생산하는 다른 방법이 설명될 것이다. 상부 섹션(80)이 다음 과정에 따라 형성된다: 도 2A에 도시된 바와 같이, 약하게(lightly) 도핑된 실리콘 에피택셜 층(32)이 강하게(heavily) 도핑된 실리콘 기판(30) 위에서 성장된다. 옥사이드 층(34)이 그 다음 상기 실리콘 층(32) 위에 형성된다. 임의의 실시예들에서, 옥사이드 층(34)은 실리콘 층(32)의 열 산화(thermal oxidation)에 의해 형성된다. 다른 임의의 실시예들에서, 옥사이드 층(34)은 CVD와 같은 방법에 의해 증착된다.

상부 섹션(80)에 본딩되도록 하부 섹션(82)이 준비된다. 하부 섹션(82)은 다음 과정에 따라 형성된다: 도 2C에 도시된 바와 같이, 약하게 도핑된 실리콘 반도체 기판(20)에 그 위에 형성된 압축성 물질 층(22)이 제공된다. 전술한 실시예들에서 설명된 바와 같이, 산소 이온들(24)이 SIMOX 공정에 의해 반도체 기판(20)에 주입된다. 도 2D에 도시된 바와 같이, 그 다음 반도체 기판(20)이 BOX 층(26)을 형성하도록 어닐링된다. 도 2E에 도시된 바와 같이, 옥사이드 층(28)을 형성하도록 상기 어닐링은 비활성 기체와 약 0.2% 내지 약 2% O_2 의 대기에서 수행된다. 임의의 실시예들에서, 옥사이드 층(28)은 CVD와 같은 방법으로 증착된다. 임의의 실시예들에서, 상부 섹션(80)과 하부 섹션(82)을 본딩하기 전에 본딩 표면들(84,86)이 폴리싱된다. 각각의 옥사이드 층들(34,28)의 본딩 표면들(84,86)이 접촉되게 하기 위해 상부 및 하부 섹션들(80,82)은 서로 압착(squeeze)되며, 도 2F에 도시된 바와 같이, 본딩을 이루기 위해 결합된 구조(88)가 약 5분 내지 약 5시간 동안 약 900°C 내지 약 1200°C의 온도에서 어닐링된다. 임의의 실시예들에서, 상기 상부 및 하부 섹션들(80,82)을 본딩하기 전에 과산화 수소, 혹은 질산 및 과산화 수소 수용액과 같은 소량의 산화 용액이 본딩 표면들(84,86) 중 하나 위에 증착된다.

상기 옥사이드 층들(28,34)이 융합된 후에, SOI 반도체 디바이스(90)에 스트레인드 실리콘 층(32)을 제공하기 위해 강하게 도핑된 기관(30)을 우선적으로 식각함과 같은 방법으로(여기서, 상기 변형은 상기 BOX 층들(26,92) 사이에 삽입된 압축성 물질(22)에 의해 유발된다), 상기 강하게 도핑된 기관(30)은 제거된다.

압축성 물질 층(22)은 PECVD 포스포러스, BPSG, SiO_xN_y, 혹은 Si₃N₄를 포함한다. 압축성 물질 층(22)의 두께는 약 500Å 내지 약 2000Å이다. 하부 BOX 층(26)과 상부 BOX 층(92)은 각각 약 500Å 내지 약 4000Å이다. 본 발명의 임의의 실시예들에서, 압축성 물질 층(22)은 실질적으로 수직방향에서 하부 BOX 층(26)과 상부 BOX 층(92) 사이의 중심에 위치한다. 상기 압축성 물질 층(22)은 상기 스트레인드 실리콘층(32)에서 약 0.2% 내지 약 1.5%의 격자 미스매치를 유발한다.

금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)와 같은 반도체 디바이스의 형성 방법이 설명될 것이다. 스트레인드 실리콘층(32)과 두 개의 BOX 층들(26,92) 사이에서 형성된 압축성 물질 층(22)을 구비한 SOI 반도체 디바이스(94)는 그 위에 형성된 게이트 옥사이드 층(50)과 게이트 도전 층(51)을 가지고 있다. 게이트 옥사이드 층(50)은 실리콘 층(32)의 열산화 혹은 CVD와 같은 종래 방법으로 형성된다. 게이트 도전 층(51)은 폴리실리콘 혹은 금속과 같은 종래 물질들로부터 형성된다. 도 3B에 도시된 바와 같이, 상기 구조(94)는 게이트 도체(52)를 구비한 게이트 구조(96)를 형성하기 위해 포토 리소그라픽(photolithographic) 패터닝과 같은 방법에 의해 패터닝된다. 그다음 소스/드레인 확장들(54)을 형성하도록 결과 구조에 도펀트가 주입된다. 임의의 실시예들에서, 선택적인 도펀트의 주입은 반도체 디바이스(94) 위에 포토레지스트 마스크를 형성하고 종래의 도펀트를 주입하는 것을 포함하는 종래 방법들에 의해 형성된다.

도 3D에 도시된 바와 같이, 그 다음 실리콘 나이트라이드(nitride) 층이 반도체 구조(94) 위에 증착되고, 측벽 스페이서들(56)을 형성하기 위해 이방성으로 식각된다. 도 3E에 도시된 바와 같이, 그 다음 소스/드레인 영역(58)을 형성하도록 반도체 구조가 종래 방법에 따라 강하게 도핑된다. SOI 기관 위에 형성된 MOSFET 반도체 디바이스에 스트레인드 실리콘 채널을 제공하여 소스/드레인 영역들(58)을 활성화시키도록 결과 구조(94)가 어닐링된다.

다른 양상들에서, 스트레인드 실리콘 층들이 SiGe 층들 위에 형성된다. SiGe 층 위에 형성된 스트레인드 실리콘 층을 포함하는 반도체 디바이스들에 비소가 도핑될 때, 이 비소는 스트레인드 실리콘에서보다 SiGe에서 더 느리게 확산한다. 도 4A-4C는 SiGe층을 구비한 반도체 기관(20) 위에 형성된 MOSFET 반도체 디바이스를 도시한다. 쉘로우 트렌치 분리(shallow trench isolation) 영역(66)이 MOSFET(98)을 인접 MOSFET들과 격리시킨다. 실리콘 격차가 SiGe 층(60)의 격자 공간에 매칭되도록 변형되기 때문에, SiGe 층(60)은 실리콘 층(62)에서의 격자 변형을 유도한다. 가볍게 도핑된 소스/드레인 확장들(64)이 상기 스트레인드 실리콘 층(62) 내부에 형성된다.

도 4B에서 도시된 바와 같이, 상기 SiGe 층(60)에서의 느린 비소 확산을 보상하기 위해 증가된 도오즈의 비소(68)가 주입된다. 그 다음 소스/드레인 영역들(70)을 활성화하도록 반도체 디바이스(98)가 어닐링된다.

도 4C에 도시된 바와 같이, 도전성 실리사이드(silicide) 층들(72)이 게이트 구조(96) 및 소스/드레인 영역들(70) 위에 형성될 수 있다. 반도체 구조(98) 위에 코발트 혹은 니켈과 같은 금속을 증착하고, 그 다음 금속 실리사이드(72)를 형성하기 위해 금속이 소스/드레인 영역(70) 및 게이트 도체(52) 내부의 실리콘과 반응하도록 반도체 구조(98)를 어닐링함으로써 상기 도전성 실리사이드 층들이 형성된다. 도 4C에 도시된 바와 같이, 그 다음 위에서 반응하지 않은 금속이 반도체 디바이스(98)로부터 제거된다.

증가된 비소 도오즈의 이온들은 소스/드레인 영역들의 면 저항을 감소시키고, 소스/드레인 기생 저항을 감소시키도록 소스/드레인 확장을 줄인다. 증가된 비소 도오즈의 이온들은 또한 실리콘/실리사이드 접촉 저항을 감소시킨다. 게다가, SiGe 층에 대한 낮은 장벽 높이 역시 실리콘/실리사이드 접촉 저항을 감소시킨다.

본 발명의 방법들은 실리콘 온 절연체 및 스트레인드 실리콘 기술들의 개량된 고속 성능을 구비한 반도체 디바이스를 제공한다. 반도체 기관 위의 압축성 물질 층은 SiGe 하부 층을 형성함이 없이, 스트레인드 실리콘 층들의 형성을 가능하게 한다.

본 명세서에서 개시된 실시예들은 단지 설명적인 목적을 위함이다. 이들은 청구항들을 제한하도록 구성되지 않아야 한다. 당해 기술 분야의 당업자에게는, 본 명세서는 여기서 개시된 특정 실시예들이 아닌 매우 다양한 실시예들을 포함함이 명백할 것이다.

(57) 청구의 범위

청구항 1.

반도체 기관(20)과;

상기 반도체 기관(20) 위의 압축성 물질 층(22)과; 그리고

상기 압축성 물질 층(20) 위의 스트레인드 실리콘층(21)을 포함하는 반도체 디바이스.

청구항 2.

제 1항에 있어서,

상기 압축성 물질 층(22)과 상기 기관(20) 사이에 삽입된 제 1절연층(26)을 더 포함하는 반도체 디바이스.

청구항 3.

제 1항에 있어서,

상기 압축성 물질 층(22)과 상기 스트레인드 실리콘 층(21) 사이에 삽입된 제 2절연층(48)을 더 포함하는 반도체 디바이스.

청구항 4.

제 3항에 있어서,

상기 기관(20)과 상기 압축성 물질 층(22) 사이에 절연층(26)을 더 포함하는 반도체 디바이스

청구항 5.

제 4항에 있어서,

상기 압축성 물질 층(22)은 수직 방향에서 상기 제 1절연층(26)과 상기 제 2절연층(48) 사이의 중앙에 위치하는 반도체 디바이스.

청구항 6.

스트레인드 실리콘 층(21)을 구비한 반도체 디바이스 형성 방법으로서,

반도체 기관(20)을 준비하는 단계와;

상기 반도체 기관(20) 위에 압축성 물질 층(22)을 형성하는 단계와; 그리고

상기 압축성 물질 층(22) 위에 스트레인드 실리콘 층(21)을 형성하는 단계를 포함하는 반도체 디바이스 형성 방법.

청구항 7.

제 6항에 있어서,

상기 압축성 물질 층(22)은 포스포러스의 플라즈마 화학 기상 증착, 보론/포스포러스 도핑된 실리콘 글래스의 증착, SiO_xN_y 혹은 Si_3N_4 로부터 형성되는 반도체 디바이스 형성 방법.

청구항 8.

제 6항에 있어서,

상기 반도체 기관(20)과 상기 압축성 물질 층(22) 사이에 제 1절연층(26)을 형성하는 단계를 더 포함하는 반도체 디바이스 형성 방법.

청구항 9.

제 8항에 있어서,

상기 압축성 물질 층(22)과 상기 스트레인드 실리콘 층(21) 사이에 제 2절연층(48)을 형성하는 단계를 더 포함하는 반도체 디바이스 형성 방법.

청구항 10.

제 9항에 있어서,

상기 제 1절연층(26)과 상기 제 2절연층(48)은 매립 산화물 층들인 반도체 디바이스 형성 방법.

요약

실리콘 게르마늄층을 형성함이 없이, 반도체 디바이스에 실리콘 온 절연체(SOI) 및 스트레인드 실리콘 기술들의 고속 성능이 제공된다. 압축성 물질 층(22)이 SOI 반도체 기판(20) 위에 형성되어 그 위에 놓인 실리콘 층(21)에서의 변형을 유발한다. 압축성 물질은 실리콘 옥시나이트라이드, 포스포러스, 실리콘 나이트라이드 그리고 보론/포스포러스 도핑된 실리카글래스를 포함한다.

대표도

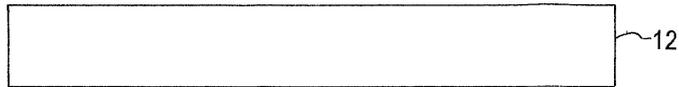
도 1H

색인어

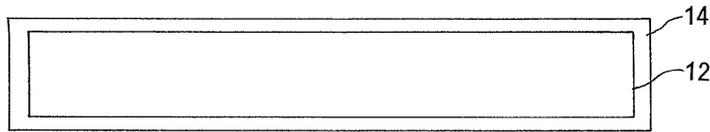
반도체 디바이스, 스트레인드 실리콘, 실리콘 온 절연체

도면

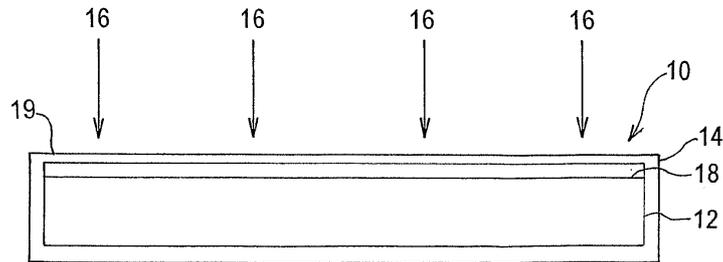
도면1A



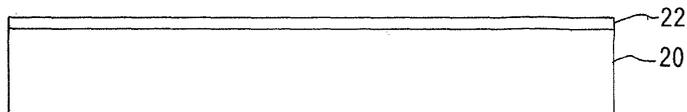
도면1B



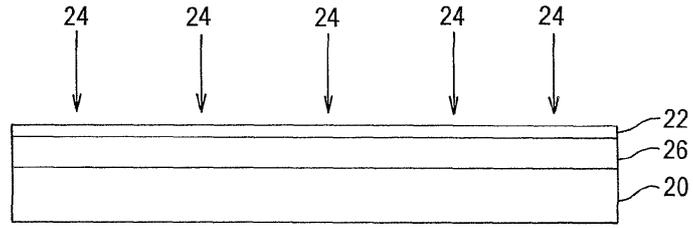
도면1C



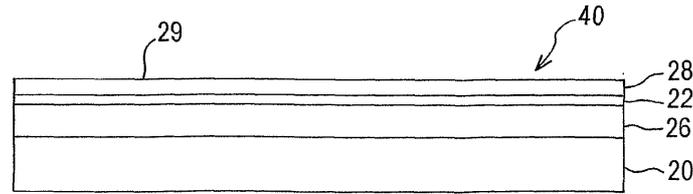
도면1D



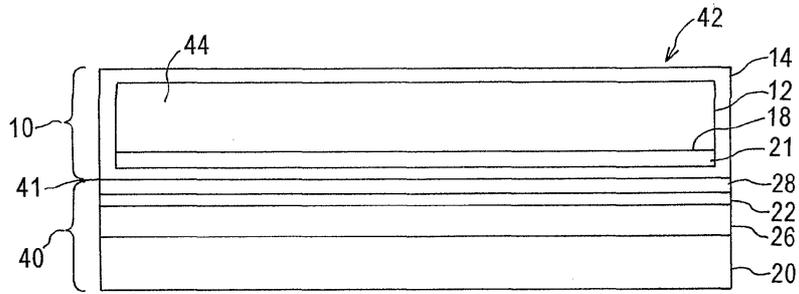
도면1E



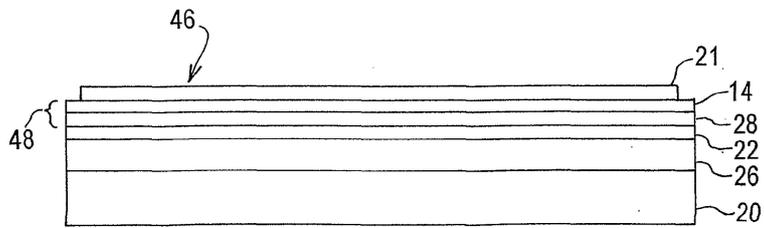
도면1F



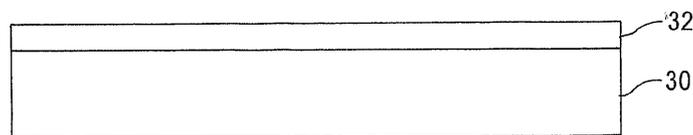
도면1G



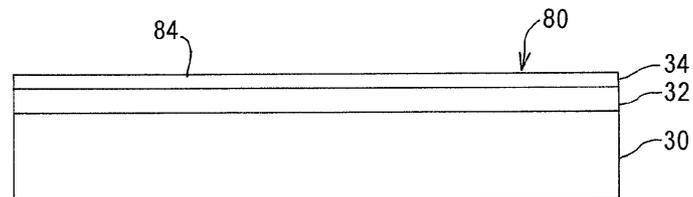
도면1H



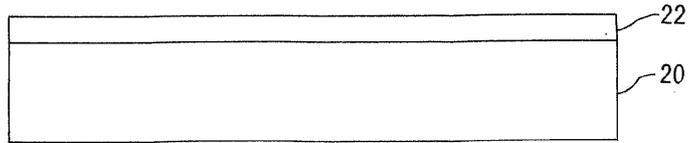
도면2A



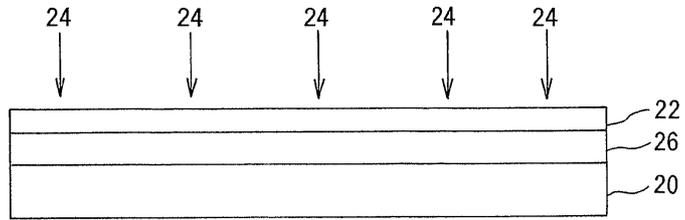
도면2B



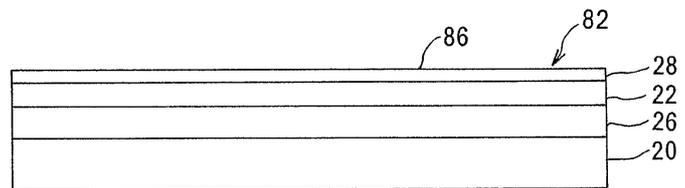
도면2C



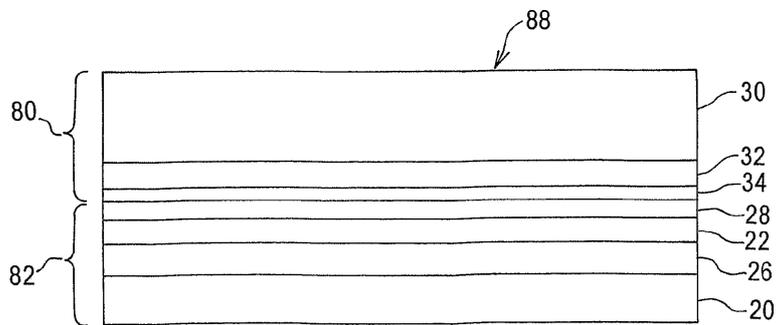
도면2D



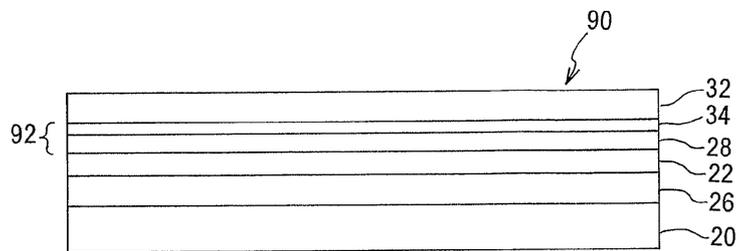
도면2E



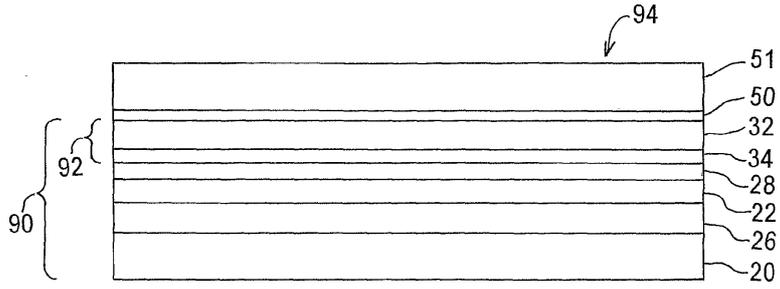
도면2F



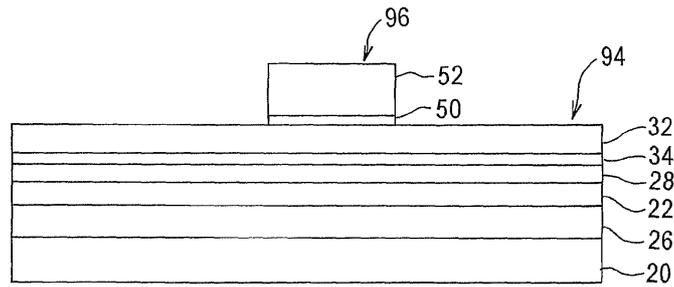
도면2G



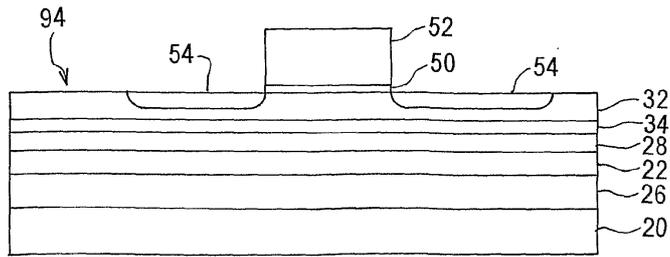
도면3A



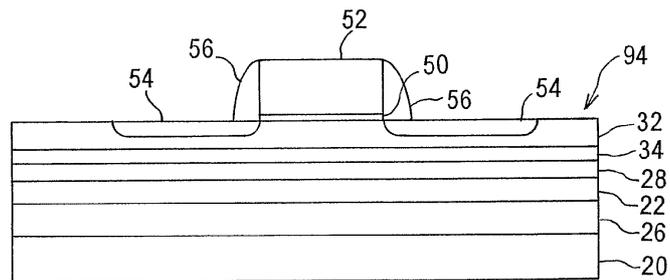
도면3B



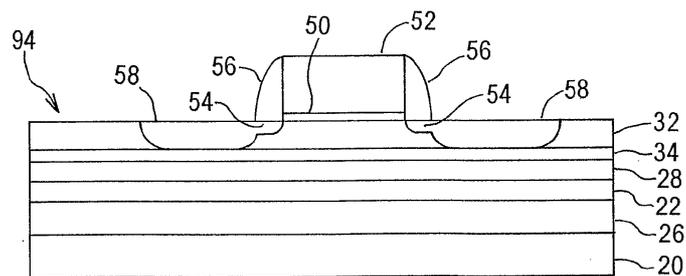
도면3C



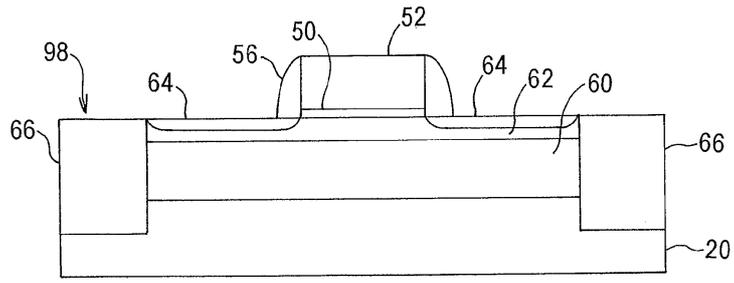
도면3D



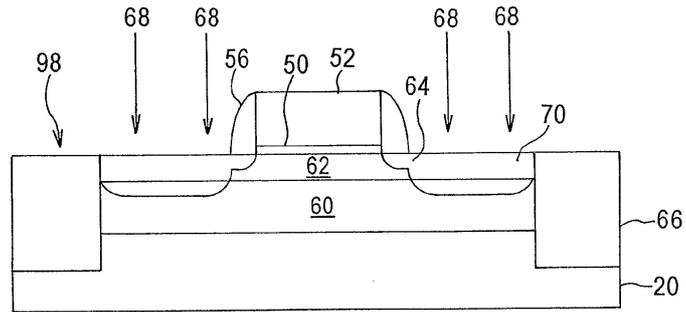
도면3E



도면4A



도면4B



도면4C

