

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-9345

(P2019-9345A)

(43) 公開日 平成31年1月17日(2019.1.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 P	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 V	5 F 0 6 4
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 F	

審査請求 未請求 請求項の数 16 O L (全 13 頁)

(21) 出願番号	特願2017-125211 (P2017-125211)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22) 出願日	平成29年6月27日 (2017.6.27)	(74) 代理人	110000350 ポレール特許業務法人
		(72) 発明者	橋本 ちえみ 東京都小平市上水本町五丁目20番1号 ルネサスシステムデザイン株式会社内
		(72) 発明者	矢山 浩輔 東京都小平市上水本町五丁目20番1号 ルネサスシステムデザイン株式会社内
		(72) 発明者	常野 克己 東京都小平市上水本町五丁目20番1号 ルネサスシステムデザイン株式会社内

最終頁に続く

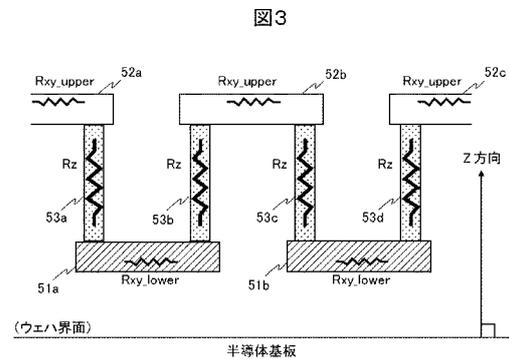
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】多結晶シリコン抵抗はモールドパッケージプロセス終了後の抵抗変動率が高い。高精度なトリミングを可能とするために、モールドパッケージプロセスにより基板に生じる応力の影響をほとんど受けない抵抗の実現が望まれる。

【解決手段】抵抗素子は複数の配線層に形成され、第1の配線層に形成される第1導電層51、第2の配線層に形成される第2導電層52及び第1導電層51と第2導電層52とを接続する層間導電層53の繰り返しパターンを有する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板上に形成され、少なくとも第 1 の配線層及び第 2 の配線層を含む複数の配線層を有し、

前記複数の配線層において抵抗素子が形成されており、

前記抵抗素子は、前記第 1 の配線層に形成される第 1 導電層、前記第 2 の配線層に形成される第 2 導電層及び前記第 1 導電層と前記第 2 導電層とを接続する層間導電層の繰り返しパターンを有する半導体装置。

【請求項 2】

10

請求項 1 において、

前記層間導電層の抵抗値は、前記第 1 導電層の抵抗値と前記第 2 導電層の抵抗値の和よりも大きい半導体装置。

【請求項 3】

請求項 1 において、

前記層間導電層は、前記第 1 導電層と前記第 2 導電層との間に形成される金属層もしくはポリシリコン層を含む半導体装置。

【請求項 4】

請求項 1 において、

前記複数の配線層は、前記第 1 の配線層と前記第 2 の配線層との間に第 3 の配線層を有し、

20

前記層間導電層は、前記第 3 の配線層に形成される台座と、前記第 1 導電層と前記台座とを接続する第 1 ピアと、前記第 2 導電層と前記台座とを接続する第 2 ピアとを有する半導体装置。

【請求項 5】

請求項 4 において、

前記第 1 ピア及び前記第 2 ピアは、TiN 層に W 層が埋め込まれた埋め込み層が形成されている半導体装置。

【請求項 6】

請求項 1 において、

30

前記第 1 の配線層において、前記第 1 導電層の長手方向を第 1 の方向とし、前記第 1 の方向と垂直な方向を第 2 の方向とし、

前記抵抗素子に含まれる複数の前記層間導電層は、前記第 1 の方向及び前記第 2 の方向にマトリクス状に配列されている半導体装置。

【請求項 7】

請求項 6 において、

前記抵抗素子に含まれる隣接する前記層間導電層同士は、半導体装置におけるビアの最小間隔で配置される半導体装置。

【請求項 8】

請求項 1 において、

40

複数の前記抵抗素子を用いたトリミング回路を有する半導体装置。

【請求項 9】

半導体基板と、

前記半導体基板上に形成される複数の配線層と、

前記複数の配線層において形成された抵抗素子を含むトリミング回路とを有する半導体装置。

【請求項 10】

請求項 9 において、

前記トリミング回路は、直列接続される複数の前記抵抗素子と、複数の前記抵抗素子のそれぞれに対して並列に接続されるスイッチとを有する半導体装置。

50

【請求項 1 1】

請求項 9 において、

前記複数の配線層は、少なくとも第 1 の配線層及び第 2 の配線層を含み、

前記抵抗素子は、前記第 1 の配線層に形成される第 1 導電層、前記第 2 の配線層に形成される第 2 導電層及び前記第 1 導電層と前記第 2 導電層とを接続する層間導電層の繰り返しパターンを有する半導体装置。

【請求項 1 2】

請求項 1 1 において、

前記層間導電層の抵抗値は、前記第 1 導電層の抵抗値と前記第 2 導電層の抵抗値の和よりも大きい半導体装置。

10

【請求項 1 3】

請求項 1 1 において、

前記層間導電層は、前記第 1 導電層と前記第 2 導電層との間に形成される金属層もしくはポリシリコン層を含む半導体装置。

【請求項 1 4】

請求項 1 1 において、

前記複数の配線層は、前記第 1 の配線層と前記第 2 の配線層との間に第 3 の配線層を有し、

前記層間導電層は、前記第 3 の配線層に形成される台座と、前記第 1 導電層と前記台座とを接続する第 1 ピアと、前記第 2 導電層と前記台座とを接続する第 2 ピアとを有する半導体装置。

20

【請求項 1 5】

請求項 1 1 において、

前記第 1 の配線層において、前記第 1 導電層の長手方向を第 1 の方向とし、前記第 1 の方向と垂直な方向を第 2 の方向とし、

前記抵抗素子に含まれる複数の前記層間導電層は、前記第 1 の方向及び前記第 2 の方向にマトリクス状に配列されている半導体装置。

【請求項 1 6】

請求項 1 5 において、

前記抵抗素子に含まれる隣接する前記層間導電層同士は、半導体装置におけるピアの最小間隔で配置される半導体装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、抵抗素子を用いたトリミング回路を有する半導体装置に関する。

【背景技術】**【0002】**

半導体装置に発振回路が設けられている場合、一般的に発振回路の周波数特性をトリミングするためのトリミング回路が設けられる。トリミング回路は抵抗を有しており、この抵抗の抵抗値を調整することにより、半導体装置（チップ）ごとに発振回路の発振周波数を所望の値に設定することができる。トリミング回路に用いられる抵抗素子として、トランジスタ等の回路素子を形成する際に使用される多結晶シリコン抵抗が知られている。多結晶シリコン抵抗は、半導体装置の製造工程を複雑化させることなく形成でき、その抵抗率も高く小面積で高い抵抗を実現できる点で優れているが、モールドパッケージプロセス後に抵抗値が変動することが知られている。これはシリコンチップ上の抵抗素子（多結晶シリコン抵抗）がモールド樹脂からの応力を受けて、形状変化や圧電効果等により抵抗値の変動が生じるものである。特許文献 1 は、多結晶シリコン抵抗がモールド樹脂から受ける応力を極力小さくするため、多結晶シリコン抵抗を配置する場所を特定する。

40

【先行技術文献】**【特許文献】**

50

【 0 0 0 3 】

【 特許文献 1 】 特開 2 0 1 3 - 2 2 9 5 0 9 号 公 報

【 発 明 の 概 要 】

【 発 明 が 解 決 し よ う と す る 課 題 】

【 0 0 0 4 】

特許文献 1 によれば、多結晶シリコン抵抗のウェハ状態（トリミング完了状態）からモールドパッケージプロセス終了後の多結晶シリコン抵抗の抵抗変動率を概ね $\pm 0.5\%$ 以内に抑えることをターゲットとしている。しかしながら、近年トリミング回路に求められる精度は高くなっており、抵抗変動率を可能な限り低下させることが望ましい。また、特許文献 1 開示の技術では、多結晶シリコン抵抗を配置できる場所が制約されるため、レイアウトの自由度が低くならざるを得ない。

10

【 0 0 0 5 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 課 題 を 解 決 す る た め の 手 段 】

【 0 0 0 6 】

トリミング回路に適した抵抗素子として、複数の配線層に形成され、半導体基板面に対して垂直方向を主抵抗とする抵抗素子を実現する。

【 発 明 の 効 果 】

【 0 0 0 7 】

モールドパッケージプロセス終了後の抵抗変動率の小さな抵抗を実現できる。

20

【 図 面 の 簡 単 な 説 明 】

【 0 0 0 8 】

【 図 1 】 半 導 体 装 置 の ブ ロ ッ ク 図 で あ る 。

【 図 2 】 発 振 回 路 の 回 路 図 で あ る 。

【 図 3 】 抵 抗 素 子 の 概 念 図 で あ る 。

【 図 4 】 抵 抗 素 子 の 実 装 例 で あ る 。

【 図 5 A 】 抵 抗 素 子 の 回 路 図 で あ る 。

【 図 5 B 】 抵 抗 素 子 の レ イ ア ウ ト (上 面 図) で あ る 。

【 図 6 A 】 抵 抗 素 子 を 用 いた ト リ ミ ン グ 回 路 の 回 路 図 で あ る 。

30

【 図 6 B 】 ト リ ミ ン グ 回 路 の レ イ ア ウ ト (上 面 図) で あ る 。

【 図 7 】 救 済 フ ロ ー で あ る 。

【 図 8 】 抵 抗 素 子 の パ ッ ケ ー ジ 応 力 に 対 す る 特 性 変 動 率 を 示 す 図 で あ る 。

【 図 9 】 パ ッ ケ ー ジ 応 力 の チ ッ プ 内 分 布 を 示 す 図 で あ る 。

【 図 1 0 】 リ ニ ア ソ レ ノ イ ド 駆 動 回 路 で あ る 。

【 発 明 を 実 施 す る た め の 形 態 】

【 0 0 0 9 】

以下、図面を参照しながら、実施の形態について説明する。まず、図 1 に本実施例に係る半導体装置 1 のブロック図を示す。半導体装置 1 の基板にはトランジスタ等の能動素子、抵抗やコンデンサ等の受動素子が形成される。半導体装置 1 にはこれらの素子を用いて、各種の機能ブロックが形成される。図 1 には機能ブロックの例として、CPU（中央処理装置）2、RAM 3、周辺 IP 4、不揮発メモリ 5 を示している。周辺 IP としては、例えば A/D 変換器のようなものが挙げられる。これらの機能ブロック間ではバス 10 を介して、アドレスやデータがやり取りされる。クロック発生回路 7 はオンチップオシレータ 8 の発振信号からクロックを生成し、これらの機能クロックに分配する。オンチップオシレータ 8 は抵抗 9 を有している。抵抗 9 の抵抗値は所定の値に調整されており、半導体装置 1 ごとにオンチップオシレータ 8 の発振周波数は所望の値に設定される。トリミングに必要なトリミングコードは不揮発メモリ 5 または RAM 3 に書き込まれており、レジスタ 6 を経由して読み出されたトリミングコードに基づき、抵抗 9 の抵抗値が所定の値に調整される。

40

50

【 0 0 1 0 】

図 2 にオンチップオシレータ 8 の一例である発振回路の回路図を示す。発振回路は、トリミング回路 2 0、定電流生成回路 2 1、コンデンサ 2 2、2 3、容量駆動回路 2 4、2 5、コンパレータ 2 6、2 7、ラッチ回路 2 8 を有する。容量駆動回路 2 4 は、ソース・ドレイン経路が直列接続される P M O S トランジスタ 3 1 及び N M O S トランジスタ 3 2 を有する。N M O S トランジスタ 3 2 のソースは接地端子に接続され、ドレインは P M O S トランジスタ 3 1 のドレインに接続される。P M O S トランジスタ 3 1 のドレインと N M O S トランジスタ 3 2 のドレインとの接続点が容量駆動回路 2 4 の出力ノードであり、コンデンサ 2 2 が接続されている。P M O S トランジスタ 3 1 のソースには、定電流生成回路 2 1 が出力する出力電流 $I_{r0 \times m}$ が入力される。なお、定電流生成回路 2 1 の P M O S トランジスタ 4 1 のソース・ドレイン経路を流れる電流が I_{r0} であり、定電流生成回路 2 1 の P M O S トランジスタ 4 2 (4 3) のトランジスタサイズは P M O S トランジスタのトランジスタサイズの m 倍となっている。このため、P M O S トランジスタ 3 1 のソースには出力電流 $I_{r0 \times m}$ が入力されることになる。P M O S トランジスタ 3 1 のゲートと N M O S トランジスタ 3 2 のゲートとは共通接続されており、ラッチ回路 2 8 の出力信号 Q が入力される。コンデンサ 2 2 は、容量駆動回路 2 4 の出力ノードと接地端子との間に接続されることにより、容量駆動回路 2 4 の出力ノードには、コンデンサ 2 2 に蓄積された電荷量に応じて電圧が生成される。その出力ノードにコンデンサ 2 3 が接続される容量駆動回路 2 5 も同様であり、詳細な説明は省略するが、P M O S トランジスタ 3 3 のゲートと N M O S トランジスタ 3 4 のゲートとは共通接続されており、ラッチ回路 2 8 の出力信号 Q N が入力されている。

10

20

【 0 0 1 1 】

コンパレータ 2 6 の非反転入力端子 (+) には発振基準電圧 $V_{R E F}$ が入力され、反転入力端子 (-) には容量駆動回路 2 4 の出力ノード電圧 $V_{C P 0}$ が入力される。コンパレータ 2 6 は、発振基準電圧 $V_{R E F}$ と出力ノード電圧 $V_{C P 0}$ との大小関係に応じてセット信号 S の論理レベルを切り換える。具体的には、コンパレータ 2 6 は、出力ノード電圧 $V_{C P 0}$ が発振基準電圧 $V_{R E F}$ よりも大きな場合、セット信号 S をハイレベルとし、出力ノード電圧 $V_{C P 0}$ が発振基準電圧 $V_{R E F}$ よりも小さな場合、セット信号 S をロウレベルとする。リセット信号 R の論理レベルを切り換えるコンパレータ 2 7 も同様であり、詳細な説明は省略するが、コンパレータ 2 7 の非反転入力端子 (+) には発振基準電圧 $V_{R E F}$ が入力され、反転入力端子 (-) には容量駆動回路 2 5 の出力ノード電圧 $V_{C P 1}$ が入力される。

30

【 0 0 1 2 】

なお、コンパレータ 2 6 (2 7) は、出力するセット信号 S (リセット信号 R) の論理レベルを安定的に切り換えるためにヒステリシスコンパレータであることが好ましい。ヒステリシスコンパレータは、ヒステリシス幅を $d h$ とすると、出力ノード電圧 $V_{C P 0}$ ($V_{C P 1}$) $>$ 発振基準電圧 $V_{R E F}$ となる場合にセット信号 S (リセット信号 R) をロウレベルからハイレベルに切り換え、出力ノード電圧 $V_{C P 0}$ ($V_{C P 1}$) $+ d h <$ 発振基準電圧 $V_{R E F}$ となった場合にセット信号 S (リセット信号 R) をハイレベルからロウレベルに切り換える。

40

【 0 0 1 3 】

抵抗 9 は、定電流生成回路 2 1 の P M O S トランジスタ 4 1 のソース・ドレイン経路と直列に接続されている。抵抗 9 の抵抗値は、トリミング回路 2 0 により調整される。トリミング回路 2 0 にはレジスタ 6 に記憶されているトリミングコードが入力され、トリミングコードに応じて抵抗 9 の抵抗値が調整されることにより、P M O S トランジスタ 4 1 のソース・ドレイン経路を流れる電流量 I_{r0} が調整される。これにより、出力されるクロックの周波数が調整される。

【 0 0 1 4 】

図 3 に本実施例における抵抗 9 に用いられる抵抗素子の概念図を示す。抵抗素子は半導体装置の配線層に形成される。半導体素子が形成される半導体基板表面を X Y 面とし、X

50

Y面に垂直な方向をZ方向とする。抵抗素子は、それぞれX方向またはY方向に延在する下層導電層51及び上層導電層52、両端がそれぞれ下層導電層51及び上層導電層52に接続され、Z方向に延在する層間導電層53を有し、下層導電層51、層間導電層53及び上層導電層52は直列接続されている。

【0015】

ここで、抵抗素子の抵抗値をRとし、抵抗素子がk+1個の下層導電層51、k個の上層導電層52及び2k個の層間導電層53が直列接続されているとする。また、1つの下層導電層51の抵抗値をRxy_lower、1つの上層導電層52の抵抗値をRxy_upper、1つの層間導電層53の抵抗値をRzとする。このとき、抵抗素子の抵抗値Rは(数1)で表される。

10

$$R = (k + 1) \times R_{xy_lower} + 2k \times R_z + k \times R_{xy_upper} \quad (\text{数 } 1)$$

これは、抵抗素子が上層導電層52で他素子と接続された場合の式である。同様に、下層導電層51で他素子と接続された場合には(数2)で表される。

$$R = k \times R_{xy_lower} + 2k \times R_z + (k + 1) \times R_{xy_upper} \quad (\text{数 } 2)$$

また、抵抗素子のZ方向成分が主抵抗とされるため、

$$R_z > R_{xy_lower} + R_{xy_upper} \quad (\text{数 } 3)$$

(数3)の関係が成立するものとする。後述するように、配線層に形成されZ方向成分を主抵抗とする本実施例の抵抗素子はモールドパッケージプロセスによって半導体基板に生じる応力の影響をほとんど受けない。このため、本実施例の抵抗素子の配置位置には制限がなく、また、抵抗素子が所望の抵抗値になるよう下層導電層51、層間導電層53及び上層導電層52を直列接続すればよく、個々の導電層の配置や個数についても制限はない。

20

【0016】

図4に抵抗素子の実装例を示す。図には図3の抵抗素子を半導体装置に実装した場合の上面図と断面図とを示している。本実装例においては、半導体装置に形成されている配線層の構造を抵抗素子に利用する。下層導電層51は配線層M1にて形成し、上層導電層52は配線層M4にて形成し、層間導電層53はビアV1~V3及び配線層M2, M3にて形成する。層間導電層53を複数の導電層で形成するのは、層間導電層53の抵抗値をできるだけ大きくとり、かつ通常の配線層と同じプロセスで形成するためである。層間導電層53aは、直列接続されるビア61、配線層M2に形成される台座62、ビア63、配線層M3に形成される台座64、ビア65で構成されている。このように層間導電層53を実装することにより、半導体装置の配線プロセスに変更を加えることなく、抵抗素子を形成することが可能になる。

30

【0017】

例えば、配線層M1はW(主導電層)/TiN、配線層M2~M4はTiN/AICu(主導電層)/TiN/Tiの積層膜で形成できる。また、ビアV1~V3は、Ti層71、TiN層72を堆積した上にW層73を埋め込んだ構造とされており、ビアの抵抗値は主にW層とTiN層との間の接触抵抗に依っている。なお、本例は一例であり、使用する配線層は配線層M1~M4に限定されるものではなく、少なくとも2層の配線層と当該2層の配線層を接続するビアの埋込み層により実現できる。また、ビアの埋込み層や配線層M2及び配線層M3に形成する台座は上述のものに限られず、ポリシリコンなどの他の抵抗材料を用いることも可能である。さらに、通常、ビアV1~V3は層間絶縁膜に空けたコンタクトホールに金属を埋め込むことで形成されるが、ビアV1~V3の何れかを予め金属やポリシリコン等の抵抗材料を積層して、その間を絶縁層で埋めることで形成することも可能である。

40

【0018】

このように本実施例における抵抗9は配線層の構造を利用して形成するため、抵抗素子を構成する個々の導電層の抵抗値は比較的小さい。このため、抵抗素子として直列接続する導電層を多くとることにより所望の抵抗値を実現する必要がある。図5Aは抵抗素子91を回路図にて示したものである。抵抗素子91は下層導電層、層間導電層及び上層導電層の繰り返しパターンで形成されるので、この繰り返しパターンの1単位を疑似的に単

50

位抵抗 8 1 としてここでは表記している。図 5 B は図 5 A をレイアウト（上面図）として示したものである。直列接続した単位抵抗をつづら折りにしてコンパクトに配置している。小面積でできるだけ高抵抗な抵抗を実現するには層間導電層をできる限り密に配置することが望ましい。このため、図 5 B のレイアウトでは抵抗素子 9 1 を形成する領域には、X 方向（ここでは、上層導電層及び下層導電層の長手方向を X 方向としている）、Y 方向にマトリクス状に層間導電層を形成するビアを敷き詰め、層間導電層を下層導電層及び上層導電層により接続するようレイアウトしている。また、隣接する層間導電層同士は半導体装置（チップ）におけるレイアウトルールに定められるビアの最小間隔となるように配置することが望ましい。さらに、図 5 B の例では、上層導電層、下層導電層ともに X 方向を長手方向としている（折り返し部分に配置された上層導電層を除く）が、例えば上層導電層の長手方向を X 方向、下層導電層の長手方向を Y 方向としてジグザグ状に接続し、これをさらにつづら折りにしたレイアウトも可能である。

10

【0019】

図 6 A に本実施例の抵抗素子 9 1 を用いたトリミング回路 2 0 の回路図を示す。トリミング回路 2 0 は直列接続される N 個の抵抗素子 9 1 と、抵抗素子 9 1 - i (i = 1 ~ N) をバイパスするため、抵抗素子 9 1 - i と並列に設けられるバイパススイッチ 9 2 - i (i = 1 ~ N) とを有している。抵抗素子 9 1 は図 5 A に示したように直列接続される単位抵抗 8 1 により構成されている。トリミング回路 2 0 のバイパススイッチ 9 2 - i の ON / OFF はトリミングコードに応じて決定されることにより、トリミング回路 2 0 の抵抗は所望の抵抗値に設定され、抵抗値に応じた電位がノード NF に現れる。なお、本実施例の抵抗素子 9 1 は直列数が多いため、例えば不導通による不良により、歩留まりが悪化するおそれがある。このため、製造不良の生じた抵抗素子 9 1 - i に対しては対応するバイパススイッチ 9 2 - i を常時 ON としておくことにより、歩留まり劣化を防止することができる。

20

【0020】

図 6 B に図 6 A に示したトリミング回路 2 0 のレイアウト（上面図）を示す。抵抗素子 9 1 - i (i = 1 ~ N) のレイアウトは図 5 B に示したレイアウトと同じである。図 6 B 中の配線 9 3 W、配線 9 4 W、配線 9 5 W、配線 9 6 W は、それぞれ図 6 A 中のノード 9 3、ノード 9 4、ノード 9 5、ノード 9 6 に相当する。バイパススイッチの構成について、バイパススイッチ 9 2 - 1 を例に説明する。バイパススイッチは導通時の抵抗を低抵抗とすることが望ましいため、櫛歯形状のゲート電極 1 0 2 が半導体基板上に形成されている拡散領域 1 0 1 上に形成されている。ドレイン電極 1 0 3 は配線 9 3 W とコンタクト（図示せず）により接続されるとともに、拡散領域 1 0 1 の高濃度領域（ドレイン領域、図示せず）に接続されている。一方、拡散領域 1 0 1 上において、ソース電極 1 0 4 はゲート電極 1 0 2 を対称軸としてドレイン電極 1 0 3 と対向する位置に配置され、配線 9 4 W とコンタクト（図示せず）により接続されるとともに、拡散領域 1 0 1 の高濃度領域（ソース領域、図示せず）に接続されている。

30

【0021】

図 7 にトリミング回路 2 0 の救済フローを示す。先に述べたように製造不良の生じた抵抗素子 9 1 が存在する場合には、対応するバイパススイッチ 9 2 を常時 ON としてあらかじめトリミング抵抗から除くことにより、歩留まりの低下を抑えるものである。図 7 のフローでは製造不良の生じた抵抗素子が 1 つまでであればトリミング回路 2 0 を救済するものである。また、制御テーブル 1 1 0 は抵抗素子 9 1 の 2 番目の抵抗素子 2 (9 1 - 2) に不良があった場合を例として、繰り返し回数 i におけるバイパススイッチ SW_i (i = 1 ~ N) の ON (1) / OFF (0) 制御を示したものである。まず i = 0 とし (S 1 1 1)、このときはすべてのバイパススイッチ SW を OFF とする (S 1 1 2)。このときのトリミング回路 2 0 の抵抗値（すなわち、抵抗素子 1 ~ N の抵抗値の総和）が期待値の範囲内であれば (S 1 1 3)、抵抗素子 1 ~ N すべてが正常であるという情報をメモリに書き込む (S 1 1 4)。一方、抵抗素子 1 ~ N の抵抗値の総和が期待値の範囲を超えていれば (S 1 1 3)、抵抗素子 1 ~ N には不良な抵抗素子が含まれているということになる。そ

40

50

ここで、 i の値をインクリメントし(S 1 1 5)、バイパススイッチSWのON(1)/OFF(0)を制御テーブル1 1 0にしたがって行う(S 1 1 6)。繰り返し回数 i におけるトリミング回路2 0の抵抗値が期待値の範囲内であれば(S 1 1 7)、抵抗素子 i が不良な抵抗素子であったとして、バイパススイッチSW $_i$ を常時ONとする情報をメモリに書き込む(S 1 1 8)。なお、ステップS 1 1 7の期待値は $N - 1$ 個の抵抗の総和に対する期待値であり、ステップS 1 1 3の期待値とは値を異ならせておく。一方、抵抗の抵抗値が期待値の範囲をなお超えていれば(S 1 1 7)、抵抗素子 i は正常な抵抗素子であったとして、バイパススイッチSW $_i$ をOFFとする情報をメモリに書き込む(S 1 1 9)。繰り返し数 i が N に達するまで、 i の値をインクリメントし(S 1 1 5)、トリミング回路2 0の抵抗値の判定を繰り返す。もし、2以上の抵抗素子が不良である場合には、繰り返し数 i が N に達しても不良な抵抗素子は特定できない結果となるため、トリミング回路2 0は救済不可能な不良と判断できる。

10

【0 0 2 2】

図7のフローによりトリミング回路2 0における製造不良の生じた抵抗素子に対応するバイパススイッチは常時ONに設定され、正常な抵抗素子に対応するバイパススイッチをOFFに設定する情報が半導体装置の不揮発メモリまたはRAMに格納される。ユーザ使用時にこの情報を読み込むことにより(S 1 2 2)、トリミングに使用する正常な抵抗素子を設定することができる(S 1 2 3)。

【0 0 2 3】

なお、図7のステップS 1 1 7において抵抗値が期待値の範囲内になれば、当該抵抗素子 i のみが不良であるとわかるため、この段階でフローを終了するようにしてもよい。また、抵抗素子それぞれの不良を判定する観点からは抵抗素子ごとの抵抗値を計測することも可能であるが、図7の制御テーブル1 1 0のようにバイパススイッチのON(1)/OFF(0)を制御して救済を実施することで、実際にトリミング回路2 0を使用する状態での抵抗値により判定でき、より救済フローの信頼性を高めることができる。

20

【0 0 2 4】

図8に抵抗素子のパッケージ応力に対する特性変動率を示す。黒丸が本実施例の抵抗素子であり、白丸が比較例として示したP型多結晶シリコン抵抗である。パッケージによりチップ中央部では2 5 0 MPa以上の大きな応力がかかる。チップの複数の場所に本実施例の抵抗素子と比較例としてのP型多結晶シリコン抵抗を形成し、抵抗を形成した場所(基板)に生じた応力を横軸に、パッケージ前後の抵抗値変動率を縦軸に実測して示したものである。この結果、本実施例の抵抗素子ではチップのどの場所に形成しても抵抗の変動率が0.2%未満に抑えられることが分かった。

30

【0 0 2 5】

これは図9にパッケージ応力のチップ内分布を示す図である。グラフ1 4 0は、チップ1 3 0の中心を原点とし、原点からチップの縁までX軸上の矢印1 3 1に沿って、モールドすることにより発生するX方向パッケージ応力、Y方向パッケージ応力、Z方向パッケージ応力をシミュレーションにより求め、グラフ化したものである。グラフ1 4 0において、X方向に生じるパッケージ応力が波形1 4 1、Y方向に生じるパッケージ応力が波形1 4 2、Z方向に生じるパッケージ応力が波形1 4 3である。シミュレーションからは、チップのほぼ全領域においてX方向、Y方向ともに強い圧縮応力が生じているのに対して、チップのほぼ全領域においてZ方向には応力が生じていないという結果が得られた。これにより、本実施例の抵抗素子においてはパッケージの前後において抵抗変動が生じないものと考えられる。

40

【0 0 2 6】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、本実施例の抵抗素子が適用されるのは発振回路に限られず、図1 0に示すリニアソレノイド駆動回路を搭載する半導体装置1 5 0であってもよい。半導体装置1 5 0の端子1 5 1と端子1 5 2との間には図示しないインダクタ

50

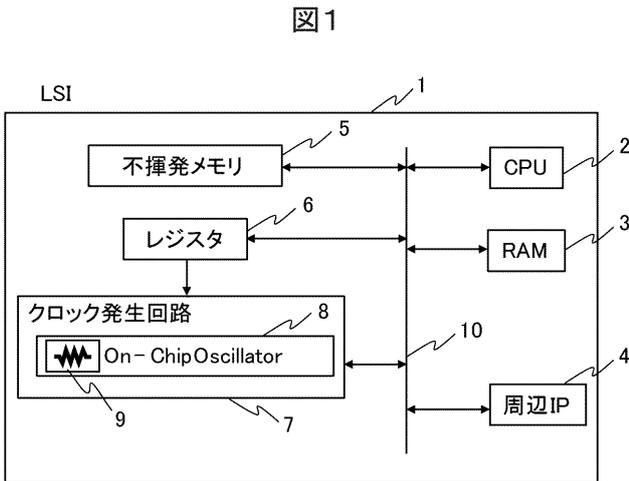
が接続される。インダクタに電流を流すことにより、その電流の大きさに応じた磁界を発生させる。このとき、インダクタに流している電流を抵抗153の両端に生じた電圧によりモニタするため、抵抗153間の電圧をA/D変換器154により検知し、制御回路155にフィードバックしている。抵抗153についても本実施例の抵抗素子を用いたトリミング回路を適用することにより、インダクタに流す電流を正確に制御できるようになる。

【符号の説明】

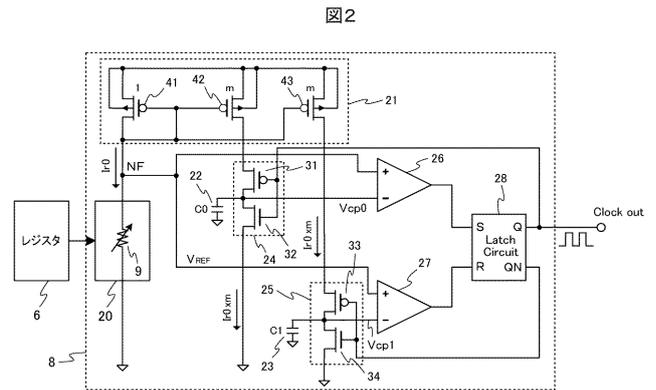
【0027】

1：半導体装置、2：CPU、3：RAM、4：周辺IP、5：不揮発メモリ、6：レジスタ、7：クロック発生回路、8：オンチップオシレータ、9：抵抗、10：バス、20：トリミング回路、21：定電流生成回路、22，23：コンデンサ、24，25：容量駆動回路、26，27：コンパレータ、28：ラッチ回路、51：下層導電層、52上層導電層、53：層間導電層、91：抵抗素子。

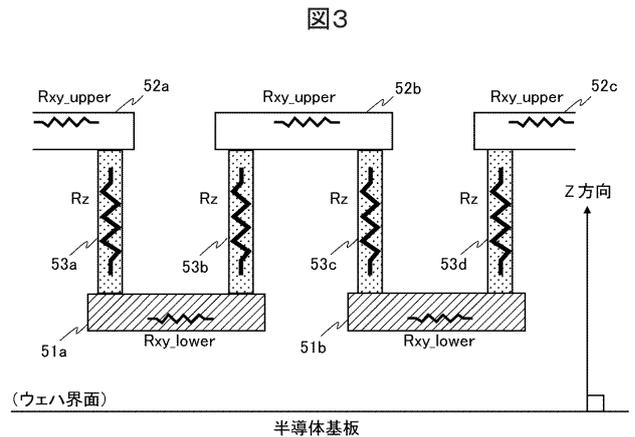
【図1】



【図2】



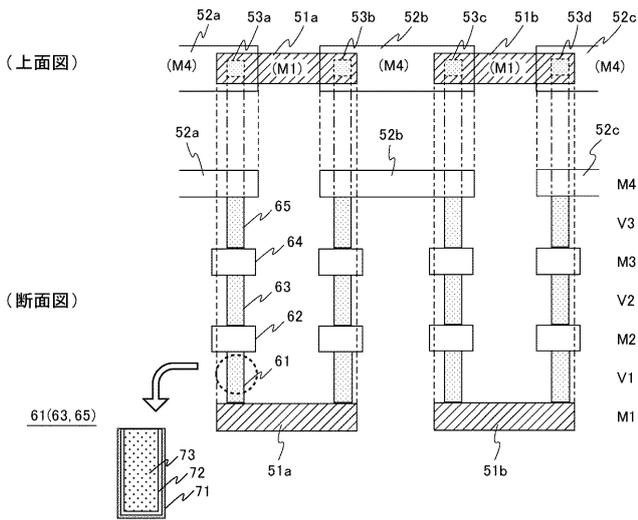
【図3】



半導体基板

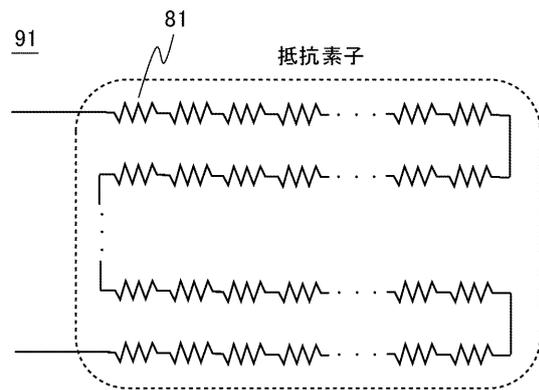
【 図 4 】

図4



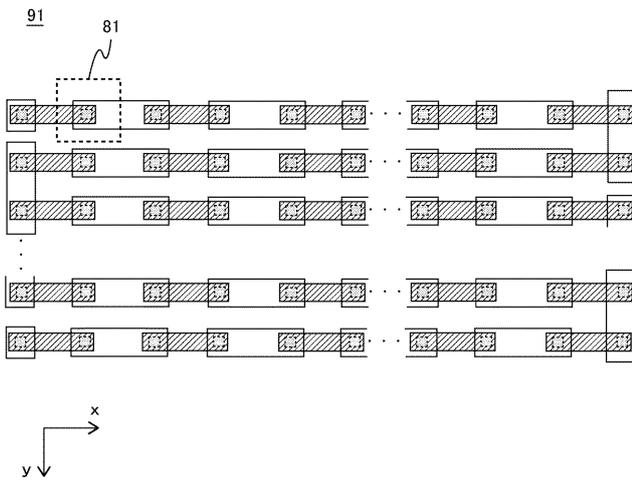
【 図 5 A 】

図5A



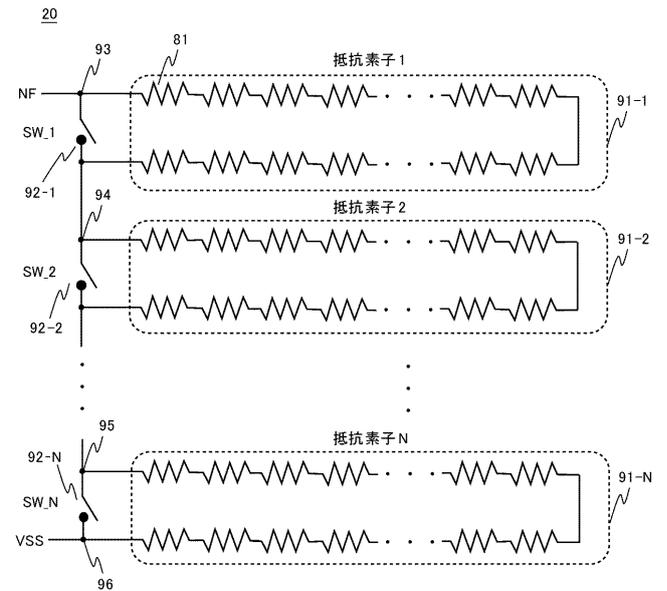
【 図 5 B 】

図5B

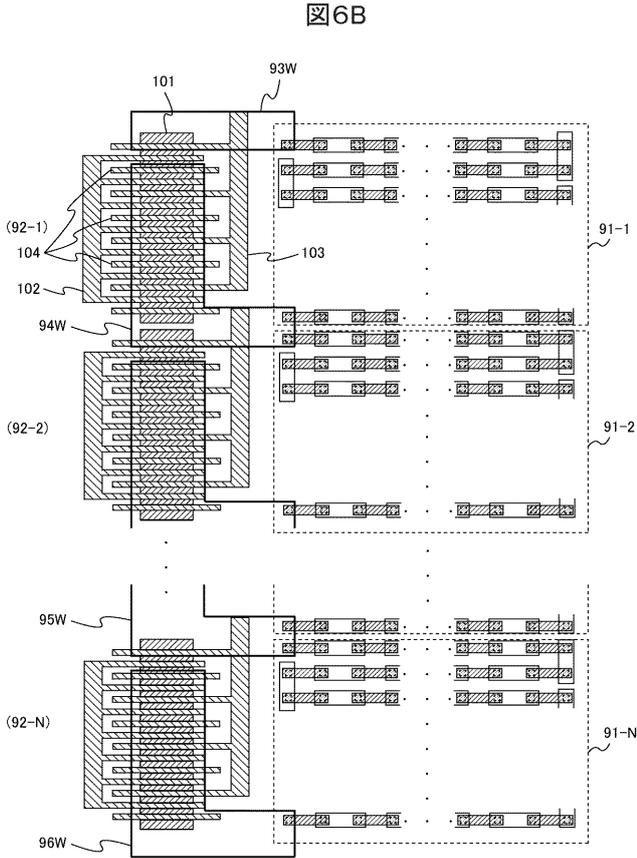


【 図 6 A 】

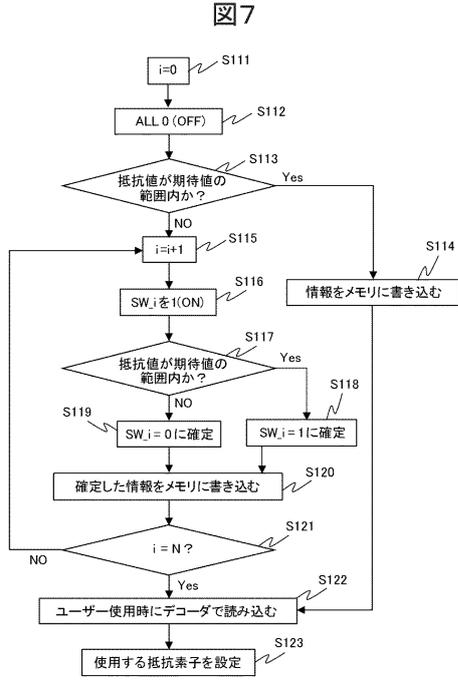
図6A



【図6B】



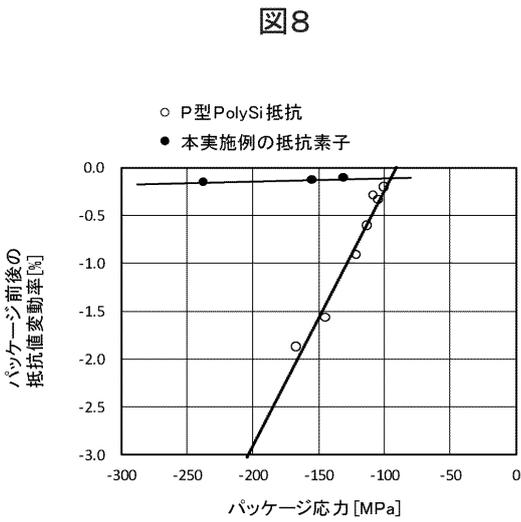
【図7】



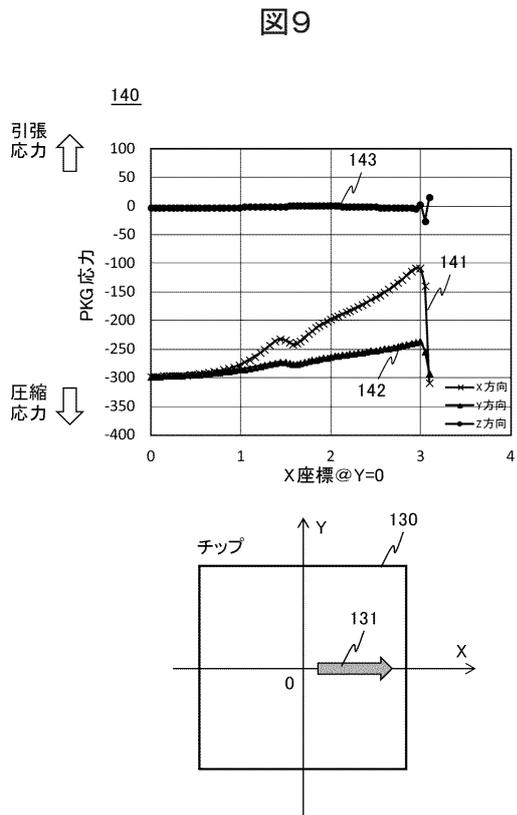
110

i	SW_1	SW_2	SW_3	SW_4	...	SW_N
0	0	0	0	0	...	0
1	1	0	0	0	...	0
2	0	1	0	0	...	0
3	0	1	1	0	...	0
4	0	1	0	1	...	0
.
.
.
N-1	0	1	0	0	...	0
N	0	1	0	0	...	1

【図8】

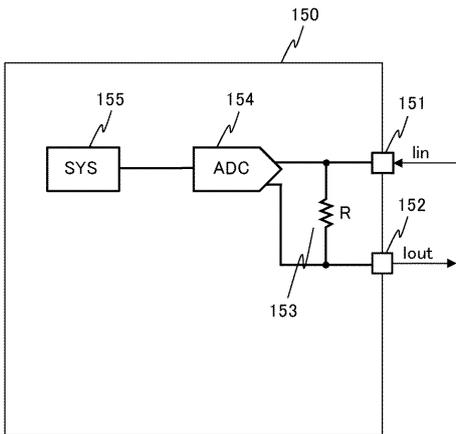


【図9】



【 図 10 】

図 10



フロントページの続き

(72)発明者 松 崎 智一

東京都小平市上水本町五丁目 2 0 番 1 号 ルネサスシステムデザイン株式会社内

Fターム(参考) 5F038 AR16 AR22 AV02 AV10 AV13 CA02 DF01 EZ20

5F064 BB19 CC12 CC22 EE16 EE17 EE22 EE26 EE27 EE32 EE36

FF05 FF24