

發明專利說明書

【發明名稱】 具有凸塊下層金屬的半導體結構及其製作方法

SEMICONDUCTOR STRUCTURE WITH UBM LAYER AND
METHOD OF FABRICATING THE SAME

【技術領域】

【0001】 本發明係關於一種具有凸塊下層金屬的半導體結構及其製作方法，尤其是關於一種避免凸塊下層金屬產生孔洞的結構及其製作方法。

【先前技術】

【0002】 在半導體封裝製程中，晶片朝尺寸小、高接腳數的趨勢發展，並漸漸由覆晶接合(Flip Chip bonding)的技術來取代打線接合(wire bonding)的技術。覆晶接合技術乃將多個金屬墊配置於晶片的主動表面(active surface)上，並在金屬墊上形成凸塊(bump)，接著將晶片翻覆之後，再利用這些凸塊分別電性連接至一線路載板，並經由線路載板的線路而電性連接至外界之電子裝置。在金屬墊上形成凸塊之前，必須金屬墊上在製作凸塊下層金屬(Under Bump Metallurgy, UBM)，凸塊下層金屬層可防止錫鉛凸塊與晶片的鍍墊接合性不佳而脫離，然而傳統上製作凸塊下層金屬層的方法往往會在凸塊下層金屬和金屬墊之間產生孔洞，因而降低可靠度。

【發明內容】

【0003】 有鑑於此，本發明提供一種具有凸塊下層金屬的半導體結構的製作方法及其結構，以改善上述問題。

【0004】 根據本發明之一較佳實施例，一種具有凸塊下層金屬的半導體結構，包含一基底，一金屬墊設於基底上，一絕緣層覆蓋基底以及覆蓋金屬墊之邊緣，至少一淺溝渠設於絕緣層中，淺溝渠鄰近金屬墊，並且淺溝渠為環狀，一第一凸塊下層金屬接觸金屬墊，並且第一凸塊下層金屬貼覆部分之淺溝渠。

【0005】 根據本發明之另一較佳實施例，一種具有凸塊下層金屬的半導體結構的製作方法，包含首先提供一基底，然後形成一金屬墊於基底上，之後形成一絕緣層覆蓋基底和金屬墊，接著進行一第一圖案化步驟，移除部分之絕緣層，使得金屬墊由絕緣層曝露出來，接續進行一第二圖案化步驟，移除部分之絕緣層，以在絕緣層上形成至少一淺溝渠與金屬墊相鄰，並且淺溝渠為封閉環狀，最後形成一凸塊下層金屬接觸金屬墊並且填入部分之淺溝渠。

【0006】 根據本發明之另一較佳實施例，一種具有凸塊下層金屬的半導體結構的製作方法，包含首先提供一基底，接著形成一金屬層覆蓋基底，然後圖案化金屬層，形成一金屬墊以及至少一金屬圈環繞金屬墊，其中金屬墊和金屬圈之間定義出一第一溝渠，之後形成一絕緣層順應地覆蓋基底、金屬墊、金屬圈和第一溝渠，部分之絕緣層形成一淺溝渠與第一溝渠重疊，接續圖案化絕緣層，曝露出金屬墊，最後形成一凸塊下層金屬接觸金屬墊並且填入部分之淺溝渠。

【圖式簡單說明】

【0007】

第 1 圖至第 7 圖為根據本發明之第一較佳實施例所繪示的具有凸塊下層金屬的半導體結構的製作方法。

第 8 圖和第 9 圖為根據本發明之第二較佳實施例所繪示的具有凸塊下層金屬的半導體結構的製作方法。

第 1 圖、第 10 圖至第 13 圖繪示的是根據本發明之第三較佳實施例所繪示的具有凸塊下層金屬的半導體結構的製作方法。

第 14 圖和第 15 圖為根據本發明之第四較佳實施例所繪示的具有凸塊下層金屬的半導體結構的製作方法。

【實施方式】

【0008】 第 1 圖至第 7 圖為根據本發明之第一較佳實施例所繪示的具有凸塊下層金屬的半導體結構的製作方法，其中第 4 圖為第 5 圖沿切線 AA' 的剖

面示意圖，第 6 圖為第 7 圖沿切線 BB' 的剖面示意圖。如第 1 圖所示，提供一基底 10。接著在基底 10 上全面形成一金屬層 12，基底 10 可以包含已完成的金屬內連線，而金屬層 12 在後續圖案化之後會作為金屬鐳墊(bonding pad)。此外基底 10 也可以為一中間介層(interposer)。根據本發明之較佳實施例，金屬層為鋁，但不限於此，其它具導電性質的材料亦可以使用。如第 2 圖所示，圖案化金屬層，形成一金屬墊 14，前述的金屬墊 14 具有連續的輪廓。如第 3 圖所示，形成一絕緣層 16 順應地覆蓋基底 10 和金屬墊 14，之後利用第一圖案化步驟，例如一微影暨蝕刻製程，移除部分的絕緣層 16 使得金屬墊 14 曝露出來，剩餘的絕緣層 16 可以選擇性地部分覆蓋金屬墊 14。如第 4 圖和第 5 圖所示，接著進行第二圖案化步驟，例如另一微影暨蝕刻製程，在剩餘的絕緣層 16 上形成至少一淺溝渠 18(在圖示中以粗線標示)，前述的淺溝渠 18 較佳為封閉環狀，並且淺溝渠 18 較佳形成在與金屬墊 14 相鄰的絕緣層 16 上，甚至是與金屬墊 14 邊緣重疊的絕緣層 16 上。如第 5 圖所示，淺溝渠 18 可以為矩形環狀，但不限於此，淺溝渠 18 亦可以為圓形環或八角形環等其它形狀。在蝕刻淺溝渠 18 時，必須控制淺溝渠 18 的深度，使得淺溝渠 18 完全由絕緣層 16 定義出來，也就是說淺溝渠 18 的側壁 20/22、底部 24 都是由絕緣層 16 構成，如此可避免底下的金屬墊 14 由淺溝渠 18 曝露出來。根據本發明之較佳實施例，淺溝渠的深度 d 為約為 0.1 微米，其底部寬度 W 約為 0.2 微米。

【0009】 如第 6 圖所示，形成一第一凸塊下層金屬 26 接觸金屬墊 14 並且由金屬墊 14 延伸至覆蓋部分之淺溝渠 18，詳細來說淺溝渠 18 包含一底部 24 和二側壁 20/22，第一凸塊下層金屬 26 貼覆其中之一的側壁 22 以及部分之底部 24，又或者第一凸塊下層金屬 26 可以貼覆二個側壁 20/22 以及全部的底部 24，根據本發明之較佳實施例，第一凸塊下層金屬 26 貼覆至少二分之一的淺溝渠 18 之底部寬度 W 。形成第一凸塊下層金屬 26 的方式可以利用傳統的無電鍍技術進行，例如使用適合的金屬鹽作為電鍍液，視情況需要可選擇性地

搭配還原劑進行無電鍍，在本發明中第一凸塊下層金屬 26 較佳為鎳。由於本發明額外製作了至少一個淺溝渠 18，因此第一凸塊下層金屬 26 不僅會貼覆絕緣層 16 的上表面，更會延伸至淺溝渠 18 的側壁 20/22 以及底部 24，使得第一凸塊下層金屬 26 和絕緣層 16 的接觸面積增加，另外，因為第一凸塊下層金屬 26 和絕緣層 16 物理性質的差異，所以第一凸塊下層金屬 26 和絕緣層 16 之間的貼附性會比金屬和金屬之間的貼附性差，而增加第一凸塊下層金屬 26 和絕緣層 16 的接觸面積則可以使第一凸塊下層金屬 26 較能夠附著在絕緣層 16 上。請再度參閱第 6 圖，第一凸塊下層金屬 26 為一完整且連續的金屬結構。在完成第一凸塊下層金屬 26 之後，形成一第二凸塊下層金屬 28 順應地貼覆第一凸塊下層金屬 26，第二凸塊下層金屬 28 貼覆了部分的淺溝渠 18 底部 24，同樣地，第二凸塊下層金屬 28 可以利用傳統的無電鍍技術進行，例如使用適合的金屬鹽作為電鍍液，視情況需要可選擇性地搭配還原劑進行無電鍍，在本發明中第二凸塊下層金屬 28 較佳為鈮，此外如第 7 圖所示，第二凸塊下層金屬 28 在淺溝渠 18 的環形中是連續的，因此被第二凸塊下層金屬 28 順應覆蓋的第一凸塊下層金屬 26 在淺溝渠 18 的環形中也是連續的，因此在淺溝渠 18 中的第一凸塊下層金屬 26 也形成了一個封閉環狀。接著同樣地利用無電鍍技術形成一第三凸塊下層金屬(圖未示)，第三凸塊下層金屬較佳為金，因此在形成第三凸塊下層金屬時，第二凸塊下層金屬 28 需浸泡在含金的金屬鹽溶液中，由於金的原子小，所以金原子容易經由鈮和絕緣層 16 的介面鑽入之後接觸到第一凸塊下層金屬 26，例如鎳，接著金原子會和鎳反應使得第一凸塊下層金屬 26 和絕緣層 16 之間的介面形成孔洞，最後造成完成的凸塊下層金屬電性上的損害。然而由於本發明額外製作了至少一個淺溝渠 18 造成金原子要先通過淺溝渠 18 的底部 24 和側壁 20/22 才會到達第一凸塊下層金屬 26 會影響電性的部分，使得金原子進入不易，此外，就算在第一凸塊下層金屬 26 位在淺溝渠 18 的內的部分中形成孔洞，對後續完成的凸塊下層金屬電性也不會有影響。再者，在完成第三凸塊下層金屬之後，可以在第三

凸塊下層金屬上形成一錫鉛凸塊。

【0010】 第 8 圖和第 9 圖為根據本發明之第二較佳實施例所繪示的具有凸塊下層金屬的半導體結構的製作方法，其中具有相同功能的元件將以相同的符號標示，第 8 圖為第 9 圖沿切線 CC' 的剖面示意圖，但為了圖示清楚，第 9 圖只標示出絕緣層 16 和金屬墊 14 的位置，其它元件則予以省略，請參閱第 8 圖和第 9 圖，和第一較佳實施例不同的地方在於：本發明之第二較佳實施例，在第二圖案化步驟時，係形成多個如第 4 圖和第 5 圖所示的環狀淺溝渠 18，較遠離金屬墊 14 之淺溝渠 18 環繞較接近金屬墊 14 之淺溝渠 18，每個淺溝渠 18 都具有一底部 24 和兩側壁 20/22，在後續利用無電鍍形成的第一凸塊下層金屬 26 貼覆至少一個底部 20 和一個側壁 22，但最遠離金屬墊 26 之淺溝渠 18 的其中之一側壁 20 未被第一凸塊下層金屬 26 貼覆，又或者第一凸塊下層金屬 26 可以貼覆每個淺溝渠 18 的底部 24 和側壁 20/22，在第二較佳實施例中，多個淺溝渠 18 更使得金原子需要沿著淺溝渠 18 的輪廓到達第一凸塊下層金屬 26 會影響電性的部分，也就是說金原子要到達影響電性的位置，其路徑被拉長，此外，就算在第一凸塊下層金屬 26 位在各個淺溝渠 18 的內的部分中形成孔洞，對後續完成的凸塊下層金屬電性也不會有影響。

【0011】 第 1 圖、第 10 圖至第 13 圖繪示的是根據本發明之第三較佳實施例所繪示的具有凸塊下層金屬的半導體結構的製作方法，其中具有相同功能的元件將以相同的標號標示，第 10 圖為第 11 圖沿切線 DD' 的剖面示意圖。如第 1 圖所示，提供一基底 10，接著在基底 10 上全面形成一金屬層 12，根據本發明之較佳實施例，金屬層 12 為鋁，但不限於此，其它具導電性質的材料亦可以使用。接著如第 10 圖和第 11 圖所示，圖案化金屬層 12 形成一金屬墊 14 以及至少一金屬圈 30 環繞金屬墊 14，其中金屬墊 14 和金屬圈 30 之間定義出一第一溝渠 32。金屬圈 30 為封閉環狀，例如圓形環、矩形環、八角形環或其它環狀，因此第一溝渠 32 也是封閉環狀。如第 12 圖所示，形成一絕緣層 16 順應地覆蓋基底 10、金屬墊 14 和金屬圈 30，值得注意的是絕緣層

16 填入第一溝渠 32 後使得絕緣層 16 的表面形成一淺溝渠 18，也就是說淺溝渠 18 和第一溝渠 32 重疊，根據本發明之較佳實施例，淺溝渠的深度 d 約為 0.1 微米，其底部寬度 W 約為 0.2 微米，接著進行一圖案化步驟，例如一微影暨蝕刻製程，移除部分的絕緣層 16 使得金屬墊 14 曝露出來，剩餘的絕緣層 16 可以選擇性地部分覆蓋金屬墊 14，此外在本實施例中，由於淺溝渠 18 對應第一溝渠 32 的形狀，因此淺溝渠 18 亦像第一溝渠 32 般呈封閉環狀，淺溝渠 18 的形狀就如同第 5 圖中的淺溝渠 18 形狀，並且淺溝渠 18 較佳形成在與金屬墊 14 相鄰的絕緣層 16 上。

【0012】 請同時參閱第 7 圖和第 13 圖，第 13 圖為第 7 圖沿切線 BB' 的剖面示意圖，利用前述的無電鍍技術在金屬墊 14 上形成一第一凸塊下層金屬 26 接觸金屬墊 14 並且由金屬墊 14 延伸至覆蓋部分之淺溝渠 18，之後再利用另一無電鍍技術形成一第二凸塊下層金屬 28 順應地覆蓋在第一凸塊下層金屬 26 上，第一凸塊下層金屬 26 和第二凸塊下層金屬 28 所在的位置、材料以及形成方式大置上和第 6 圖和第 7 圖所示的相同，請參閱前文在此不再贅述。在第一凸塊下層金屬 26 和第二凸塊下層金屬 28 完成後，同樣形成一第三凸塊下層金屬(圖未示)，第三凸塊下層金屬較佳為金。由於本發明額外製作了至少一個淺溝渠 18 造成路徑的拉長，因而降低了金原子到達第一凸塊下層金屬 26 會影響電性的部分之機會。

【0013】 第 14 圖和第 15 圖為根據本發明之第四較佳實施例所繪示的具有凸塊下層金屬的半導體結構的製作方法，其中具有相同功能的元件將以相同的符號標示，第 14 圖為第 15 圖沿切線 EE' 的剖面示意圖，但為了圖示清楚，第 15 圖只標示出基底、金屬墊 14 和金屬圈 30 的位置，其它元件則予以省略，如第 14 圖和第 15 圖所示，在圖案化金屬層時除了如第三較佳實施例所述的形成一金屬墊 14 以及至少一金屬圈 30 環繞金屬墊 14 之外，在第四較佳實施例中，更可以在圖案化金屬層 12 時形成多個金屬圈 30，各個金屬圈 30 環繞金屬墊 14，並且較遠離金屬墊 14 之金屬圈 30 環繞較接近金屬墊 14 之金屬

圈 30，相鄰的金屬圈 30 之間定義出一第二溝渠 34，之後形成絕緣層 18 順應地覆蓋基底 10、金屬墊 14、各個金屬圈 30 並且填入第一溝渠 32 和第二溝渠 34，絕緣層 16 填入第一溝渠 32 和第二溝渠 34 之後，後使得絕緣層 16 的表面形成多個淺溝渠 18，在本實施例中，各個淺溝渠 18 具有相同的深度 d 和底部寬度 W ，然而在不同的情況下，各個淺溝渠 18 的底部寬度 W 和深度 d 可以不同，只要調整金屬圈 30 之間的距離即可。

【0014】 之後如前文所述的移除部分的絕緣層 16 使得金屬墊 14 曝露出來，再用無電鍍技術形成第一凸塊下層金屬 26、第二凸塊下層金屬 28 以及第三凸塊下層金屬(圖未示)。第一凸塊下層金屬 26 和第二凸塊下層金屬 28 所在的位置、材料以及形成方式大置上和第 8 圖和第 9 圖所示的相同，請參閱前文在此不再贅述。

【0015】 根據本發明之第五較佳實施例，本發明提供一種具有凸塊下層金屬的半導體結構，如第 6 圖和第 7 圖所示，一種具有凸塊下層金屬的半導體結構 100，包含：一基底 10，一金屬墊 14 設於基底 10 上，一絕緣層 16 覆蓋基底 10 以及覆蓋金屬墊 14 之邊緣，至少一淺溝渠 18 設於絕緣層 16 中，淺溝渠 18 鄰近金屬墊 14，甚至是與金屬墊 14 邊緣重疊的絕緣層 16 上。如第 5 圖所示，淺溝渠 18 可以為矩形環狀，但不限於此，淺溝渠 18 亦可以為圓形環或八角形環等其它形狀。根據本發明之較佳實施例，淺溝渠 18 的深度 d 約為 0.1 微米，其底部寬度 W 約為 0.2 微米。基底 10 可以為一矽(Silicon)基底、一鍺(Germanium)基底、一砷化鎵(Gallium Arsenide)基底、一矽鍺(Silicon Germanium)基底、一磷化銦(Indium Phosphide)基底、一氮化鎵(Gallium Nitride)基、一碳化矽(Silicon Carbide)基底或是一矽覆絕緣(silicon on insulator, SOI)基底，金屬墊 14 較佳為鋁。

【0016】 一第一凸塊下層金屬 26 接觸金屬墊 14 並且由金屬墊 14 延伸至貼覆部分之淺溝渠 18。詳細來說淺溝渠 18 包含一底部 24 和二側壁 20/22，第一凸塊下層金屬 26 貼覆其中之一的側壁 22 以及部分之底部 24，又或者第一

凸塊下層金屬 26 可以貼覆二個側壁 22/24 以及全部的底部 24，根據本發明之較佳實施例，第一凸塊下層金屬 26 貼覆至少二分之一的淺溝渠 18 之底部寬度 W 。此外，一第二凸塊下層金屬 28 順應地貼覆第一凸塊下層金屬 26 並且第二凸塊下層金屬 28 也貼覆了部分的淺溝渠 18 之底部 24。此外如第 7 圖所示，第二凸塊下層金屬 28 在淺溝渠 18 的環形中是連續的，因此被第二凸塊下層金屬 28 順應覆蓋的第一凸塊下層金屬 26 在淺溝渠 18 的環形中也是連續的，換句話說，在淺溝渠 18 中的第一凸塊下層金屬 26 也形成了一個封閉環狀。再者，第一凸塊下層金屬 26 為一完整且連續的金屬結構。第一凸塊下層金屬 26 較佳為鎳、第二凸塊下層金屬 28 較佳為鈮。

【0017】 根據本發明之第六較佳實施例，如第 13 圖所示，本發明之一種具有凸塊下層金屬的半導體結構 200 其在金屬墊 14 之外圍可以另設有一金屬圈 30，其中金屬墊 14 和金屬圈 30 之間定義出一第一溝渠 32，金屬圈 30 之材料較佳和金屬墊 14 相同，如第 11 圖所示，金屬圈 30 為封閉環狀，例如圓形環、矩形環、八角形環或其它環狀，因此第一溝渠 32 也是封閉環狀，淺溝渠 18 和第一溝渠 32 重疊。金屬墊 14、第一凸塊下層金屬 26、第二凸塊下層金屬 28 等其它元件的位置和材料，請參閱第五較佳實施例中的描述，在此不再贅述。

【0018】 根據本發明之第七較佳實施例，如第 8 圖和第 9 圖所示，本發明之一種具有凸塊下層金屬的半導體結構 300 在絕緣層 16 中也可以設置有複數個淺溝渠 18，較遠離金屬墊 14 之淺溝渠 18 環繞較接近金屬墊 14 之淺溝渠 18，每個淺溝渠 18 都具有一底部 24 和兩側壁 20/22，第一凸塊下層金屬 26 貼覆至少一個底部 24 和和一個側壁 22，但最遠離金屬墊 14 之淺溝渠 18 的其中之一側壁 20 未被第一凸塊下層金屬 26 貼覆，又或者第一凸塊下層金屬 26 可以貼覆每個淺溝渠 18 的底部 24 和側壁 20/22。各個淺溝渠 18 可以具有相同的深度 d 和底部寬度 W ，然而在不同的情況下，各個淺溝渠 18 的底部寬度 W 和深度 d 可以不同。本實施例中，金屬墊 14、第一凸塊下層金屬 26、

第二凸塊下層金屬 28 等其它元件的位置和材料，請參閱第五較佳實施例中的描述，在此不再贅述。

【0019】 根據本發明之第八較佳實施例，本發明之一種具有凸塊下層金屬的半導體結構 400 其複數個淺溝渠 18 可以利用下層金屬圈 30 的輪廓而造成，如第 14 圖和第 15 圖所示，在絕緣層 16 下方可以設置有複數個金屬圈 30，各個金屬圈 30 環繞金屬墊 14，並且較遠離金屬墊 14 之金屬圈 30 環繞接近金屬墊 14 之金屬圈 3，此外，離金屬墊 14 最近金屬圈 30 和金屬墊 14 之間形成一第一溝渠，32 相鄰的金屬圈 30 之間形成一第二溝渠 34，第二溝渠 34 各別和一淺溝渠 18 重疊，第一溝渠 32 也和一淺溝渠 18 重疊，也就是說第一溝渠 32 和第二溝渠 34 的輪廓使得上層的絕緣層 16 形成了淺溝渠 18。本實施例中，金屬墊 14、第一凸塊下層金屬 26、第二凸塊下層金屬 28 等其它元件的位置和材料，請參閱第五和第七較佳實施例中的描述，在此不再贅述。

【0020】 以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0021】

| | | | |
|----|----------|-----|----------------|
| 10 | 基底 | 12 | 金屬層 |
| 14 | 金屬墊 | 16 | 絕緣層 |
| 18 | 淺渠溝 | 20 | 側壁 |
| 22 | 側壁 | 24 | 底部 |
| 26 | 第一凸塊下層金屬 | 28 | 第二凸塊下層金屬 |
| 30 | 金屬圈 | 32 | 第一溝渠 |
| 34 | 第二溝渠 | 100 | 具有凸塊下層金屬的半導體結構 |

| | | | |
|-----|--------------------|-----|--------------------|
| 200 | 具有凸塊下層金屬的 半導體結構 | 300 | 具有凸塊下層金屬的半 導體結構 |
| 400 | 具有凸塊下層金屬的 半導體結構 | | |

I649848

發明摘要

※ 申請案號：103145829

※ 申請日：103/12/26

H01L 23/488 (2006.01)

※IPC 分類：H01L 21/60 (2006.01)

【發明名稱】 具有凸塊下層金屬的半導體結構及其製作方法

SEMICONDUCTOR STRUCTURE WITH UBM LAYER AND
METHOD OF FABRICATING THE SAME

【中文】

本發明提供一種具有凸塊下層金屬的半導體結構，半導體結構至少包含一基底、一金屬墊設於基底上、一絕緣層覆蓋基底以及覆蓋金屬墊之邊緣、至少一淺溝渠設於該絕緣層中和一第一凸塊下層金屬接觸金屬墊，前述淺溝渠鄰近金屬墊，並且淺溝渠為環狀，此外前述第一凸塊下層金屬貼覆部分之淺溝渠。

【英文】

A semiconductor structure with an under bump metallization (UBM) layer is provided. The semiconductor structure at least includes a substrate, a metal pad disposed on the substrate, an insulating layer covering the substrate and an edge of the metal pad, at least one shallow trench isolation (STI) disposed within the insulating layer and a first UBM layer contacting the metal pad. The STI is adjacent to the metal pad and the STI is in a shape of a ring. The first UBM layer contacts part of the STI.

【代表圖】

【本案指定代表圖】：第（ 6 ）圖。

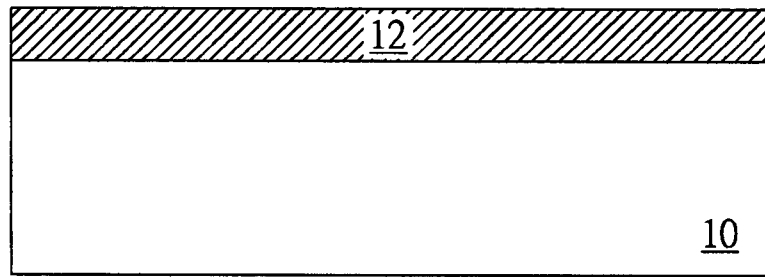
【本代表圖之符號簡單說明】：

| | | | |
|----|----------|-----|--------------------|
| 10 | 基底 | 14 | 金屬墊 |
| 16 | 絕緣層 | 18 | 淺渠溝 |
| 20 | 側壁 | 22 | 側壁 |
| 24 | 底部 | 26 | 第一凸塊下層金屬 |
| 28 | 第二凸塊下層金屬 | 100 | 具有凸塊下層金屬的半 導體結構 |

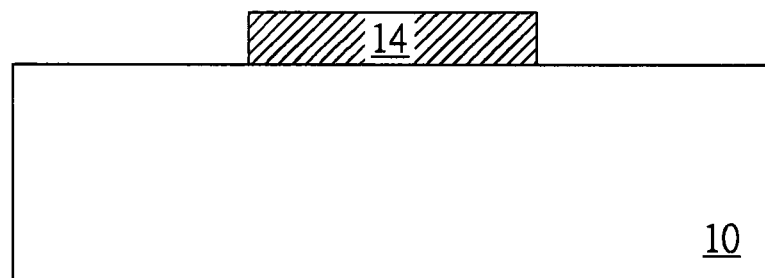
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

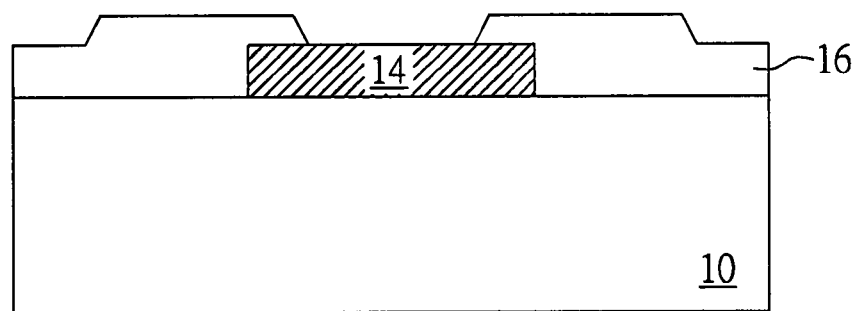
圖式



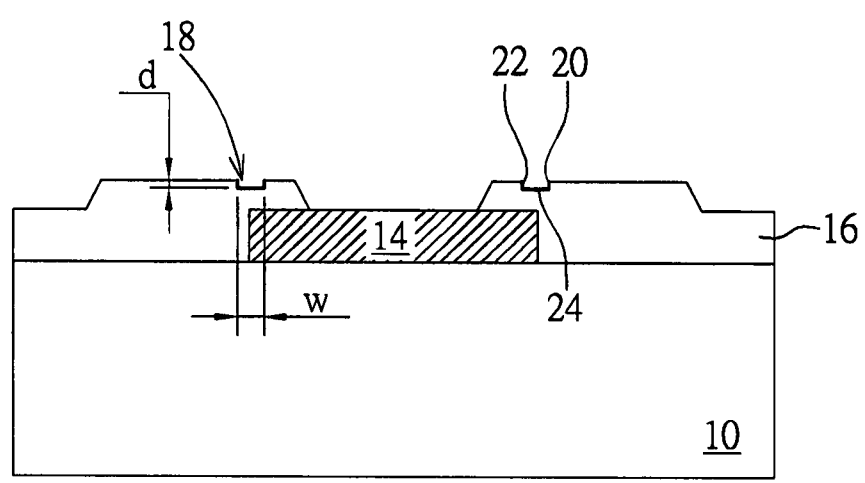
第1圖



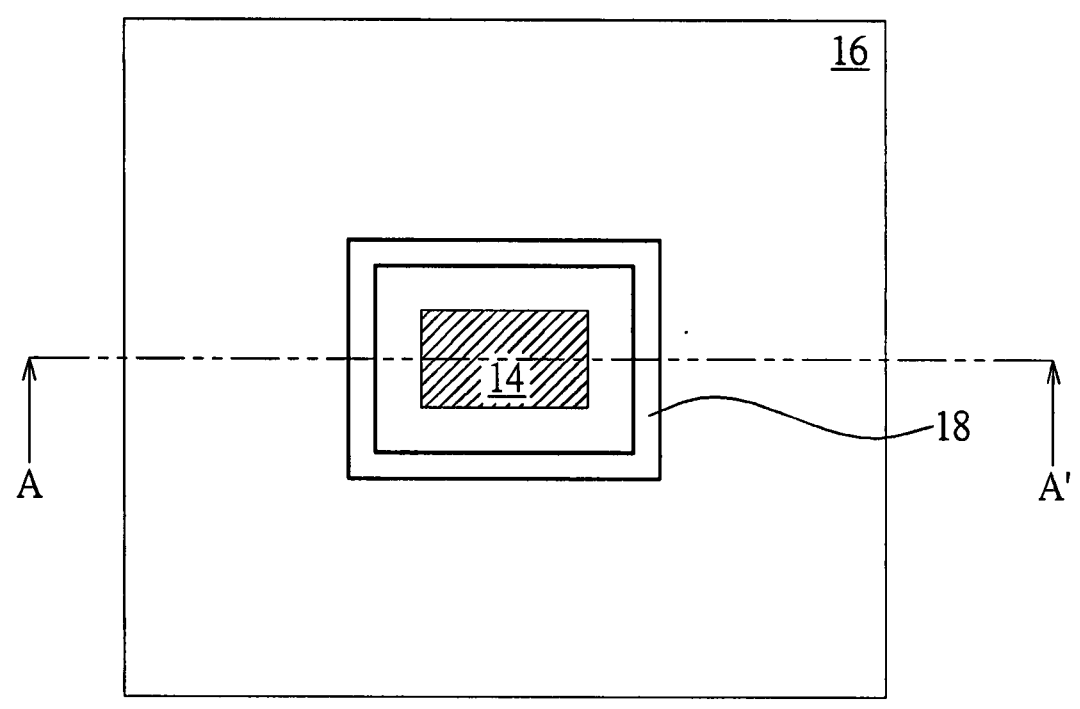
第2圖



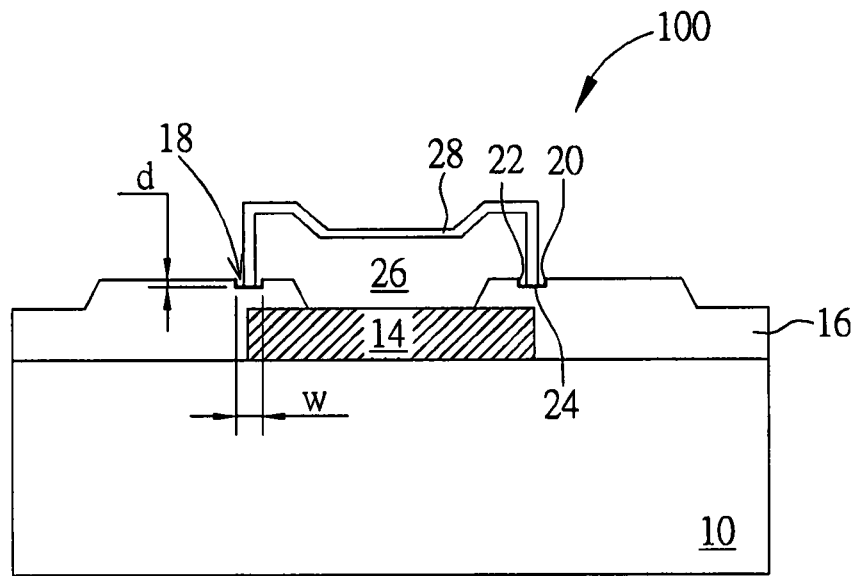
第3圖



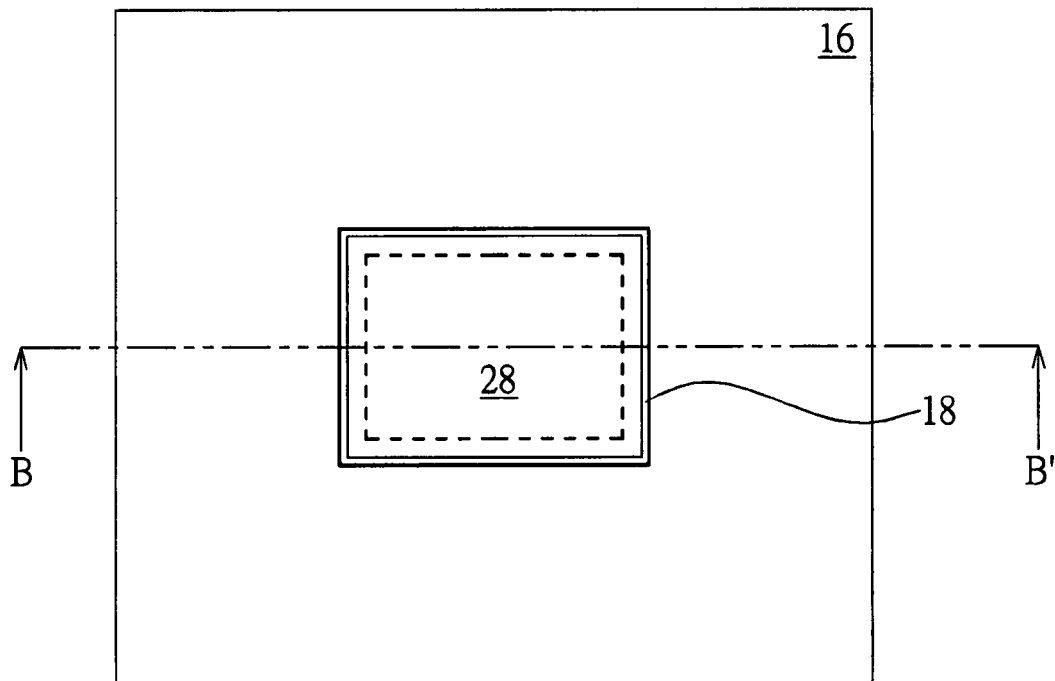
第4圖



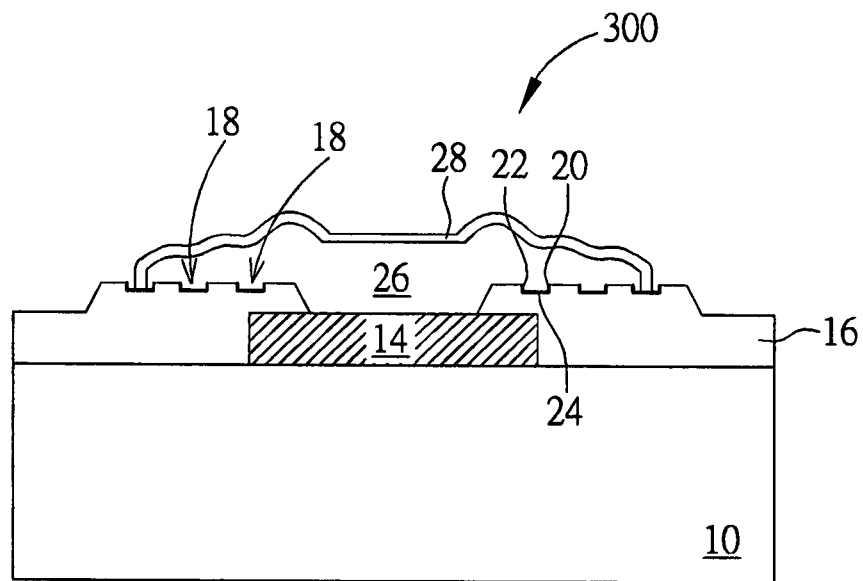
第5圖



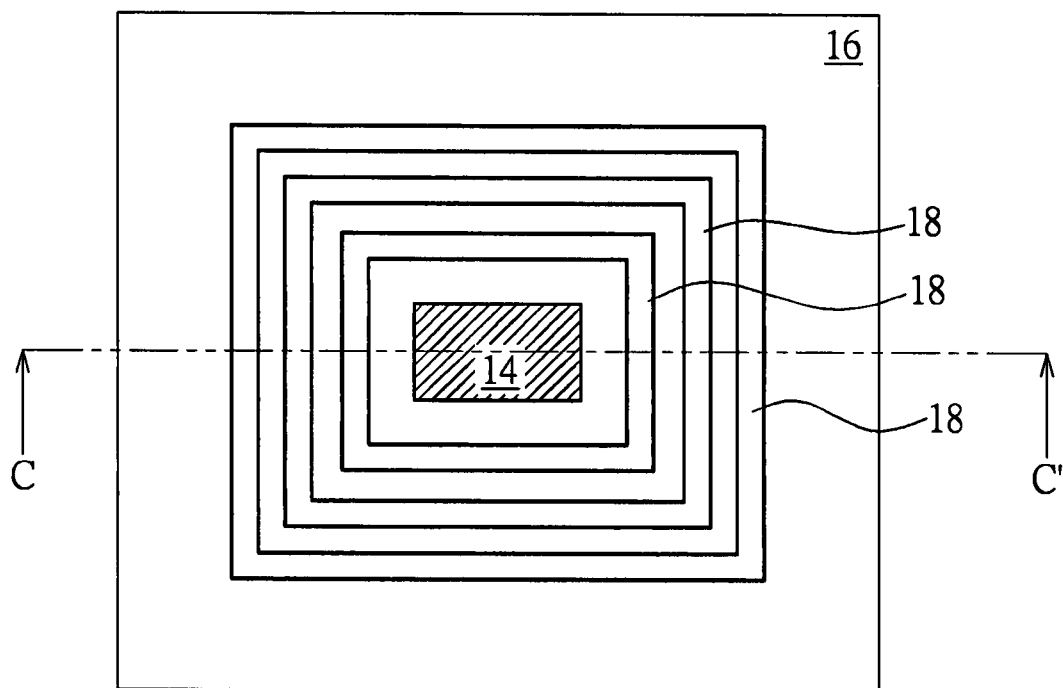
第6圖



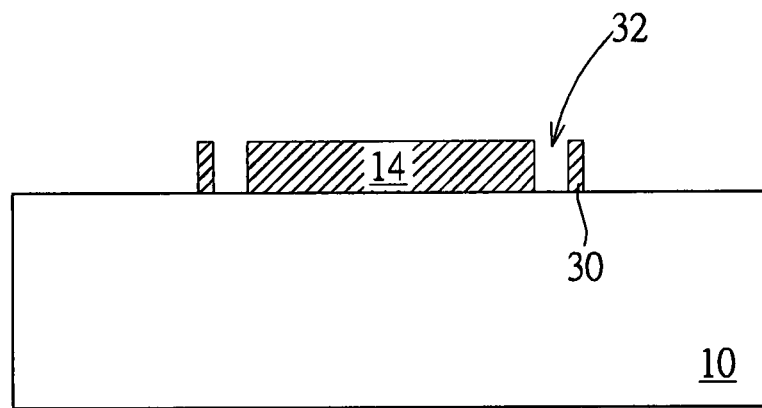
第7圖



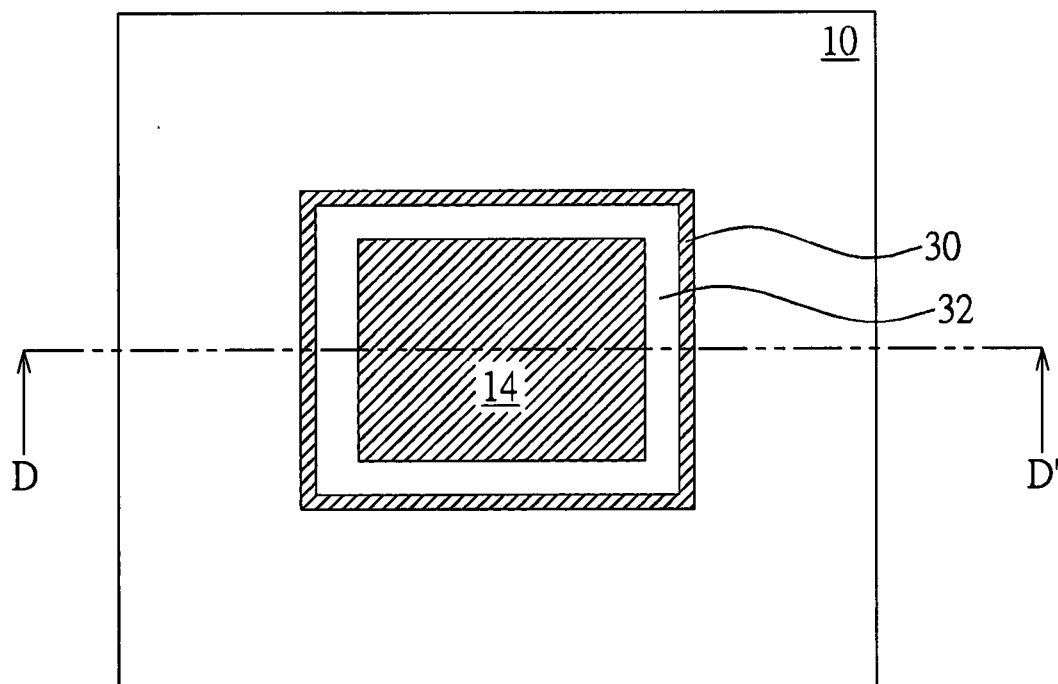
第8圖



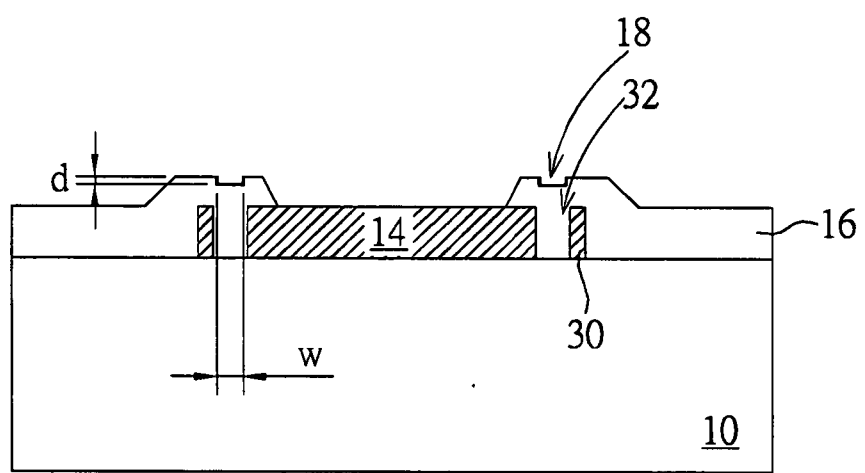
第9圖



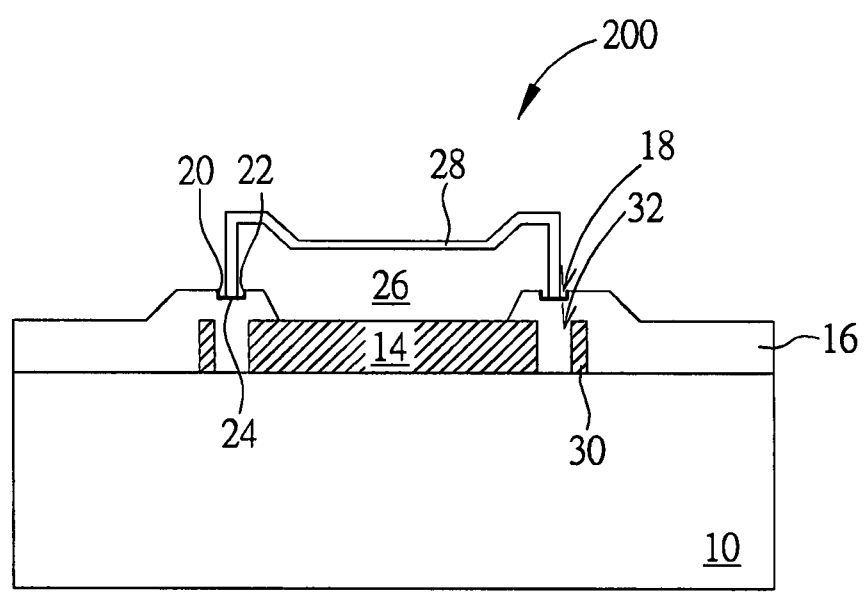
第10圖



第11圖



第12圖



第13圖

申請專利範圍

1. 一種具有凸塊下層金屬的半導體結構，包含：
 - 一基底；
 - 一金屬墊設於該基底上；
 - 一絕緣層覆蓋該基底以及覆蓋該金屬墊之邊緣；至少一淺溝渠設於該絕緣層中，該淺溝渠鄰近該金屬墊，並且該淺溝渠為環狀；
 - 一第一凸塊下層金屬接觸該金屬墊以及填入該淺溝渠，並且該第一凸塊下層金屬接觸該淺溝渠，其中填入該淺溝渠的該第一凸塊下層金屬不接觸該金屬墊。
2. 如請求項1所述之具有凸塊下層金屬的半導體結構，其中該淺溝渠包含一底部和二側壁，該第一凸塊下層金屬貼覆其中之一的該等側壁以及部分之該底部。
3. 如請求項2所述之具有凸塊下層金屬的半導體結構，其中該第一凸塊下層金屬貼覆該等側壁以及全部的該底部。
4. 如請求項1所述之具有凸塊下層金屬的半導體結構，其中該第一凸塊下層金屬為連續的金屬結構。
5. 如請求項1所述之具有凸塊下層金屬的半導體結構，另包含複數個該淺溝渠設於該絕緣層中。
6. 如請求項5所述之具有凸塊下層金屬的半導體結構，其中該等淺溝渠中，較遠離該金屬墊之該淺溝渠環繞較接近該金屬墊之該淺溝渠。

7. 如請求項5所述之具有凸塊下層金屬的半導體結構，其中各該淺溝渠包含一底部和二側壁，該第一凸塊下層金屬貼覆全部的該等底部和全部的該等側壁。
8. 如請求項5所述之具有凸塊下層金屬的半導體結構，其中各該淺溝渠包含一底部和二側壁，該第一凸塊下層金屬貼覆部分的該等底部和部分的該等側壁，最遠離該金屬墊之該淺溝渠的其中之一該側壁未被該第一凸塊下層金屬覆蓋。
9. 如請求項5所述之具有凸塊下層金屬的半導體結構，另包含複數個金屬圈設於該絕緣層下方，各該金屬圈環繞該金屬墊，並且較遠離該金屬墊之該金屬圈環繞較接近該金屬墊之該金屬圈。
10. 如請求項9所述之具有凸塊下層金屬的半導體結構，其中各個金屬圈之間定義出一第二溝渠，各該第二溝渠各別和其中之一的該等淺溝渠重疊。
11. 如請求項1所述之具有凸塊下層金屬的半導體結構，另包含至少一金屬圈設於該絕緣層下方，該金屬圈環繞該金屬墊。
12. 如請求項9所述之具有凸塊下層金屬的半導體結構，其中在該金屬圈和該金屬墊之間定義出一第一溝渠，該第一溝渠和該淺溝渠重疊。
13. 如請求項9所述之具有凸塊下層金屬的半導體結構，另包含一第二凸塊下層金屬覆蓋該第一凸塊下層金屬。
14. 一種具有凸塊下層金屬的半導體結構的製作方法，包含：

提供一基底；

形成一金屬墊於該基底上；

形成一絕緣層覆蓋該基底和該金屬墊；

進行一第一圖案化步驟，移除部分之該絕緣層，使得該金屬墊由該絕緣層曝露出來；

進行一第二圖案化步驟，移除部分之該絕緣層，以在該絕緣層上形成至少一淺溝渠與該金屬墊相鄰，並且該淺溝渠為封閉環狀；以及

形成一凸塊下層金屬接觸該金屬墊並且填入該淺溝渠，其中填入該淺溝渠中的該凸塊下層金屬不接觸該金屬墊。

15. 如請求項14所述之具有凸塊下層金屬的半導體結構的製作方法，其中在進行該第二圖案化步驟時，在該絕緣層上形成複數個該淺溝渠與該金屬墊相鄰，該等淺溝渠中，較遠離該金屬墊之該淺溝渠環繞較接近該金屬墊之該淺溝渠。

16. 如請求項14所述之具有凸塊下層金屬的半導體結構的製作方法，其中該凸塊下層金屬覆蓋該等淺溝渠。

17. 一種具有凸塊下層金屬的半導體結構的製作方法，包含：

提供一基底；

形成一金屬層覆蓋該基底；

圖案化該金屬層，形成一金屬墊以及至少一金屬圈環繞該金屬墊，其中該金屬墊和該金屬圈之間定義出一第一溝渠；

形成一絕緣層順應地覆蓋該基底、該金屬墊、該金屬圈和該第一溝渠，部分之該絕緣層形成一淺溝渠與該第一溝渠重疊；

圖案化該絕緣層，曝露出該金屬墊；以及

形成一凸塊下層金屬接觸該金屬墊並且填入部分之該淺溝渠。

18. 如請求項17所述之具有凸塊下層金屬的半導體結構的製作方法，其中在圖案化該金屬層時，形成複數個該金屬圈，較遠離該金屬墊之該金屬圈環繞較接近該金屬墊之該金屬圈，相鄰的各該金屬圈之間定義出一第二溝渠，該絕緣層順應覆蓋各該第二溝渠，形成複數個該淺溝渠。

19. 如請求項18所述之具有凸塊下層金屬的半導體結構的製作方法，其中該凸塊下層金屬覆蓋該等淺溝渠。