

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2022-532757

(P2022-532757A)

(43)公表日 令和4年7月19日(2022.7.19)

(51)国際特許分類

H 0 1 L 21/8244(2006.01)

F I

H 0 1 L 27/11

テーマコード(参考)

5 F 0 8 3

審査請求 未請求 予備審査請求 未請求 (全54頁)

(21)出願番号	特願2021-568401(P2021-568401)	(71)出願人	500039463
(86)(22)出願日	令和2年5月12日(2020.5.12)		ボード オブ リージェンツ, ザ ユニバ
(85)翻訳文提出日	令和3年12月15日(2021.12.15)		ーシティ オブ テキサス システム
(86)国際出願番号	PCT/US2020/032527		BOARD OF REGENTS, TH
(87)国際公開番号	WO2020/232025		E UNIVERSITY OF TEX
(87)国際公開日	令和2年11月19日(2020.11.19)		AS SYSTEM
(31)優先権主張番号	62/847,196		アメリカ合衆国 7 8 7 0 1 テキサス州
(32)優先日	令和1年5月13日(2019.5.13)		, オースティン, ウェスト 7 番 ストリ
(33)優先権主張国・地域又は機関	米国(US)		ート 2 1 0
(31)優先権主張番号	62/911,837		2 1 0 West 7 th Street
(32)優先日	令和1年10月7日(2019.10.7)		Austin, Texas 7 8 7 0 1
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	U . S . A .
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA		100104765
	最終頁に続く		弁理士 江上 達夫
		(74)代理人	100131015
			最終頁に続く

(54)【発明の名称】 3次元SRAMアーキテクチャ及び光導波路を製造するための触媒影響化学エッチング

## (57)【要約】

触媒影響化学エッチング(CICE)を用いて、3次元(3D)スタティックランダムアクセスメモリ(SRAM)アーキテクチャを製造するための方法。CICEを利用して、半導体フィンを、エッチングテーパがなく、なめらかな側壁で、最大高さ制限なくエッチングすることができる。CICEは、所望する多数のナノシート層の積み重ねを可能とするとともに、SRAMセルのための3D積層アーキテクチャを可能にする。さらに、CICEは、シリコン導波路のエッチングに利用可能であり、それにより、伝送効率を向上するなめらかな側壁の導波路を形成し、また、光子ベース量子回路のための、光子の識別不能性に影響を与え得る荷電変動を排除するために利用可能である。

【選択図】図3

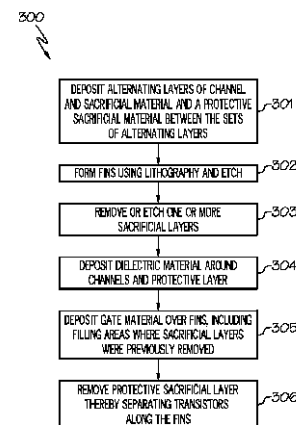


FIG. 3

## 【特許請求の範囲】

## 【請求項 1】

多層ナノ構造を作るための方法であって、  
2以上の層を含む半導体材料を提供し、  
前記半導体材料の表面上に触媒層をパターンニングし、  
前記パターンニングされた触媒層をエッチング液に曝し、ここで、前記パターンニングされた触媒層及び前記エッチング液は、垂直型ナノ構造を形成するために、前記半導体材料のエッチングを引き起こし、ここで、前記垂直型ナノ構造は、材料、形態、多孔度、エッチング速度、熱処理速度、ドーパ濃度及びドーパント材料のうち少なくとも1つにおいて異なる2以上の層を含み、  
前記垂直ナノ構造の一部に階段状構造を形成し、  
前記垂直ナノ構造の少なくとも一部の周りに第2材料を充填し、  
前記2以上の層のうち1以上を選択的に処理して、その化学組成を変化させる、又は、除去することを特徴とする方法。

10

## 【請求項 2】

前記半導体材料は、交互層を含み、  
当該方法はさらに、  
前記交互層のうち1つを選択的に処理して、その化学組成を変化させ、又は、それを除去した後に、結果として得られる構造を形成し、ここで、前記結果として得られる構造は、後に、フィン電界効果トランジスタ(FinFET)、横方向ナノワイヤFET又はナノシートFETの形成のためにフィンとして使用されることを特徴とする請求項1に記載の方法。

20

## 【請求項 3】

前記FinFET、前記横方向ナノワイヤFET又は前記ナノシートFETは、積層SRAMビットセルを生成するために使用されることを特徴とする請求項2に記載の方法。

## 【請求項 4】

前記結果として得られる構造は、100nm未満である少なくとも一つの横方向寸法と、少なくとも5:1であるフィーチャの高さ対最小横方向寸法のアスペクト比とを有することを特徴とする請求項2に記載の方法。

30

## 【請求項 5】

当該方法はさらに、p-FET及びn-FETにそれぞれ炭素ドーパシリコン材料及びシリコン-ゲルマニウム材料を用いてソース及びドレイン領域を形成することを特徴とする請求項2に記載の方法。

## 【請求項 6】

前記FinFET、前記横方向ナノワイヤFET又は前記ナノシートFETにおける複数のトランジスタは、互いの上に1以上のトランジスタが積み重ねられた、1以上の積層SRAMビットセルを生成するように、配置され接続されることを特徴とする請求項2に記載の方法。

## 【請求項 7】

前記交互層の少なくとも一つの最小厚さは、トランジスタチャンネル厚さの要件によって規定されることを特徴とする請求項2に記載の方法。

40

## 【請求項 8】

フィンの垂直方向に沿った1以上のナノシートFETと、ここで、前記フィンの壁角度は89.5度より大きく、前記1以上のナノシートFETは、物質、形態、多孔度、エッチング速度、熱処理速度、ドーピング濃度及びドーパント物質のうち少なくとも1つにおいて異なる物質の2以上の層を使用して生成されており、前記1以上のナノシートFETは、前記フィンの組成とは異なる組成を有する物質によって分離される、又は、空気によって分離されることを特徴とする3次元(3D)SRAMデバイス。

50

## 【請求項 9】

前記フィン、誘電体及びゲート金属の周囲に半導体材料の横方向の層を含むことを特徴とする請求項 8 に記載のデバイス。

## 【請求項 10】

前記横方向の層は、シリコンとシリコンゲルマニウムとの交互層をエッチングすることによって作られることを特徴とする請求項 9 に記載のデバイス。

## 【請求項 11】

前記エッチングは触媒影響化学エッチングによって行われ、ここで、前記触媒影響化学エッチングの触媒はルテニウムを含むことを特徴とする請求項 10 に記載のデバイス。

## 【請求項 12】

前記壁角度は、前記フィンの頂部及び前記フィンの底部における臨界フィーチャ寸法に対して測定されることを特徴とする請求項 8 に記載のデバイス。

## 【請求項 13】

前記 1 以上のナノシート FET のうちの 1 つのベースが、浅いトレンチ分離のための誘電体によって取り囲まれていることを特徴とする請求項 8 に記載のデバイス。

## 【請求項 14】

前記 1 以上のナノシート FET のうち、少なくとも 1 つのナノシート FET のコンタクトノードが階段状コンタクトを使用して接触されることを特徴とする請求項 8 に記載のデバイス。

## 【請求項 15】

フィンの垂直方向に沿った 1 以上のフィン電界効果トランジスタ (FinFET) と、ここで、前記フィンの壁角が 89.5 度よりも大きく、前記 1 以上の FinFET は、物質、形態、多孔度、エッチング速度、熱処理速度、ドーパ濃度及びドーパント物質のうちの少なくとも 1 つにおいて異なる物質の 2 以上の層を使用して生成され、前記 1 以上の FinFET は、前記フィンの組成とは異なる組成を有する物質によって分離される、又は、空気によって分離されることを特徴とする 3 次元 (3D) SRAM デバイス。

## 【請求項 16】

前記フィン、トランジスタを形成するために、誘電体及びゲート金属によって囲まれた半導体材料を含むことを特徴とする請求項 15 に記載のデバイス。

## 【請求項 17】

前記壁角度は、前記フィンの頂部及び前記フィンの底部における臨界フィーチャ寸法に対して測定されることを特徴とする請求項 15 に記載のデバイス。

## 【請求項 18】

前記 1 以上の FinFET のうちの 1 つのベースが、浅いトレンチ分離のための誘電体によって取り囲まれていることを特徴とする請求項 15 に記載のデバイス。

## 【請求項 19】

前記 1 以上の FinFET のうち、少なくとも 1 つの FinFET のコンタクトノードは、階段状コンタクトを使用して接触されることを特徴とする請求項 15 に記載のデバイス。

## 【請求項 20】

前記フィン、誘電体及びゲート金属の周囲全体を有する半導体材料の横方向の層を含み、ここで、前記横方向の層は、シリコン及びシリコンゲルマニウムの交互層をエッチングすることによって作られ、前記エッチングは、触媒影響化学エッチングによって行われ、前記触媒影響化学エッチングの触媒は、ルテニウムを含むことを特徴とする請求項 15 に記載のデバイス。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

(関連出願の相互参照)

10

20

30

40

50

本出願は、2019年5月13日に出願された「Three-Dimensional SRAM Architectures Using Catalyst Influenced Chemical Etching」と題する米国仮特許出願第62/847,196号、及び2019年10月7日に出願された「Low Loss, High Yield Waveguides for Large-Scale Integrated Silicon Photonics」と題する米国仮特許出願第62/911,837号の優先権を主張し、それらの全体が参照により本明細書に組み込まれる。

【0002】

(技術分野)

本発明は、一般に、スタティックランダムアクセスメモリ(SRAM)アーキテクチャ及びフォトニック集積回路に関し、特に、三次元SRAMアーキテクチャを作り、低いラインエッジ粗さ及び側壁粗さを有する光導波路を作るために、触媒影響化学エッチングを利用することに関する。

10

【背景技術】

【0003】

触媒影響化学エッチング(Catalyst Influenced Chemical Etching: CICE)は、高アスペクト比、低側壁テーパ、低側壁粗さ、及び/又は、制御可能な空隙率を有する、シリコン、ゲルマニウム等の半導体におけるフィーチャを作るために使用することができる触媒ベースのエッチング方法である。この方法は、低損失導波路だけでなく、より高密度でより高性能のスタティックランダムアクセスメモリ(SRAM)を作成するために使用される。

20

【0004】

スタティックランダムアクセスメモリ(SRAM)は、各ビットを記憶するために双安定ラッチ回路(フリップ・フロップ)を使用する半導体ランダムアクセスメモリ(RAM)の一種である。SRAMは、データ残留磁気を示すが、メモリに電力が供給されないときにデータが最終的に失われるという従来の意味では、依然として揮発性である。

【0005】

SRAMは、その高速アクセス時間、安定性及びCMOS論理デバイスとの互換性のため、集積回路で一般的に使用される。これは、プロセッサとメモリの両方を同じチップに搭載することで性能が向上するように設計された組み込みメモリである。SRAMアレイは多くの回路設計においてチップ領域の大きな割合を占める。SRAMビットセルには多くのタイプがあり、最も一般的に使用されているのは、その優れた堅牢性、低電力動作及び高容量のため、6トランジスタ(6T)SRAMセルである。その他のセル設計では、性能と安定性の要件に応じて、4トランジスタ(4T)、7トランジスタ(7T)、8トランジスタ(8T)等が使用される。FinFETベースのSRAM設計へのシフトのようなトランジスタのスケールリングにより、より高いSRAM密度を達成した。トランジスタは、FinFETや次世代ナノシートトランジスタ等、3次元にスケールされているが、SRAMトランジスタの配置は2次元のままである。3次元(3D)NANDフラッシュ等の他のメモリデバイスは、メモリセルのスタッキングを利用して、フットプリントを増大させることなくメモリ密度を増大させる。SRAMは論理が埋め込まれているため、集積回路に3D積層SRAMセルを集積することは困難である。

30

40

【0006】

さらに、フォトニック集積回路(Photonic Integrated Circuits: PICs)は、光インターコネク用半導体産業において開発されている。PICは、複数の(少なくとも2つの)フォトニック機能を集積化した装置であり、例えば、電子集積回路に類似している。両者の大きな違いは、PICが光波長(例えば、300nm~1650nm)に課された情報信号のための機能を提供することである。

【0007】

PICは、回路の速度を向上させ、より高速で高性能な古典計算機や量子計算機を可能にするために、さまざまなアプリケーションで使用できる。光導波路は、シリコンチップにおけるより高速な相互接続を可能にすることができる。インターポーザとダイ・チップ間

50

は、古典的な金属ベースの相互接続の代わりに、光相互接続を用いて接続することができる。しかしながら、これらの導波路は、既存の回路と一体化する必要がある。重要な考慮事項は、作製プロセス中の不完全性に影響される、動作中の伝送損失である。

【0008】

PIC、単一光子源及び検出器と一体化した場合、光子ベースの量子コンピューティングは、成熟したCMOS技術を用いてスケールアップの可能性を有する大規模量子回路を可能にすることができる。しかしながら、これらの量子回路素子の製造中に極端に低い欠陥許容度のために、フォトニック量子回路の小型化には一定の課題が生じる。

【0009】

PICにおけるフォトニック回路の他の素子との集積及び光子の伝送中の損失は歩留まりに影響し、産業における展開のバリアーとなる。

10

【発明の概要】

【0010】

本発明の一実施形態では、多層ナノ構造を作製する方法は、2以上の層を含む半導体材料を提供することを含む。この方法は、半導体材料の表面上に触媒層をパターンングすることをさらに含む。該方法は、パターン化された触媒層をエッチング液に曝すことをさらに含み、ここで、パターン化された触媒層及びエッチング液は、半導体材料のエッチングを引き起こして垂直型ナノ構造を形成し、ここで、垂直型ナノ構造は、材料、形態、多孔度、エッチング速度、熱処理速度、ドーブ濃度及びドーパント材料のうち少なくとも1つにおいて異なった2以上の層を含む。さらに、本方法は、垂直ナノ構造の一部に階段状構造を形成することを含む。さらに、この方法は、垂直ナノ構造の少なくとも一部の周りに第2の材料を充填することを含む。さらに、この方法は、2以上の層のうち1つ以上を選択的に処理して、その化学組成を変化させる、又は、それを除去することを含む。

20

【0011】

本発明の別の実施形態では、3次元(3D)SRAMデバイスは、フィンの垂直方向に沿って1以上のナノシートFETを含み、フィンの壁角は89.5度よりも大きく、1以上のナノシートFETは、物質、形態、多孔度、エッチング速度、熱処理速度、ドーブ濃度及びドーブ物質のうち少なくとも1つにおいて異なった物質の2以上の層を使用して生成される。さらに、1以上のナノシートFETは、フィンの組成とは異なる組成を有する物質によって分離される、又は、空気によって分離される。

30

【0012】

3次元(3D)SRAMデバイスは、フィンの垂直方向に沿って1以上のフィン電界効果トランジスタ(FinFET)を含み、フィンの壁角は89.5度よりも大きく、1以上のFinFETは、物質、形態、多孔度、エッチング速度、熱処理速度、ドーブ濃度及びドーブ物質のうち少なくとも1つにおいて異なった物質の2以上の層を使用して生成される。さらに、1以上のFinFETは、フィンの組成とは異なる組成を有する物質によって分離される、又は、空気によって分離される。

【0013】

上記は、以下の本発明の詳細な説明がより良く理解され得るように、本発明の1以上の実施形態の特徴及び技術的利点をむしろ一般的に概説した。本発明のさらなる特徴及び利点は、本発明の特許請求の範囲の主題を形成し得る以下に記載される。

40

【0014】

本発明のより良い理解は、以下の詳細な説明が以下の図面と併せて考慮されるときに得られる。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施形態による、異なるエッチングテーパ角度によるナノシート層の最大数を示す図である。

【図2A】本発明の一実施形態による、2層の「上部」及び「下部」SRAMセルのためのSRAM回路接続を示す。

50

- 【図 2 B】本発明の一実施形態による、上側及び下側 S R A Mセルのためのワード線 ( W L ) 及びビット線 ( B L ) へのフィン、ゲート、ソース及びドレイン並びにコンタクトビアを示すトップダウン S R A M 2 ビットセルレイアウトを示す。
- 【図 2 C】本発明の一実施形態による、ゲートの下に 3 つのナノシート層を有するナノシート F E T を備えた S R A M 2 ビットセルを示す図である。
- 【図 2 D】本発明の一実施形態による、ゲートの下に 3 つのナノシート層を有するナノシート F E T を備えた S R A M 2 ビットセルを示す図である。
- 【図 2 E】本発明の一実施形態による、ゲートの下にフィンを備えた F i n F E T を備えた S R A M 2 ビットセルを示す図である。
- 【図 2 F】本発明の一実施形態による、ゲートの下にフィンを備えた F i n F E T を備えた S R A M 2 ビットセルを示す図である。 10
- 【図 2 G】本発明の一実施形態による、下側トランジスタへのアクセスのための変更された階段接続を有するワード線 ( W L ) の代替レイアウトを示す。
- 【図 2 H】本発明の一実施形態による、階段状構造を使用するサブレイヤトランジスタへのサブレイヤアクセスのための拡張フィンを示す図である。
- 【図 2 I】本発明の一実施形態による、ゲート領域のみに接続されたフィンを有する代替レイアウトを示す。
- 【図 2 J】本発明の一実施形態による、 S R A Mセルのアレイを作成するように構成された多くの S R A M 2 ビットセルの例示的なレイアウトを示す。
- 【図 2 K】本発明の一実施形態による、リソグラフィリンク接続を有する S R A Mセルのアレイを作成するための、多くの S R A M 2 ビットセルの例示的なレイアウトを示す。 20
- 【図 3】は、本発明の一実施形態によるナノシート多層 F E T を製造する方法のフローチャートである。
- 【図 4】本発明の一実施形態による、図 3 に記載される工程を使用してナノシート多層 F E T を製造するための断面図を示す。
- 【図 5】本発明の一実施形態によるナノシート多層 F E T を製造するための代替方法のフローチャートである。
- 【図 6】本発明の一実施形態による、図 5 に記載される工程を使用してナノシート多層 F E T を製造するための断面図を示す。
- 【図 7】は、本発明の一実施形態によるナノシート多層 F E T を製造するための別の代替方法のフローチャートである。 30
- 【図 8】本発明の一実施形態に従った、図 7 に記載される工程を使用してナノシート多層 F E T を作製するための 2 つの代替階段状フィン - 幾何学の横断面図を描く。
- 【図 9】本発明の一実施形態に従った、図 7 に記載される工程を使用してナノシート多層 F E T を作製するための 2 つの代替階段状フィン - 幾何学の横断面図を描く。
- 【図 10 A】本発明の一実施形態による、結晶学的テーパを使用して階段状コンタクトを生成することを示す。
- 【図 10 B】本発明の一実施形態による、コンタクト及び階段が一方向に整列するようなコンタクト及び階段の例示的な配置を示す。
- 【図 11】本発明の一実施形態による 3 次元 S R A Mアーキテクチャを作成する方法のフローチャートである。 40
- 【図 12 A - H】本発明の一実施形態による、図 11 に記載された工程を使用して 3 次元 S R A Mアーキテクチャを作成するための断面図を示す。
- 【図 12 I J】本発明の一実施形態による、図 11 に記載された工程を使用して 3 次元 S R A Mアーキテクチャを作成するための断面図を示す。
- 【図 13】本発明の一実施形態による 3 次元 S R A Mアーキテクチャを作成するための代替方法のフローチャートである。
- 【図 14】本発明の一実施形態に従った、図 13 に記載された工程を使用して 3 次元 S R A Mアーキテクチャを作成するための S R A Mレイアウトのトップダウン図を示す。
- 【図 15】本発明の一実施形態による、表面損傷を伴わずに N b N 等の超伝導材料をパタ 50

ーニングするための方法のフローチャートである。

【図 1 6】本発明の一実施形態に従った、図 1 5 に記載される工程を使用して、表面損傷を伴わない超電導材料のパターン化のための断面図を示す。

【図 1 7】本発明の一実施形態による、表面損傷のない、NbN等の超伝導材料のパターニングのための代替方法のフローチャートである。

【図 1 8】本発明の一実施形態に従った、図 1 7 に記載される工程を使用して、表面損傷を伴わない超電導材料のパターン化のための断面図を示す。

【図 1 9】本発明の一実施形態による、表面損傷のない、NbN等の超伝導材料のパターン形成のための別の代替方法のフローチャートである。

【図 2 0】本発明の一実施形態に従った、図 1 9 に記載される工程を使用して、表面損傷を伴わない超電導材料のパターン化のための断面図を示す。 10

【図 2 1】本発明の一実施形態による、表面損傷なしにNbN等の超伝導材料をパターンニングするための追加の代替方法のフローチャートである。

【図 2 2】本発明の一実施形態による、図 2 1 に記載された工程を使用して、表面損傷なしに超伝導材料をパターン化するための断面図を示す。

【図 2 3】本発明の一実施形態による、CICEを用いて導波路を作成するための方法のフローチャートである。

【図 2 4】本発明の一実施形態による、図 2 3 に記載される工程を使用してCICEを有する導波路を作製するための断面図を示す。

【図 2 5】本発明の一実施形態による、CICEを用いて導波路を作成するための代替方法のフローチャートである。 20

【図 2 6】本発明の一実施形態による、図 2 5 に記載される工程を使用してCICEを有する導波路を作製するための断面図を示す。

【図 2 7】本発明の一実施形態による、CICEを用いて導波路を生成するためのさらなる代替方法のフローチャートである。

【図 2 8】本発明の一実施形態による、図 2 7 に記載された工程を使用してCICEを有する導波路を作成するための断面図を示す。

【図 2 9】本発明の一実施形態による、CICEを用いて導波路を作成するための別の代替方法のフローチャートである。

【図 3 0】本発明の一実施形態による、図 2 9 に記載される工程を使用してCICEを有する導波路を作製するための断面図を示す。 30

【図 3 1】本発明の一実施形態による、CICEを用いて導波路を生成するためのさらなる代替方法のフローチャートである。

【図 3 2】本発明の一実施形態による、図 3 1 に記載される工程を使用してCICEを有する導波路を作製するための断面図を示す。

【図 3 3】本発明の一実施形態によるCICEを有するバルクシリコンウエハを使用して導波路を作成する方法のフローチャートである。

【図 3 4】本発明の一実施形態による、図 3 3 に記載される工程を使用して、CICEを有するバルクシリコンウエハを使用して導波路を作成するための断面図を示す。

【図 3 5】本発明の一実施形態によるCICEを有するバルクシリコンウエハを使用して導波路を作成するための代替方法のフローチャートである。 40

【図 3 6】本発明の一実施形態による、図 3 5 に記載される工程を使用して、CICEを有するバルクシリコンウエハを使用して導波路を作成するための断面図を示す。

【図 3 7】本発明の一実施形態による、CICEを有するシリコンウエハを使用して導波路を作成する方法のフローチャートである。

【図 3 8】本発明の一実施形態による、図 3 7 に記載される工程を使用して、CICEを有するシリコンウエハを使用して導波路を作成するための断面図を描く。

【図 3 9】本発明の一実施形態による、CICEを有するシリコンウエハを使用して導波路を形成するための代替方法のフローチャートである。

【図 4 0】本発明の一実施形態による、図 3 9 に記載される工程を使用して、CICEを 50

有するシリコンウエハを使用して導波路を作成するための断面図を示す。

【図 4 1】本発明の一実施形態によるシリコン超格子エッチング ( S i S E ) を使用してシリコン導波路の複数の層を作成するためのフローチャートである。

【図 4 2】本発明の一実施形態による、図 4 5 に記載される工程を使用して、 S i S E を使用して、シリコン導波路の複数の層を生成するための断面図を示す。

【発明を実施するための形態】

【 0 0 1 6 】

背景技術の項で述べたように、触媒影響化学エッチング ( C I C E ) は、シリコン ( S i )、ゲルマニウム ( G e )、シリコン - ゲルマニウム合金 ( S i x G e 1 - x )、窒化ガリウム ( G a N )、リン化インジウム ( I n P )、ガリウムヒ素 ( G a A s )、インジウムヒ素 ( I n A s )、リン化ガリウム ( G a P )、インジウムガリウムヒ素 ( I n G a A s )、リン化インジウムガリウム ( I n G a P )、リン化インジウムガリウム ( I n G a P )、炭化ケイ素 ( S i C )、シリコン - ゲルマニウム ( S i G e )、I V 族元素、I I - V 族化合物、I I - V 族化合物等、並びに半導体の多層等の半導体基板上で使用することができる触媒ベースのエッチング方法である。C I C E 用の基材は、単結晶バルクシリコンウエハ、シリコン・オン・インシュレータウエハ、シリコンオンサファイアウエハ、ゲルマニウムウエハ、ドーブシリコンウエハ等のいずれかを含む。加えて、基板は、基板上に堆積された 1 0 0 n m を超える厚さのポリシリコンの層、基板上に堆積された 1 0 0 n m を超える厚さのアモルファスシリコンの層、及び基板上の 1 0 0 n m を超える厚さのエピタキシャルシリコンの層のような、半導体材料の層を含むことができる。一実施形態では、基材は、様々等プタイプ及び / 又は濃度のシリコンの交互層、シリコンの交互層、シリコン - ゲルマニウム合金 ( S i x G e - 1 - x ) 及び / 又はゲルマニウム等からなる材料積層体を含むことができる。一実施形態では、交互層の各層の厚さは、1 n m ~ 5 0 0 n m である。

10

20

【 0 0 1 7 】

C I C E は、8 9 . 5 度を超える側壁テーパ ( 9 0 度は完全に垂直構造である ) を有する高度に異方性の半導体ナノ構造をエッチングするために使用され、得られる構造は、1 0 0 n m 未満の少なくとも 1 つの横方向寸法と、少なくとも 5 : 1 の最小横方向寸法に対するフィーチャの高さのアスペクト比とを有する。一実施形態では、ナノ構造形状における少なくとも 1 つの寸法におけるフィーチャサイズは、2 0 0 n m 未満であり、アスペクト比は、1 0 : 1 より大きい。一実施形態では、アスペクト比は 5 0 : 1 より大きい。一実施形態では、壁角度は、ナノ構造の上部及び下部における臨界フィーチャ寸法を測定することによって測定され、例えば、ナノ構造断面の上部は 5 0 n m を測定し、下部は 5 0 . 5 n m を測定する。一実施形態では、断面測定は、走査型電子顕微鏡 ( S E M )、原子間力顕微鏡 ( A F M )、透過型電子顕微鏡 ( T E M )、光散乱測定等の計測技術を用いて行われる。

30

【 0 0 1 8 】

C I C E は、半導体基板をエッチングするために触媒を使用し、その触媒をパターニングするために、フォトリソグラフィ、電子ビームリソグラフィ、ナノスフェアリソグラフィ、ブロック共重合体、レーザ干渉リソグラフィ、コロイドリソグラフィ、ダブルパターニング、クォードパターニング、ナノインプリントリソグラフィ及び陽極酸化アルミニウム ( A A O ) テンプレートのようなパターニング技術を有する高アスペクト比フィーチャを作るために使用されてきた。触媒は、炭素、クロム ( C r ) 等のようなエッチング遅延物質と組み合わせて使用することができる。この設備は、エッチング液 ( 例えば、フッ化水素酸 ( H F )、フッ化アンモニウム ( N H 4 F )、緩衝 H F、及び / 又は硫酸 ( H 2 S O 4 )、H 2 O 等のフッ化物種、並びに過酸化水素 ( H 2 O 2 )、酸化バナジウム ( V 2 O 5 )、過マンガン酸カリウム ( K M n O 4 )、溶存酸素等の酸化剤 ) を含む液に浸漬される。アルコール ( 例えば、エタノール、イソプロピルアルコール、エチレングリコール等 )、エッチング均一性を調節するための材料 ( 例えば、界面活性剤、可溶性ポリマー、ジメチルスルホキシド ( D M S O ) 等 )、溶媒 ( 例えば、脱イオン ( D I ) 水、D M S O 等

40

50



)、及び緩衝溶液等の他の化学物質もまた、エッチング組成物に含まれ得る。使用される化学物質は、エッチングされる半導体基板に依存する。必要であれば、非水性エッチング液を使用することもできる。シリコン基板用のこのようなエッチング液の実施形態は、D I H<sub>2</sub>O、H<sub>2</sub>O<sub>2</sub>、及びエタノール及び電波を含む。触媒材料の実施形態には、ルテニウム (Ru)、イリジウム (Ir)、銀 (Ag)、金 (Au)、ニッケル (Ni)、パラジウム (Pd)、白金 (Pt)、銅 (Cu)、タングステン (W)、酸化ルテニウム (IV) (RuO<sub>2</sub>)、酸化イリジウム (IV) (IrO<sub>2</sub>)、窒化チタン (TiN)、グラフェン及びカーボンが含まれる。

【0019】

一実施形態では、触媒メッシュを有する得られた基質は、エッチング液溶液中に置かれ、電場、温度勾配、及びその場でエッチング深さを決定することができる光学画像システムによって能動的に制御された、ある深さまで正確にエッチングされる。CICEの後、触媒は、王水、塩素ベースのプラズマ等を用いた原子層エッチング、化学エッチング又はプラズマエッチングを用いて除去される。

10

【0020】

一実施形態では、CICEプロセスのメカニズムは、触媒による酸化剤の還元を含み、それによって正に帯電した正孔 h<sup>+</sup> を生成することができる。次に、これらの正孔は、金属を介して金属 - 半導体界面に注入され、それによって、金属の下の半導体を酸化する。酸化されたケイ素は、エッチング液のフッ化物成分によって溶解され、このフッ化物成分は、触媒の側面から、そして触媒を通して拡散し、そして可溶性生成物は、拡散する。この方法のエッチング速度及び結果として生じる空隙率は、ドーパ剤の種類、濃度、膜厚及びエッチング液濃度に依存する。電場と磁場の両方を用いて、エッチングプロセス中のホールの拡散によるポロシティのより大きな均一性 / 制御を達成した。

20

【0021】

一実施形態では、触媒材料の堆積は、化学蒸着、原子層堆積、物理蒸着、熱蒸発、電子ビーム蒸着、電着、選択原子層堆積等のうちの1つを使用して達成される。

【0022】

原子層堆積 (ALD) のための前駆体を、以下に示す表 1 に列挙する：

【0023】

30

40

50

【表 1】

触媒材料	前駆体A	気体B	ALD化学
Platinum	Trimethyl(methylcyclo-pentadienyl) platinum(IV)	Oxygen	Plasma-enhanced, Thermal - combustion chemistry
Palladium	Pd(hfac)2	Formalin, H <sub>2</sub>	Thermal - hydrogen reduction chemistry
Gold	trimethylphosphinotrimethylgold(III)	Oxygen	Plasma
TiN	Tetrakis(diethylamido) titanium(IV), Tetrakis(dimethylamido) titanium(IV), Titanium tetrachloride, Titanium(IV) isopropoxide	NH <sub>3</sub>	Plasma-enhanced, Thermal
TaN	Tris(diethylamido)(tert-butylamido) tantalum(V)	Hydrogen, NH <sub>3</sub>	Plasma-enhanced, Thermal
Ru	Bis(ethylcyclopentadienyl) ruthenium(II)	NH <sub>3</sub> , O <sub>2</sub>	Plasma, Thermal - combustion chemistry
Ir	Ir(acac)3	O <sub>2</sub>	Thermal - combustion chemistry
Ag	Ag(fod)(PEt3)	Hydrogen	Plasma-enhanced
Cu	(Cu(thd)2); Copper beta-diketonate: Cu(II) 1,1,1,5,5,5-hexafluoroacetylacetonate (Cu(hfac)2)	Methanol, ethanol, formalin	Thermal - hydrogen reduction chemistry
Co	Co(MeCp)2	H <sub>2</sub> or NH <sub>3</sub>	Plasma-enhanced
	Bis(N-tert butyl, N'-ethylpropionamidinato) cobalt (II)	H <sub>2</sub> O	Thermal
W	Bis(tert-butylamido) bis(dimethylamino) tungsten(VI), WF6	Si <sub>2</sub> H <sub>6</sub>	Thermal - fluorosilane elimination chemistry

10

20

30

## 【0024】

一実施形態では、堆積された触媒は、プラズマエッチング、ウェットエッチング、気相エッチング、リフトオフ、金属破断を伴う堆積、原子層エッチング等を用いてパターンニングされる必要がある。

## 【0025】

一実施形態では、Ruは、触媒影響化学エッチング(CICE)のための触媒として使用される。

40

## 【0026】

一実施形態では、Ruは、(a)ビス(エチルシクロペンタジエニル)ルテニウム(II)及びO<sub>2</sub>、NH<sub>3</sub>等を可能な限り共反応剤(b)(エチルベンジル)(1-エチル-1,4-シクロヘキサジエニル)Ru(0)前駆体及びO<sub>2</sub>を可能な限り共反応剤(c)熱RuO<sub>4</sub>(TORUS)/H<sub>2</sub>等)として用いて原子層蒸着を用いて蒸着することができる。Ruはまた、使用される前駆体に応じて、パターン化されたALD抑制物質及び/又はALD強化物質を用いて、選択的ALDを使用して所望の領域に選択的に堆積させることができる。一実施形態では、ALD抑制物質はSiO<sub>2</sub>であり、ALD強化物質はチタニウム(Ti)である。別の実施形態では、ALD抑制物質はSi-Hであり、ALD強化物質はSiO<sub>2</sub>である。

50

## 【0027】

一実施形態では、堆積されたRuは、フォトレジスト、ポリマー、インプリントレジスト、酸化ケイ素、窒化ケイ素等のエッチングマスクを用いて、オゾン、プラズマO<sub>2</sub>、O<sub>2</sub>/Cl<sub>2</sub>化学を使用してパターン化及びエッチングすることができる。Ruは、プラズマエッチングの場合と同様のガス化学物質による原子層エッチングを用いてエッチングすることもできる。Ruは、次亜塩素酸ナトリウム混合物を使用して湿式エッチングすることもできる。

## 【0028】

RuによるCICEの後、オゾン、プラズマO<sub>2</sub>、O<sub>2</sub>/Cl<sub>2</sub>化学又はCMOS適合性次亜塩素酸塩溶液による湿式又は気相化学を使用して、金属を除去することができる。この態様に関する議論は、米国特許出願公開第2018/060176号、Sreenivasanら、「Catalyst Influenced Pattern Transfer Technology」に提供されている。

10

## 【0029】

一実施形態では、触媒は、全てのフィンがリソグラフィックリンクを使用して接続されるように、崩壊を防止するように設計される。触媒のふらつきをさらに防止するために、連結されたリンクは、全ての触媒領域を連結するリソグラフィックリンクで作られ、一方、全てのフィンが連結されて潰れを防止することを確実にする。一実施形態では、触媒影響化学エッチングによる高アスペクト比半導体構造の実質的な崩壊を防止するための方法は、半導体材料の表面上に触媒層をパターン化することを含み、触媒層は、意図された設計及びリソグラフィックリンクを含む。さらに、リソグラフィックリンクは、半導体材料の1つ又は複数の孤立したフィーチャを実質的に接続する。本方法は、さらに、半導体材料の表面上のパターン化触媒層をエッチング液に曝すステップを含み、ここで、パターン化触媒層は、半導体材料のエッチングを生じさせて、相互接続された高アスペクト比構造を形成する。

20

## 【0030】

一実施形態では、CICE中に多孔質シリコンを生成するために、変調された電場が使用される。時間と共に電流密度や照明密度等のパラメータを変調すると、シリコンに空隙率が生じる可能性がある。電流密度は、p型シリコン基板については、正の電流密度が、触媒がシリコンにシンクするときに空隙率を生じさせ、ゼロ又は負の電流密度が、触媒エッチングのみを伴う結晶層を与えるように、変調することができる。あるいは、エッチング液濃度は、空隙率を作り出すために、より高い比率の酸化剤を有するように改変され得る。別の実施形態では、シリコンのより高いドーピングを有するエピタキシャル層が、空隙率を生成するために使用される。

30

## 【0031】

シリコン超格子エッチング(SiSE)を用いて多孔質と非多孔質シリコンの交互層を作ることができる。SiSEは、触媒を使用して半導体基板をエッチングする一方で、層の少なくとも1つが多孔質である交互の層を有する超格子を同時に生成する。交互層は、電界パラメータ変調及び/又は交互ドーピング特性を有する層を通るエッチングによって形成される。あるいは、エッチング液濃度は、空隙率(より高い酸化剤比)及び低/非空隙率ケイ素層(より低い酸化剤比)を作り出すように交互にすることができる。

40

## 【0032】

一実施形態では、物質の交互の層を有するナノ構造は、SiSEを使用して加工される。交互層は、シリコン、シリコン-ゲルマニウム合金(Si<sub>x</sub>Ge<sub>1-x</sub>)及び/又はゲルマニウムの交互層を含むことができる。一実施形態では、交互層の各層の厚さは、1nm~500nmである。

## 【0033】

一実施形態では、垂直多層ナノ構造は、SiSEによって形成され、1つ以上の層は、装置及び設計要件に基づいて修正され得る。一実施形態では、多層ナノ構造は、交互層を含み、層は、物質、形態、多孔度、エッチング速度、熱処理速度、ドーブ濃度及びドーパント物質のうちの少なくとも1つにおいて異なっている。一実施形態では、交互層は、シリ

50

コン及びシリコン - ゲルマニウム合金である。別の実施形態では、交互層は、多孔質及び非多孔質シリコンである。別の実施形態では、交互層は、交互空隙率を有する多孔質シリコンである。一実施形態では、形態は、層が多孔質であるか非多孔質であるか、細孔サイズ、細孔配向等を記述するために使用される。熱処理速度は、酸化、アニール、シリサイドの生成等のような処理のための温度を表す。

#### 【0034】

一実施形態において、多層ナノ構造の1つ以上の層は、その化学組成を変化させるために選択的に処理される。一実施形態では、化学組成は、層のうちの1つ（例えば、多孔質シリコン）の酸化速度が他の層（例えば、シリコン）の酸化速度よりもはるかに大きくなるように、構造を酸化することによって選択的に変更される。一実施形態では、多孔質シリコンの酸化速度は、非多孔質シリコンの酸化速度の5倍である。別の実施形態では、化学組成は、非多孔質シリコンに実質的に影響を及ぼすことなく、多孔質シリコンに金属を吸収させ、それをアニールすることによって、多孔質シリコンをドーピングするか、又はシリサイドを生成することによって変更される。

10

#### 【0035】

別の実施形態では、層のうちの1つ（例えば、SiGe合金）は、他の層（例えば、シリコン）に実質的に影響を及ぼすことなく、（例えば、塩酸又は原子層エッチングを使用して）選択的にエッチングすることによって除去される。別の実施形態では、多孔質シリコンは、穏やかなフッ素含有化学物質中で非多孔質シリコンを実質的にエッチングすることなく、選択的にエッチング除去される。これは、懸垂ナノシート又は非エッチング（例えば、シリコン）材料で作製される水平懸垂ナノワイヤを作製するために使用され得る。一実施形態では、これらの浮遊ナノシート又はナノワイヤは、トランジスタを作製するために使用される。

20

#### 【0036】

背景のセクションで述べたように、SRAMは、その高速アクセス時間、安定性及びCMOS論理デバイスとの互換性のため、集積回路において一般的に使用される。これは、プロセッサとメモリの両方を同じチップに搭載することで性能が向上するように設計された組み込みメモリである。SRAMアレイは多くの回路設計においてチップ領域の大きな割合を占める。SRAMビットセルには多くのタイプがあり、最も一般的に使用されているのは、その優れた堅牢性、低電力動作及び高容量のため、6トランジスタ（6T）SRAMセルである。その他のセル設計では、性能と安定性の要件に応じて、4トランジスタ（4T）、7トランジスタ（7T）、8トランジスタ（8T）等が使用される。FinFETベースのSRAM設計へのシフトのようなトランジスタのスケーリングにより、より高いSRAM密度を達成した。トランジスタは、FinFETや次世代ナノシートトランジスタのように、3次元にスケーリングされてきたが、SRAMトランジスタの配置は2次元のままである。3次元（3D）NANDフラッシュ等の他のメモリデバイスは、メモリセルのスタッキングを利用して、フットプリントを増大させることなくメモリ密度を増大させる。SRAMは論理が埋め込まれているため、集積回路に3D積層SRAMセルを集積することは困難である。

30

#### 【0037】

4個のn型（NMOS）トランジスタ（2個のプルダウン（PD）と2個のパスゲート（PG）トランジスタ）と2個のp型（PMOS）プルアップ（PU）トランジスタから成る6T-SRAMセルのように、産業界で使用される種々のSRAMレイアウトがある。FinFETベースの6T-SRAMセルの場合、6個のトランジスタの各々は高密度セルサイズのために1個のフィン（又はシート）幅を有し、一方、高性能のために、nFETは2個のフィン（又はシート）幅を有し、pFETは1個のフィン（又はシート）幅を有する。

40

#### 【0038】

一方、横方向のナノワイヤ及びナノシートトランジスタについては、水平層の数を増加させてもフットプリントが増加しないので、高密度セルも高性能であり得る。フィン（又はシート）幅がフィン長よりもはるかに低いナノシートFET（それによって、水平ナノシ

50

ートとは対照的に水平ナノワイヤを形成する)は、横方向ナノワイヤFETである。本発明の実施形態では、異なるトランジスタを互いの上に積み重ねる設計オプションが追加される。各トランジスタは、フィン又はナノシートの1つ以上の層を有することができ、異なるトランジスタソース、ドレイン及びゲートには、階段型のコンタクトアーキテクチャを用いてアクセスされる。7T-、8T-、10-T等には、6T-SRAMと同様のセル設計にSRAMセル当たり追加のトランジスタを追加することができる。

#### 【0039】

最小のSRAMビットセルは、「7nmノード」FinFETを使用し、 $0.026\mu\text{m}$ の2の領域を有する。一実施形態では、最小金属ハーフピッチは14nmであり、コンタクトポリハーフピッチは24nmであり、物理的ゲート長は18nmであり、最小フィン幅は7nmであり、フィン最小ハーフピッチは14nmであり、最小コンタクトホール又はビアピッチは40nmであり、エッチング後のコンタクト/ビア臨界寸法(CD)は14nmであり、オーバーレイは3.5nmである。しかし、7nmのFinFET SRAMセルを用いても、6個のトランジスタのレイアウトは平面的である。次世代SRAMのためのナノシートフィンへのスケールアップは性能を改善し寄生容量を低減するであろうが、FinFETと比較してビットセルサイズを顕著に低減しないであろう。

10

#### 【0040】

しかし、7nmのFinFET SRAMセルを用いても、6個のトランジスタのレイアウトは平面的である。次世代SRAMのためのナノシートフィンへのスケールアップは性能を改善し寄生容量を低減するであろうが、FinFETと比較してビットセルサイズを顕著に低減しないであろう。

20

#### 【0041】

一方、垂直ナノワイヤ(NW)FETは、ビットセルサイズを縮小することができ、また、3D SRAMを生成するために、SRAMセルを互いの上に積み重ねることを可能にすることができる。pFETの上に積み重ねられたnFETからなる相補型FET(CFET)もまた、ビットセルサイズを縮小することができる。しかしながら、このような積層ゲート全周(GAA)FETの製造は、12インチウエハにわたって不均一な厚さを有する可能性のある複数の時間付きエッチバックステップのために困難である。このような不均一性は、しきい値電圧のようなトランジスタ特性の変化量に伝播し、それによってデバイス性能に影響を及ぼす。従って、それらは製造可能性のためにエッチバック寸法の正確な制御を必要とする。

30

#### 【0042】

他のタイプの3D積層SRAM設計は、多結晶シリコン又はレーザ誘起結晶化を使用し、これは、より低品質で、より高価であり、CMOS論理と容易に積分できない。

#### 【0043】

最小パターンニング解像度や金属ピッチ等、ロジックセル設計におけるいくつかの主要な制約は、デバイス及びシステム(IRDS)レポートの国際ロードマップからの次元とともに、表2に示されている。表2に見られるように、トランジスタソース、ドレイン、ゲートのコンタクトは領域能率を制限する。

#### 【0044】

40

【表 2】

メトリック	2017	2019	2021	2024	2027	2030	2033
論理「ノード」 (nm)	“10”	“7”	“5”	“3”	“2.1”	“1.5”	“1.0”
Logic device structure options	FinFET FDSOI	FinFET LGAA	LGAA FinFET	LGAA VGAA	LGAA VGAA	VGAA LGAA 3DVLSI	VGAA LGAA 3DVLSI
Avg. cell width scaling factor	1.0	0.9	0.9	0.9	0.9	0.9	0.9
Min. metal half-pitch (nm)	18	14	12	10.5	7	7	7
Contacted poly half-pitch (nm)	27	24	21	18	16	16	16
Physical gate length for HP logic (nm)	20	18	16	14	12	12	12
Min. fin width or diameter (nm)	8	7	7	7	6	6	6
Fin min. half-pitch (nm)	16	14	12	10.5	9	7	7
Min. contact hole or via pitch (nm)	51	40	34	30	20	20	20
Contact/via CD after etch (nm)	18	14	12	10.5	7	7	7
Overlay (3 sigma) (nm)	3.6	3.5	3.4	2.8	2.2	1.7	1.5

10

20

## 【0045】

本発明の実施形態は、横方向ナノワイヤ及びナノシートFET（例えば、Gate-All-Around (GAA) FET）に基づくCMOS可積分積層SRAM技術を利用する。6T-SRAM設計に基づく本発明のいくつかの実施形態を以下に説明する。「7nm」ノードに対応するメトリックは、設計で使用されるが、より小さいノードにも拡張することができる。

30

## 【0046】

ナノシートFETは、5nm技術ノード及びそれ以上でのFinFETの良好な置き換えとなり得る、水平に積み重ねたゲート・オール・アラウンド構造を有する。それらは汎用性のある設計を可能にし、同じフットプリントに対してFinFETよりも高い性能と静電性を示した。例示的なナノシートFETは、5nmのシート厚及び10nmの垂直シート間隔の3つの層を有する積層ナノシートによるFinFET中のフィンの置換によって想像することができる。より多くの数のナノシート層は、トランジスタの性能をさらに向上させることができる。しかしながら、フィンの最大高さ、それによってナノシート層の最大数は、プラズマエッチングを用いてフィンをエッチングするために、パターン転写ステップの間、ゼロでないエッチテーパによって制限される。触媒影響化学エッチング (CICE) により、半導体フィンは、非常に低いエッチテーパがなく、側壁が滑らかで、最大高さ制限がない異方性エッチングが可能であり、ここで、実質的に非自立ナノ構造を設計することによりフィンの崩壊を回避することができる。Catalyst Influenced Chemical Etching (CICE) は、半導体のフィーチャを作るために使用できる触媒ベースのエッチング方法である。このようなフィーチャが高いアスペクト比、低い側壁テーパ、低い側壁粗さ、及び/又は制御可能な多孔性を有する場合、シリコン、ゲルマニウム等である。

40

## 【0047】

50

一実施形態では、多層ナノ構造体の製造方法は、交互層を含む半導体材料を提供することを含み、半導体材料は、シリコン、シリコンゲルマニウムアロイ ( $\text{Si}_x\text{Ge}_{1-x}$ ) 及び/又はゲルマニウムの交互層を含み、交互層の各層の厚さは、 $1\text{nm} \sim 500\text{nm}$ である。一実施形態では、半導体材料は、ゲルマニウム ( $\text{Ge}$ )、ガリウムヒ素 ( $\text{GaAs}$ )、窒化ガリウム ( $\text{GaN}$ )、シリコン ( $\text{Si}$ )、炭化ケイ素 ( $\text{SiC}$ )、シリコン-ゲルマニウム ( $\text{SiGe}$ )、インジウムガリウムヒ素 ( $\text{InGaAs}$ )、IV族元素、III-V族化合物、及びII-V族化合物のうち1以上を含む。一実施形態では、半導体材料は、単結晶バルクシリコンウエハ又はシリコン・オン・インシュレータウエハである。この方法は、半導体材料の表面上に触媒層をパターンニングすることをさらに含む。触媒層は、金 ( $\text{Au}$ )、白金 ( $\text{Pt}$ )、パラジウム ( $\text{Pd}$ )、ルテニウム ( $\text{Ru}$ )、銀 ( $\text{Ag}$ )、銅 ( $\text{Cu}$ )、ニッケル ( $\text{Ni}$ )、タングステン ( $\text{W}$ )、窒化チタン ( $\text{TiN}$ )、クロム ( $\text{Cr}$ )、グラフェン及びカーボンのうち1以上を含む。一実施形態では、リソグラフィリンクは、触媒層の実質的に隔離されたノードを接合する接続線を有するように触媒層内にパターン化される。該方法は、パターン化された触媒層をエッチング液に曝すことをさらに含み、ここで触媒層は、エッチング液の存在下で半導体基材中に沈む。エッチング液は、以下のうちの少なくとも2つを含む：フッ化物種、酸化剤、アルコール、及び溶媒：フッ化水素酸及びフッ化アンモニウム、ここで、酸化剤は、過酸化水素、過マンガン酸カリウム及び溶存酸素のうち1つを含み、アルコールは、エタノール、イソプロピルアルコール及びエチレングリコールのうち1つを含み、溶媒は、脱イオン水及びジメチルスルホキシドのうち1つを含む。パターンニングされた触媒層及びエッチング液は、垂直ナノ構造を形成するために半導体材料のエッチングを生じさせ、垂直ナノ構造は、以下の材料、形態、空隙率、エッチング速度、熱処理速度、ドーピング濃度及びドーパント材料のうち少なくとも1つにおいて、異なる複数の層を含む。さらに、本方法は、垂直ナノ構造の一部に階段状構造を形成するステップを含み、階段状構造は、下に位置するナノシートFETのソース、ドレイン及びゲートへのコンタクトを作成するために使用される。一実施形態では、階段構造は、水酸化カリウム ( $\text{KOH}$ )、水酸化テトラメチルアンモニウム ( $\text{TMAH}$ )、水酸化アンモニウム ( $\text{NH}_4\text{OH}$ )、及びエチレンジアミン ( $\text{EDP}$ )のうち1つを含むエッチング液を用いて、結晶依存エッチングを用いて結晶面に沿って半導体物質をエッチングすることによって形成される。さらに、この方法は、垂直ナノ構造の少なくとも一部に第2の材料を充填することを含む。さらに、この方法は、交互層の1つを選択的に処理して、その化学組成を変化させるか、又は除去することを含む。一実施形態では、交互層は、シリコン-ゲルマニウム合金 ( $\text{Si}_x\text{Ge}_{1-x}$ ) 層を含み、シリコン-ゲルマニウム合金 ( $\text{Si}_x\text{Ge}_{1-x}$ ) 層は、塩酸を使用して除去され、シリコンナノシート及び/又は横方向ナノワイヤを生成する。別の実施形態では、交互層は、シリコンのドーブ層を含み、シリコンのドーブ層のうち1つは、エッチング液の存在下で多孔質になり、多孔質シリコン層は、フッ化水素酸 ( $\text{HF}$ )、 $\text{HF}$  気相、 $\text{HF}$ 、及び酸化剤のうち1つ又は複数を使用して除去される。この方法は、交互層を生成するために時間変化電界を使用することをさらに含み、交互層のうち少なくとも1つは多孔質である。

10

20

30

40

#### 【0048】

図1は、本発明の一実施形態による、エッチングテーパ角度が、フィン内に積層することができるナノシート層の最大数をどのように定義するかを示す。CICEは、 $89.5^\circ$ を超えるエッチテーパ角を有し、したがって、所望の数のトランジスタの積層を可能にし、また、SRAMセルのための新しい3D積層アーキテクチャを可能にする。90度の側壁角度エッチテーパは、完全に垂直な側壁フィンを提供する。ナノシート多層FETベースのSRAMレイアウトに関する議論は、以下に提供される。

#### 【0049】

ナノシートフィン内の個々のトランジスタに対するソース、ドレイン、及びゲートへの別々の接点が、それらを個別にアドレス指定するために必要とされる。したがって、より多くのナノシートフィンを同じ領域に充填するには、コンタクトビアの設置面積の増加を考

50

慮する必要がある。トランジスタ間に共通のコンタクトノード（ソース、ドレイン、又はゲート）を有する論理設計では、ソース、ドレイン、及び/又はゲートは、同じナノシート多層FET内に接続することができ、それによって、コンタクトビアのフットプリントを減少させる。多層FET設計における個々のトランジスタのコンタクトノードへのコンタクトは、階段状構造を使用して、FinFET、横方向ナノワイヤFET及びナノシートFET等の下層のトランジスタのソース、ドレイン、及びゲートへのコンタクトを生成することができる。

【0050】

図2A～図2Iは、本発明の一実施形態による、下部SRAMトランジスタへの個別のコンタクトを必要とせずに、内部積層SRAMビットセル接続を実現するための接続フィン  
10を備えた、互いに上部に積み重ねられた2つのSRAMセルの例示的なレイアウトを示す。図2Aを参照すると、図2Aは、本発明の一実施形態による、「SRAM 2ビットセル」と呼ばれる、2層の「上部」及び「下部」SRAMセルのためのSRAM回路接続を示す。図2Bは、本発明の一実施形態による、上側及び下側SRAMセルのためのワード線(WL)及びビット線(BL)へのフィン、ゲート、ソース及びドレイン並びにコンタクトビアを示すトップダウンSRAM 2ビットセルレイアウトを示す。このレイアウトにおける2つのSRAMセルは、共通のビット線を共有し、別々のワード線を有する。

【0051】

図2C及び図2Dは、本発明の一実施形態に従って、互いに積み重ねられた2つのトランジスタを有する各フィン  
20を備えたSRAM 2ビットセルの三次元図を示す。図2C及び図2Dは、本発明の一実施形態による、ゲートの下に3つのナノシート層を有するナノシートFETを備えたSRAM 2ビットセルをさらに示す図である。一実施形態では、このような層は、ナノシートFETの代わりにFinFETを積層するために使用することができる。図2E及び図2Fは、本発明の一実施形態による、ゲートの下にフィンを備えたFinFETを備えたSRAM 2ビットセルを示す図である。一実施形態では、分離層は、フィンの垂直方向に沿って積層トランジスタを分離するために使用される。一実施形態では、フィン又は空気とは異なる組成を含む(図2D、2F参照)。下側SRAMビットセルのワード線をアドレス指定するためのコンタクトビアは、階段状コンタクトを使用して形成することができる。

【0052】

一実施形態では、階段状構造は、下にあるFETのソース、ドレイン、及びゲートへのコンタクトをクレートするために使用される。階段接続のレイアウトを図2G～2Iに示す。  
。

【0053】

下部トランジスタ201(図2C、図2D、図2E、図2F)にアクセスするための修正階段接続を有するコンタクトノード接続を有するSRAM 2ビットセルの代替レイアウトも、本発明の一実施形態に従って、図2Gに示される。また、SRAMレイアウトは、本願の一実施形態による、周囲のp型シリコンと比較して異なるドーピングを有するnウェル202を示す。図2Hは、本発明の一実施形態による、階段状構造を使用するサブ層アクセス203からサブ層トランジスタへの拡張フィンを示す。図2Iは、本発明の一実施  
40形態による、ゲート領域においてのみ接続されたフィンを有する代替レイアウトを示す。  
。

【0054】

一実施形態では、SRAMアレイレイアウトは、意図された設計及びリソグラフィリンクを含む触媒と共にCICEを有するナノ構造を生成するように設計され、触媒の影響を受けた化学エッチングによって作製される高アスペクト比半導体構造の実質的な崩壊を防止する。

【0055】

図2Jは、本発明の一実施形態による、SRAMセルのアレイを作成するように構成された多くのSRAM 2ビットセルの例示的なレイアウトを示す。図2Kは、本発明の一実  
50



施形態による、リソグラフィリンク接続を有するSRAMセルのアレイを作成するための、多くのSRAM 2ビットセルの例示的なレイアウトを示す。

【0056】

同様に、ナノシートフィン当たり3つ以上のトランジスタを互いの上に積み重ねて、複数のSRAMセルを互いの上に積み重ねることができる。他の実施形態は、金属ビアのフットプリントを減少させるために、共通の金属コンタクトを有する再配置されたレイアウトを含む。一実施形態では、レイアウトにおいて最適化されるべきパラメータの1つは、リソグラフィ及びコンタクトビアの寄生容量制限に接着した金属コンタクトの配置である。一実施形態では、6個のトランジスタを有するフィンを使用して、6個のSRAMセルを積み重ね、2次元(2D)SRAMレイアウトと比較して少なくとも20%の領域フットプリントの低下があるようにする。

10

【0057】

他の実施形態は、横方向ナノワイヤFET又はFinFETを使用すること、又はFinFET及びナノシートFETの組み合わせを使用して、3次元でSRAMセルの複数の層を作成することを含む。一実施形態では、トポロジ最適化アルゴリズムを使用して、SRAMトランジスタレイアウト内の共通のコンタクトノード接続を最適化し、下層トランジスタゲート、ソース及びドレインに必要なコンタクトビアのフットプリントを増加させることなく、スタックの数を増加させながら、SRAMセルのフットプリントを減少させることができる。別の実施形態では、SRAMセルの複数の層は、集積回路上のSRAMアレイ全体の端部に向かってファンアウトされた下部SRAM層への階段状接続を有する3D NANDフラッシュアーキテクチャに類似した方法で配置される。

20

【0058】

SRAMセルに隣接する他の論理トランジスタもまた、フットプリントを減らすために多重レベルとすることができ、又は、フィン当たりすべてのナノシート層を利用することができる。例えば、6つのナノシート層を有するフィンは、ダイの非SRAM領域に1つの論理トランジスタを有し、SRAM領域に2つの多層トランジスタを有し得る。

【0059】

本明細書で論じられるように、多層FETは、互いの上に、フィンの垂直方向に沿って垂直に積み重ねられた2つ以上のトランジスタを有するトランジスタを指す。トランジスタは、FinFET、ナノシートFET、横方向NW FET及び他のGate All Around (GAA) FETであり得る。

30

【0060】

一実施形態では、上側及び下側のFETは、FinFETの高さに類似した単一の厚いナノシート層からなる。別の実施形態では、2つのFETが1つのナノシートフィンで実現され、下部FET及び上部FETはそれぞれ、それらのGAA設計において3つのナノシート層を有する。

【0061】

FETに対する各層の厚さは、設計要件に基づいて変化させることができ、FET間の追加の層を使用して、FET間の電氣的絶縁を容易にしてもよい。

【0062】

ここで図3を参照すると、図3は、本発明の一実施形態によるナノシート多層FETを製造するための方法300のフローチャートである。図4A~4Eは、本発明の一実施形態による、図3に記載された工程を使用してナノシート多層FETを製造するための断面図を示す。

40

【0063】

図4A~図4Eに関連して図3を参照すると、ステップ301において、チャンネル401と犠牲材料402との交互層が堆積され、図4Aに示すように、交互層の組の間に保護犠牲材料404が堆積される。

【0064】

一実施形態では、チャンネル物質401はケイ素を含み、犠牲物質402はSi x Ge 1

50

- x を含み、保護犠牲物質 404 はゲルマニウムを含む。別の実施形態では、チャンネル物質 401 は、低ドーブシリコンを含み、犠牲物質 402 は、高ドーブシリコンを含み、保護犠牲物質 404 は、適度にドーブされたシリコンを含む。一実施形態では、材料は、エピタキシャル堆積、化学蒸着、物理蒸着、及び原子層堆積のうちの 1 つ又は複数を使用して堆積される。一実施形態では、保護犠牲層 404 は、絶縁層を生成するために使用され、ここで、絶縁層は、フィンの垂直方向に沿って積層トランジスタを分離するために使用される。一実施形態では、フィン又は空気とは異なる組成を含む。

【0065】

交互層の厚さは、トランジスタチャンネル厚及びゲート全周トランジスタの表面領域を最大化するための必要なフィン幅等の、トランジスタ（例えば、ナノシート FET、Fin FET、横方向ナノワイヤ FET、多層 FET）の設計要件によって定義される。これは、リソグラフィ解像度、フィンのリソグラフィパターンニング中のオーバーレイ制限、及びフィン及び誘電体を取り囲むコンタクト及びゲート材料の抵抗によって制限される。一実施形態では、ナノシート FET は、厚さ 10 nm のシリコンと厚さ 10 nm のシリコン-ゲルマニウムとの交互層の C I C E を使用して作られる。

10

【0066】

ステップ 302 では、図 4 A に示されるように、リソグラフィ及びエッチングを使用して、フィン 403 が形成される。一実施形態では、リソグラフィは、フォトリソグラフィ、極端紫外線（EUV）リソグラフィ、インプリントリソグラフィ、及び電子ビームリソグラフィのうちの 1 つ又は複数を使用して実行される。一実施形態では、エッチングは、触媒影響化学エッチングを使用して行われる。別の実施形態では、エッチングは、プラズマエッチング又は原子層エッチングを使用して行われる。

20

【0067】

ステップ 303 では、図 4 B に示すように、チャンネル材料層 401 及び保護犠牲層 404 を残して、1 つ又は複数の犠牲層 402 が除去又はエッチングされる。一実施形態では、犠牲層 402 は、リン酸、フッ化水素酸、過酸化水素、塩酸、及び硫酸のうちの 1 つ又は複数を使用して除去される。一実施形態では、犠牲層 402 は、湿式エッチング、プラズマエッチング、原子層エッチング、及び気相エッチングのいずれかのエッチングプロセスを使用してエッチングされる。

【0068】

ステップ 304 では、図 4 C に示されるように、誘電体材料 405 が、チャンネル 401 及び保護層 404 の周囲に堆積される。誘電体材料 405 は、酸化ケイ素、酸窒化ケイ素、酸化アルミニウムケイ素、酸化ハフニウム、酸化ジルコニウムアルミニウム、及び酸化ストロンチウムチタンのうちの 1 つを含むことができる。

30

【0069】

ステップ 305 では、図 4 D に示すように、犠牲層 402 が以前に除去された充填領域を含む、フィン 403 の上にゲート材料 406 が堆積される。ゲート材料 406 は、ポリシリコン、タングステン、ニッケル、銅、ルテニウム、コバルト、白金、パラジウム、チタン、及び窒化チタンのうちの 1 つを含むことができる。

【0070】

ステップ 306 では、保護犠牲層 404 が除去され、それによって、図 4 E に示されるように、トランジスタ 407 がフィン 403 に沿って分離される。

40

【0071】

トランジスタ 407 は、図 4 E に示されるような犠牲層を除去するか、又はフィンに沿ってトランジスタ間に電氣的接続性がないように材料を選択的に堆積することによって絶縁することができる。加えて、ナノシートフィン内の個々のトランジスタに対するソース、ドレイン、及びゲートへの別々のコンタクトが、それらを個々にアドレス指定するために必要とされる。一実施形態では、階段構造を使用して、下部トランジスタへのコンタクトを落とすことができる。

【0072】

50

一実施形態では、トランジスタのフィンのベースは、浅いトレンチ分離のために誘電体で囲まれている。誘電体は、酸化シリコン、酸化窒化シリコン、低誘電率誘電体等であってもよい。フィンの高さには、浅いトレンチ分離に必要な厚さが含まれる。一実施形態では、フィンのベースを囲む浅いトレンチ分離の高さは、100nmである。

【0073】

ナノシート多層FETを作るための代替方法を、図5及び6A~6Eに関連して以下に論じる。このような代替方法では、誘電体及びゲート材料は、ナノシートFET間のチャンネルナノシート上（及び犠牲層上ではない）に選択的に堆積される。交互のナノシート層を有し、階段構造を有するフィンが、図6A~6Eに示されている。各ナノシート積層は、2つの交互の層A及びBを含む。犠牲材料Bは除去され、それによって、チャンネル材料Aを放出し、それを支持構造（図には示されていない）の間に吊るす。一実施形態では、選択的原子層堆積は、チャンネル材料上に選択的にhigh-k誘電体（例えば、酸化ハフニウム、酸化ジルコニウムアルミニウム、酸化ストロンチウムチタン）を堆積するために使用され、High-誘電体材料上に選択的にゲート材料（例えば、ポリシリコン、タングステン、ニッケル、銅、ルテニウム、コバルト、白金、パラジウム、チタン、窒化チタン等）を堆積するために使用される。これにより、異なるトランジスタのゲートが接続されないようになる。このような方法のより詳細な説明は、図5及び6A~6Eに関連して以下に提供される。

10

【0074】

図5は、本発明の一実施形態によるナノシート多層FETを製造するための代替方法500のフローチャートである。図6A~6Eは、本発明の一実施形態による、図5に記載された工程を使用してナノシート多層FETを製造するための断面図を示す。

20

【0075】

図5を参照すると、図6A~6Eに関連して、ステップ501において、チャンネル材料601、犠牲材料602、及び分離材料603の交互の層が、図6Aに示されるように堆積される。一実施形態では、チャンネル材料601はケイ素を含み、犠牲材料602はSi<sub>1-x</sub>Ge<sub>x</sub>を含み、分離材料603はゲルマニウムを含む。

【0076】

ステップ502では、図6Aに示されるように、リソグラフィ及びエッチングを使用して、フィン及び階段構造604が形成される。

30

【0077】

ステップ503では、図6Bに示すように、ウェットエッチング等によって、1以上の犠牲層602が除去される。

【0078】

ステップ504では、ソース605及びドレイン606が、図6Cに示されるように形成される。一実施形態では、ソース及びドレインは、ホウ素、リン、ゲルマニウム、ヒ素等のドーパントと共にシリコンのエピタキシャル堆積によって形成される。別の実施形態では、ソース及びドレインは、Ni、Mo、W、Pd、Pt等のデバイス固有の仕事関数を有する金属の堆積によって形成される。任意のアニーリングステップは、それらを金属シリサイドに変換することができる。

40

【0079】

ステップ505では、図6Dに示されるように、誘電体及びゲート材料607が、分離材料603の表面以外の表面上に選択的に堆積される。一実施形態では、選択的原子層堆積は、チャンネル材料601上（分離材料層603上ではない）に誘電体及びゲート材料607を堆積するために使用される。

【0080】

ステップ506では、図6Eに示すように、分離材料603を任意選択で除去する。

【0081】

ステップ507では、低誘電材料608（例えば、酸化ケイ素、オキシ窒化ケイ素、フッ素ドーパ二酸化ケイ素等）が、随意に、分離材料603及び犠牲層602が、図6Eに示

50

されるように、先に除去された領域で堆積される。

【0082】

選択的原子層堆積を必要とせずにFETを分離する別の方法は、物質の堆積前に、FET間の領域を阻止することによる。これは、図8A～図8G及び図9A～図9Gに示すように、階段構造を利用し、典型的なナノシートプロセスフローに類似した他の犠牲層（例えばSiGe層）をすべて除去しながら、2つのFETの間にある交互の層の特定の積み重ね（例えば、SiGe/Si/SiGeナノシート層）を保護することによって行うことができる。各ナノシート積層は、2つの交互の層A（チャンネル材料）及びB（犠牲材料）を含む。トランジスタ間のある層のBは、B及びGate-All-Around（GAA）堆積の犠牲層の残りの部分の除去中に保護される。これらの保護層Bは、ゲートを分離するためにGAA堆積後に除去される。このような方法のより詳細な説明は、図7、8A～8G及び9A～9Gに関連して以下に提供される。

【0083】

図7は、本発明の一実施形態によるナノシート多層FETを製造するための別の代替方法700のフローチャートである。図8A～8G及び9A～9Gは、本発明の一実施形態による、図7に記載される工程を使用して、ナノシート多層FETを作るための2つの代替階段フィン-幾何学の横断面図を示す。

【0084】

図8A～図8G及び図9A～図9Gに関連して図7を参照すると、ステップ701において、チャンネル801、901及び犠牲材料802、902の交互層が、それぞれ図8A及び図9Aに示されるように堆積される。

【0085】

ステップ702では、フィン及び階段構造803、903は、それぞれ、図8A及び9Aに示されるように、リソグラフィ及びエッチングを使用して形成される。

【0086】

ステップ703では、保護層804、904が、図8B及び図9Bにそれぞれ示すように、選択された犠牲層802、902を除去するための開口部（スロット）805、905を有するフィン及び階段構造803、903上に堆積される。

【0087】

ステップ704において、1つ以上の犠牲層802、902が除去され、図8C及び9Cにそれぞれ示されるように、保護された犠牲層806、906が残される。

【0088】

ステップ705において、保護層804、904は、図8C及び9Cにそれぞれ示されるように除去される。

【0089】

ステップ706において、ソース808、908、及びドレイン領域809、909は、それぞれ図8D及び9Dに示されるように形成される。

【0090】

ステップ707では、図8E及び9Eにそれぞれ示されるように、誘電体及びゲート材料810、910が堆積される。

【0091】

ステップ708では、保護犠牲層806、906は、図8F及び9Fにそれぞれ示されるように、犠牲層806、906と接触するエッチング誘電体及びゲート材料810、910と共に除去される。一実施形態では、保護犠牲層806、906は、保護犠牲層806、906と接触する階段構造の一部を化学蒸気に曝すことによって除去される。蒸気は、チャンネル材料801、901に実質的に影響を及ぼすことなく、保護犠牲層806、906及びそれと接触する誘電体及びゲート材料810、910をエッチングする。

【0092】

ステップ709では、低誘電材料811、911（例えば、酸化ケイ素、オキシ窒化ケイ素、フッ素ドーパ二酸化ケイ素）が、必要に応じて、犠牲層802、902が、それぞれ

、図 8 G 及び 9 G に示すように、先に除去された領域で堆積される。

【 0 0 9 3 】

リソグラフィ及びオーバレイ制約内でのコンタクトビアの配置と同様に、接続フィンを作る様々なリソグラフィの課題が存在する。一実施形態では、「7 nm ノード」の場合、フィンの物理的厚さは 12 nm であり、フィン間の間隔も 12 nm である。ライン/スペースパターン及びカットマスクは、図 10 B に示すような初期フィンパターンを作るために作られる。コンタクトビアは臨界寸法 (CD) が 14 nm、千鳥金属ピッチが 40 nm である。

【 0 0 9 4 】

一実施形態では、ナノシート多層トランジスタを作製するプロセスは、必要な場合に個々のナノシート層へのコンタクトを作ることを除いて、従来のナノシートトランジスタを作製するプロセスと同様である。下部トランジスタに接点 (ソース、ドレイン及びゲートへの接点) を形成するための階段状の形成は、リソグラフィ及びプラズマエッチングを使用して、又は水酸化テトラメチルアンモニウム (TMAH)、水酸化カリウム (KOH)、水酸化アンモニウム (NH<sub>4</sub>OH)、エチレンジアミン (EDP) 等のエッチング液を使用する結晶学的テーパエッチングを使用し、続いて、図 10 A に示すように、水平面コンタクトを形成するための単一工程プラズマエッチングを使用することによって行われる。図 10 A は、本発明の一実施形態による、結晶学的テーパを使用して階段状コンタクトを形成することを示す。結晶学的エッチングのためには、パターンをシリコン基板の結晶学的面に整列させる必要がある。図 10 B は、SRAM レイアウトにおけるそのようなテーパ構造の配置を示す。図 10 B は、コンタクト 1001 及び階段 1002 が、本発明の実施形態に従って一方向に整列されるように配置される例示的な例を示す。

【 0 0 9 5 】

3次元 SRAM アーキテクチャの作成に関する議論は、図 11 及び図 12 A ~ 図 12 J に関連して以下に提供される。

【 0 0 9 6 】

図 11 は、本発明の一実施形態による、3次元 SRAM アーキテクチャを作るための方法 1100 のフローチャートである。図 12 A ~ 12 J は、本発明の一実施形態に従った、図 11 に記載される工程を使用して、3次元 SRAM アーキテクチャを作成するための断面図を示す。

【 0 0 9 7 】

図 11 を参照すると、図 12 A ~ 図 12 J に関連して、ステップ 1101 において、分離層 1201 によって分離された上部及び下部ナノシート FET を含む構造が、前述のプロセス工程によって形成される (図 3、4 A ~ 4 E、5、6 A ~ 6 E、7、8 A ~ 8 G、9 A ~ 9 G、10 A 及び 10 B 参照)。図 12 A は、ナノシート層 1402 からなるナノシートフィン及び階段形成を有する 3次元 SRAM 2ビットセルの例を示す。

【 0 0 9 8 】

ステップ 1102 では、支持材料 (図示せず) が堆積され、図 12 B に示されるように、ダミーゲート 1203 が構造上にパターンニングされる。

【 0 0 9 9 】

ステップ 1103 において、ナノシート層 1202 は、図 12 C に示されるように、解放又は除去される。

【 0 1 0 0 】

ステップ 1104 では、それぞれ、p 型及び n 型ソース/ドレイン領域 1204、1205 が、図 12 D に示されるように、ピアエピタキシャル堆積等によって形成される。

【 0 1 0 1 】

ステップ 1105 では、図 12 E に示すように、上側 FET と下側 FET との間の分離層 1201 が除去される。

【 0 1 0 2 】

ステップ 1106 では、切断された p 型及び n 型ソース/ドレイン領域 1204、120

10

20

30

40

50

5 が、内部 S R A M ビットセルトランジスタ内に形成される。すなわち、追加の p 型及び n 型ソース/ドレイン領域 1 2 0 4、1 2 0 5 は、S R A M ビットセルの内部トランジスタ領域 1 2 0 6 内に形成され、エピタキシャルに堆積されたソース及びドレイン物質 1 2 0 4、1 2 0 5 が、図 1 2 F に示すように、上下の F E T 間の分離層領域 1 2 0 1 内の物質なしで切断される。

【 0 1 0 3 】

ステップ 1 1 0 7 において、コンタクト 1 2 0 7 は、図 1 2 G に示されるように、上側及び下側 F E T コンタクトノードを互いに接続し、アドレス指定するようにパターニングされる。

【 0 1 0 4 】

ステップ 1 1 0 8 において、ダミーゲート物質 1 2 0 3 は、除去され、H i g h - 誘電体（例えば、酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化イットリウム、チタン酸ストロンチウム、他の適切な金属酸化物、又はそれらの組み合わせ）及び金属ゲート（ポリシリコン、タングステン、ニッケル、銅、ルテニウム、コバルト、白金、パラジウム、チタン、窒化チタン等）（集合的に要素 1 2 0 8）を堆積することによって形成されるゲートと置換され、ダミーゲート物質 1 2 0 3 は、図 1 2 H に示されるように以前に存在した。一実施形態では、ダミーゲート物質 1 2 0 3 は、ステップ 1 1 0 2 でのダミーゲート堆積の前に堆積された H i g h - 誘電体を有する最終ゲート物質として使用される。

10

【 0 1 0 5 】

ステップ 1 1 0 9 では、切断された金属接点が、接続された内部 S R A M ビットセルトランジスタに形成される。すなわち、S R A M セルのコンタクトノードを接続するための、ピア原子層蒸着等の、金属コンタクト 1 2 0 9 のパターニング及びコンフォーマル蒸着は、図 1 2 I 及び 1 2 J に示すように、上側及び下側の F E T コンタクトノードを接続せずに実行される。図 1 2 J は、図 1 2 I に示される構造の側面図を示しており、接触金属蒸着（例えば、シリコンの周囲の選択的原子層蒸着）中に F E T 間の電氣的接触を回避するために、上側 F E T と下側 F E T 間のギャップ 1 2 1 0 を示している。一実施形態では、ギャップ又は分離層は、フィンの垂直方向に沿って積み重ねられたトランジスタを分離するために使用される。一実施形態では、フィン又は空気とは異なる組成を含む。

20

【 0 1 0 6 】

別のプロセスでは、上部 F E T と下部 F E T との間の分離層は、すべてのコンタクトが堆積されるまで除去されない。分離層が除去されると、分離層と接触する金属接続部も、分離層エッチングに続いて金属エッチングを用いて除去される。同様に、上部 F E T と下部 F E T との間の望ましくない接続を有するソース/ドレインも、分離層を取り囲むシリコンを除去するためにシリコンエッチングを追加することによって除去することができる。階段領域を用いて、剥離層の周囲の不要な接続部を食刻するための接近手段が提供される。

30

【 0 1 0 7 】

一実施形態では、分離層は、シリコンゲルマニウム（S i G e）で作られ、コンタクト金属は、タングステン、コバルト、又はモリブデンである。

40

【 0 1 0 8 】

図 1 3 は、本発明の一実施形態による、3次元 S R A M アーキテクチャを作成するための代替方法 1 3 0 0 のフローチャートである。図 1 4 A ~ 1 4 E は、本発明の一実施形態に従った、図 1 3 に記載された工程を使用して3次元 S R A M アーキテクチャを作成するための S R A M レイアウトのトップダウン図を示す。

【 0 1 0 9 】

図 1 3 を参照すると、図 1 4 A ~ 1 4 E と関連して、ステップ 1 3 0 1 では、階段形状 1 4 0 2 を有する S R A M 2 ビットセルのためのフィンレイアウト 1 4 0 1 が、図 1 4 A に示されるように、上述されるように形成される。

【 0 1 1 0 】

50

ステップ1302では、支持材料1403（チャンネル解放のための支持体）及びダミーゲート1404が堆積され、次いで、犠牲層が除去され（図示せず）、結果として、ダミーゲート1404及び支持材料1403を伴う垂直フィンが得られ、その上面図が図14Bに示される。

【0111】

ステップ1303において、ソース/ドレイン領域1405は、図14Cに示されるように、pFETにおけるソース/ドレイン形成のために領域1405を開口した後に形成される。一実施形態では、ソース/ドレイン領域1405は、炭素ドーブシリコンのエピタキシャル成長によって形成される。

【0112】

ステップ1304では、図14Dに示されるように、nFETにおけるソース/ドレイン形成のために領域1406を開いた後に形成されたソース/ドレイン領域1406がある。オプションのLow-誘電体は、開放領域（図14Dにおいて周囲の箱として示される）で堆積されてもよい。一実施形態では、ソース/ドレイン領域1406は、シリコンゲルマニウム（SiGe）のエピタキシャル成長によって形成される。

【0113】

ステップ1305では、ダミーゲート1404が除去され、図14Eに示されるように、High-誘電体及び金属ゲート（HKMG）1407の堆積と置き換えられる。

【0114】

一実施形態では、3D SRAMデバイスは、少なくとも5：1のアスペクト比及び89.5度より大きい側壁角度を有するフィンの垂直方向に沿ったナノシートFETを含む。一実施形態では、壁角度は、フィンの上部及び下部における臨界特徴寸法を測定することによって測定され、例えば、フィン断面の上部は10nmを測定し、下部は10.2nmを測定する。一実施形態では、断面測定は、走査型電子顕微鏡（SEM）、原子間力顕微鏡（AFM）、透過型電子顕微鏡（TEM）、光散乱測定等の計測技術を用いて行われる。

【0115】

前述のように、スタティックランダムアクセスメモリ（SRAM）は、アクセス時間が速く、CMOS論理プロセスとの互換性があるため、集積回路で一般に使用されている。FinFETや次世代ナノシートトランジスタ等、トランジスタは3次元（3D）にスケールリングされているが、SRAMトランジスタの配置は平面のままである。論理デバイスのためのナノシートトランジスタの使用は、2Dから3D NANDフラッシュへのシフトと同様の方法で、3D SRAM設計を作成する機会をもたらす。ナノシートFETは、5nm技術ノード及びそれ以上でのFinFETの良好な置き換えとなり得る、水平に積み重ねたゲート・オール・アラウンド構造を有する。それらは汎用性のある設計を可能にし、同じフットプリントに対してFinFETよりも高い性能と静電性を示した。しかしながら、フィンの最大高さ、それによってナノシート層の最大数は、プラズマエッチングを用いてフィンをエッチングするために、パターン転写ステップの間、ゼロでないエッチテーパによって制限される。提案したCatalyst Influenced Chemical Etching（CICE）により、半導体フィンはエッチテーパなし、滑らかな側壁、最大高さ制限なしでエッチできる。CICEは、所望の数のナノシート層の積層を可能にし、また、SRAMセルのための新しい3D積層アーキテクチャを可能にする。

【0116】

さらに、「背景」の部で述べたように、PICと一体化した場合の光子ベースの量子コンピューティングでは、単一の光子源と検出器により、成熟したCMOS技術を用いてスケールアップする可能性のある大規模な量子回路を可能にすることができる。しかしながら、これらの量子回路素子の製造中に極端に低い欠陥許容度のために、フォトニック量子回路の小型化には一定の課題が生じる。PICにおけるフォトニック回路の他の素子との集積及び光子の伝送中の損失は歩留まりに影響し、産業における展開のバリアーとなる。

10

20

30

40

50

## 【 0 1 1 7 】

本発明の実施形態は、これらの損失を低減し、歩留まり及び性能を改善するために、新規な製造プロセス及びプロセス統合技術によって、このような課題に対処する。

## 【 0 1 1 8 】

ここで、シリコンフォトニクスに関する簡単な議論が適切であると考えられる。CMOS互換シリコンフォトニクスは、同じシリコンチップ上の光学部品のCMOSトランジスタとの集積化を可能にし、高性能マルチコアデバイスのための高帯域幅低エネルギー通信を可能にすることができる。

## 【 0 1 1 9 】

シリコン導波路コア材料には、単結晶シリコン、(Ge)ドーブシリカコア、水素化アモルファスシリコン、再結晶ポリシリコン、窒化シリコン、炭化シリコン、ゲルマニウム、窒化ガリウム(GaN)、リン化ガリウム(GaP)、III-V族半導体等がある。

## 【 0 1 2 0 】

シリコン導波路クラッド材料としては、二酸化シリコン、酸窒化シリコン、空気、多孔質シリコン、多孔質シリコン酸化物、金属酸化物等が挙げられる。

## 【 0 1 2 1 】

SOI(シリコン・オン・インシュレータ)ウエハはシリコンフォトニクスの主要プラットフォームであり、シリコン単一モード導波路に対して1~2 dB/cmの伝搬損失をもつ。

## 【 0 1 2 2 】

フォトニクス物質の基本設計は、コアとクラッド物質を含み、コアの屈折率はクラッド物質の屈折率よりも大きく、両方とも動作波長に対して透明である。より高屈折率のコントラスト導波路は、低損失でより小さな曲げを許容できるので、より小さなフットプリントを有する。単結晶シリコンは、1550 nmの波長におけるクラッド(二酸化シリコンでは1.444)と比較して高い屈折率(3.476)のため、理想的な導波路材料である。しかし、シリコン導波路は、製造上の欠陥に非常に敏感である - 側壁粗さは、光源との結合損失を増加させ、横方向電気(TE)偏光のための透過損失と位相誤差を増加させる。幅と高さの変化量は横方向磁気(TM)分極に対する有効指数に影響する。加えて、垂直テーパは結合損失を改善できるが、製造の複雑さを増加させる。

## 【 0 1 2 3 】

受動デバイスは、光機能性のための電気入力を必要としない。例として、光カプラ、アレイ導波路回折格子(AWG)、Mach-Zehnder干渉計(MZI)及びリング共振器がある。AWGはシリコンで最も低いフットプリントを持つ;しかしながら、側壁粗さは位相誤差を誘起し、それは波長分割/多重化(WDM)中に大きなクロストーク、高損失、スペクトル形状変形等をさらに導入する。リング共振器における共振波長は、幅と厚さの変動に影響される実効屈折率変動に非常に敏感である。

## 【 0 1 2 4 】

これらのデバイスに使用される導波路のラインエッジ粗さ(LER)は、ナノインプリントリソグラフィを使用して低減でき、側壁損傷は、触媒影響化学エッチング(CICE)を使用して低減できる。CICEはまた、側壁テーパが89.5度より大きく保たれることを保証する。シリコンの結晶学的エッチングを用いることにより結合損失を下げるために垂直テーパを達成できた。コア側壁は、1 nm 1シグマ未満の表面粗さを有し、コアファイチャラインエッジ粗さは、2 nm 1シグマ未満である。これらの値は、原子間力顕微鏡(AFM)、透過型電子顕微鏡(TEM)、走査型電子顕微鏡(SEM)、光学計測、及び導波路性能改善を用いて測定できる。

## 【 0 1 2 5 】

光子は、量子情報科学への主要なアプローチとして出現している。典型的なフォトニック量子コンピュータは、光子源、検出器、及び精巧な光回路を含む。量子コンピューティングにシリコン-フォトニックルートを使用することは、成熟した膨大な半導体産業をスケールアップに活用する利点がある。フォトニック集積回路(PIC)は、光インターコネ

10

20

30

40

50



クト用に半導体産業によって既に開発されている。シリコンベースのPICを光子源と検出体を1つのチップに集積することにより、低損失、高歩留まりの量子回路を可能にすることができる。

【0126】

理想的な単一光子源は、純度、識別不能性、及び明るさという3つの重要な特性を有する。単一光子源には、インジウムガリウム砒素 (InGaAs)、ガリウム砒素 (GaAs)、II-VIテルル化物及びセレン化物、III-V窒化物、ダイヤモンド中の窒素空孔及びシリコン空孔、希土類原子ドーパント及び2次元(2D)単層材料中の欠陥が含まれる。それらのバンドギャップに基づいて、発光スペクトルと動作温度(極低温から室温)を決定することができる。III-V族半導体に基づく量子ドット(QD)は、現在最も性能の良い単一光子源(SPS)の一つである。SPSはマイクロピラー、マイクロディスク、テーパ付きナノワイヤ、マイクロレンズ、ブル・アイ、及び光クリスタル空室のQDを用いても得ることができる。

10

【0127】

このようなQDは、フォトニック構造に結合されると、高度な半導体マイクロ処理技術を適用することによって、単一チップ上に集積化することができる。これにより、エミッタと導波路デバイスとの間のほぼ単一の結合効率を達成できる。しかしながら、QDベースのオンチップSPSに関する主要な問題は、近くのエッチングされたデバイスからの電荷変動に関連する光子の識別不能性の損失である。不動態化技術を用いて、粗いエッチ表面で見いだされた表面状態を減少させた。しかしながら、パッシベーション技術を用いても、エッチングされた表面をQDから遠ざけるために、導波路のサイズを大きくしなければならない。

20

【0128】

本発明の実施形態は、Catalyst Influenced Chemical Etching(CICE)を利用して、シリコン導波路をエッチングすることによって、滑らかな側壁を有する導波路を生成し、結合効率を改善し、光子の識別不能性に影響を及ぼし得る充電ゆらぎを除去する。

【0129】

サブ100nm幅及び3~6nm厚の窒化ニオブ(NbN)ナノワイヤに基づく超伝導ナノワイヤ単一光子検出器(SNSPD)は、最低のタイミングジッタ(TJ)で赤外光子を検出できる。他のSNSPD物質としては、窒化ニオブチタン(NbTiN)、ケイ化タンゲステン、ケイ化ニオブ及びケイ化モリブデンが挙げられる。複数のSNSPDを有する構築システムは、低歩留まりに悩まされ、フォトニックチップ上に集積されると悪化する。

30

【0130】

必要なナノフィーチャを作るための窒化ニオブ(NbN)の従来のプラズマエッチングは、周囲のシリコンに残留プラズマ損傷を作り出すことができる。これは、NbNの選択的原子層蒸着(ALD)を使用することによって回避することができ、この場合、前駆体は、窒化チタニウム(TiN)の領域選択的ALDと同様の方法でドーズされる。一実施形態では、H<sub>2</sub>プラズマ処理された非晶質カーボンは、NbNが堆積から除外される領域に使用することができ、それによって、ナノスケールのNbNを検出器領域にのみ堆積させることができる。あるいは、原子層エッチングは、エッチング中にシリコンを保護するために、保護エッチストップと共に使用され得る。NbNを隔離し、化学機械研磨(CMP)を用いてその一部を除去することも、NbNをパターンングするために使用することができる。

40

【0131】

NbNの選択的ALDを可能にするアトミック層配置プリカーサは、(a)NbCl<sub>5</sub>とNH<sub>3</sub>、(b)Nb(NtBu)(NEtMe)<sub>3</sub>とH<sub>2</sub>ガス、(c)NbCl<sub>5</sub>とMe<sub>2</sub>NNH<sub>2</sub>を含む。これらの前駆体は、表面化学に基づく特定のALD抑制材料工学に対して選択的に、必要とされる堆積表面上に材料を選択的に堆積させるために使用すること

50

ができる。ALD抑制表面には、炭素、水素プラズマ処理炭素、スピンオンカーボン、ポリマー、アクリレート等が含まれる。堆積される材料は、シリコン、二酸化シリコン、シリコン上の自然酸化物、酸化アルミニウム等であってもよい。

【0132】

図15は、本発明の一実施形態による、表面損傷を伴わない、NbN、窒化ニオブチタン(NbTiN)、ケイ化タングステン、ケイ化ニオブ、及びケイ化モリブデン等の超電導材料のパターニングのための方法1500のフローチャートである。図16A~16Dは、本発明の一実施形態に従った、図15に記載される工程を使用して、表面損傷を伴わない超電導材料のパターン化のための断面図を示す。

【0133】

次に図15を参照すると、図16A~16Dと関連して、ステップ1601では、原子層蒸着(ALD)抑制物質1601は、図16A及び16Bに示されるように、基板1602(例えば、バルクシリコン、シリコン・オン・インシュレータ(SOI)、エピタキシャルシリコン、III-Vs、窒化ガリウム(GaN)、ゲルマニウム(Ge))上にパターン化される。

【0134】

ステップ1502では、図16Cに示されるように、NbN等の超電導材料1603が、被露光基板1602上に選択的に堆積される。一実施形態では、そのような超電導材料1603は、100nm未満の最小横方向寸法を有する。一実施形態では、超電導材料1603は、選択的原子層蒸着によって蒸着される。

【0135】

ステップ1503では、図20Dに示すように、ALD抑制物質1601を除去する。一実施形態では、ALD抑制物質1601は、穏やかな酸化プラズマを使用して除去される。

【0136】

表面損傷を伴わない、NbN等の超電導材料のパターン化のための代替プロセスを、図17及び18A~18Fに関連して、以下に論じる。

【0137】

図17は、本発明の一実施形態による、表面損傷を伴わない、NbN、窒化ニオブチタン(NbTiN)、ケイ化タングステン、ケイ化ニオブ、及びケイ化モリブデン等の超電導材料のパターン化のための代替方法1700のフローチャートである。図18A~図18Fは、本発明の一実施形態に従った、図21に記載される工程を使用して、表面損傷を伴わない超電導材料のパターン化のための断面図を示す。

【0138】

図17を参照すると、図18A~図18Fに関連して、ステップ1701において、酸化シリコン及び窒化シリコン等の化学機械研磨(CMP)停止材料1801が、図18A及び図18Bに示すように、基板1802(例えば、バルクシリコン、シリコン・オン・インシュレータ(SOI)、エピタキシャルシリコン、III-Vs、窒化ガリウム(GaN)、ゲルマニウム(Ge))上に成長又は堆積される。

【0139】

ステップ1702では、図18Bに示されるように、ハードマスク1803がCMP-ストップ物質1801上にパターン化され、CMP-ストップ物質1801をエッチングする。

【0140】

ステップ1703では、図18Cに示されるように、CMP停止材料1801へのエッチングが行われる。

【0141】

ステップ1704では、図18Dに示されるように、NbN等の超電導材料1804が、被露光基板1802上に堆積される。一実施形態では、超電導材料1804は、100nm未満の最小横方向寸法を有する。一実施形態では、超電導材料1804は、選択的原子

10

20

30

40

50

層蒸着を介して蒸着される。

【0142】

ステップ1705では、図18Eに示されるように、超電導材料1804のCMPが実施される。

【0143】

ステップ1706では、図18Fに示すように、CMP停止材料1801を任意選択で除去する。

【0144】

表面損傷を伴わない、NbN等の超電導材料のパターン化のためのさらなる代替プロセスを、図19及び20A~20Eに関連して、以下に論じる。

10

【0145】

図19は、本発明の一実施形態による、表面損傷を伴わない、NbN、窒化ニオブチタン(NbTiN)、ケイ化タングステン、ケイ化ニオブ、及びケイ化モリブデン等の超電導材料のパターン化のための別の代替方法1900のフローチャートである。図20A~20Eは、本発明の一実施形態に従った、図19に記載される工程を使用して、表面損傷を伴わない超電導材料のパターン化のための断面図を示す。

【0146】

図19を参照すると、図20A~20Eと関連して、ステップ1901では、図20A及び20Bに示されるように、NbN等の超電導材料2001が、被露光基板2002(例えば、バルクシリコン、シリコン・オン・インシュレータ(SOI)、エピタキシャルシリコン、III-Vs、窒化ガリウム(GaN)、ゲルマニウム(Ge))上に堆積される。一実施形態では、超電導材料2001は、100nm未満の最小の横方向寸法を有する。一実施形態では、超電導材料2001は、選択的原子層堆積を介して堆積される。

20

【0147】

ステップ1902では、図20Cに示されるように、ハードマスク材料2003が超電導材料2001上にパターン化される。

【0148】

ステップ1903では、露出された超電導材料2001の原子層エッチングが、図20Dに示されるように、側壁及び表面の損傷を最小限に抑えて実施される。

【0149】

ステップ1904では、図20Eに示すように、ハードマスク材料2003が除去される。

30

【0150】

表面損傷を伴わない、NbN等の超電導材料のパターン化のためのさらなる代替プロセスを、図21及び22A~22Gに関連して、以下に論じる。

【0151】

図21は、本発明の一実施形態による、表面損傷を伴わない、NbN、窒化ニオブチタン(NbTiN)、ケイ化タングステン、ケイ化ニオブ、及びケイ化モリブデン等の超電導材料のパターニングのための、追加の代替方法2100のフローチャートである。図22A~22Gは、本発明の一実施形態に従った、図25に記載される工程を使用して、表面損傷を伴わない超電導材料のパターン化のための断面図を示す。

40

【0152】

図21を参照すると、図22A~図22Gに関連して、ステップ2101において、図22A及び図22Bに示されるように、基板2202(例えば、バルクシリコン、シリコン・オン・インシュレータ(SOI)、エピタキシャルシリコン、III-Vs、窒化ガリウム(GaN)、ゲルマニウム(Ge))上にエッチストップ材料2201(例えば、酸化シリコン、窒化シリコン)が成長又は堆積される。

【0153】

ステップ2102では、エッチング停止材料2201の一部が、図22Cに示されるようにパターン化される。

50

## 【0154】

ステップ2103では、図22Dに示されるように、NbN等の超電導材料2203が、エッチング停止材料2201及び被露光基板2202の残りの部分上に堆積される。一実施形態では、超電導材料2203は、100nm未満の最小横方向寸法を有する。一実施形態では、超電導材料2203は、選択的原子層蒸着を介して蒸着される。

## 【0155】

ステップ2104では、ハードマスク2204が、図22Eに示されるように、超電導材料2203上にパターン化される。

## 【0156】

ステップ2105では、露出された超電導材料2203は、図22Fに示されるように、プラズマエッチング又は原子層エッチングを介して、側壁損傷を最小限に抑えてエッチングされる。

10

## 【0157】

ステップ2106では、図22Gに示されるように、基板表面粗さを最小化するために、等方性ドライエッチング、気相エッチング、ウェットエッチング等の高度に選択的なエッチングを使用して、ハードマスク2204及びエッチストップ材料2201が除去される。

## 【0158】

さらに、本発明の実施形態は、導波路を使用する光回路を含む。

## 【0159】

シリコン又は窒化シリコンコア、酸化シリコン又は酸窒化シリコンクラッドを有する導波路は、標準的なCMOSプロセスを用いてSOI(シリコン・オン・インシュレータ)ウエハから容易に作製することができる。シリコン導波路を形成するために、光リソグラフィ及びエッチング技術が使用される。しかしながら、このプロセスは、主に側壁の粗さによって引き起こされる高い損失を被る。側壁粗さは、光リソグラフィにおけるラインエッジ粗さ(LEER)、シリコンのエッチング中のプラズマ損傷、及びSNSPDのような他のフォトニック回路素子の処理ステップに起因する場合がある。LEERを減少させるために電子ビームリソグラフィが用いられ、その結果、より滑らかな導波路側壁とより良い歩留まりが得られた。プラズマエッチ後の側壁粗さを低減するために平滑化技術が用いられてきた。しかしながら、平滑化技術は、シリコンの一部を消費し、特徴サイズ制御に影響を与え、電子ビームリソグラフィは、非常に低いスループットを有する。

20

30

## 【0160】

一実施形態では、リソグラフィ及び触媒影響化学エッチング(CICE)中にLEERを制御するためのナノインプリントリソグラフィが、側壁損傷がなく、エッチテーパがない導波路を作製するために使用され、それによって、非常に低い伝送損失が可能になる。従って、側壁損傷がなく、エッチテーパがない本発明の原理を用いたシリコン導波路の平滑なプラズマフリーエッチングは、大規模単一チップ集積シリコンフォトニック量子コンピュータ用の低損失、高収率シリコン導波路を可能にすることができる。

## 【0161】

高い歩留まりパターン形成と除去を有するCICE用触媒は、CICEを用いた作製光回路を可能にする。Au、Ag、Ru、Pt、Pd、Ir、Rh、RuO<sub>2</sub>、IrO<sub>2</sub>、W、TiN等の触媒を使用できる。CMOS互換触媒は、フォトニクス、光インターコネクタ及び量子コンピューティングチップのためのこれらの装置の大量製造のために半導体製造を使用することを可能にする。

40

## 【0162】

CICEによるシリコン導波路作製に関する議論、例えば、(1)均一なエッチング深さを有するシリコンコアを有する導波路の作成、(2)酸化補償を伴うシリコンのアンダーエッチング、(3)シリコンを除去するための第2のエッチングステップを有するシリコンのアンダーエッチング、(4)シリコンのオーバーエッチング、が以下に提供される。

## 【0163】

50

低線縁粗さ（LER）及び側壁粗さ、ならびに89.5度より大きい側壁角を有するシリコン導波路は、図23及び24A～24Eに関連して以下に記載されるように、CICEを使用して、様々なシリコン基材上に作製され得る。

【0164】

図23は、本発明の一実施形態による、CICEを用いて導波路を作成するための方法2300のフローチャートである。図24A～24Eは、本発明の一実施形態による、図23に記載された工程を使用してCICEを有する導波路を作成するための断面図を示す。

【0165】

図23を参照すると、図24A～24Eと関連して、ステップ2301では、触媒2401は、図24A及び24Bに示されるように、シリコン2403、絶縁体2404、及びシリコン基板2405から成るSOI基板2402上にパターン化される。

10

【0166】

ステップ2302では、CICEが実行され、それによって、図24Cに示すように、触媒2401下のシリコン2403が除去される。

【0167】

ステップ2303では、図24Dに示すように、触媒2401を除去する。

【0168】

ステップ2304では、図24Dの構造、すなわち、図24Eに示されるように、絶縁体2404の露出部分及びシリコン2403の残りの部分上に、酸化物クラッド2406が堆積される。

20

【0169】

CICEを用いて導波路を生成するための代替的なプロセスは、図25及び26A～26Fに関連して以下に説明される。

【0170】

図25は、本発明の一実施形態による、CICEを用いて導波路を作成するための代替方法2500のフローチャートである。図26A～26Fは、本発明の一実施形態による、図25に記載されたステップを使用してCICEを有する導波路を作成するための断面図を示す。

【0171】

図25を参照すると、図26A～26Fと関連して、ステップ2501では、触媒2601は、図26A及び26Bに示されるように、シリコン2603、絶縁体2604、及びシリコン基板2605から成るSOI基板2602上にパターン化される。

30

【0172】

ステップ2502では、CICEが実行され、それによって、図26Cに示すように、触媒2601下のシリコン2603の一部が除去される。

【0173】

ステップ2503では、図26Dに示すように、触媒2601を除去する。

【0174】

ステップ2504では、図26Eに示すように、シリコン2603の酸化を伴うシリコンの酸化（要素2606参照）が行われる。

40

【0175】

ステップ2505では、図26Fに示されるように、酸化物クラッド2607が、図26Eの構造、すなわち、酸化シリコン2606上に堆積される。

【0176】

CICEを用いて導波路を生成するためのさらなる代替プロセスは、図27及び28A～27Hに関連して以下に説明される。

【0177】

図27は、本発明の一実施形態による、CICEを用いて導波路を生成するためのさらなる代替方法2700のフローチャートである。図28A～28Hは、本発明の一実施形態による、図27に記載された工程を使用してCICEを有する導波路を作成するための断

50

面図を示す。

【0178】

図27を参照すると、図28A~28Hと関連して、ステップ2701では、触媒2801は、図28A及び28Bに示されるように、シリコン2803、絶縁体2804、及びシリコン基板2805から成るSOI基板2802上にパターン化される。

【0179】

ステップ2702では、CICEが実行され、それによって、図28Cに示すように、触媒2801下のシリコン2803の一部が除去される。

【0180】

ステップ2703では、図28Dに示すように、触媒2801を除去する。

10

【0181】

ステップ2704では、フォトレジスト、二酸化シリコン、スピノカーボン等のマスクング材料2806が、図28Eに示すように、露出したシリコン2803上に堆積される。

【0182】

ステップ2705では、マスクング材料2806は、図28Fに示されるような方法でパターン化される。

【0183】

ステップ2706では、シリコン2803の一部が、図28Gに示されるように、ピアプラズマエッチング、原子層エッチング、ウェットエッチング、CICE等のように、エッチングされる。

20

【0184】

ステップ2707では、図28Hに示すように、残りのマスクング材料2806が除去される。

【0185】

ステップ2708では、図28Hに示されるように、残りのマスクング物質2806、すなわち、残りのマスクング物質2806の除去後のシリコン2803及び絶縁体2804の露出部分の除去後に、図28Gの構造上に酸化物クラッド2807が堆積される。

【0186】

CICEを用いて導波路を作成するための別の代替プロセスを、図29及び30A~30Eに関連して以下に説明する。

30

【0187】

図29は、本発明の一実施形態による、CICEを用いて導波路を作成するための別の代替方法2900のフローチャートである。図33A~33Eは、本発明の一実施形態による、図29に記載された工程を使用してCICEを有する導波路を作成するための断面図を示す。

【0188】

図29を参照すると、図30A~30Eと関連して、ステップ2901では、触媒3001は、図30A及び30Bに示されるように、シリコン3003、絶縁体3004、及びシリコン基板3005から成るSOI基板3002上にパターン化される。

40

【0189】

ステップ2902では、CICEが行われ、それによって、触媒3001下のシリコン3003及び絶縁体3004の一部が、図30Cに示されるように、露出したシリコン3003（触媒3001でパターン化されていないシリコン3003の一部）下の絶縁体3004の一部と同様に除去される。

【0190】

ステップ2903では、図30Dに示すように、触媒3001を除去する。

【0191】

ステップ2904では、図30Eに示されるように、酸化物クラッド3006が、図30Dの構造、すなわち、露出シリコン3003及び露出絶縁体3004上に堆積される。

50

## 【 0 1 9 2 】

C I C Eを用いて導波路を形成するための別の代替的なプロセスは、図 3 1 及び 3 2 A ~ 3 2 H に関連して以下に説明される。特に、図 3 1 は、C I C Eを用いて窒化ケイ素コアを有する導波路を作成するための方法である。

## 【 0 1 9 3 】

図 3 1 は、本発明の一実施形態による、C I C Eを用いて導波路を生成するためのさらなる代替方法 3 1 0 0 のフローチャートである。図 3 2 A ~ 3 2 H は、本発明の一実施形態による、図 3 1 に記載された工程を使用してC I C Eを有する導波路を作成するための断面図を示す。

## 【 0 1 9 4 】

図 3 1 を参照すると、図 3 2 A ~ 3 2 H と関連して、ステップ 3 1 0 1 では、触媒 3 2 0 1 は、図 3 2 A 及び 3 2 B に示されるように、シリコン 3 2 0 3、絶縁体 3 2 0 4、及びシリコン基板 3 2 0 5 から成る S O I 基板 3 2 0 2 上にパターン化される。

## 【 0 1 9 5 】

ステップ 3 1 0 2 では、C I C E が実行され、それによって、図 3 2 C に示すように、触媒 3 2 0 1 下のシリコン 3 2 0 3 が除去される。

## 【 0 1 9 6 】

ステップ 3 1 0 3 では、図 3 2 D に示すように、触媒 3 2 0 1 を除去する。

## 【 0 1 9 7 】

ステップ 3 1 0 4 では、図 3 2 E に示すように、エッチングされたシリコン及び / 又は多孔質シリコン ( 酸化シリコン 3 6 0 6 ) の酸化が行われる。

## 【 0 1 9 8 】

ステップ 3 1 0 5 では、高屈折率材料 3 2 0 7 ( 例えば、窒化ケイ素 ) が、図 3 2 F に示されるように、酸化シリコン 3 2 0 6 上に堆積され、露出絶縁体 3 2 0 4 される。

## 【 0 1 9 9 】

ステップ 3 1 0 6 では、高屈折率材料 3 2 0 7 は、図 3 2 G に示されるように、化学機械研磨、プラズマエッチング、湿式エッチング等を介して、酸化シリコン 3 2 0 6 のレベルまでエッチバックされる。

## 【 0 2 0 0 】

ステップ 3 1 0 7 では、図 3 2 G の構造、すなわち、図 3 2 H に示すように、露出した酸化シリコン 3 2 0 6 及び露出した高屈折率材料 3 2 0 7 上に、酸化物クラッド 3 2 0 8 が堆積される。

## 【 0 2 0 1 】

C I C E を有する導波路を生成するためのさらなる代替プロセスは、図 3 3、3 4 A ~ 3 4 G、3 5、及び 3 6 A ~ 3 6 I に関連して以下に説明される。このようなプロセスは、シリコンコアを有するバルクシリコンウエハと、高屈折率材料 ( 例えば、窒化シリコン ) を有するコアとを用いて導波路を作ることに向けられる。多孔質シリコンの酸化後、二酸化ケイ素は、さらなる処理の前に、任意の多孔質面を平滑化するために、原子層蒸着を使用して蒸着される。

## 【 0 2 0 2 】

図 3 3 は、本発明の一実施形態による、C I C E を有するバルクシリコンウエハを使用して導波路を作成するための方法 3 3 0 0 のフローチャートである。図 3 4 A ~ 3 4 G は、本発明の一実施形態による、図 3 3 に記載される工程を使用して、C I C E を有するバルクシリコンウエハを使用して導波路を作成するための断面図を示す。

## 【 0 2 0 3 】

図 3 3 を参照すると、図 3 4 A ~ 3 4 G と関連して、ステップ 3 3 0 1 では、触媒 3 4 0 1 は、図 3 4 A 及び 3 4 B に示されるように、バルクシリコン基板 ( 例えば、低ドーパブルクシリコン基板 ) 3 4 0 2 上にパターン化される。

## 【 0 2 0 4 】

ステップ 3 3 0 2 では、C I C E が実行され、それによって、図 3 4 C に示すように、触

10

20

30

40

50

媒 3 4 0 1 下のシリコン基板 3 4 0 2 の一部が除去される。

【 0 2 0 5 】

ステップ 3 3 0 3 では、図 3 4 D に示すように、C I C E 中にシリコン基板 3 4 0 2 ( 要素 3 4 0 3 参照 ) の一部の多孔化が起こる。

【 0 2 0 6 】

ステップ 3 3 0 4 では、図 3 4 E に示すように、非多孔質シリコンの少なくとも一部を含むシリコンの露出層 3 4 0 4 を残して、触媒 3 4 0 1 を除去する。

【 0 2 0 7 】

ステップ 3 3 0 5 では、図 3 4 F に示すように、多孔質シリコン 3 4 0 3 の酸化、及び非多孔質シリコン 3 8 0 4 の少なくとも一部の酸化等、非多孔質及び多孔質シリコンが酸化される ( 要素 3 4 0 5 参照 ) 。さらに、二酸化ケイ素は、任意に、任意の多孔質表面を平滑化するために、原子層堆積等によって堆積されてもよい。

10

【 0 2 0 8 】

ステップ 3 3 0 6 において、酸化物クラッド 3 4 0 6 が、図 3 4 F の構造、すなわち図 3 4 G に示されるような酸化シリコン 3 4 0 5 上に堆積される。

【 0 2 0 9 】

C I C E を有するバルクシリコンウエハを使用して導波路を作成するための代替プロセスを、図 3 5 及び 3 6 A ~ 3 6 I に関連して以下に論じる。

【 0 2 1 0 】

図 3 5 は、本発明の一実施形態による、C I C E を有するバルクシリコンウエハを使用して導波路を作成するための代替方法 3 5 0 0 のフローチャートである。図 3 6 A ~ 3 6 I は、本発明の一実施形態による、図 3 5 に記載される工程を使用して、C I C E を有するバルクシリコンウエハを使用して導波路を作成するための断面図を示す。

20

【 0 2 1 1 】

図 3 6 A ~ 3 6 I に関連して図 3 5 を参照すると、ステップ 3 5 0 1 において、触媒 3 6 0 1 は、図 3 6 A 及び 3 6 B に示されるようにバルクシリコン基板 3 6 0 2 上にパターン化される。

【 0 2 1 2 】

ステップ 3 5 0 2 では、C I C E が実行され、それによって、図 3 6 C に示すように、触媒 3 6 0 1 下のシリコン基板 3 6 0 2 の一部が除去される。

30

【 0 2 1 3 】

ステップ 3 5 0 3 において、シリコン基板 3 6 0 2 ( 要素 3 6 0 3 参照 ) の一部の多孔化は、図 3 6 D に示されるように、C I C E の後に実行される。一実施形態では、多孔化は、C I C E に使用されるのと同じ工具及び同じエッチング液でケイ素の電気化学的エッチングを使用して行われる。一実施形態では、多孔化は、電界を使用して行われる。

【 0 2 1 4 】

ステップ 3 5 0 4 では、図 3 6 E に示すように、触媒 3 6 0 1 を除去する。

【 0 2 1 5 】

ステップ 3 5 0 5 において、多孔質シリコンは、図 3 6 F に示されるような多孔質シリコン 3 6 0 3 の酸化のように、酸化される ( 要素 3 6 0 4 参照 ) 。さらに、二酸化ケイ素は、任意に、任意の多孔質表面を平滑化するために、原子層堆積等によって堆積されてもよい。

40

【 0 2 1 6 】

ステップ 3 5 0 6 では、図 3 6 G に示されるように、図 3 6 F の構造、すなわち、酸化シリコン 3 6 0 4 上に、窒化シリコン等の高屈折率材料 3 6 0 5 が堆積される。

【 0 2 1 7 】

ステップ 3 5 0 7 では、高屈折率材料 3 6 0 5 は、図 3 6 H に示されるように、酸化シリコン 3 6 0 4 のレベルまで、化学機械研磨、プラズマエッチング、湿式エッチング等を利用して、エッチバックされる。

【 0 2 1 8 】

50



ステップ 3508 では、図 36H の構造、すなわち、図 36I に示すように、酸化シリコン 3604 及び高屈折率材料 3605 の露出部分上に、酸化物クラッド 3606 が堆積される。

【0219】

CICE を有する導波路を生成するためのさらなる代替的なプロセスは、図 37、38A ~ 38F、39 及び 40A ~ 40H に関連して以下に説明される。このようなプロセスは、シリコンコアを有するシリコンウエハと、高屈折率材料（例えば、窒化シリコン）を有するコアとを用いて導波路を作製することに向けられる。多孔質シリコンの酸化後、二酸化ケイ素は、さらなる処理の前に、任意の多孔質面を平滑化するために、原子層蒸着を使用して蒸着される。

10

【0220】

図 37 は、本発明の一実施形態による、CICE を有するシリコンウエハを使用して導波路を作成するための方法 3700 のフローチャートである。図 38A ~ 38F は、本発明の一実施形態による、図 37 に記載される工程を使用して、CICE を有するシリコンウエハを使用して導波路を作成するための断面図を示す。

【0221】

図 37 を参照すると、図 38A ~ 38F と関連して、ステップ 3701 では、触媒 3801 は、図 38A 及び 38B に示されるように、シリコン基板 3803（例えば、高ドーピングシリコン基板）上のシリコン層 3802（例えば、低ドーピングエピタキシャル（エピ）シリコン層）上にパターン化される。

20

【0222】

ステップ 3702 では、CICE が実行され、それによって、図 38C に示すように、触媒 3801 下のシリコン 3802、3803 が除去される。

【0223】

ステップ 3703 では、図 38C に示されるように、高ドーピングシリコン（要素 3804 参照）の気孔化は、CICE の際に生じる。

【0224】

ステップ 3704 では、図 38D に示すように、触媒 3801 を除去する。

【0225】

ステップ 3705 では、図 38E に示すように、多孔質シリコン 3804 が酸化される（要素 3805 参照）。任意選択的に、二酸化ケイ素を、原子層堆積等によって堆積させて、任意の多孔質表面を平滑化する。

30

【0226】

ステップ 3706 では、図 38E の構造、すなわち、図 38F に示されるように、シリコン基板 3803 の残りの部分及びシリコンウエハ 3802 の残りの部分上に、酸化物クラッド 3806 が堆積される。

【0227】

CICE を有するシリコンウエハを使用して導波路を作成するための代替プロセスを、図 39 及び 40A ~ 40H に関連して、以下に論じる。

【0228】

図 39 は、本発明の一実施形態による、CICE を有するシリコンウエハを使用して導波路を作成するための代替方法 3900 のフローチャートである。図 40A ~ 40H は、本発明の一実施形態による、図 39 に記載される工程を使用して、CICE を有するシリコンウエハを使用して導波路を作成するための断面図を示す。

40

【0229】

図 39 を参照すると、図 40A ~ 40H と関連して、ステップ 3901 では、触媒 4001 は、図 40A 及び 40B に示されるように、シリコン基材 4002（例えば、高ドーピング又は低ドーピングバルクシリコン基材）上にパターン化される。

【0230】

ステップ 3902 では、CICE が実行され、それによって、図 40C に示すように、触

50

媒 4 0 0 1 下のシリコン 4 0 0 2 が除去される。

【 0 2 3 1 】

ステップ 3 9 0 3 では、図 4 0 C に示すように、C I C E 中にシリコンの多孔化（要素 4 0 0 3 参照）が起こる。

【 0 2 3 2 】

ステップ 3 9 0 4 では、図 4 0 D に示すように、触媒 4 0 0 1 を除去する。

【 0 2 3 3 】

ステップ 3 9 0 5 では、図 4 0 E に示すように、多孔質シリコン 4 0 0 3 が酸化される（要素 4 0 0 4 参照）。任意選択的に、二酸化ケイ素を、原子層堆積等によって堆積させて、任意の多孔質表面を平滑化する。

10

【 0 2 3 4 】

ステップ 3 9 0 6 では、図 4 0 F に示されるように、高屈折率材料 4 0 0 5（例えば、窒化ケイ素）が、酸化シリコン 4 0 0 4 上に蒸着される。

【 0 2 3 5 】

ステップ 3 9 0 7 では、高屈折率材料 4 0 0 5 は、図 4 0 G に示されるように、化学機械研磨、プラズマエッチング、湿式エッチング等を介して、酸化シリコン 4 0 0 4 のレベルまでエッチバックされる。

【 0 2 3 6 】

ステップ 3 9 0 8 では、図 4 0 H に示されるように、酸化物クラッド 4 0 0 6 が、図 4 0 G の構造、すなわち、酸化シリコン 4 0 0 4、及び高屈折率材料 4 0 0 5 の露出部分上に堆積される。

20

【 0 2 3 7 】

本発明の実施形態は、C I C E を有する多層シリコン導波路を作製することもできる。

【 0 2 3 8 】

シリコン超格子エッチング（S i S E）を用いることにより、単結晶シリコンコアを持つ同じ基板上にシリコン導波路の多重積層を作ることができる。一実施形態では、基材は、様々等ブタイプ及び / 又は濃度のシリコンの交互層、シリコンの交互層、シリコン - ゲルマニウム合金（ $S i_x G e_{1-x}$ ）及び / 又はゲルマニウム等からなる材料積層体を含む。一実施形態では、交互層の各層の厚さは、1 nm ~ 5 0 0 nm である。

【 0 2 3 9 】

S i S E は、米国特許出願公開第 2 0 1 8 / 0 6 0 1 7 6 号、Sreenivasan ら、「Catalyst Influenced Pattern Transfer Technology」（これは、その全体が参照により本明細書に組み込まれる）に記載されるように、エッチングの電気化学的性質を利用することによって、触媒がシリコンをエッチングする際の多孔度を調整するために使用され得る。多孔質及び非多孔質シリコンの交互層は、M A C E 中にシリコンのドーピング濃度、電界電流密度、又は酸化剤の濃度を変化させる等、異なるエッチングパラメータを利用することによって実証されている。

30

【 0 2 4 0 】

図 4 1 は、本発明の一実施形態による、S i S E を使用してシリコン導波路の複数の層を作成するための方法 4 1 0 0 のフローチャートである。図 4 2 A ~ 4 2 C は、本発明の一実施形態による、図 4 1 に記載される工程を使用して、S i S E を使用して、シリコン導波路の複数の層を生成するための断面図を示す。

40

【 0 2 4 1 】

図 4 1 を参照すると、図 4 2 A ~ 4 2 C と関連して、ステップ 4 1 0 1 では、それぞれ、非多孔質及び多孔質シリコン 4 2 0 1、4 2 0 2 の交互層が、図 4 2 A に示されるように、Sreenivasan らにおいて議論されるように、S i S E を使用して、シリコン基板 4 2 0 3 上に形成される。

【 0 2 4 2 】

ステップ 4 1 0 2 では、図 4 2 B に示すように、シリコン 4 2 0 2 が酸化される（要素 4 2 0 4 参照）。任意選択で、二酸化ケイ素が、原子層堆積等によって堆積される。

50

## 【0243】

ステップ4103では、酸化物クラッド材料4605は、図42Cに示されるように、図42Bの構造上に蒸着される。

## 【0244】

本発明の一実施形態では、導波路のマルチスタックを作製する方法は、交互半導体膜の2つ以上の層を含む物質スタックを作製することを含み、交互半導体膜の2つ以上の層のそれぞれは、物質、ドーピング濃度、及びドーパント物質の特性のうち少なくとも1つにおいて互いに異なる。本方法は、特性が異なる層が、次のうちの少なくとも1つで異なるエッチングされたナノ構造を生成するように、触媒影響化学エッチングによって材料積層体をエッチングするステップをさらに含む：空隙率、エッチング速度、及び熱処理速度。この方法は、さらに、交互の半導体膜の2つ以上の層のうちの一つを選択的に処理して、化学組成を変化させるか、又はそれを除去することを含む。さらに、交互の半導体膜の処理された層は、コアが、単結晶シリコン、ゲルマニウムドーブシリカコア、水素化非晶質シリコン、再結晶化ポリシリコン、窒化シリコン、炭化シリコン、ゲルマニウム、窒化ガリウム、リン化ガリウム、及びIII-V族半導体のうちの一つを含む導波路のためのコアとして作用する。さらに、交互の半導体膜の処理された層は、導波路のクラッドとして作用し、ここで、クラッドは、二酸化ケイ素、酸窒化ケイ素、空気、多孔質シリコン、多孔質シリコン酸化物、及び金属酸化物のうちの一つを含む。

10

## 【0245】

本発明の別の実施形態では、導波路の多層積層を作製するための方法は、半導体材料を提供することを含み、半導体材料は、単結晶バルクシリコンウエハ、基板上に堆積された100nmを超える厚さのポリシリコンの層、基板上に堆積された100nmを超える厚さの非晶質シリコンの層、シリコン・オン・インシュレータウエハ、及び基板、シリコン、ゲルマニウム、及びシリコン-ゲルマニウム合金( $\text{Si}_x\text{Ge}_{1-x}$ )上の100nmを超える厚さのエピタキシャルシリコンの層のうちの一つを含む。この方法は、半導体材料の表面上に触媒層をパターンニングすることをさらに含む。一実施形態では、触媒はルテニウムを含む。該方法は、さらに、パターン化触媒層をエッチング液に曝すことを含む触媒影響化学エッチングを実施することを含み、パターン化触媒層及びエッチング液は、半導体物質のエッチングを引き起こしてナノ構造を形成する。さらに、本方法は、時間変動電場に半導体材料を曝して、エッチングされたナノ構造の交互の層を生成するステップを含み、ここに、交互の層のうちの一つは多孔質である。さらに、この方法は、交互層の一つを選択的に処理して、その化学組成を変化させるか、又は除去することを含む。さらに、交互の半導体膜の処理された層は、コアが、単結晶シリコン、ゲルマニウムドーブシリカコア、水素化非晶質シリコン、再結晶化ポリシリコン、窒化シリコン、炭化シリコン、ゲルマニウム、窒化ガリウム、リン化ガリウム、及びIII-V族半導体のうちの一つを含む導波路のためのコアとして作用する。さらに、交互の半導体膜の処理された層は、導波路のクラッドとして作用し、ここで、クラッドは、二酸化ケイ素、酸窒化ケイ素、空気、多孔質シリコン、多孔質シリコン酸化物、及び金属酸化物のうちの一つを含む。

20

30

## 【0246】

本発明のさらなる実施形態では、フォトニック導波路は、89.5度より大きい壁角を有するコアを含み、コアは、より低い屈折率を有するクラッド材料によって囲まれ、コアは、触媒影響化学エッチングを使用して生成され、コアは、シリコン又は窒化シリコンを含み、クラッド材料は、酸化シリコン、酸窒化シリコン、又は空気を含む。さらに、コアの側壁は、1nm1シグマ未満の表面粗さを有し、コアフィーチャラインエッジ粗さは、2nm1シグマ未満である。

40

## 【0247】

本発明の別の実施形態では、単一の光子検出器を有する量子コンピューティングデバイスは、横方向の寸法が100nm未満の最小の超電導材料を含み、ここで、超電導材料は、選択的原子層堆積を用いて堆積される。一実施形態では、超電導材料は、以下のうちの1

50

つを含む：窒化ニオブ（NbN）、窒化ニオブチタン（NbTiN）、ケイ化タングステン、ケイ化ニオブ、及びケイ化モリブデン。

【0248】

前述したように、シリコンフォトリソグラフィは、電子、フォトニック並びに量子コンピュータにおいて、より高性能なコンピューティングを可能にすることができる。電子コンピュータは、光相互接続を使用して、より低いエネルギーでより高い帯域幅を達成することができる。フォトニック集積回路（PIC）、単一光子源及び検出器と一体化した場合、光子ベース量子コンピューティングは、成熟したCMOS技術を用いてスケールアップの可能性を有する大規模量子回路を可能にすることができる。しかし、PICの主要元素である光導波路は、製造プロセスの不完全性によって生じる伝送損失と光子識別不能性の損失を被る。加えて、フォトニック回路の他の素子との集積は歩留まりに影響し、産業における展開に対する障壁である。本発明の様々な実施形態は、PICの損失を低減し、歩留まり及び性能を改善するための新規な製造プロセス及びプロセス統合技術を提供する。

10

【0249】

フォトニック集積回路（PIC）の鍵となる元素である光導波路は、製造プロセスの不完全性によって生じる伝送損失と光子識別不能性の損失を被る。本発明の原理は、ラインエッジ粗さを最小化するためにナノインプリントリソグラフィを使用し、側壁角度及び側壁損傷を最小化するために触媒影響化学エッチング（CICE）を使用し、PICを使用する量子コンピュータにおける超伝導材料の選択的原子層堆積を使用する。

20

【0250】

本発明の様々な実施形態の説明は、例示の目的で提示されているが、網羅的であることも、開示された実施形態に限定されることも意図されていない。記載された実施形態の範囲及び精神から逸脱することなく、多くの修正及び変形が当業者には明らかであろう。本明細書で使用される用語は、実施形態の原理、市場で見出される技術に対する実際の適用又は技術的改善を最もよく説明するために、又は当業者が本明細書で開示される実施形態を理解することを可能にするために選択された。

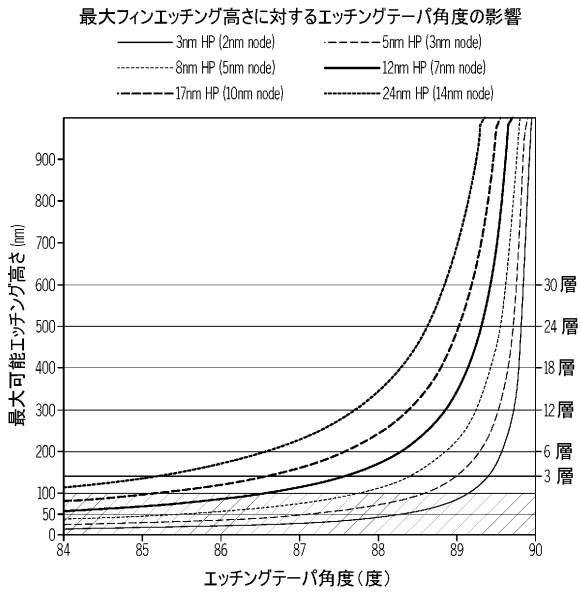
30

40

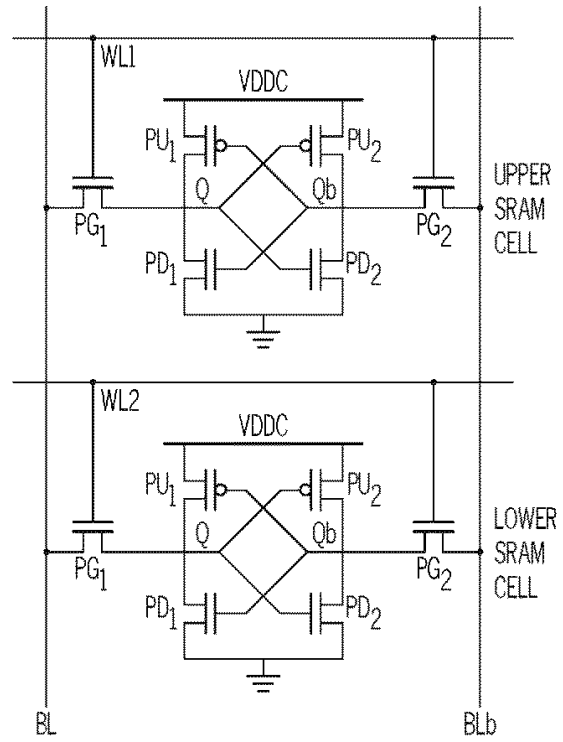
50

【 図 面 】

【 図 1 】



【 図 2 A 】

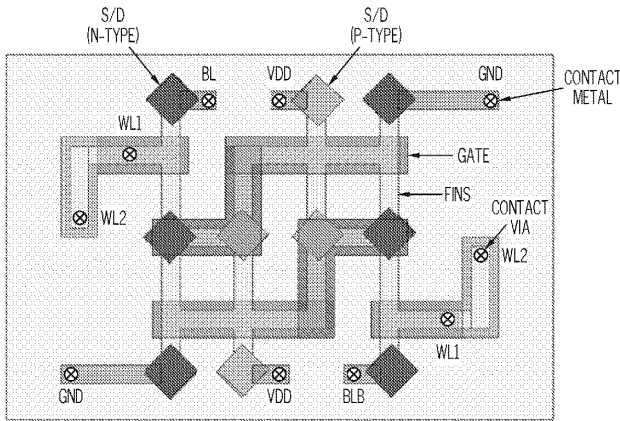


2A

10

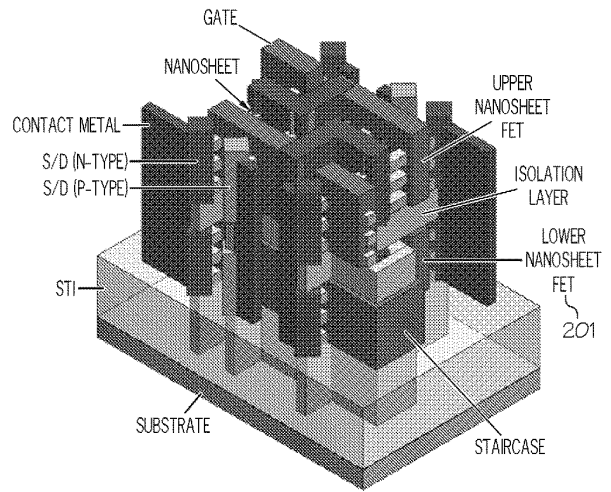
20

【 図 2 B 】



2B

【 図 2 C 】

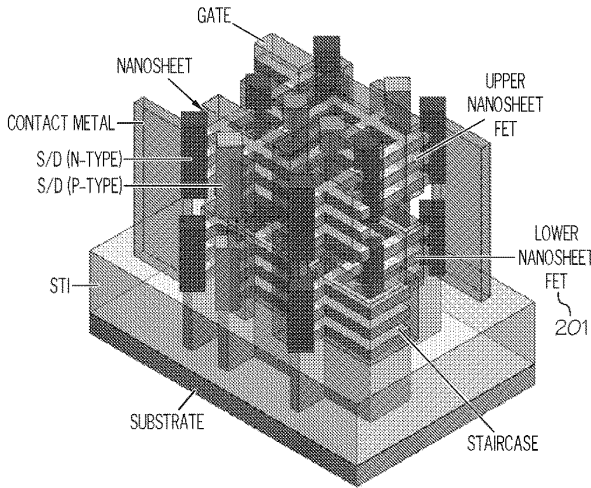


2C

30

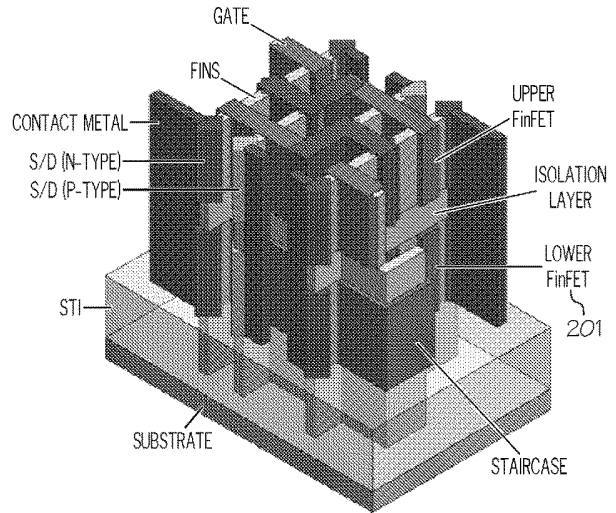
40

【 2 D 】



2D

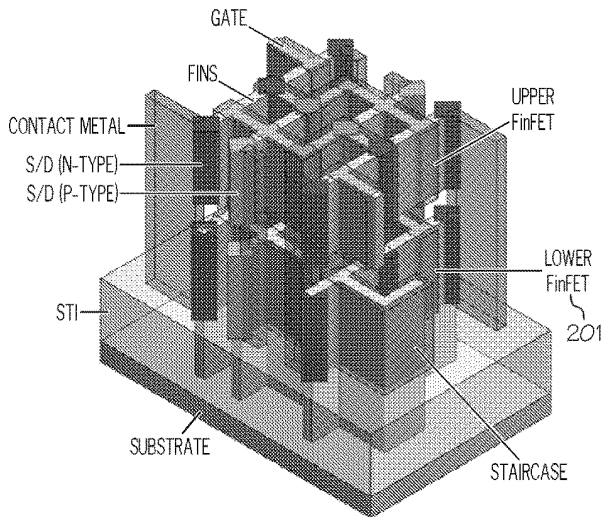
【 2 E 】



2E

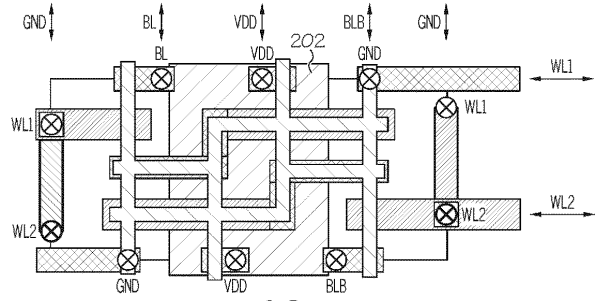
10

【 2 F 】



2F

【 2 G 】



2G

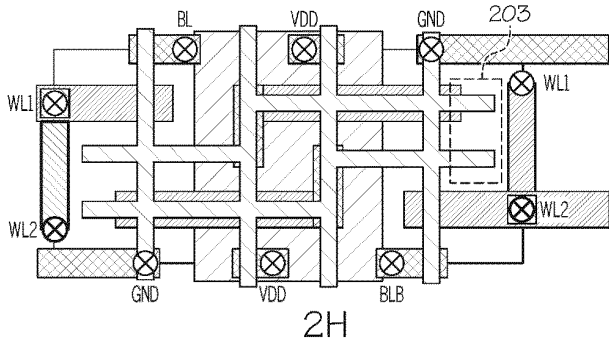
20

30

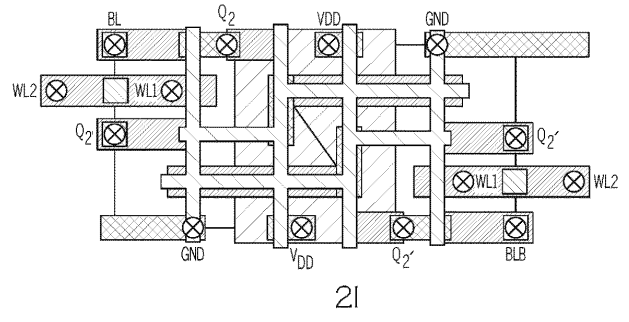
40

50

【 2 H 】

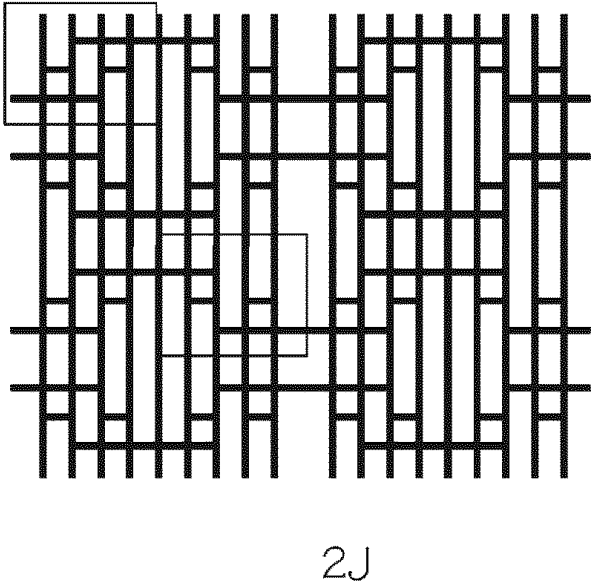


【 2 I 】

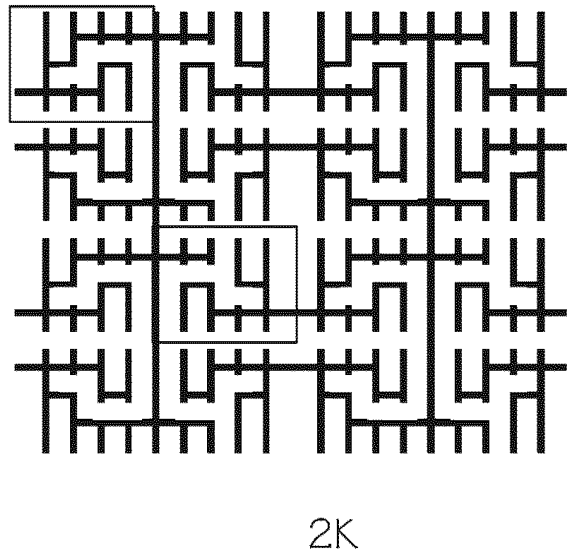


10

【 2 J 】



【 2 K 】



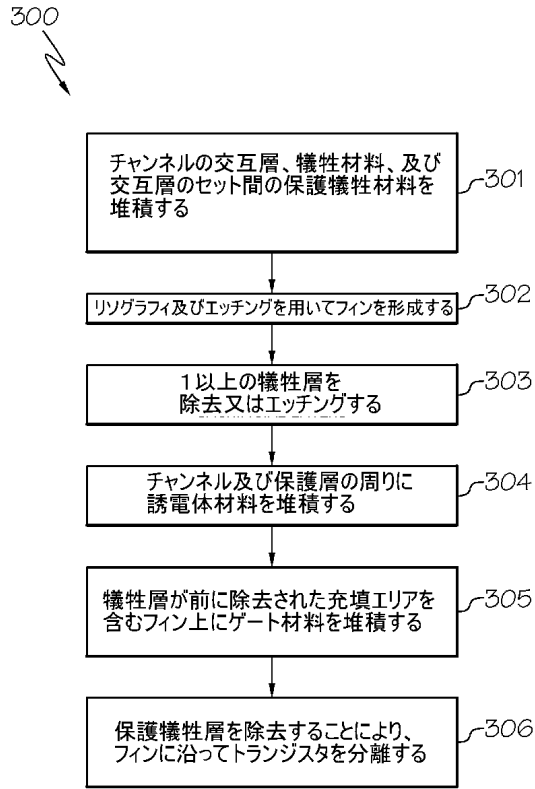
20

30

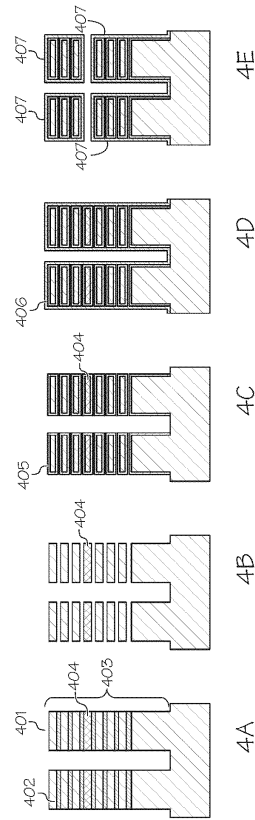
40

50

【 図 3 】



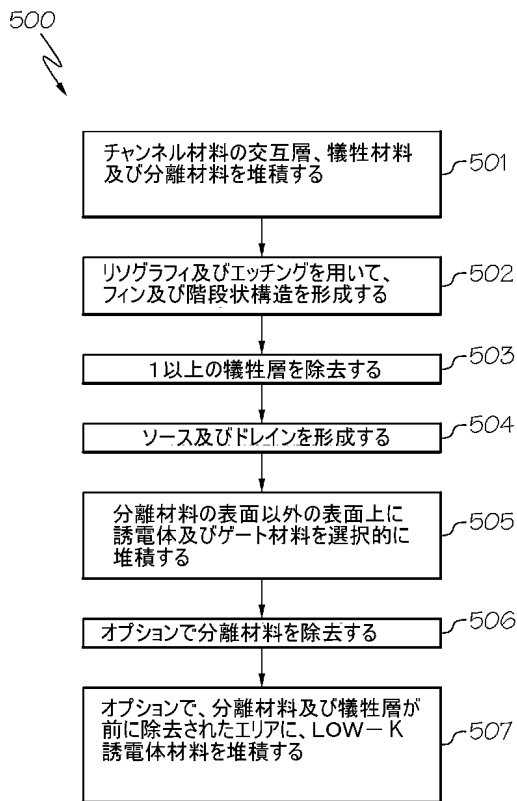
【 図 4 】



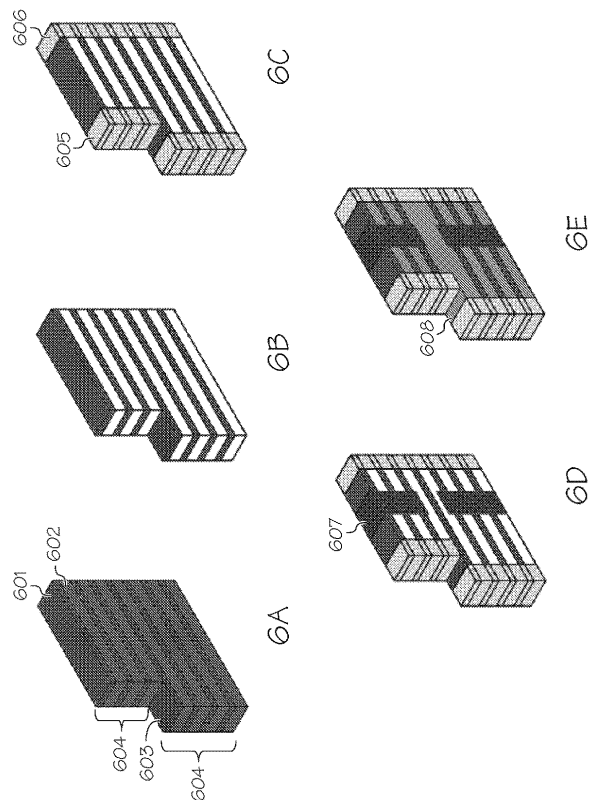
10

20

【 図 5 】



【 図 6 】



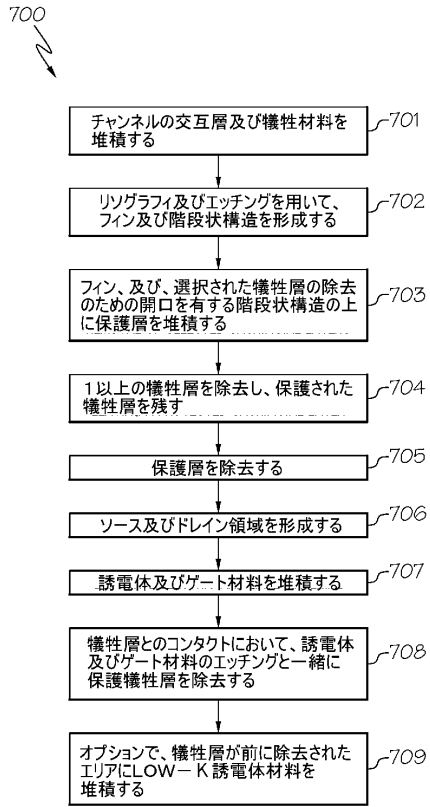
30

40

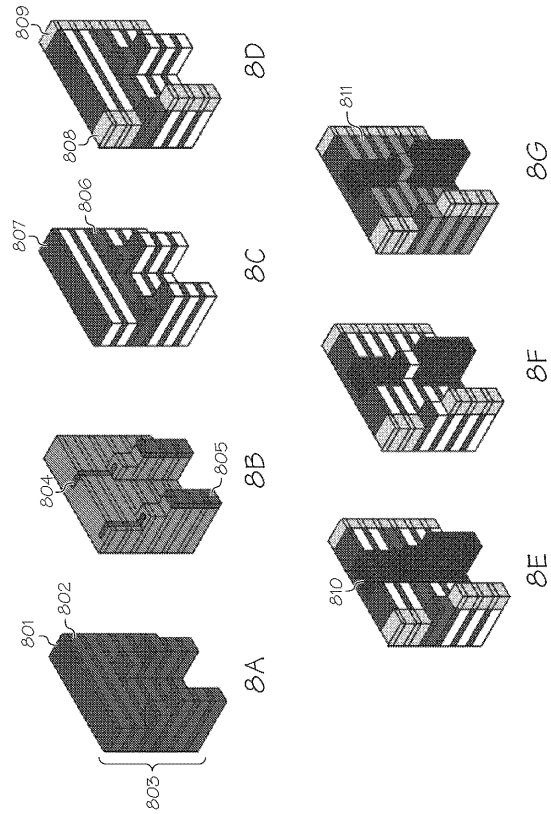
50



【 図 7 】



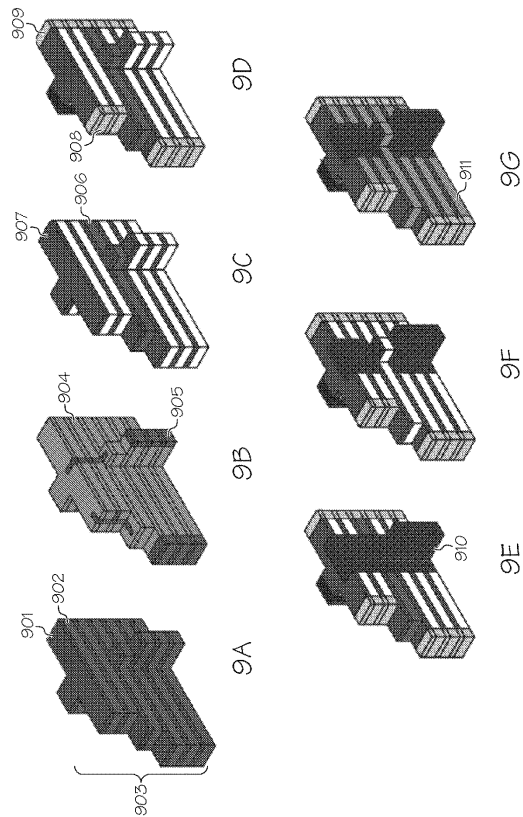
【 図 8 】



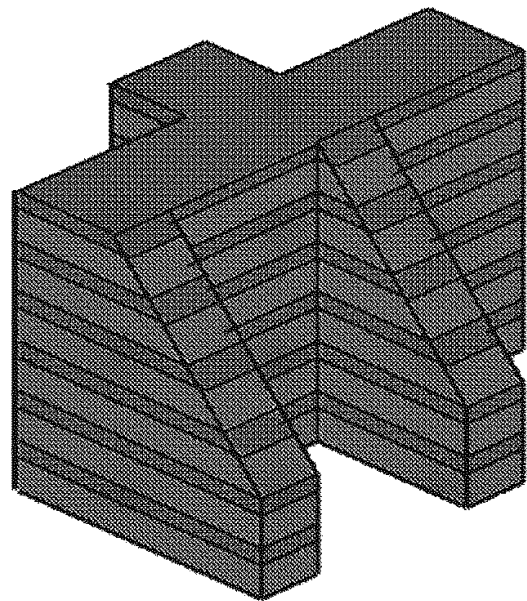
10

20

【 図 9 】



【 図 10 A 】

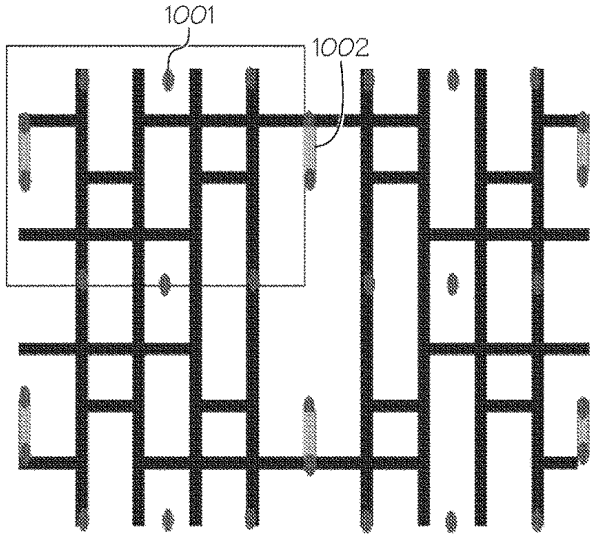


30

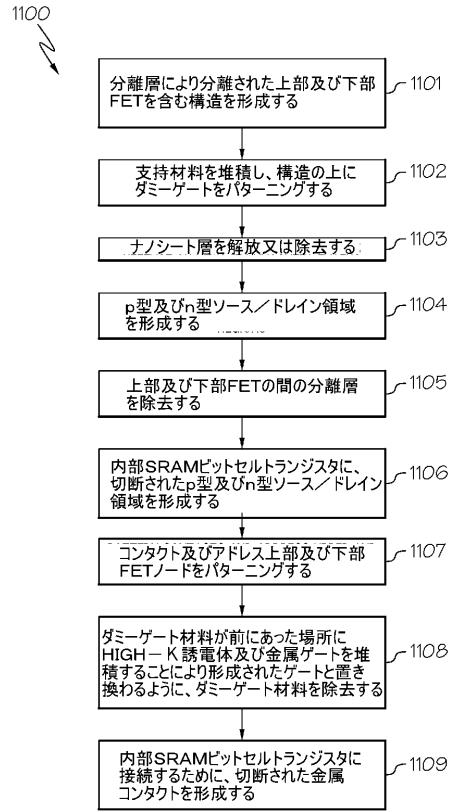
40

50

【図10B】



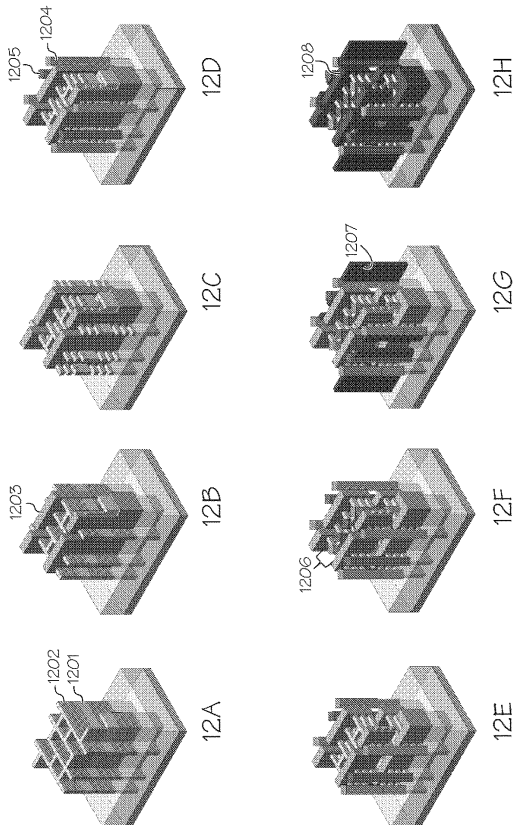
【図11】



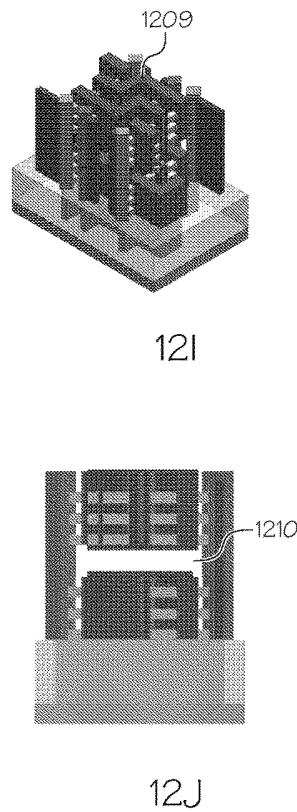
10

20

【図12A-H】



【図12I-J】

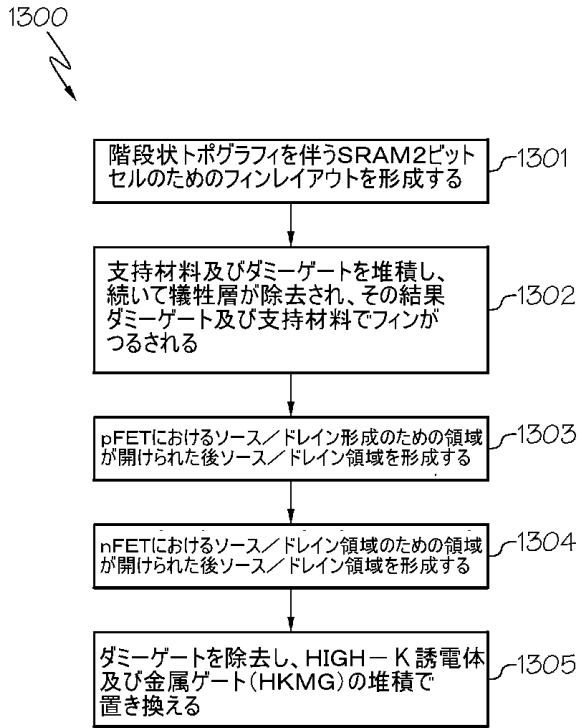


30

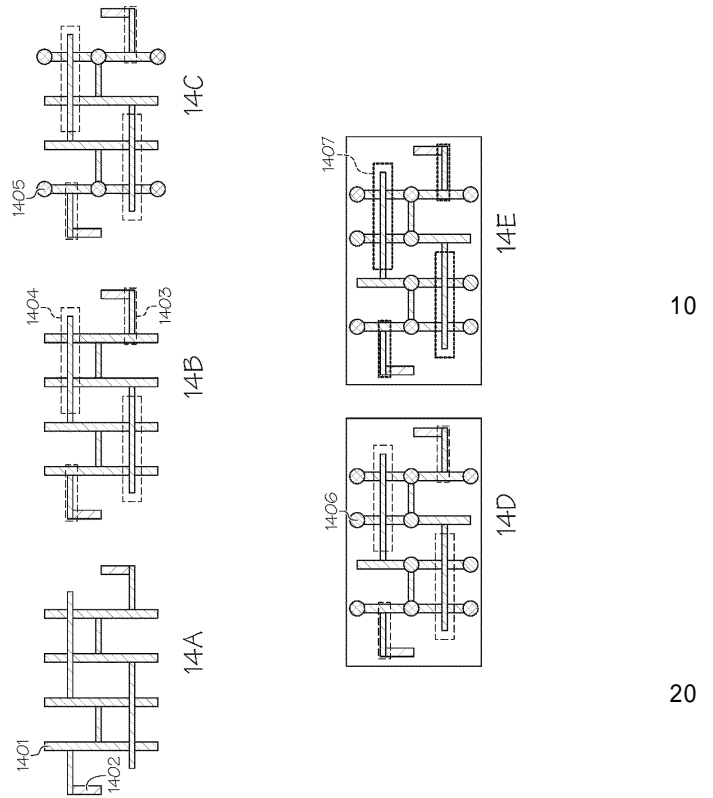
40

50

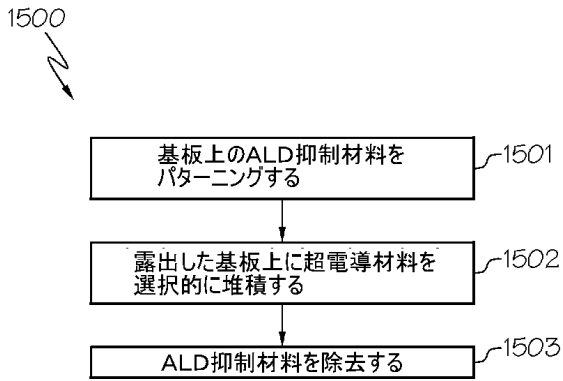
【 図 1 3 】



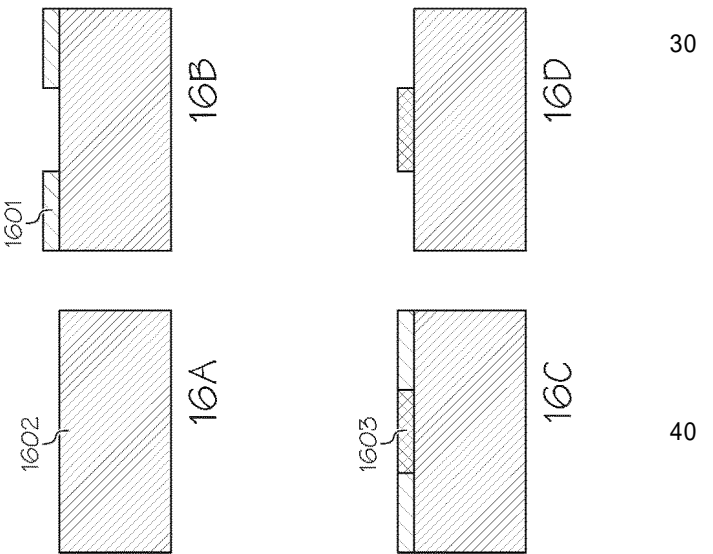
【 図 1 4 】



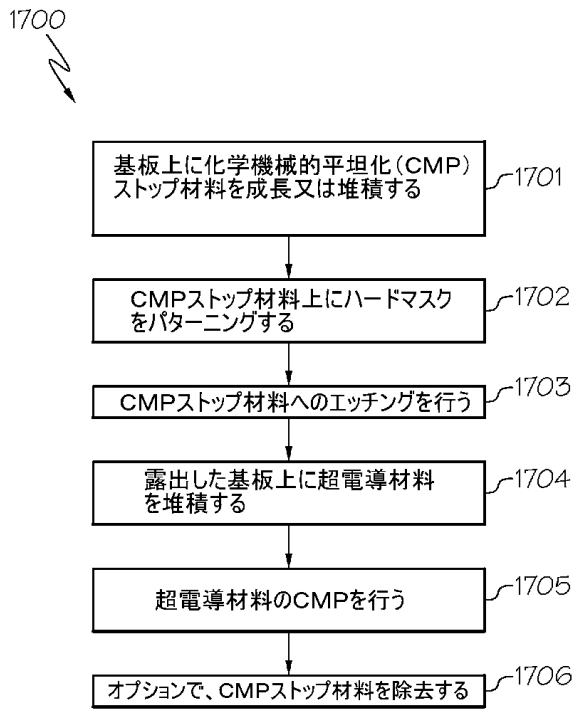
【 図 1 5 】



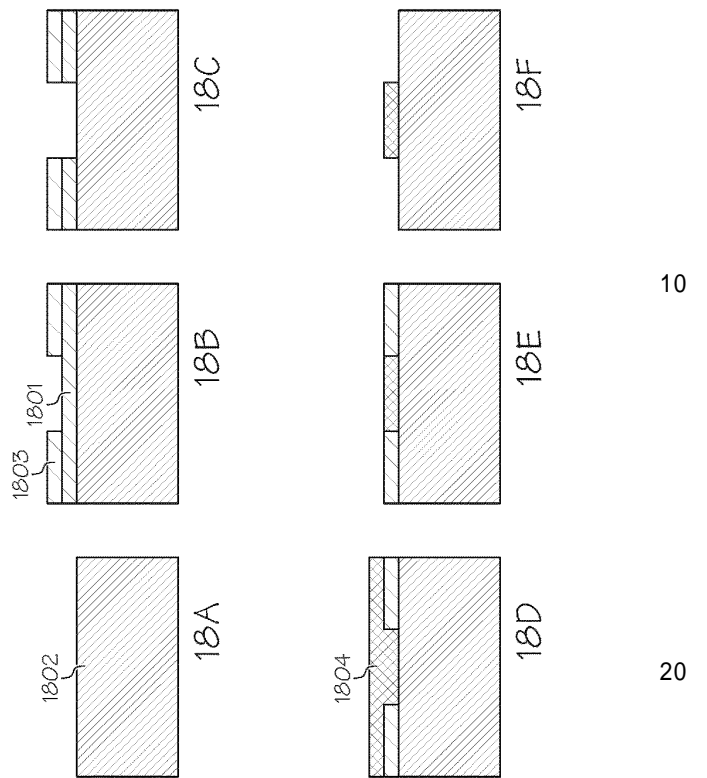
【 図 1 6 】



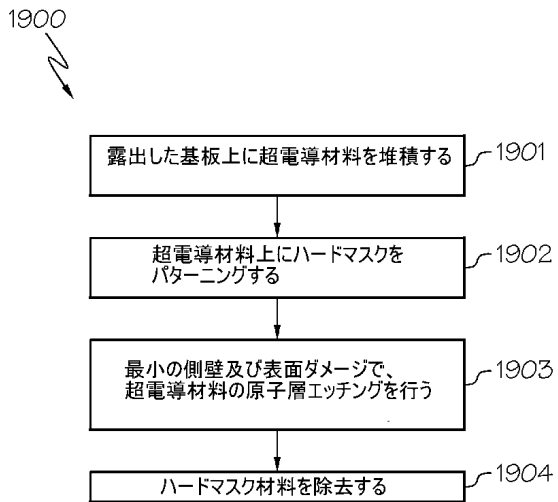
【 図 1 7 】



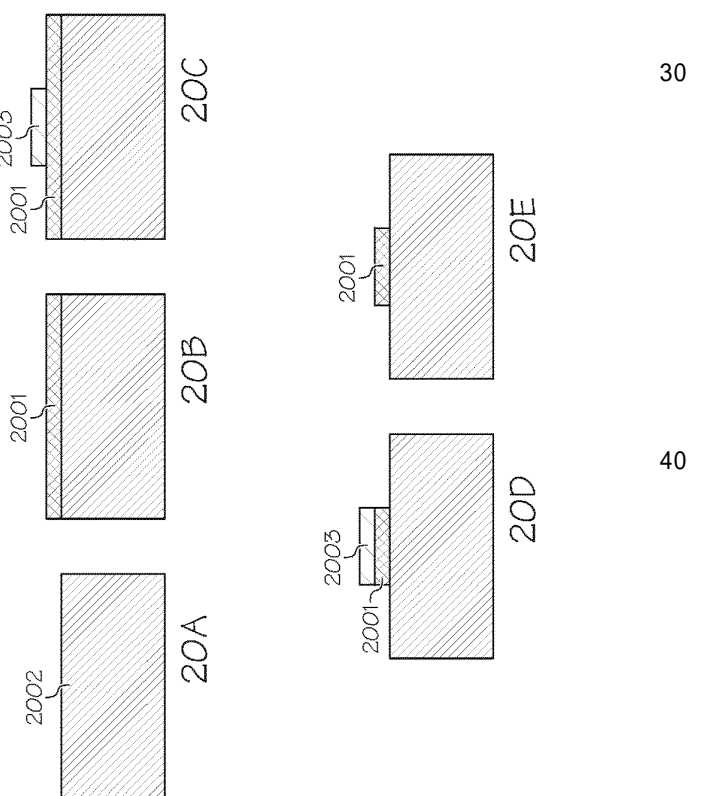
【 図 1 8 】



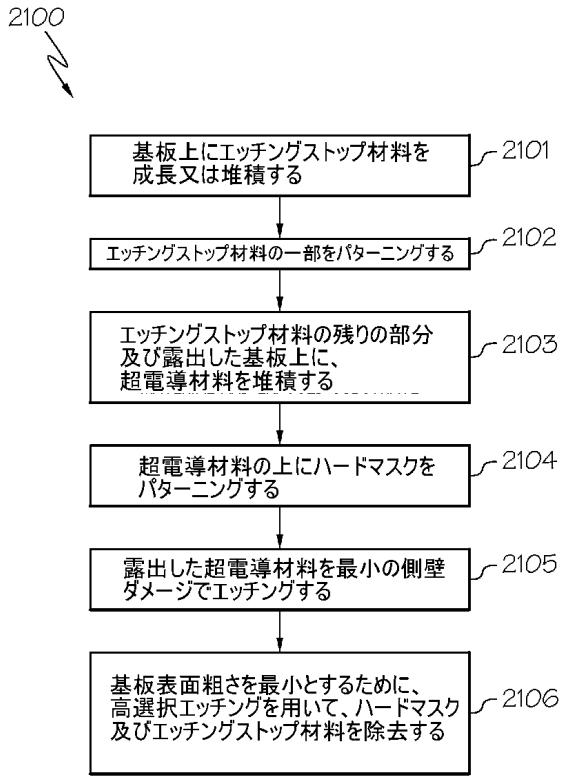
【 図 1 9 】



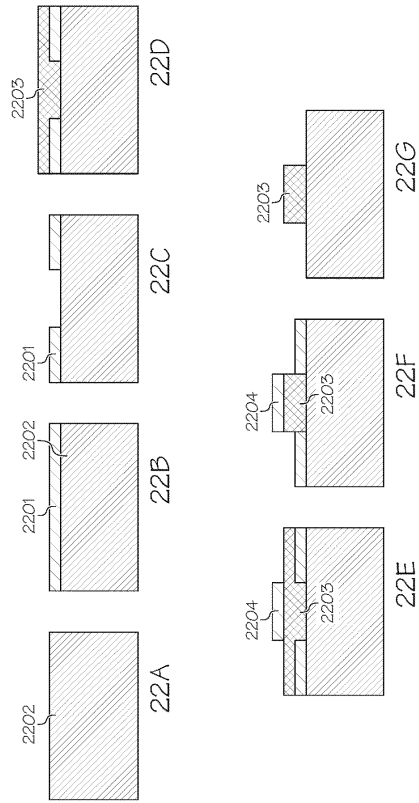
【 図 2 0 】



【図 2 1】



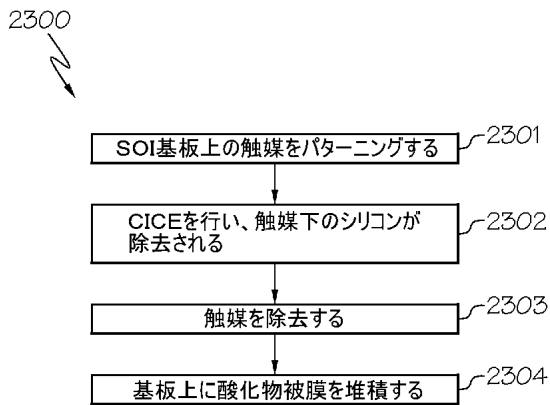
【図 2 2】



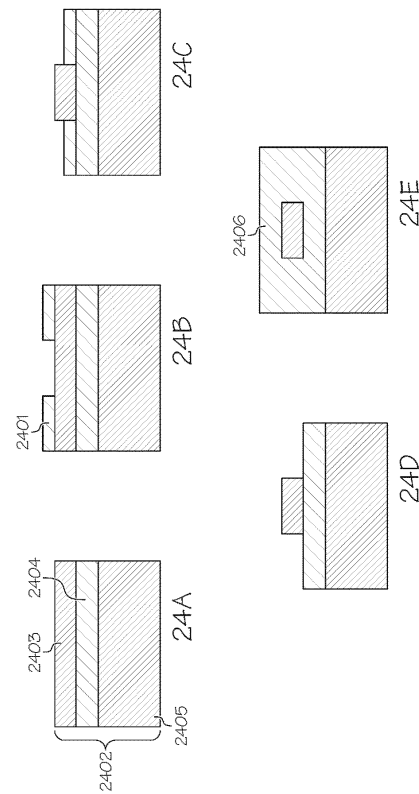
10

20

【図 2 3】



【図 2 4】



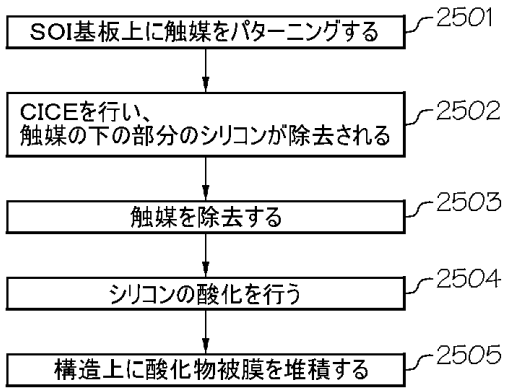
30

40

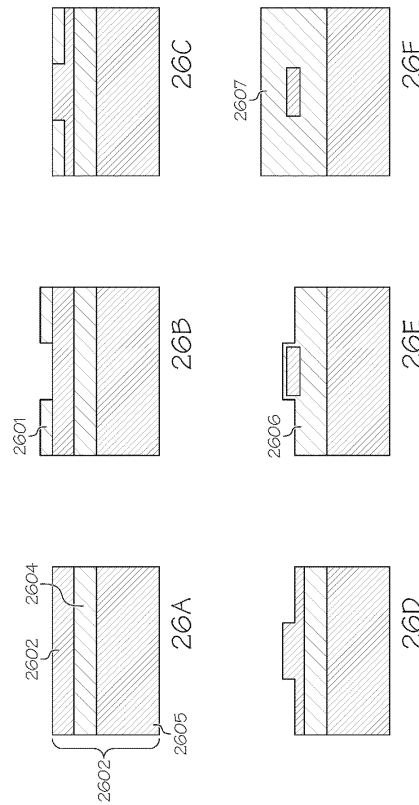
50

【 図 2 5 】

2500



【 図 2 6 】

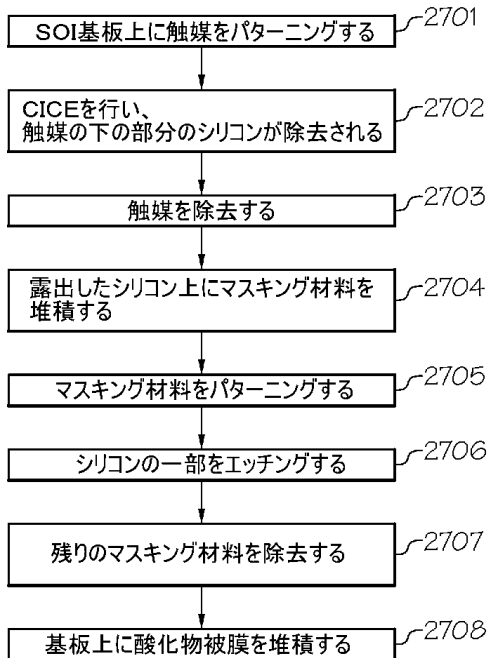


10

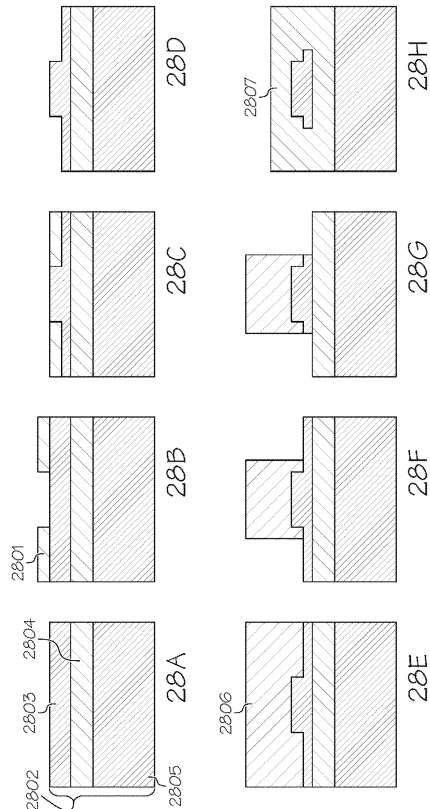
20

【 図 2 7 】

2700



【 図 2 8 】

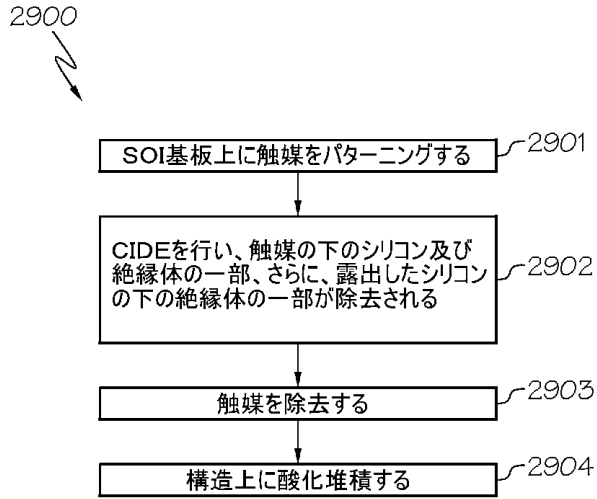


30

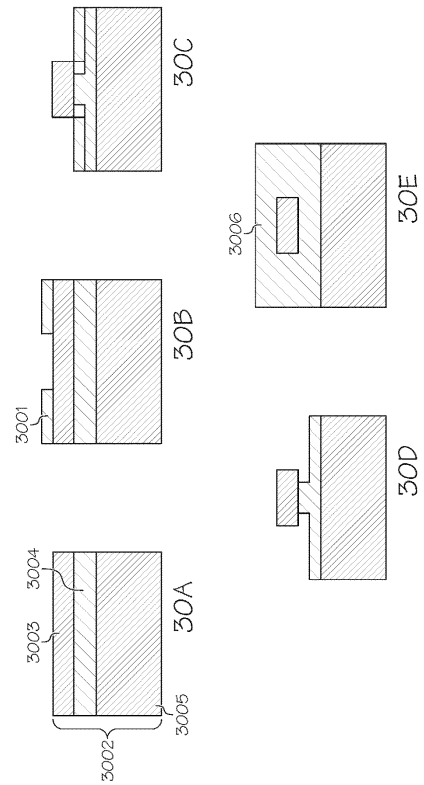
40

50

【図 29】



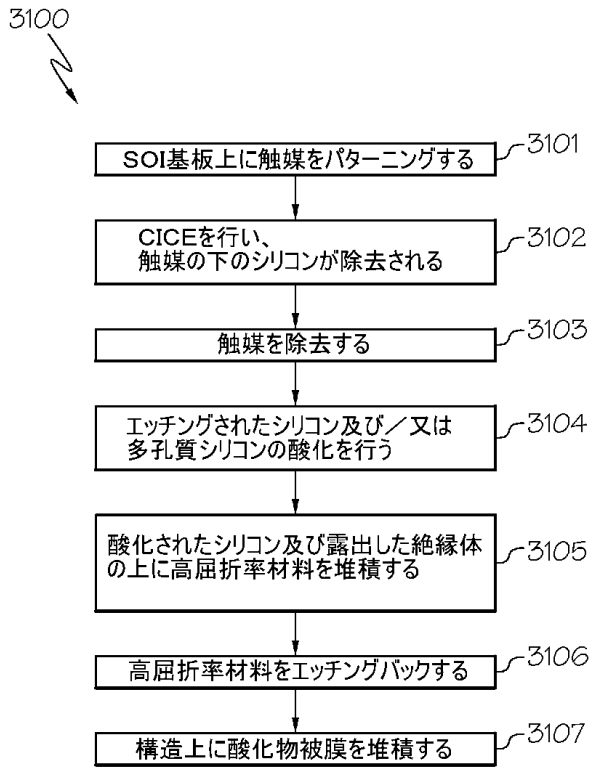
【図 30】



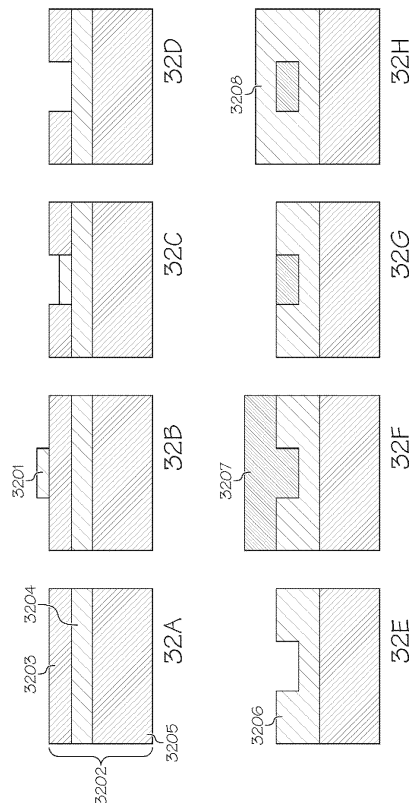
10

20

【図 31】



【図 32】

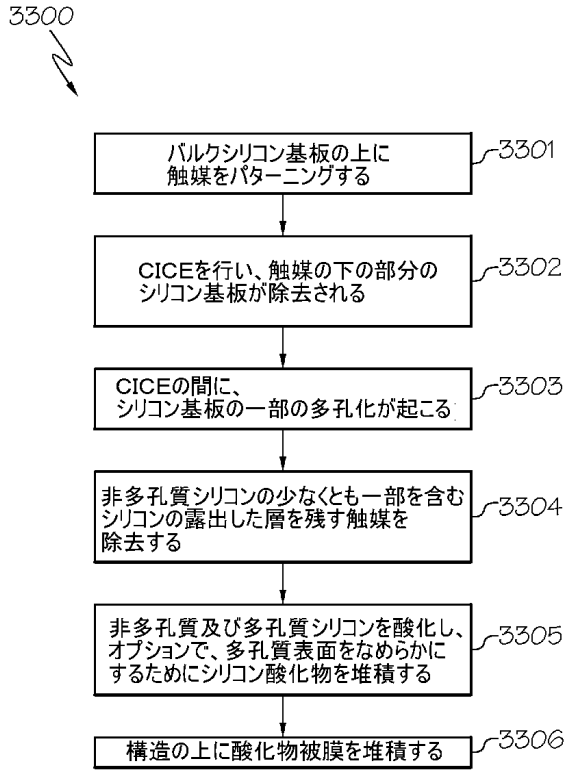


30

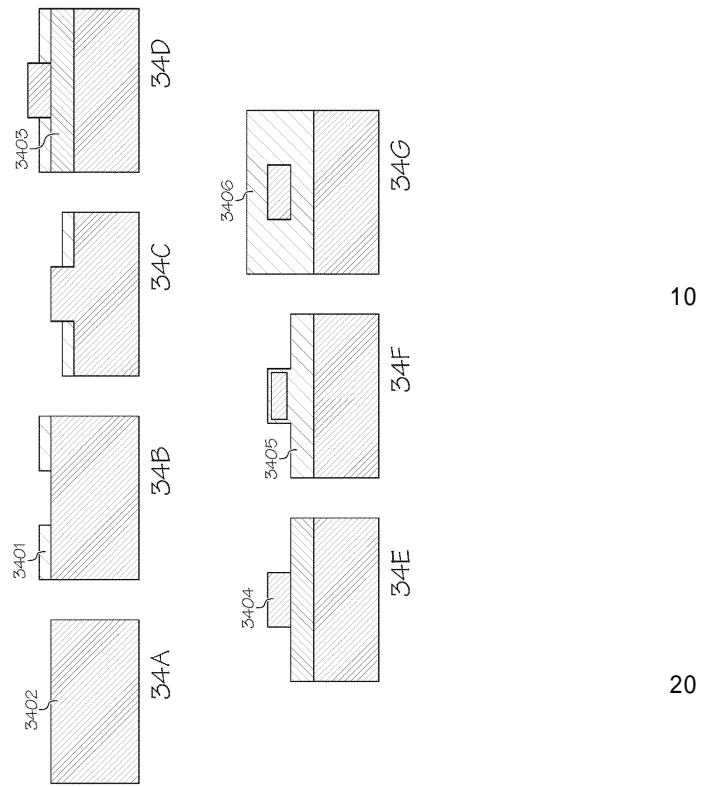
40

50

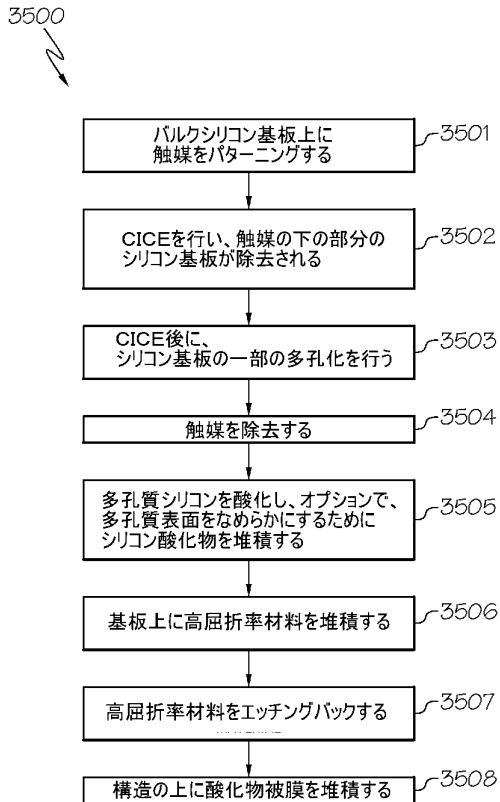
【図 3 3】



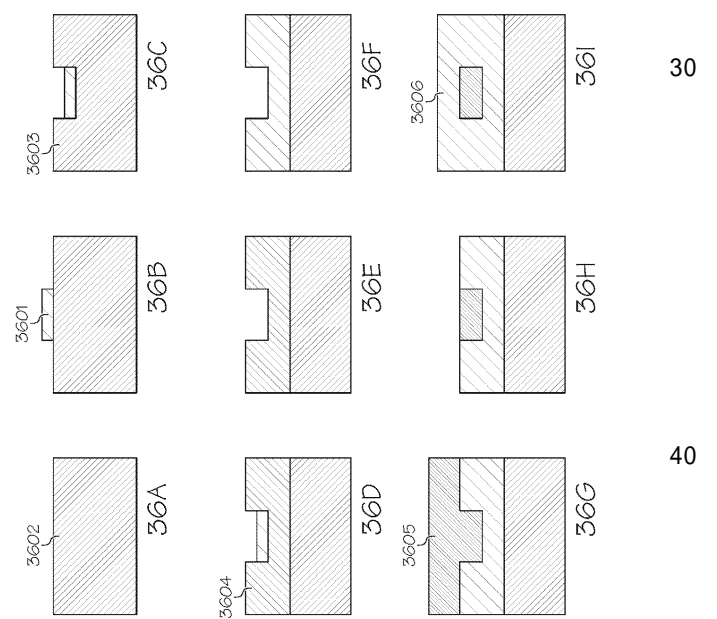
【図 3 4】



【図 3 5】



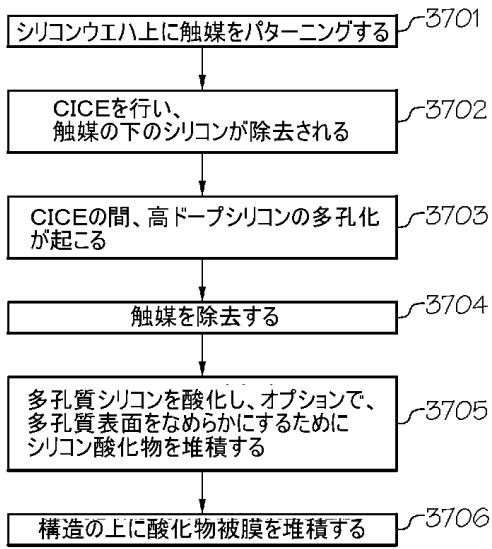
【図 3 6】



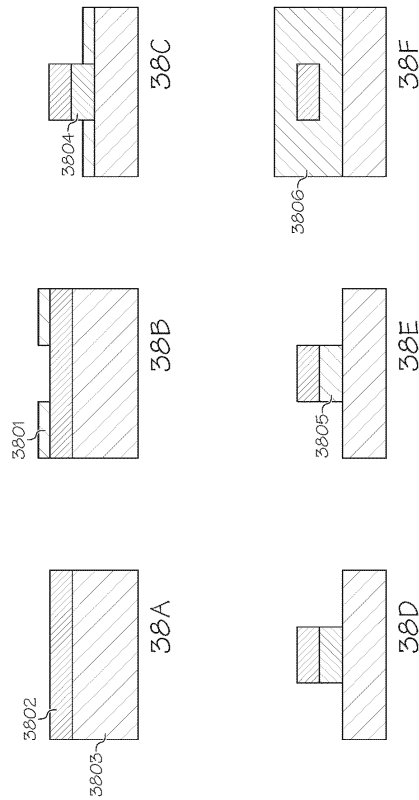


【 図 3 7 】

3700 ↘



【 図 3 8 】

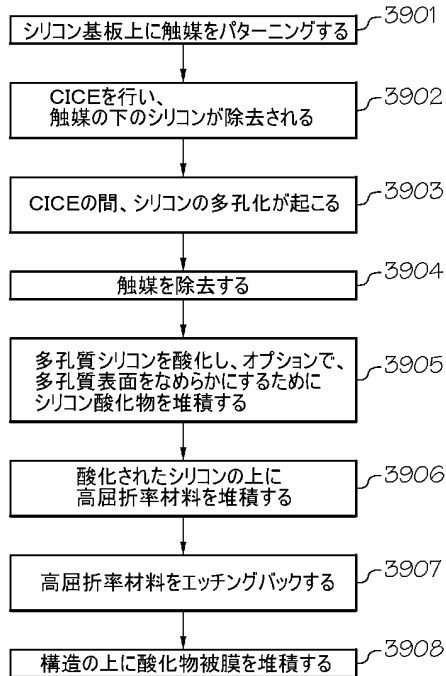


10

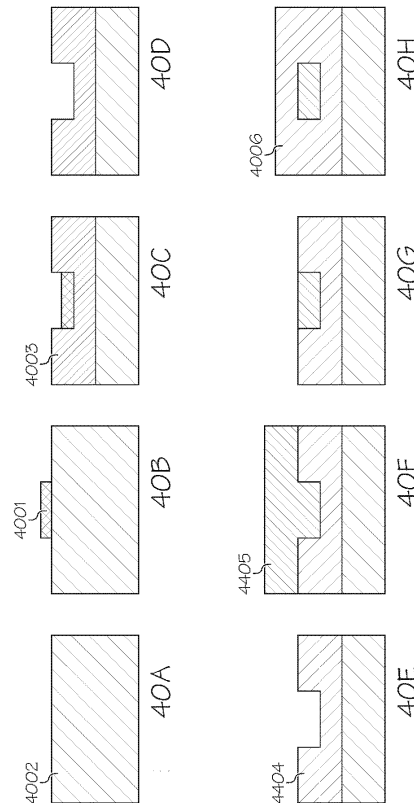
20

【 図 3 9 】

3900 ↘



【 図 4 0 】

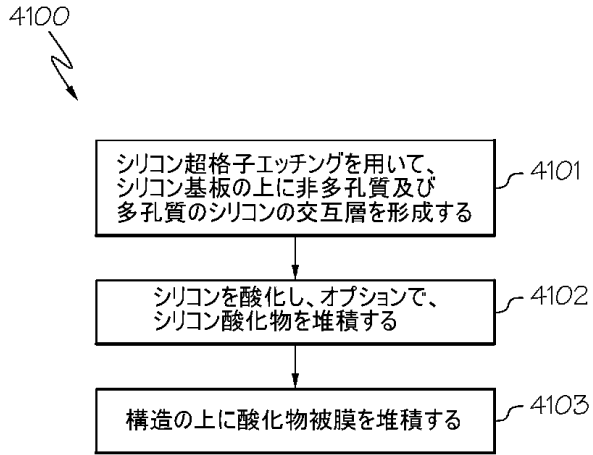


30

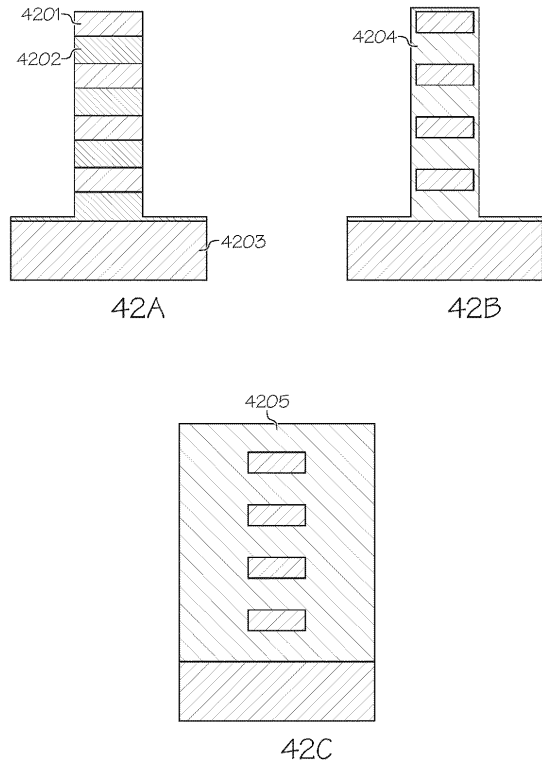
40

50

【 図 4 1 】



【 図 4 2 】



10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US20/32527

A. CLASSIFICATION OF SUBJECT MATTER

IPC - H01L 29/02, 27/11, 27/105, 23/528, 21/308, 29/792; B82Y 40/00 (2020.01)

CPC - H01L 29/7827, 29/42392, 29/7856, 29/785, 29/1054, 29/02, 27/11, 27/10826, 27/105, 27/0207, 23/528, 21/3081, 21/308, 29/792; B82Y 40/00

According to International Patent Classification (IPC) or to both national classification and IPC

10

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
See Search History document

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
See Search History document

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
See Search History document

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2017/0117291 A1 (MONOLITHIC 3D INC.) 27 April 2017 (27.04.2017); abstract; figures 3A-3N; paragraphs [0133-0134, 0162-0165, 0302, 0333].	1-7
Y	US 2013/0052762 A1 (LI, X et al.) 28 February 2013 (28.02.2013); figures 1A-1I; paragraphs [0023-0025].	1-7
A	US 2014/0353574 A1 (THE BOARD OF TRUSTEES OF THE UNIVERSITY OF ILLINOIS) 04 Decembe 2014 (04.12.2014); entire document.	1-7
Y,P	WO 2019/108366 A1 to (BOARD OF REGENTS, THE UNIVERSITY OF TEXAS SYSTEM) 06 June 2019 (06.06.2019); entire document.	1-7

20

30

Further documents are listed in the continuation of Box C.  See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"D" document cited by the applicant in the international application

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
18 September 2020 (18.09.2020)

Date of mailing of the international search report  
**28 OCT 2020**

40

Name and mailing address of the ISA/US  
Mail Stop PCT, Attn: ISA/US, Commissioner for Patents  
P.O. Box 1450, Alexandria, Virginia 22313-1450  
Facsimile No. 571-273-8300

Authorized officer  
Shane Thomas  
Telephone No. PCT Helpdesk: 571-272-4300

50

INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US20/32527

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely: 10
  
- 2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
- 3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Group I: Claims 1-7; Group II: Claims 8-14; Group III: Claims 15-20

\*\*\*-See Extra Sheet -\*\*\*

- 1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
  
- 2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
  
- 3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
- 4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:  
1-7

- Remark on Protest
- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
  - The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
  - No protest accompanied the payment of additional search fees.

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US20/32527

---Continued from Box No. III Observations where Unity of Invention is lacking---

This application contains the following inventions or groups of inventions which are not so linked as to form a single general inventive concept under PCT Rule 13.1. In order for all inventions to be examined, the appropriate additional examination fee must be paid.

Group I: Claims 1-7 are directed towards a method for making multilayer nanostructures.  
Group II: Claims 8-14 are directed towards a three-dimensional 3D SRAM device comprising: one or more nanosheet FETs along a vertical direction of a fin.  
Group III: Claims 15-20 are directed towards a three-dimensional 3D SRAM device comprising: one or more fin field-effect transistors FinFETs along a vertical direction of a fin.

10

The inventions listed as Groups I-III do not relate to a single general inventive concept under PCT Rule 13.1 because, under PCT Rule 13.2, they lack the same or corresponding special technical features for the following reasons:

The special technical features of Group I include at least: providing a semiconducting material comprising two or more layers; patterning a catalyst layer on a surface of said semiconducting material; exposing said patterned catalyst layer to an etchant, wherein said patterned catalyst layer and said etchant cause etching of said semiconducting material to form vertical nanostructures, wherein said vertical nanostructures comprise two or more layers different in at least one of the following: material, morphology, porosity, etch rates, thermal processing rates, doping concentration and dopant material; forming staircase-like structures in a portion of said vertical nanostructures; filling a second material around at least a portion of said vertical nanostructures; and selectively processing one or more of said two or more layers to either change its chemical composition or remove it, which are not present in Groups II-III.

The special technical features of Group II include at least: one or more nanosheet FETs along a vertical direction of a fin, wherein a wall angle of said fin is greater than 89.5 degrees, wherein said one or more nanosheet FETs are created using two or more layers of material different in at least one of the following: material, morphology, porosity, etch rates, thermal processing rates, doping concentration and dopant material; and said one or more nanosheet FETs are separated by a material with a different composition than that of said fin or are separated by air, which are not present in Groups I and III.

20

The special technical features of Group III include at least: one or more fin field-effect transistors FinFETs along a vertical direction of a fin, wherein a wall angle of said fin is greater than 89.5 degrees, wherein said one or more FinFETs are created using two or more layers of a material different in at least one of the following: material, morphology, porosity, etch rates, thermal processing rates, doping concentration and dopant material; and said one or more FinFETs are separated by a material with a different composition than that of said fin or are separated by air, which are not present in Groups I-II.

The common technical features shared by Groups I-III are: a generic FET structure created using two or more layers different in at least one of the following: material, morphology, porosity, etch rates, thermal processing rates, doping concentration and dopant material.

The common technical features shared by Groups II & III are: wherein a wall angle of said fin is greater than 89.5 degrees; a generic FET created using two or more layers of material different in at least one of the following: material, morphology, porosity, etch rates, thermal processing rates, doping concentration and dopant material; and said one or more generic FETs are separated by a material with a different composition than that of said fin or are separated by air.

However, these common features are previously disclosed by US 2016/0013296 A1 to GlobalFoundries Incorporated (hereinafter "GlobalFoundries"). GlobalFoundries discloses: a wall angle of said fin is greater than 89.5 degrees (a sidewall H angle of fin C is perpendicular to the surface of a substrate 10 (greater than 89.5 degrees), Fig. 1A, 1B, 1C, 1D, para. [0033]-[0036]); a generic FET structure (a FinFET semiconductor device 100, comprising a P-type FET 100P & an N-type FET 100N, Fig. 1A, 1B, 1C, 1D, para. [0030]-[0032]) created using two or more layers of material different in at least one of the following (created using two or more layers of fin material 104, replacement fin material 114, silicon/germanium 140, insulating material 106, and gate insulation material 200A, different in at least one of the following, Fig. 1A, 1B, 1C, 1D, para. [0039], [0040], [0054]): material (silicon/germanium, replacement material 114, replacement material 140, Fig. 6A-6H, para. [0029], [0039], [0043], [0045], [053], [0054]), morphology (crystalline orientation (morphology), para. [0029], [0039], [0040]) and dopant material (n-type or p-type dopant material, para. [0029], [0039], [0045]); and said one or more generic FETs are separated by a material with a different composition than that of said fin (said one or more FinFET semiconductor devices 100 are separated by a material with an insulating material 106 different than that of said fin C material 104, & replacement materials 114, 140, Fig. 2A, 2B, 2C, para. [0039], [0043], [0044]).

30

Since the common technical features are previously disclosed by the GlobalFoundries reference, these common features are not special and so Groups I-III lack unity.

40

## フロントページの続き

,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,D  
K,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),O  
A(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,B  
B,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD  
,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,  
MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,  
RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

弁理士 三輪 浩誉

- (72)発明者 スリーニヴァッサン, シトルガタ ヴィ .  
アメリカ合衆国, テキサス州 78701, オースティン, 210 ウェスト セブンス ストリー  
ト, ジ ユニバーシティ オブ テキサス システム内
- (72)発明者 マラバラブ, アクヒラ  
アメリカ合衆国, テキサス州 78701, オースティン, 210 ウェスト セブンス ストリー  
ト, ジ ユニバーシティ オブ テキサス システム内
- (72)発明者 クルカルニ, ジェイディーブ  
アメリカ合衆国, テキサス州 78701, オースティン, 210 ウェスト セブンス ストリー  
ト, ジ ユニバーシティ オブ テキサス システム内
- (72)発明者 ワッツ, マイケル  
アメリカ合衆国, テキサス州 78701, オースティン, 210 ウェスト セブンス ストリー  
ト, ジ ユニバーシティ オブ テキサス システム内
- (72)発明者 バナジー, サンジェイ  
アメリカ合衆国, テキサス州 78701, オースティン, 210 ウェスト セブンス ストリー  
ト, ジ ユニバーシティ オブ テキサス システム内

F ターム (参考) 5F083 BS02 BS14 BS26 GA10 JA02 JA05 JA14 JA35 JA37 JA38  
JA39 JA40 JA43 JA56 LA01 PR03 PR05 PR33