

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4374092号
(P4374092)

(45) 発行日 平成21年12月2日(2009.12.2)

(24) 登録日 平成21年9月11日(2009.9.11)

(51) Int.Cl. F I
 HO 1 L 39/22 (2006.01) HO 1 L 39/22 Z A A A
 HO 3 F 19/00 (2006.01) HO 1 L 39/22 Z A A K
 HO 3 F 19/00 Z A A

請求項の数 4 (全 15 頁)

(21) 出願番号	特願平11-163213	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成11年6月10日(1999.6.10)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2000-353831(P2000-353831A)	(73) 特許権者	391004481 財団法人国際超電導産業技術研究センター
(43) 公開日	平成12年12月19日(2000.12.19)		東京都江東区東雲一丁目10番13号
審査請求日	平成17年1月21日(2005.1.21)	(74) 代理人	100090273 弁理士 園分 孝悦
		(74) 代理人	100072590 弁理士 井桁 貞一
		(72) 発明者	原田 直樹 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 超伝導接合及び超伝導回路

(57) 【特許請求の範囲】

【請求項1】

ジョセフソン接合を構成する一対の超伝導体からなる接合部と、
 前記接合部の前記各超伝導体に各端が接続されたキャパシタ部とを夫々有する複数の複合構造を有し、
 前記複数の複合構造の夫々が直列接続されて超伝導接合を含むループが形成されており

前記キャパシタ部の静電容量に依存する実効的なマッカンバー係数が1より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されていることを特徴とする超伝導接合。

10

【請求項2】

基板上に、層間絶縁膜を挟んで下部超伝導膜及び上部超伝導膜が積層形成されており、
 前記層間絶縁膜の一部に貫通孔が形成され、前記貫通孔内でバリヤ膜を介して前記下部超伝導膜及び前記上部超伝導膜の各一部が前記一対の超伝導体として前記接合部を構成するとともに、

前記層間絶縁膜を挟んだ前記下部超伝導膜及び前記上部超伝導膜により前記キャパシタ部を構成することを特徴とする請求項1に記載の超伝導接合。

【請求項3】

前記ループは、前記直列接続された複数の前記複合構造からなる枝構造を複数有し、前記各枝構造が並列に接続されていることを特徴とする請求項1又は2に記載の超伝導接合

20

。【請求項 4】

バイアス電流が供給される端子と、出力信号が送出される端子と、入力信号が供給される端子とを含むとともに、超伝導接合を含むループが接続されてなる超伝導回路であって

、前記ループは、ジョセフソン接合を構成する一対の超伝導体からなる接合部と、前記接合部の前記各超伝導体に各端が接続されたキャパシタ部とを夫々有する複数の複合構造の夫々が、直列接続されてなり、

前記キャパシタ部の静電容量に依存する実効的なマツカンパー係数が 1 より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されていることを特徴とする超伝導回路。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ジョセフソン接合を用いた超伝導接合及び超伝導回路に関する。

【0002】

【従来の技術】

超伝導回路（超伝導デジタル回路）は、超高速で動作し、消費電力が極めて低いという特徴を持っており、将来の高速情報処理システムの構成要素として期待されている。超伝導デジタル回路のうち、高温超伝導接合を用いた単一磁束量子（Single Flux Quantum : SFQ）回路は、特に超高速、低エネルギーで動作するという特徴を持っており、早急な開発への要請が高い。

20

【0003】

【発明が解決しようとする課題】

しかしながら、高温超伝導体を用いた SFQ 回路は、その動作電圧が 1 (mV) 程度と極めて微小値であり、この程度の電圧で半導体機器を作動させることは不可能であるため、実際の情報処理機器を構成するには単磁束量子回路の電気信号を何らかの手段で取り出し、室温環境内で機能する所定の半導体機器に接続することを要する。そこで、両者の間にインターフェイスとなる増幅回路を介在させ、SFQ 回路の信号振幅を半導体機器を駆動できる 10 (mV) 程度まで増幅する必要がある。

30

【0004】

半導体機器へのインターフェイスとなる増幅回路としては、図 15 に示すように、ラッチ型の増幅回路が提案されている。図中、J はジョセフソン接合を用いた超伝導接合、 V_{in} は入力端子、 V_{out} は出力端子、 I_B はバイアス電流、 $R_1 \sim R_3$ は入出力分離用抵抗である。この増幅回路（いわゆるジョセフソン昇電圧ドライバ）を接続することで数十 (mV) の出力を得ることができ、高電圧化し易い。このため良好な S/N 比を保つことができ、誤動作の確率を減らすことができるという点で、当該増幅回路はインターフェイスとして望ましい特性を持つ。

【0005】

ところがこのラッチ型の増幅回路は、超電導接合に電流 - 電圧 (I - V) 特性にヒステリシスを有するニオブウム (Nb) 等の金属系の低温超伝導体で実現されるものである。従って、I - V 特性にヒステリシスを持たない高温超伝導体そのままを用いたのでは増幅回路を構成することはできないという問題がある。

40

【0006】

また、図 16 に示すように、金属系超伝導体では超伝導量子干渉デバイス (SQUID) を直列に数十個接続して電圧を上げる方法を適用した回路が提案されている。図中、 L_1 、 L_2 は磁氣的結合のためのインダクタ、J はジョセフソン接合を用いた超伝導接合である。しかしこの方法により 10 (mV) 程度の出力振幅を得るためには数百個以上の接合数が必要となり、極めて困難であって現実的でない。

【0007】

50

このように、高温超伝導体を用いた増幅回路は、超高速・低エネルギー動作を可能とする S F Q 回路のインターフェイスとして極めて重要視されているにも係わらず、簡易且つコンパクトな構成でこれを実現することは難しいという現状にある。

【 0 0 0 8 】

そこで本発明は、高温超伝導体を用いたヒステリシスを有しないジョセフソン接合により超高速、低エネルギーで動作可能な超伝導接合を提供することを目的とし、更にはこの超伝導接合を有し、S F Q 回路と各種半導体回路との間のインターフェイスとして良好に機能する高出力の超伝導回路や、当該超伝導回路が S F Q 回路及びラッチ回路と混載される超伝導回路チップ、前記超伝導回路を備えた超伝導回路チップ及びこれと連結された他の超伝導回路チップを有する超伝導回路システム、前記超伝導回路を備えた超伝導回路チップ及びこれと連結された各種半導体回路を有する低温 - 室温間の超伝導回路システムを提供することを目的とする。

10

【 0 0 0 9 】

【課題を解決するための手段】

本発明は、上述の課題を解決するため、以下に示す手段を有する。

【 0 0 1 0 】

第 1 の手段は、超伝導接合を対象としたものであり、ジョセフソン接合を構成する一対の超伝導体からなる接合部と、前記接合部の前記各超伝導体に各端が接続されたキャパシタ部とを夫々有する複数の複合構造を有し、前記複数の複合構造の夫々が直列接続されて超伝導接合を含むループが形成されており、前記キャパシタ部の静電容量に依存する実効的なマッカンバー係数が 1 より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されていることを特徴とする。

20

【 0 0 1 1 】

ここで、前記ループを、前記直列接続された複数の前記複合構造からなる枝構造を複数有し、前記各枝構造が並列に接続するように構成しても好適である。

【 0 0 1 2 】

また、具体的な前記キャパシタ部の構成は、基板上に、層間絶縁膜を挟んで下部超伝導膜及び上部超伝導膜が積層形成されており、前記層間絶縁膜の一部に貫通孔が形成され、前記貫通孔内でバリヤ膜を介して前記下部超伝導膜及び前記上部超伝導膜の各一部が前記一対の超伝導体として前記接合部を構成するとともに、前記層間絶縁膜を挟んだ前記下部超伝導膜及び前記上部超伝導膜から構成することが好適である。

30

【 0 0 1 3 】

第 2 の手段は、バイアス電流が供給される端子と、出力信号が送出される端子と、入力信号が供給される端子とを含むとともに、超伝導接合を含むループが接続されてなる超伝導回路を対象とする。この第 2 の手段は、前記ループが、ジョセフソン接合を構成する一対の超伝導体からなる接合部と、前記接合部の前記各超伝導体に各端が接続されたキャパシタ部とを夫々有する複数の複合構造の夫々が、直列接続されてなり、前記キャパシタ部の静電容量に依存する実効的なマッカンバー係数が 1 より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されていることを特徴とする。

40

【 0 0 1 4 】

【作用】

通常の高温度超伝導接合はその I - V 特性にヒステリシスを有しないため、この接合部をそのまま用いてラッチ型回路を構成することはできない。本発明では、接合部にキャパシタ部を並列に接続することによりヒステリシスを持たせることが可能となり、更には回路構成と共に各パラメータを適正值に選ぶことにより高温超伝導接合を用いた高速で動作する安定なラッチ型回路を構成することができる。

【 0 0 1 5 】

具体的には、パラメータとして先ずマッカンバー係数 α を 1 より大きい所定値とすれば

50

、 $I-V$ 特性にヒステリシスが現れる。本発明の超伝導接合はジョセフソン接合を持つ接合部にキャパシタ部が並列接続されているため、マッカンバー係数 α_c がキャパシタ部の静電容量に依存し、これに比例する。従って、マッカンバー係数 α_c を $\alpha_c > 1$ を満たす所定値とするには、静電容量を実効的に増加させるために所定数のキャパシタ部を並列に設ければよい。

【0016】

更に、パラメータとして、接合部の電圧発生時に接合部に流れる動作電流 I_{op} を、電圧維持可能な最小電流値 I_{min} よりも大きくなるように設定する。即ち、 $I_{op} > I_{min}$ を満たすように動作電流 I_{op} を設定することにより、キルヒホッフの法則が成立して安定な電圧状態が現れる。

10

【0017】

このように、接合部にキャパシタ部を並列に接続することに加え、マッカンバー係数 α_c を $\alpha_c > 1$ 、且つ動作電流 I_{op} を $I_{op} > I_{min}$ を満たすように設定し、例えばキャパシタ部を複数並列に接続する回路構成を行なうことにより、高温超伝導接合を用いて高速で動作する安定なラッチ型回路が実現する。

【0018】

【発明の実施の形態】

以下、本発明を適用した好適な実施形態について図面を参照しながら詳細に説明する。

【0019】

(第1の実施形態)

20

先ず、第1の実施形態について述べる。ここでは、高温超伝導接合を用いたラッチ型回路の基本的(原理的)構成について例示する。図1は、本実施形態のラッチ型回路の基本的構成例を示す回路図である。図1中、 I_{in} は入力端子、 V_{out} は出力端子、 I_B はバイアス電流源(不図示)から供給されたバイアス電流、 J_1 は高温超伝導接合部、 C_S は接合部 J_1 と並列に接続されたキャパシタ部、 R_L は負荷抵抗である。この高温超伝導接合は、YBCOを超伝導電極とする接合を想定しているが、ヒステリシスを持たない良好なジョセフソン接合であればこれに限らない。また金属系ジョセフソン接合でも微細化が進むとノンヒステリシス特性に近くなることが予想されており、本実施形態はそのような接合にも適用できる。

【0020】

30

本実施形態のラッチ型回路においては、接合部 J_1 にキャパシタ部 C_S を並列接続することにより、高温超伝導接合はその $I-V$ 特性にヒステリシスを持たせることが可能となり、更には確実にヒステリシスを出現させるためにマッカンバー係数 α_c を調節するとともに、接合部 J_1 の電圧発生時に接合部 J_1 に流れる動作電流 I_{op} と電圧維持可能な最小電流値 I_{min} との関係を調節する。

【0021】

先ず、マッカンバー係数 α_c の調節について説明する。ジョセフソン接合のヒステリシス特性は、

$$\alpha_c = 2 I_c C R^2 / \Phi_0$$

によって特徴付けられる。ここで、 I_c は超伝導電流、 C は静電容量、 Φ_0 は磁束を示す。上式において、 $\alpha_c > 1$ であればヒステリシスが現れる。高温超伝導接合は静電容量 C が小さいために、 $\alpha_c < 1$ となってヒステリシスは生じないが、接合部 J_1 に並列に所定の静電容量を有するキャパシタ部 C_S を接続することにより実効的な α_c を増大化させ、ヒステリシスを持たせることができる。

40

【0022】

続いて、動作電流 I_{op} と最小電流値 I_{min} との関係について説明する。ラッチ型回路を構成するために重要なもう一つのパラメータは電圧維持可能な最小電流 I_{min} である。図2に図1のラッチ型回路の $I-V$ 特性曲線と負荷線との関係を示す。図2に示すように、 $I-V$ 特性曲線と負荷線に2つの交点が存在し、A点は超伝導状態、B点は電圧状態を表している。ここで、B点が安定であるためには、動作電流 I_{op} の値が、

50

$$I_{op} = I_B R_L / (R_L + R_N) > I_{min}$$

を満たす必要がある。ここで、 R_N は接合のノーマル抵抗である。単一接合の I_{min} は図 3 に示すようにマッカンパー係数 α_c と関係があり、 α_c が大きいほど小さくなる（川辺編「超伝導エレクトロニクス」：丸善出版）。

【0023】

要するに、高温超伝導接合を用いてラッチ型回路を構成するために必要な条件は、

$$\alpha_c > 1 \text{ 且つ } I_{op} > I_{min}$$

を満たすことである。

【0024】

本実施形態のラッチ型回路では出力電圧を高くするため、図 4 に示すように、ジョセフソン接合を複数段直並列に接続しても好適である。具体的には、超伝導接合として、接合部 J_1 及びキャパシタ部 C_S を有してなる複合構造が複数段（図示の例では $N = 4$ 段）直列に接続され、更にこれら複合構造が設けられた枝が複数本（図示の例では 2 本）並列に接続される。

10

【0025】

このように構成されたラッチ型回路において、 α_c と I_{op} 、 I_{min} の関係を回路シミュレーションにより調べた。仮定した接合の特性は $I_c = 250$ (μA)、 $R_N = 8$ (Ω) とし、 $R_L = 50$ (Ω) とした。N を 1 本の枝における前記複合構造の段数とし、 $N = 4$ 、 10 の場合について、 I_{op} 、 I_{min} の C_S （ひいては α_c ）依存性を調べた結果を図 5 に示す。この図から、 $N = 4$ の場合は、 $C_S > 0.07$ (pF)、 $N = 10$ では、 $C_S > 0.3$ (pF) で $\alpha_c > 1$ と $I_{op} > I_{min}$ の条件を共に満たし、ラッチ型回路が構成できることが判る。このように、N が大きいほど大きな C_S が必要となる。

20

【0026】

次に、 $N = 10$ の場合における、ラッチ型回路の出力端子 V_{out} からの出力電圧の立ち上がり時間の C_S 依存性を調べた結果を図 6 に示す。 C_S が大きいほど τ_{rise} も大きくなり、増幅器として要求される高速性の制限から C_S の上限が決まる。 10 (GHz) で動作させるためには立ち上がり時間は 15 (ps) 程度が必要と考えると、 $C_S < 1$ (pF) を満たすことを要する。即ち、 $N = 10$ のとき、

$$0.3 \text{ (pF)} < C_S < 1 \text{ (pF)}$$

となる。

30

【0027】

このように、前記複合構造の段数（N 値）によって異なるものの、 $\alpha_c > 1$ 及び $I_{op} > I_{min}$ の要請と増幅器に要求される高速性の要請との調和を考慮すれば、 C_S の適正值は概ね、

$$0.1 \text{ (pF)} < C_S < 1 \text{ (pF)}$$

と見積もることが妥当であると考えられる。

【0028】

なお、最小電流 I_{min} は接合部 J_1 に流れるバイアス電流 I_B の周波数にも依存するため、図 5 に示した特性が唯一のものではなく、従って C_S も動作周波数にあわせて設計する必要がある。シミュレーションによれば動作周波数が高くなるほど I_{min} は小さくなる傾向が見られた。

40

【0029】

以上を踏まえ、本実施形態のラッチ型回路の回路動作を計算機シミュレートした結果を図 7 に示す。(a) が入力端子 I_{in} からの入力電流及びバイアス電流 I_B の時間変化の様子を、(b) がこれらに伴った出力端子 V_{out} からの出力電圧の時間変化の様子をそれぞれ示している。各条件としては、入力電流を 50 (μA)、バイアス電流を 220 (μA) とし、 C_S を 1 (pF)、 α_c を 50 とした。図 7 (a)、(b) から、確かに良好なラッチ動作が実現しており、 2 (mV) の出力電圧が得られたことが判る。

【0030】

ここで、本実施形態のラッチ型回路における構造上の特徴について、特に接合部 J_1 とキ

50

ャパシタ部 C_S からなる複合構造を有する超伝導接合 1 の構造について説明する。超伝導接合 1 は、図 8 に示すように、基板 2 上に、層間絶縁膜 3 を挟んで下部超伝導膜 4 及び上部超伝導膜 5 が積層形成されており、層間絶縁膜 3 の一部に貫通孔 6 が形成され、貫通孔 6 内でバリヤ膜 7 を介して下部超伝導膜 4 及び上部超伝導膜 5 の各一部が対向して接合部 J_1 が形成されるとともに、層間絶縁膜 3 を挟んだ下部超伝導膜 4 及び上部超伝導膜 5 によりキャパシタ部 C_S が形成されて構成されている。

【 0 0 3 1 】

ここで、層間絶縁膜 3 はいわゆる $LA STO (La_{0.3} Sr_{0.7} (Al_{0.3} Ta_{0.7}) O_3)$ を、下部超伝導膜 4 及び上部超伝導膜 5 は $YBCO (YBa_2 Cu_3 O_{7-x})$ を、バリヤ膜 7 は $ITO (Indium Tin Oxide: Sn$ をドーブした $InO_x)$ をそれぞれ材料とする 10
薄膜である。層間絶縁膜 3 の厚み d は 200 nm 程度とされ、バリヤ膜 7 は臨界電流が $250 (\mu A)$ 、トンネル抵抗が $8 (\quad)$ のものである。

【 0 0 3 2 】

このような接合において、臨界電流密度として $10 (kA/cm^2)$ 程度、超伝導電流 I_C とノーマル抵抗 R_N との積 $I_C R_N$ として $1 (mV)$ 程度が期待できる。マッカンバー係数 α_c の大きさは下部超伝導膜 4 と上部超伝導膜 5 との重なり面積に依存するため、 α_c として $\alpha_c > 1$ を満たす所定値を得るには、上部超伝導膜 5 の面積が接合部 J_1 の面積の 10 倍以上とする必要がある。具体的には、接合部 J_1 を一辺 W_j が $2 \mu m$ 程度の矩形とし、接合部 J_1 上の上部超伝導膜 5 を一辺 W_e が $9 \mu m$ 程度の矩形とすると、上部超伝導膜 5 の面積が接合部 J_1 の面積の約 20 倍となり、実効的な α_c を 7 程度とすることができる。 20

【 0 0 3 3 】

また、接合部 J_1 の周辺の層間絶縁膜を高誘電率、実効性を考慮すれば 100 以上の誘電率を有する材料で形成することにより、上部超伝導膜 5 の面積を縮小化させることができる。具体的には、図 9 に示すように、接合部 J_1 の周辺に高誘電膜である $SrTiO_3$ 薄膜 8 を形成する。この $SrTiO_3$ は温度 $60 (K)$ 付近で比誘電率が約 1000 となる材料であり、図 8 の構成と同等の α_c を得るためには、接合部 J_1 上の上部超伝導膜 5 を矩形形状であれば一辺 W_e が $2.2 \mu m$ 程度のものとすれば良い。従ってこの場合、上部超伝導膜 5 の面積を接合部 J_1 の面積より 10% 程度大きくするだけで済むため、超伝導接合の微小化に寄与することになる。 30

【 0 0 3 4 】

以上説明したように、第 1 の実施形態によれば、接合部 J_1 にキャパシタ部 C_S を並列に接続することに加え、マッカンバー係数 α_c を $\alpha_c > 1$ 、且つ動作電流 I_{op} を $I_{op} > I_{min}$ を満たすように設定し、例えばキャパシタ部 C_S を複数直並列に接続する回路構成を行なうことにより、高温超伝導体を用いたヒステリシスを有しないジョセフソン接合により超高速、低エネルギーで動作する安定なラッチ型回路が実現する。

【 0 0 3 5 】

(第 2 の実施形態)

次に、本発明の第 2 の実施形態について説明する。この第 2 の実施形態では、高温超伝導接合を用いた単一磁束量子 (SFQ) 回路とラッチ型回路とのインターフェイスとして機能する SFQ / ラッチ変換回路について例示する。なお、第 1 の実施形態で説明した構成部材等と同一のものについては同符号を記して説明を省略する。 40

【 0 0 3 6 】

図 10 は、本実施形態の SFQ / ラッチ変換回路の一例を示す回路図である。図中、 V_{in} は入力端子、 V_{out} は出力端子、 I_B はバイアス電流、 J_2 、 J_3 は高温超伝導接合部、 C_{S1} 、 C_{S2} は接合部 J_2 、 J_3 とそれぞれ並列に接続されたキャパシタ部、 R_L は負荷抵抗である。ここで、 J_2 と C_{S1} の複合構造を有する超伝導接合 11 及び J_3 と C_{S2} からなる複合構造を有する超伝導接合 12 では、第 1 の実施形態と同様にマッカンバー係数 α_c 、動作電流 I_{op} 及び最小電流 I_{min} について、
 $\alpha_c > 1$ 且つ $I_{op} > I_{min}$

10

20

30

40

50

が成立するように調節されている。

【0037】

ここで、入力端子 V_{in} に接続された S F Q 回路から超伝導状態の S F Q パルスが入力すると、超伝導接合 1 1 , 1 2 がほぼ同時に安定的に電圧状態に遷移し、出力端子 V_{out} から所期の安定した電圧状態の出力が得られることになる。

【0038】

本実施形態の S F Q / ラッチ変換回路では出力電圧を高くするため、図 1 1 に示すように、上記の例で J_3 と C_{S2} からなる複合構造を有する超伝導接合 1 2 が設けられてなるループ 1 0 において、ジョセフソン接合を複数個直並列に接続しても好適である。具体的には、超伝導接合として、超伝導接合 1 2 の複合構造が複数段（図示の例では $N = 10$ 段）直並列に接続され、更にこれら複合構造が設けられた枝が複数本（図示の例では 2 本）並列に接続される。この場合、ループ 1 0 の各接合部 J_3 のバリア膜は各々独立に設けられており、共有にはされていない。

10

【0039】

この変換回路も第 1 の実施形態と同様に単一磁束量子（S F Q）パルスで動作する。当該多段構造の超伝導接合のループを備えた変換回路における動作電流 I_{op} は 280 (μA) であり、前述の図 5 によれば C_s は $0.3 pF$ 以上であれば $I_{op} > I_{min}$ の要件を満たし、十分な増幅効果を得るためには例えば 1 (pF) とすれば良い。

【0040】

以上説明したように、第 2 の実施形態によれば、接合部 J_2 , J_3 にキャパシタ部 C_{S1} , C_{S2} を並列に接続することに加え、マッカンバー係数 α_c を $\alpha_c > 1$ 、且つ動作電流 I_{op} を $I_{op} > I_{min}$ を満たすように設定し、例えば J_3 と C_{S2} からなる複合構造を複数直並列に接続してループを形成し回路構成を行なう。これにより、超高速、低エネルギーで動作する安定なラッチ動作が可能となり、S F Q 回路とラッチ型回路と間の好適なインターフェイスが実現する。

20

【0041】

（第 3 の実施形態）

次に、本発明の第 3 の実施形態について説明する。この第 3 の実施形態では、超伝導体を用いた情報処理機器において、高温超伝導接合を用いた単一磁束量子（S F Q）回路及びラッチ型回路と第 2 の実施形態で説明した S F Q / ラッチ変換回路とを 1 チップ内に混載した例について説明する。なお、第 2 の実施形態で説明した構成部材等と同一のものについては同符号を記して説明を省略する。

30

【0042】

図 1 2 は、本実施形態の混載チップの構成を示す模式図である。図示の如く、この混載チップ 3 1 は、S F Q 回路 2 1 とラッチ型回路 2 2 とが両者の補間として機能する第 2 の実施形態の S F Q / ラッチ変換回路 2 3（図 1 0 参照）を介して接続され、1 チップ内に混載され構成されている。このように、高速の処理が必要な部分には S F Q 回路 2 1 を用い、メモリ周辺回路のような高速の駆動能力を必要とする部分にはラッチ型回路 2 2 を用いる。

【0043】

第 3 の実施形態によれば、S F Q 回路 2 1 及びラッチ型回路 2 2 と共に変換回路 2 3 を 1 チップ内に混載することにより、超高速、低エネルギーで動作する安定なラッチ動作を可能とするのみならず、半導体チップ等に要求される小型化の要請に十分に答えることができる。

40

【0044】

（第 4 の実施形態）

次に、本発明の第 4 の実施形態について説明する。この第 4 の実施形態では、S F Q 回路システムのチップ間インターフェイスについて例示する。なお、第 3 の実施形態で説明した構成部材等と同一のものについては同符号を記して説明を省略する。

【0045】

50

図13は、第4の実施形態のSFQ回路システムの構成を示す模式図である。図示の如く、このシステムは、SFQ回路21及びこのSFQ回路21に接続された第2の実施形態のSFQ/ラッチ変換回路23(図10参照)が搭載されたチップ32と、少なくともSFQ回路24を搭載したチップ33とを有しており、チップ32とチップ33との間で両者を連結する伝送路25を介して電気信号の授受が行なわれるものである。距離の長いチップ間で信号の授受を行なうには素子に高い駆動能力が必要であり、それにはラッチ型回路が適している。

【0046】

第4の実施形態によれば、チップ間インターフェイスの駆動回路として変換回路23を用い、超高速、低エネルギーで動作する安定なラッチ動作を可能とするのみならず、チップ32, 33間の離間距離が比較的長い場合でも、両者間で正確且つ迅速な信号伝達を行なうことが可能となる。

【0047】

(第5の実施形態)

次に、本発明の第5の実施形態について説明する。この第5の実施形態では、SFQ回路と室温の機器間のインターフェイスについて例示する。なお、第3の実施形態で説明した構成部材等と同一のものについては同符号を記して説明を省略する。

【0048】

図14は、第5の実施形態のSFQ/半導体回路システムの構成を示す模式図である。図示の如く、このシステムは、低温下において機能するSFQ回路21及びこのSFQ回路21に接続された第2の実施形態のSFQ/ラッチ変換回路26が搭載されたチップ34と、所定のアンプ28及び室温下において機能する所期の半導体回路35とを有しており、チップ34と半導体回路35との間で両者を連結する伝送路27を介して電気信号の授受が行なわれるものである。ここで、変換回路26としては、高い増幅機能が要求されるため、図11に示す多段構造のループ10を備えた変換回路を適用すれば良い。S/Nの向上のためには高い出力電圧が必要であり、それにはやはりラッチ型回路が適している。

【0049】

第5の実施形態によれば、低温・室温間インターフェイスの駆動回路として変換回路26を用い、超高速、低エネルギーで動作する安定なラッチ動作を可能とするのみならず、SFQ回路21と半導体回路35間における高いS/Nの正確且つ迅速な信号伝達を行なうことが可能となる。

【0050】

なお、以下に示すような種々の態様も本発明の内容をなす。

【0051】

本発明の超伝導接合の一態様においては、前記キャパシタ部の静電容量が0.1(pF)~10(pF)の範囲内の所定値とされている。

【0052】

本発明の超伝導接合の一態様において、前記キャパシタ部は、前記接合部の積層方向に当該接合部と電氣的に並列となるように設けられている。

【0053】

本発明の超伝導接合の一態様においては、前記上部超伝導膜の面積が前記接合部の面積の10倍以上の所定値とされている。

【0054】

本発明の超伝導接合の一態様においては、前記層間絶縁膜の少なくとも前記接合部近傍の部位が100以上の比誘電率を有する絶縁材料からなる。

【0055】

本発明の超伝導接合の一態様において、少なくとも1つの前記ループは、前記接合部及び前記キャパシタ部を有してなる前記複合構造が複数段直列に接続され、更に複数段の前記複合構造の枝が複数本並列に接続されて形成されてなるものである。

【0056】

10

20

30

40

50

本発明の超伝導回路チップは、単一磁束量子回路と、ラッチ回路と、前記単一磁束量子回路と前記ラッチ回路との間に介在する超伝導回路とが同一チップ内に混載されてなる超伝導回路チップであって、前記超伝導回路は、バイアス電流が供給される端子と、出力信号が送出される端子と、入力信号が供給される端子とを含むとともに、1つ又は複数の超伝導接合を含むループが接続されてなるものであり、前記ループは、ジョセフソン接合を構成する一対の超伝導体からなる接合部と、前記接合部の前記各超伝導体にも各端が接続されたキャパシタ部とを有し、前記キャパシタ部の静電容量に依存する実効的なマッカンバー係数が1より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されている。

【0057】

本発明の超伝導回路チップの一態様において、少なくとも1つの前記ループは、前記接合部及び前記キャパシタ部を有してなる前記複合構造が複数段直列に接続され、更に複数段の前記複合構造の枝が複数本並列に接続されて形成されてなるものである。

【0058】

本発明の超伝導回路システムは、単一磁束量子回路と、前記単一磁束量子回路に接続された超伝導回路とを備えた第1の超伝導回路チップと、少なくとも単一磁束量子回路を備えた第2の超伝導回路チップとが設けられており、前記第1の超伝導回路チップと前記第2の超伝導回路チップとの間で両者を連結する伝送路を介して電気信号の授受が行なわれる超伝導回路システムであって、前記超伝導回路は、バイアス電流が供給される端子と、出力信号が送出される端子と、入力信号が供給される端子とを含むとともに、1つ又は複数の超伝導接合を含むループが接続されてなるものであり、前記ループは、ジョセフソン接合を構成する一対の超伝導体からなる接合部と、前記接合部の前記各超伝導体にも各端が接続されたキャパシタ部とを有し、前記キャパシタ部の静電容量に依存する実効的なマッカンバー係数が1より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されている。

【0059】

本発明の超伝導回路システムの一態様において、少なくとも1つの前記ループは、前記接合部及び前記キャパシタ部を有してなる前記複合構造が複数段直列に接続され、更に複数段の前記複合構造の枝が複数本並列に接続されて形成されてなるものである。

【0060】

本発明の超伝導回路システムは、単一磁束量子回路と、前記単一磁束量子回路に接続された超伝導回路とを有し、低温環境内で機能する超伝導回路チップと、室温環境内で機能する半導体回路とが設けられており、前記超伝導回路チップと前記半導体回路との間で両者を連結する伝送路を介して電気信号の授受が行なわれることを特徴とする超伝導回路システムであって、前記超伝導回路は、バイアス電流が供給される端子と、出力信号が送出される端子と、入力信号が供給される端子とを含むとともに、1つ又は複数の超伝導接合を含むループが接続されてなるものであり、前記ループは、ジョセフソン接合を構成する一対の超伝導体からなる接合部と、前記接合部の前記各超伝導体にも各端が接続されたキャパシタ部とを有し、前記キャパシタ部の静電容量に依存する実効的なマッカンバー係数が1より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されている。

【0061】

本発明の超伝導回路システムの一態様において、少なくとも1つの前記ループは、前記接合部及び前記キャパシタ部を有してなる前記複合構造が複数段直列に接続され、更に複数段の前記複合構造の枝が複数本並列に接続されて形成されてなるものである。

【0062】

【発明の効果】

本発明によれば、高温超伝導体を用いたヒステリシスを有しないジョセフソン接合により超高速、低エネルギーで動作可能な超伝導接合を提供することを目的とし、更には超伝導接合を有し、SFQ回路と各種半導体回路との間のインターフェイスとして良好に機能す

10

20

30

40

50

る高出力の超伝導回路や、当該超伝導回路がSFQ回路及びラッチ回路と混載されてなる超伝導回路チップ、前記超伝導回路を備えた超伝導回路チップ及びこれと連結された他の超伝導回路チップを有する超伝導回路システム、前記超伝導回路を備えた超伝導回路チップ及びこれと連結された各種半導体回路を有する超伝導回路システムを実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施形態のラッチ型回路の基本的構成例を示す回路図である。

【図2】図1に示したラッチ型回路のI-V特性曲線と負荷線との関係を示す特性図である。

【図3】単接合の電圧維持可能な最小電流 I_{min} とマッカンバー係数 α との関係を示す特性図である。 10

【図4】接合部及びキャパシタ部を有してなる複合構造を複数段直並列に接続されたラッチ型回路の基本的構成例を示す回路図である。

【図5】複数の段数が4及び10の場合について、動作電流 I_{op} 、最小電流 I_{min} のキャパシタ部の容量 C_s （ひいてはマッカンバー係数 α ）依存性を示す特性図である。

【図6】複数の段数が10の場合における、ラッチ型回路の出力端子 V_{out} からの出力電圧の立ち上がり時間 t_{rise} の C_s 依存性を示す特性図である。

【図7】第1の実施形態のラッチ型回路の回路動作を計算機シミュレートした結果を示す特性図である。

【図8】第1の実施形態のラッチ型回路における構造上の特徴である複合構造を示す概略断面図である。 20

【図9】前記複合構造の他の例を示す概略断面図である。

【図10】第2の実施形態のSFQ/ラッチ変換回路の一例を示す回路図である。

【図11】SFQ/ラッチ変換回路の超伝導接合のループにおいて、複合構造を複数段直並列に接続された一例を示す回路図である。

【図12】第3の実施形態の混載チップの構成を示す模式図である。

【図13】第4の実施形態のSFQ回路システムの構成を示す模式図である。

【図14】第5の実施形態のSFQ/半導体回路システムの構成を示す模式図である。

【図15】従来のラッチ型の増幅回路の一例を示す回路図である。

【図16】SQUIDを直列に数十個接続して電圧を上げる方法を適用した従来の増幅回路の一例を示す回路図である。 30

【符号の説明】

1, 11, 12 超伝導接合

2 基板

3 層間絶縁膜

4 下部超伝導膜

5 上部超伝導膜

6 貫通孔

7 バリヤ膜

8 SrTiO₃ 薄膜 40

10 ループ

J₁ ~ J₃ 接合部

C_s, C_{s1}, C_{s2} キャパシタ部（の静電容量）

21, 24 SFQ回路

22 ラッチ型回路

23, 26 SFQ/ラッチ変換回路

25, 27 伝送路

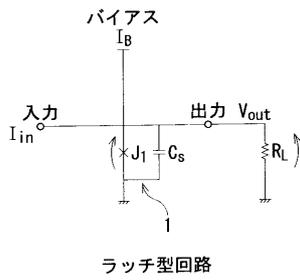
28 アンプ

31 混載チップ

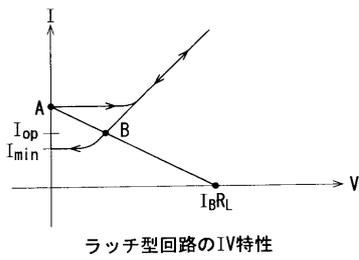
32, 33, 34 チップ 50

3 5 半導体回路

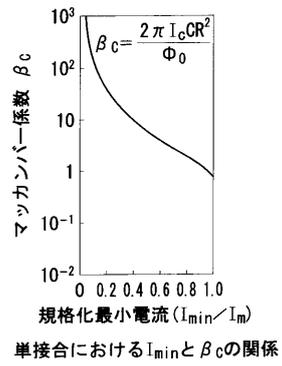
【 図 1 】



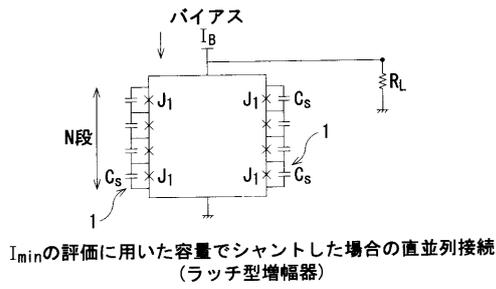
【 図 2 】



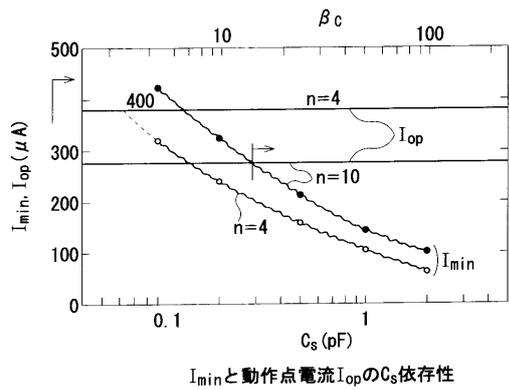
【 図 3 】



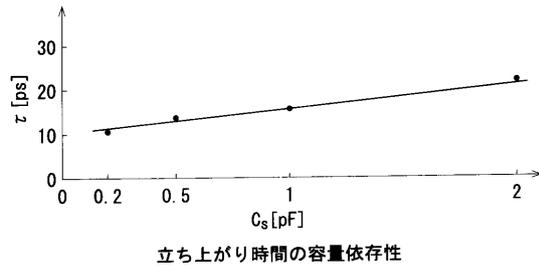
【図4】



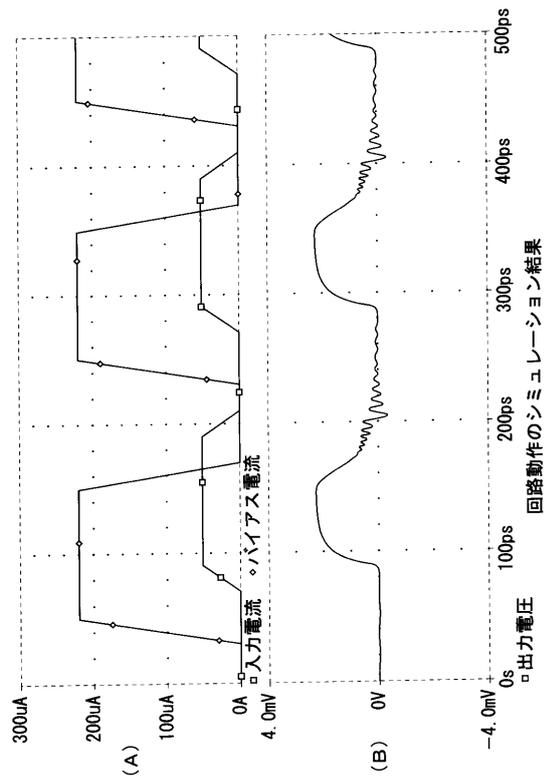
【図5】



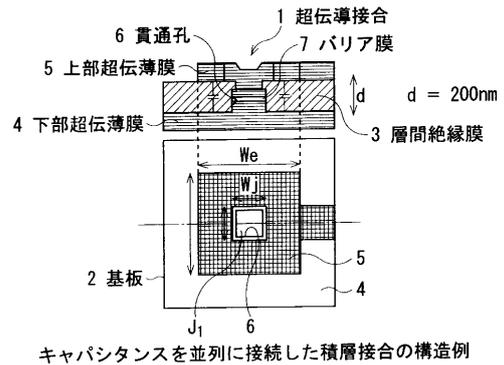
【図6】



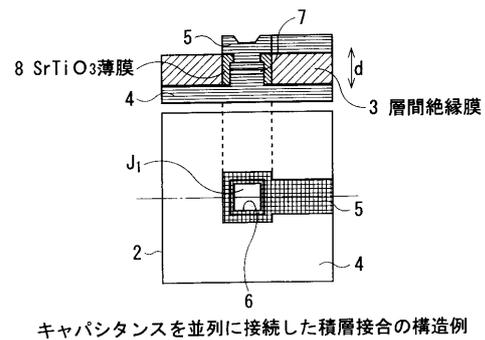
【図7】



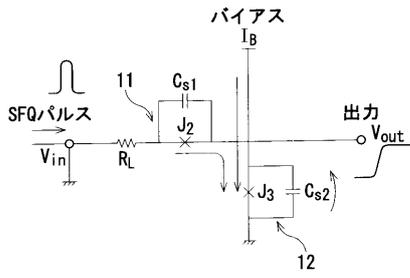
【図8】



【図9】

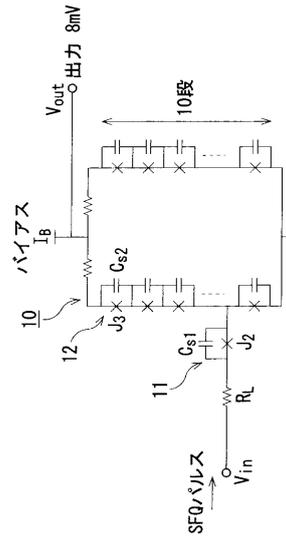


【図10】



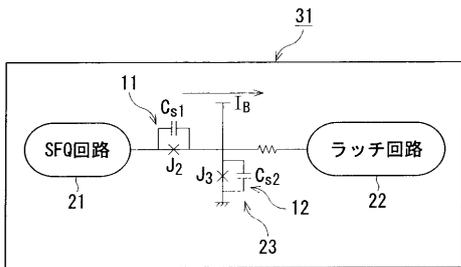
本発明を用いたSFQラッチ変換回路の例

【図11】



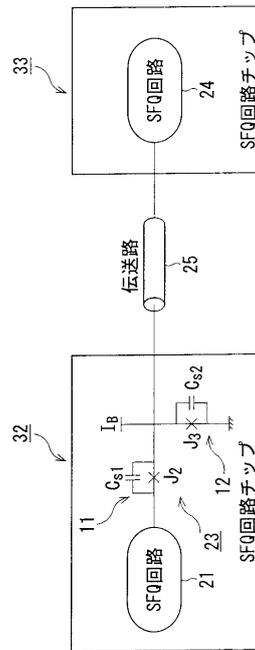
本発明を用いたSFQ入力で動作するラッチ型増幅器

【図12】



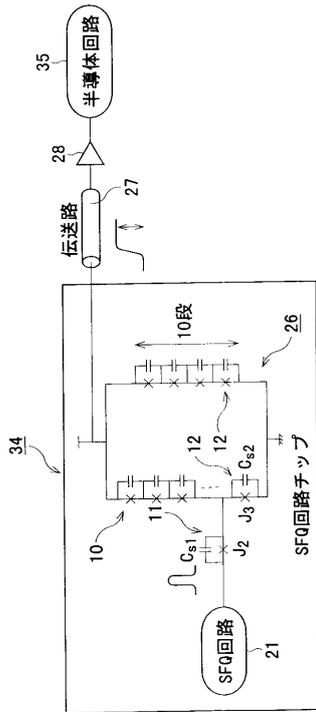
SFQラッチ混載の超伝導チップの構成

【図13】



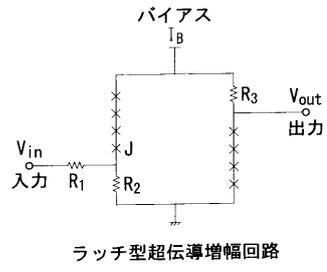
チップ間インターフェイスに本発明を用いたSFQ回路チップの構成

【図14】

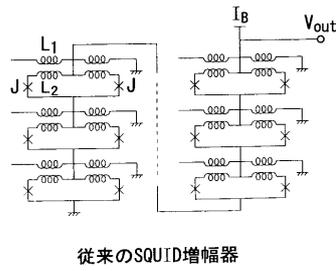


低温・室温間インターフェイスに本発明を用いた超伝導システムの構成

【図15】



【図16】



従来のSQUID増幅器

フロントページの続き

(72)発明者 吉田 晃
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 正山 旭

(56)参考文献 特開平07-131082(JP,A)
特開平05-198857(JP,A)
特開平07-221614(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 39/22
H03F 19/00