



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년08월31일
 (11) 등록번호 10-0979153
 (24) 등록일자 2010년08월25일

- (51) Int. Cl.
 H04B 1/69 (2006.01) H04B 1/707 (2006.01)
 H04J 13/04 (2006.01)
- (21) 출원번호 10-2009-7019906(분할)
- (22) 출원일자(국제출원일자) 2003년11월17일
 심사청구일자 2009년10월15일
- (85) 번역문제출일자 2009년09월23일
- (65) 공개번호 10-2009-0118076
- (43) 공개일자 2009년11월17일
- (62) 원출원 특허 10-2009-7010148
 원출원일자(국제출원일자) 2003년11월17일
 심사청구일자 2009년06월15일
- (86) 국제출원번호 PCT/US2003/036760
- (87) 국제공개번호 WO 2004/049112
 국제공개일자 2004년06월10일
- (30) 우선권주장
 60/428,413 2002년11월22일 미국(US)
- (56) 선행기술조사문헌
 KR1019980012987 A
 KR1020000075619 A
 KR1020000036114 A

- (73) 특허권자
 인터디지털 테크놀로지 코퍼레이션
 미국 델라웨어 19810 윌밍턴 실버사이드 로드
 3411 콩코드 플라자 스위트 105 해글리 빌딩
- (72) 발명자
 리 빈
 미국 뉴욕주 11779 론콘코마 페코닉 스트리트 500
 아파트 25에이
 레즈닉 알렉산더
 미국 뉴저지주 08560 티투스빌 리버 로드 1212
- (74) 대리인
 김태홍, 신정건

전체 청구항 수 : 총 8 항

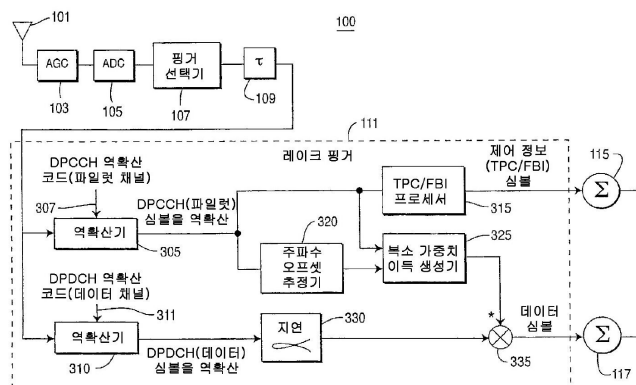
심사관 : 강희국

(54) 복소 가중치 생성(CWG) 알고리즘을 이용한 레이크 수신기에서의 채널 이득 추정

(57) 요약

복소 가중치 이득(CWG) 알고리즘을 이용하여 레이크 수신기의 자원에 대한 부담을 감소시키는 채널 추정 방법. 일 실시예에서, 비적응성 알고리즘을 이용하여 몇몇 슬롯들(320)로부터 파일럿 심볼들의 블록들을 평균할 수 있다. 또 다른 실시예에서, 적응성 알고리즘은 슬라이딩 윈도우 평균화 또는 재귀 필터를 구현한다. CWG 알고리즘(325)을 이용함으로써 레이크 수신기의 메모리 및 프로세서 요건들을 감소시킬 수 있다.

대표도



특허청구의 범위

청구항 1

레이크 수신기 효율을 증가시키는 방법에 있어서,

지연된 확산 변조 신호와, 제어 비트 신호를 생성하는 제1 기준 신호에 대하여 연산을 수행하고;

상기 지연된 확산 변조 신호와, 데이터 신호를 생성하는 제2 기준 신호에 대하여 연산을 수행하고;

지연된 데이터 신호를 생성하기 위하여 상기 데이터 신호를 지연시키고;

제1 세트의 데이터를 생성하기 위해, 상기 지연된 데이터 신호에 대하여 주파수 오프셋 추정기 및 복합 가중치 이득(CWG, complex weight gain) 생성기 - 상기 CWG 생성기는 결정-피드백 기술 및 슬라이딩 윈도우 CWG 알고리즘을 이용함 -로부터 생성된 가중치들을 이용하여 연산을 수행하고;

모든 레이크 핑거의 출력들에 연산을 수행하여 데이터 심볼과 제어 비트 심볼을 생성하는 것을 포함하는 레이크 수신기 효율 증가 방법.

청구항 2

제1항에 있어서,

파일럿 신호들의 블럭들을 평균화(average)함으로써 결정되는 주파수 오프셋 추정을 수행하는 것을 더 포함하는 레이크 수신기 효율 증가 방법.

청구항 3

제2항에 있어서,

상기 주파수 오프셋 추정은 슬라이딩 윈도우 평균화 알고리즘을 이용하여 결정되는 것인 레이크 수신기 효율 증가 방법.

청구항 4

제2항에 있어서,

상기 주파수 오프셋 추정은 재귀 필터를 이용하여 결정되는 것인 레이크 수신기 효율 증가 방법.

청구항 5

무선 송수신 유닛(WTRU)에 있어서,

지연된 확산 변조 신호와, 제어 비트 신호를 생성하는 제1 기준 신호에 대하여 연산을 수행하기 위한 수단;

상기 지연된 확산 변조 신호와, 데이터 신호를 생성하는 제2 기준 신호에 대하여 연산을 수행하기 위한 수단;

지연된 데이터 신호를 생성하기 위하여 상기 데이터 신호를 지연시키기 위한 수단;

제1 세트의 데이터를 생성하기 위해, 상기 지연된 데이터 신호에 대하여 주파수 오프셋 추정기 및 복합 가중치 이득(CWG, complex weight gain) 생성기 - 상기 CWG 생성기는 결정-피드백 기술 및 슬라이딩 윈도우 CWG 알고리즘을 이용함 -로부터 생성된 가중치들을 이용하여 연산을 수행하기 위한 수단; 및

모든 레이크 핑거의 출력들에 대하여 연산을 수행하여 데이터 심볼과 제어 비트 심볼을 생성하기 위한 수단을 포함하는 무선 송수신 유닛.

청구항 6

제5항에 있어서,

파일럿 신호들의 블럭들을 평균화(average)함으로써 결정되는 주파수 오프셋 추정을 수행하기 위한 수단을 더

포함하는 무선 송수신 유닛.

청구항 7

제6항에 있어서,

상기 주파수 오프셋 추정은 슬라이딩 윈도우 평균화 알고리즘을 이용하여 결정되는 것인 무선 송수신 유닛.

청구항 8

제6항에 있어서,

상기 주파수 오프셋 추정은 재귀 필터를 이용하여 결정되는 것인 무선 송수신 유닛.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 무선 통신 시스템에 관한 것이다. 보다 구체적으로, 본 발명은 복소 가중치 생성(CWG) 알고리즘을 이용하여 통신을 필터링하는 것에 관한 것이다.

배경기술

[0002] 제3 세대 파트너십 프로젝트(3GPP)에서 특정된 바와 같은 통상의 무선 통신 시스템은 기지국으로부터 하나 또는 다수의 무선 송/수신 유닛(WTRU)으로 다운링크 통신을 송신한다. 업링크 통신은 WTRU가 기지국(BS)에 송신할 때 발생한다.

[0003] 직접 시퀀스 코드 분할 다중 접속(CDMA) 송신 시스템에서, 데이터는 확산 코드 시퀀스를 이용하여 광대역 무선 주파수 신호로 확산함으로써 변조된다. 통신 시스템은 각 사용자에게 상이한 확산 코드를 할당하여 이들이 동일한 무선 주파수 대역을 이용하여 통신할 수 있도록 한다. 수신기는 수신 신호를 공지의 확산 코드 시퀀스로 역 확산 또는 상관시킴으로써 동작한다.

[0004] 수신기는 다중 경로 페이딩으로 알려진 송신된 통신 신호의 시간 오프셋된 카피를 수신할 수 있다. 신호 에너지는 이산 다중 경로 및 산란으로 인해 시간에 대해 분산되어 있다. 수신기가 채널 프로파일에 관한 몇몇 정보를 가지는 경우, 수신기는 신호의 다중 경로 카피들을 결합함으로써 통신 신호를 추정하여 성능을 개선할 수 있다. 예를 들면, 상이한 경로들에 상관기 분기(correlator branch)를 할당하고 그들의 출력을 구조적으로 결합하여 신호 에너지를 모으는 한가지 방법이 있다.

[0005] CDMA 시스템에서, 레이크 수신기가 통상 이용된다. 도 1에 도시된 바와 같이, 레이크 수신기(10)는 "서브 수신기"(20_A, 20_B ... 20_N) 뱅크 및 결합기(30)로 구성된다. 각 "서브 수신기"(20)는 레이크 핑거, 즉 지연(25_A, 25_B ... 25_N), 역확산기(35_A, 35_B ... 35_N), 복소 가중치 생성기(45_A, 45_B ... 45_N) 및 복조기(또는 승산기)(55_A, 55_B ... 55_N)를 포함하는 다중 경로를 구성하며, 여기에서 복소 가중치 생성기(45)는 채널 이득을 추정한다. 채널 이득은 안테나(60) 및 서브 수신기(20)를 통해 수신된 신호의 진폭 감쇠 및 위상 회전을 나타내는 복소 파라미터이다. 복조기(또는 승산기)(55)는 본질적으로 복소 가중치 생성기(45)에 의해 제공되는 복소 가중치와 역확산기(45)의 출력을 승산하는 승산기이며, 승산기(55)의 출력은 위상 회전이 제거되고 진폭이 가중된 역확산 신호이다. 그러므로 결합기(30)는 모든 "서브 수신기"(20)로부터 수신된 모든 신호들을 간섭성 있게(coherently)(또는 동위상으로) 결합한다.

[0006] 레이크 수신기(10)는 각 경로에 대해 하나씩, 몇개의 "핑거"들을 가진다. 각 핑거에서, 직접 또는 가장 이른 수신 경로와 같은 몇몇 참조 지연에 관한 경로 지연이 추정되어 송신 내내 추적되어야 한다. 레이크 수신기는 송신 신호의 경로 다이버시티(diversity)로부터 이익을 얻기 위해 다중 경로 전파를 이용할 수 있다. 다수의 경로, 또는 선(ray)들을 이용하여 수신기에 이용 가능한 신호 전력을 증가시킬 수 있다. 또한, 이는 몇몇 경로들이 동시에 발생하는 깊은 페이딩의 영향을 받지 않을 것으로 보이므로 페이딩에 대한 보호를 제공한다. 적절한 결합과 함께 수신 신호 대 잡음 비를 개선시키고, 페이딩을 감소시키며 전력 제어 문제를 완화시킬 수 있다.

[0007] 종래의 무선 통신 시스템에서, WTRU에서 이용되는 부정확한 발진기들로 인하여 노드-B 및 WTRU 사이에 상당한

주파수 오프셋이 있다. 시간에 대해 위상 편이로 변화하는 이러한 주파수 오프셋은 WTRU에서 추정되어 정정되어야 하며, 그렇지 않으면 성능에서 상당한 손실이 발생할 것이다. 일정 속도의 WTRU에서 위상 편이를 추정하기 위한 차동 검출을 위해 이용되는 몇몇 종래의 알고리즘이 있다. 그 알고리즘은 임의의 두개의 인접 파일럿 심볼들간의 위상 편이들은 관찰 윈도우(observation window)에 대해 일정하다고 가정한다. 때때로 레이크 수신기의 이점은, 주파수 오프셋 추정을 수행하는데 요구되는 복소 알고리즘과 프로세서 및 메모리 집약적인 CWG로 인하여 감소되고, 소중한 시스템 자원을 소모한다.

[0008] 도 2는 0 dB의 신호 대 잡음비(SNR)에서 3개의 추정기의 위상 평균 제곱 에러(MSE)의 제곱근을 이용하는, 3개의 종래기술의 모의 위상 편이 추정 알고리즘(205, 210, 215)을 도시한다.

[0009] 제1 종래기술 알고리즘(205)은 $r_{k,j}$ 가 k번째 슬롯에서 j번째 역확산 파일럿 심볼이라고 가정한다. 2개의 인접 파일럿 심볼간의 위상 편이(차이) θ 은 다음과 같이 수학적(1)에 의해 $\hat{\theta}$ 로 추정될 수 있다.

[0010] [수학적 1]

$$\hat{\theta} = \text{angle} \left\{ \sum_{k=1}^{N_1} \sum_{j=1}^{N_2-1} r_{k,j+1} r_{k,j}^* \right\}$$

[0011]

[0012] 여기에서, N_1 은 위상 편이 추정을 위해 이용되는 슬롯들의 수이고, N_2 는 위상 편이 추정을 위해 이용되는 슬롯당 파일럿 심볼들의 수이다.

[0013] 제2 종래기술 알고리즘(210)은 하나의 심볼에 의해 분리되는 2개의 파일럿 심볼의 위상 차이를 추정하고 이를 2로 나누며, 다음과 같이 수학적(2)에 의해 표현된다.

[0014] [수학적 2]

$$\hat{\theta} = \frac{1}{2} \text{angle} \left\{ \sum_{k=1}^{N_1} \sum_{j=1}^{N_2-2} r_{k,j+2} r_{k,j}^* \right\}$$

[0015]

[0016] 성능의 관점에서, 2개의 파일럿 심볼들의 분리(separation)가 더 커짐에 따라, 성능은 더 좋아진다. 그러나, 슬롯당 파일럿 심볼들의 수인 분리에는 한계가 있다. 분리가 너무 큰 경우, 시스템은 얼마나 많은 위상 회전들이 발생하는지 알지 못할 것이며, 이는 에러를 유발할 것이다. 그러므로, 파일럿 심볼들의 최소수는 슬롯당 3개이고 하나 이상의 심볼에 의해 분리되는 2개의 파일럿 심볼은 이용될 수 없다.

[0017] 제3 종래기술 알고리즘(215)은 하나의 슬롯에 의해 분리되는 2개의 파일럿 심볼을 이용하여 위상 편이를 추정한다. 하나의 슬롯 추정에 대한 위상 편이 $\hat{\theta}_0$ 는 다음과 같이 도 3에 의해 도시된다.

[0018] [수학적 3]

$$\hat{\theta}_0 = \text{angle} \left\{ \sum_{k=1}^{N_1-1} \sum_{j=1}^{N_2} r_{k+1,j} r_{k,j}^* \right\}$$

[0019]

[0020] 여기에서, $-180^\circ < \hat{\theta}_0 \leq 180^\circ$ 이다. 하나의 슬롯에 대한 위상 편이는 $-295^\circ \leq 10 * \hat{\theta}_0 \leq 180^\circ$ 범위에 있고,

$\hat{\theta}_0$ 로부터 θ 를 추정하는 것은 불명료하다. $\hat{\theta}_0$ 에 대한 값들은 표 1에서 발견될 수 있다.

[0021] [표 1]

$$\hat{\theta} = \begin{cases} \frac{1}{10}\hat{\theta}_0 & |10*\theta| \leq 180^\circ \\ \frac{1}{10}(\hat{\theta}_0 + 360^\circ) & \theta > 0, \hat{\theta}_0 < 0 \\ \frac{1}{10}(\hat{\theta}_0 - 360^\circ) & \theta < 0, \hat{\theta}_0 > 0 \end{cases}$$

[0022]

[0023] θ 의 부호는 공지되어 있다고 가정되며, 따라서 종래기술 알고리즘(215)에 대해서는 불명료함이 없다. 슬롯당 파일럿 심볼들의 수는 3이다. 종래기술 알고리즘(205)은 가장 효과가 적고, 종래기술 알고리즘(215)은 예측한 바대로 가장 잘 수행함을 알 수 있다.

발명의 내용

해결 하고자하는 과제

[0024] 상기 종래기술 알고리즘 각각은 적어도 한가지 문제점을 안고 있다. 종래 기술 알고리즘(215)은 종래기술 알고리즘(250 및 210)보다 성능이 낮지만, 위상이 불명료하다는 문제점이 있어 이용될 수 없다. 종래기술 알고리즘(205 및 210)은 높은 잡음 편차가 발생한다.

[0025] 그러므로, 종래기술 알고리즘(205 및 210)보다 나은 성능을 가지고, 종래기술 알고리즘(215)의 위상 불명료성을 갖지 않는 새로운 알고리즘들이 필요하다. 또한, 이러한 새로운 알고리즘들은 프로세서 및 메모리에 덜 집약적인 레이크 수신기를 위해 필요한 복소 가중치를 생성하는 것이 바람직하다.

과제 해결수단

[0026] CWG 알고리즘을 이용하는 레이크 수신기의 자원에 대한 부담을 감소시키고, 종래기술 알고리즘의 높은 잡음 편차 또는 위상 불명료성 없이 WTRU 및 노드 B간의 주파수 오프셋을 추정 및 정정하는 채널 추정 방법이 제공된다.

효과

[0027] 본 발명에 따르면, CWG 알고리즘을 이용하는 레이크 수신기의 자원에 대한 부담을 감소시키고, 종래기술 알고리즘의 높은 잡음 편차 또는 위상 불명료성 없이 WTRU 및 노드 B간의 주파수 오프셋을 추정 및 정정하는 채널 추정 방법이 제공된다.

발명의 실시를 위한 구체적인 내용

[0028] 일실시예에서, 비적응성(non-adaptive) 알고리즘을 이용하여 몇몇 슬롯들로부터 파일럿 심볼들의 블록들을 평균할 수 있다. 또 다른 실시예에서, 적응성 알고리즘은 슬라이딩 윈도우 평균화(sliding window averaging) 및 재귀(recursive) 필터를 구현한다.

[0029] 본 발명은 첨부 도면과 함께 바람직한 실시예의 이하의 설명으로부터 더 상세히 이해될 수 있다.

[0030] 본 발명은 첨부 도면을 참조하여 설명되며, 같은 번호는 같은 엘리먼트를 나타낸다. 본 발명의 실시예들은 무선 송/수신 유닛(WTRU) 또는 기지국에서 이용되는 것과 같은 임의의 레이크 수신기에 적용될 수 있다.

[0031] 이후, WTRU는 사용자 장치, 모바일 기지국, 고정 또는 모바일 가입자 유닛, 페이지, 또는 무선 환경에서 동작할 수 있는 임의의 다른 유형의 장치를 포함하나 이에 한정되지 않는다. 이후 언급될 때, 기지국은 기지국, 노드 B, 사이트 제어기, 액세스 포인트 또는 무선 환경에서의 다른 인터페이스 장치를 포함하나 이에 한정되지 않는다

다. 바람직한 실시예들의 특징들이 다양한 실시예들에 적용될 수 있지만, 바람직한 실시예는 다운링크 공통 채널을 수신하는데 이용하기 위한 것이다.

- [0032] 예시용으로, 바람직한 실시예들은 전용 물리 공통 채널(DPCCH) 3GPP 광대역 CDMA(W-CDMA) 주파수 분할 이중화(FFD) 모드와 함께 설명된다. 그러나, 다양한 무선 시스템의 상이한 채널들에서 적용될 수 있다.
- [0033] DPCCH는 파일럿 심볼, 제어 데이터 심볼, TPC 및 FBI 심볼들을 갖는다. 이하 설명은 파일럿 심볼들을 언급하지만, 미드엠블 시퀀스와 같은 임의의 참조 신호가 이용될 수 있다.
- [0034] 도 3a는 본 발명에 따라 동작하는 레이크 수신기(100)의 블록도를 예시한다. 레이크 수신기(100)는 안테나(101), 자동 이득 회로(AGC)(103), 아날로그-디지털 변환기(ADC)(105), 레이크 핑거 선택기 회로(107), 다수의 지연 엘리먼트($109_1, 109_2, 109_3, 109_4 \dots 109_N$), 다수의 레이크 핑거($111_1, 111_2, 111_3, 111_4 \dots 111_N$) 및 이전에 언급된 결합기(115 및 117)를 포함한다. 확산 변조 신호는 안테나(101)에서 수신되고 AGC(103)에 적용되며, 여기에서 신호는 증폭 및 조정된다. AGC(103)의 출력은 ADC(105)에 입력되며, 여기에서 확산 변조 신호는 핑거 선택기(107)에 제공되는 디지털 신호로 변환된다. 레이크 핑거 선택기(107)는 지연 엘리먼트들(109)에 디지털 신호를 공급하며, 지연 엘리먼트의 출력들은 각 레이크 핑거(111)에 접속된다. 각 지연 엘리먼트(109)는 지연이 임의의 나머지 다른 개별 지연 엘리먼트(109)에 의해 제공되도록 하기 위해 특정 시간 기간 동안의 신호를 지연하도록 설정된다.
- [0035] 도 3a에 도시된 바와 같이, 레이크 수신기(100)의 각 레이크 핑거(111)는 2개의 출력을 가지며, 하나는 결합기(115)에 연결되고 나머지 다른 하나는 결합기(117)에 연결된다. 레이크 수신기(100)는 2개의 데이터 스트림을 병행으로 출력한다. 결합기(115)는 페루프 전송 다이버시티를 위해 이용되는 피드백 정보(FBI) 및 송신 전력 제어(TPC)와 같은 제어 정보 데이터 스트림을 출력한다. 결합기(117)는 검출된 데이터 심볼을 포함하는 신호 정보 데이터 스트림을 출력한다.
- [0036] 도 3b는 본 발명의 바람직한 실시예에 따라 레이크 수신기(100)에서 이용되는 레이크 수신기(111)의 전형적인 구성을 예시한다. 레이크 수신기(100) 및/또는 레이크 핑거(111)는 집적 회로(IC)로 통합되거나 다수의 상호 접속 컴포넌트들을 포함하는 회로로 구성될 수 있다.
- [0037] 도 3b에 도시되는 바와 같이, 레이크 수신기(300)의 독창적인 레이크 핑거(111)는 역확산기(305, 310), TBC/FBI 비트 프로세서(315), 주파수 오프셋 추정기(320), 복소 가중치 이득 생성기(325), 알파 지연 엘리먼트(330) 및 복조기(또는 복소 승산기)(335)를 포함한다. 역확산기(305, 310) 각각은 지연 엘리먼트(109)로부터의 입력 신호를 수신한다. 또한, 역확산기(305)는 파일럿 채널(예를 들면, DPCCH) 역확산 코드로 구성되는 제1 입력 신호를 수신하고 역확산기(310)는 데이터 채널(예를 들면, 전용 물리 데이터 채널(DPDCH)) 코드로 구성되는 제2 입력 신호를 수신한다.
- [0038] 역확산기(305)는 TPC/FBI 비트 프로세서(315), 주파수 오프셋 추정기(320) 및 복소 가중치 이득 생성기(325)의 입력부에 적용되는 역확산 파일럿 심볼들을 출력한다. 주파수 오프셋 추정기(320)의 출력은 복소 가중치 이득 생성기(325)에 제2 입력을 제공하며, 복소 가중치 이득 생성기는 역확산기(305)의 출력으로부터 수신된 역확산 파일럿(예를 들면, DPCCH) 심볼들을 필터링함으로써 복소 가중치 값들을 생성한다.
- [0039] 역확산기(310)는, 역확산 데이터 심볼들이 복조기(335)에서 복조 가중치 값들에 의해 승산될 때 데이터 타이밍이 정렬되는 것을 보장하기 위해 알파 지연 엘리먼트(330)의 입력부에 적용되는 역확산 데이터(예를 들면, DPDCH) 심볼들을 출력한다.
- [0040] 복조기(335)의 출력은 도 3a에 도시된 바와 같이 결합기(117)를 통해 다른 레이크 핑거들(111)로부터 가중 역확산 데이터 심볼에 더해지는 가중 역확산 데이터 심볼로 구성된다. 예를 들면, 특정 레이크 핑거(111)에서 수신되는 데이터가 기대 신호와 강한 상관 관계를 갖지 않는 경우, 복소 가중치 이득 생성기(325)에 의해 제공되는 대응하는 복소 가중치 값들은 0에 근접할 것이다. 그러므로, 복조기(335)는 본질적으로 이러한 특정 레이크 핑거(111)에서 신호를 0으로 하고, 결합기(117)에서 구현되는 덧셈에 거의 영향을 주지 않을 것이다.
- [0041] 다른 한편, 기대 신호 및 특정 레이크 핑거(111)에서 수신되는 데이터간에 강한 상관 관계가 있는 경우, 복소 가중치 생성기(325)에 의해 제공되는 복소 가중치 값들은 상대적으로 높을 것이다. 그러므로, 복조기(335)의 출력은 이러한 특정 레이크 핑거(111)에서 상당할 것이며, 따라서 결합기(117)에서 구현되는 덧셈에 상당한 영향을 미친다.
- [0042] 예를 들면, 차량 속도로 인하여, 범용 모바일 원격 통신 시스템(UMTS) 주파수 분할 이중화(FDD) 시스템의 업링크

크 송신에 응답하여 주파수 오프셋 추정기(320)를 이용하여 시간 및 주파수 편이가 발생한다. 예를 들면, 자동차가 일정한 250 kms/hr(155 mph)로 이동하고 있을 때, WTRU는 0.613 ppm 편차를 경험할 것이다. 그러므로, WTRU 송신기 및 노드 B 수신기간의 이러한 큰 주파수에 대해, 하나의 파일럿 심볼 또는 256 칩에 대해 대략 29.5 도의 위상 편이가 있을 것이다. 이러한 위상 편이 정도는 레이크 수신기 내에서 심각한 성능 저하를 유발한다. 그러나, 이러한 위상 편이는 일정한 주파수 오프셋에 기인한 것이므로 CWG 프로세스에서 이를 추정하고 보상하는 것이 가능하다.

[0043] 복소 승산기(335)에 의해 요구되는 CWG 프로세스는 레이크 수신기(300)의 시스템 자원들에 대해 부담을 준다. 예를 들면, CWG 알고리즘은 큰 프로세서 및 메모리 이용을 요구한다. 시스템 자원에 대한 부담을 감소시키는 한 가지 방법은 CWG 알고리즘의 슬라이딩 윈도우(sliding window)의 크기를 감소시키고 따라서 메모리 및 프로세서 요구를 감소시키는 것이다.

[0044] 도 4는 주파수 오프셋 추정기(320)의 블록도를 도시한다. 공통 채널 역확산기(305)로부터의 신호는 지연 엘리먼트(405, 410, 415)의 입력부, 및 복소 승산기(420, 425, 430)의 각각의 제1 입력부에 각각 적용된다. 지연들에 대한 한가지 예시적인 값은 1 칩(T), 2 칩(2T) 및 10 칩(10T)이다. 지연 엘리먼트(405, 410, 415)의 출력들은 복소 승산기(420, 425, 430)의 각각의 제2 입력부에 각각 적용된다. 승산기(420, 425, 430)의 출력들은 가산기(435, 440, 445)에 각각 인가된다. 가산기(435, 440, 445)의 출력들은 이후 산술 계산기(450)에 인가된다. 산술 계산기(450)의 출력은 이후 복소 가중치 이득 생성기(325)에 대한 입력으로 이용된다.

[0045] 제1 샘플 w_1 은 인접 파일럿 심볼의 위상차를 추정하고 다음과 같이 수학적식(4)에 나타난다.

[0046] [수학적식 4]

$$w_1 = \sum_{k=1}^{N_1} \sum_{j=1}^{N_2-1} r_{k,j+1} r_{k,j}^*$$

[0047]

[0048] 여기에서, N_1 은 위상 편이 추정을 위해 이용되는 슬롯들의 수이고, N_2 는 위상 편이 추정을 위해 이용되는 슬롯당 파일럿 심볼의 수이며, $r_{k,j}$ 는 k번째 슬롯에서 j번째 역확산 파일럿 심볼이다.

[0049] 제2 샘플링 w_2 는 하나의 심볼에 의해 분리되는 2개의 파일럿 심볼의 위상차를 추정하고 다음과 같이 수학적식(5)에 나타난다.

[0050] [수학적식 5]

$$w_2 = \sum_{k=1}^{N_1} \sum_{j=1}^{N_2-2} r_{k,j+2} r_{k,j}$$

[0051]

[0052] 여기에서, N_1 은 위상 편이 추정을 위해 이용되는 슬롯들의 수이고, N_2 는 위상 편이 추정을 위해 이용되는 슬롯당 파일럿 심볼의 수이며, $r_{k,j}$ 는 k번째 슬롯에서의 j번째 역확산 파일럿 심볼이다.

[0053] 제3 샘플 w_3 은 하나의 슬롯에 의해 분리되는 2개의 파일럿 심볼을 이용하여 위상 편이를 추정하고 다음과 같이 수학적식(6)에 나타난다.

[0054] [수학적식 6]

$$w_3 = \sum_{k=1}^{N_1-1} \sum_{j=1}^{N_2} r_{k+1,j} r_{k,j}^*$$

[0055]

[0056] 여기에서, N_1 은 위상 편이 추정을 위해 이용되는 슬롯들의 수이고, N_2 는 위상 편이 추정을 위해 이용되는 슬롯당 파일럿 심볼들의 수이며, $r_{k,j}$ 는 k번째 슬롯에서의 j번째 역확산 파일럿 심볼이다.

[0057] 주어진 위상 추정 분해능(resolution) Δ 에 대해,
$$N = \frac{\theta_{\max}}{\Delta}$$
 이라 하면, 그 결과는 다음과 같이 수학적(7)에 나타난다.

[0058] [수학적 7]

$$F(k) = \text{Re}(w_1 * e^{-j*k*\Delta} + w_2 * e^{-j*k*\Delta*2} + w_3 * e^{-j*k*\Delta*10})$$

[0059]

[0060] 여기에서, $-N \leq k \leq N$ 이다. $F(k)$ 를 최대화 - 즉,
$$F(k_{opt}) = \max_{-N \leq k \leq N} F(k)$$
 이고, 여기에서 $\text{Re}(\cdot)$ 은 실수 부이며, $\hat{\theta} = k_{opt} * \Delta$ 임 - 하는 k_{opt} 를 찾는다.

[0061] 도 5는 0 dB의 SNR에 대한 상기 알고리즘과 함께 얻어지는 모의 결과들을 도시한다. 슬롯당 파일럿 심볼들의 수는 3이다. 파라미터 N 은 32로 설정되며, 이는 0.92 도의 위상 분해능에 대응한다. 본 발명의 일실시예에 따라 동작하는 알고리즘(500)은 종래기술 알고리즘(205 및 210)보다 훨씬 더 잘 수행하며, 위상 추정을 위해 이용되는 슬롯들의 수가 45보다 클 때 종래기술 알고리즘(215)과 거의 동일하게 수행한다. 알고리즘(500)은 더 작은 수의 슬롯들을 갖는 프레임에 대한 알고리즘(215)보다 덜 효과적으로 수행한다. 그러나, 알고리즘(215)은 θ 의 부호의 정보를 이용하며, 이는 실제로 알려져 있지 않고, 따라서 실상에서는 이용될 수 없다.

[0062] 도 6은 도 5에서의 것과 유사한 모의 결과들을 도시하지만, 대신에 16인 N 값을 이용하며, 이는 1.84 도의 위상 분해능에 대응한다. 본 발명의 또 다른 실시예에 따라 동작하는 알고리즘(600)은 또한 종래기술 알고리즘(205 및 210)을 능가하고, 위상 추정을 위해 이용되는 슬롯들의 수가 45보다 클 때 종래기술 알고리즘(215)과 유사한 결과를 갖는다.

[0063] 본 발명의 알고리즘은 비용 함수를 최대화하기 위해 복잡성에 있어서 감소될 수 있다. 동시에 하나의 항을 감소시키면 다음과 같은 수학적(8, 9, 및 10)을 얻는다.

[0064] [수학적 8]

$$F_1(k) = \text{Re}(w_2 * e^{-j*k*\Delta*2} + w_3 * e^{-j*k*\Delta*10})$$

[0065]

[0066] [수학적 9]

$$F_2(k) = \text{Re}(w_1 * e^{-j*k*\Delta} + w_3 * e^{-j*k*\Delta*10})$$

[0067]

[0068] [수학적 10]

$$F_3(k) = \text{Re}(w_1 * e^{-j*k*\Delta} + w_2 * e^{-j*k*\Delta*2})$$

[0069]

[0070] 이러한 복잡성이 감소된 알고리즘의 성능이 시뮬레이트되었고, 수학적(8)은 가장 작은 성능 저하를 제공함이 밝혀졌다. 복잡성을 보다 감소시키기 위해, $F(k)$ 의 계산은 $F(k)$ 의 대칭 속성을 이용할 수 있으며, 다음의 수학적(11)에 도시되는 바와 같이 통상적으로 요구되는 승산의 절반을 줄인다.

[0071] [수학식 11]

$$\text{Re}(w * e^{j * k * \delta}) = w_r * \cos(k * \delta) \pm w_i * \sin(k * \delta)$$

[0072]

[0073] 여기에서, $w = w_r + jw_i$ 이다.

$$\text{Re}(w * e^{j * k * \delta})$$

[0074] 도 7은 수학식(11)의 비용 함수 $\text{Re}(w * e^{j * k * \delta})$ 의 구현(700)을 도시한다. w_r 은 승산기(702)에 의해 $\cos(k * \delta)$ 와 승산된다. w_i 는 승산기(704)에 의해 $\sin(k * \delta)$ 와 승산된다. 승산기(702 및 704)의 결과

값들은 가산기(706)에 의해 가산되어, $\text{Re}(w * e^{-j * k * \delta})$ 을 생성한다. 승산기(704)의 결과는 감산기(708)에 의해 승산기(702)의 결과로부터 감산되어, $\text{Re}(w * e^{j * k * \delta})$ 을 생성한다.

[0075] 본 발명의 방법은 도 3의 복소 가중치 이득 생성기(325)에 의해 구현되는 슬라이딩 윈도우 CWG 알고리즘으로 구현되는 결정-피드백(DF) 기술을 이용한다.

[0076] DF를 이용함으로써, 파일럿 심볼들 및 DPCCH 데이터 심볼들은 채널 추정을 위해 이용되어, 요구되는 윈도우 사이즈를 감소시킨다. 모의 결과는 DF 해법을 이용하여 CWG 알고리즘의 윈도우 사이즈를 단축시킬 수 있음을 나타낸다.

[0077] 본 발명의 슬라이딩 윈도우 CWG 알고리즘은 우선 임시 채널 이득 추정으로서 슬라이딩 윈도우의 모든 파일럿 심볼들을 평균하고 이후 이러한 임시 채널 이득을 이용하여 슬라이딩 윈도우의 데이터 심볼들을 복조한다. 데이터 심볼들로부터 복조 정보를 제거한 후, CWG 알고리즘은 모든 파일럿 심볼들을 합하고 데이터 심볼들을 최종 채널 이득 추정으로서 디로테이트(de-rotate)한다.

[0078] DF를 갖는 슬라이딩 윈도우 CWG 알고리즘의 성능은 3, 60, 120 및 250 km/hr의 속도로 가산성 백색 가우스 잡음(AWGN)에 대해 시뮬레이션되었다. 비교를 위해, DF가 없는 슬라이딩 윈도우 CWG 알고리즘 또한 시뮬레이션되었지만, 그 윈도우 사이즈는 DF를 갖는 CWG에 의해 이용되는 것의 두배이다. DF를 갖고 K가 5인 CWG는 성능 및 구현 메모리간에 트레이드오프를 제공함을 알 수 있었다. 그러나, DF가 없는 상태에서 K가 5인 CWG와 비교할 때, K가 5이고 DF가 있는 CWG는 항상 더 좋은 성능을 제공한다.

[0079] K가 10이고 DF가 없는 제1 CWG와 K가 5이고 DF가 있는 제2 CWG를 비교하면, K가 5이고 DF가 있는 CWG는 AWGN 채널에 대한 성능과 유사하고 250 km/hr의 고속에서 레일레이 페이딩 채널의 성능보다 더 좋은 성능을 제공하였다. K가 5이고 DF가 있는 CWG는 속도가 느릴 때 성능 저하를 나타내었다.

[0080] 슬라이딩 윈도우 사이즈 및 성능 저하에 관한 더 많은 데이터를 수집하기 위해, 더 많은 시뮬레이션이 이루어졌다. 세계의 테스트 세트가 수행되었다. 제1 세트는 2에서 버퍼링하는 심볼들의 수이고 제2 세트는 3이고, 제3 세트는 4에서 이다. 각 세트는 3 km/hr, 60 km/hr, 120 km/hr 및 250 km/hr의 차량 속도를 시뮬레이션하였고 AWGN 및 페이딩 채널을 이용하였다.

[0081] 상기 시뮬레이션으로부터, 성능 및 메모리 사이즈간에 트레이드오프가 있다고 결론지을 수 있다. 메모리가 더 커짐에 따라, 성능은 더 좋아진다. 표 2는 성능 및 단축된 슬라이딩 윈도우 사이즈를 도시한다. 상부 가로 행은 채널 유형을 나타낸다. 좌측 수직 열은 슬라이딩 윈도우 또는 단축된 슬라이딩 윈도우 알고리즘인지 여부 및 K 값들을 나타낸다. 적절한 행 및 열의 값들은 0 dB의 SNR에서 상이한 CWG 알고리즘의 MSE 제공근(RMSE)를 나타낸다.

[0082] [표 2]

[0083]

	AWGN 채널	페이딩 채널, 3 km/hr	페이딩 채널, 60 km/hr	페이딩 채널, 120 km/hr	페이딩 채널, 250 km/hr
슬라이딩 윈도우 K=10, DF 없음	0.30	0.30	0.30	0.30	0.47

슬라이딩 윈도우 K=5, DF 있음	0.30	0.35	0.35	0.35	0.40
단축된 슬라이딩 윈도우 K=2, DF 있음	0.45	0.48	0.48	0.48	0.52
단축된 슬라이딩 윈도우 K=3, DF 있음	0.38	0.42	0.42	0.42	0.43
단축된 슬라이딩 윈도우 K=4, DF 있음	0.35	0.38	0.38	0.38	0.43

[0084] DF 알고리즘을 이용하여 복소 가중치를 전개하는 방법외에도, 본 발명의 실시예는 DF를 갖는 하이브리드 필터-예측-유형 CWG 알고리즘을 개시한다. 이러한 알고리즘은 성능 및 구현 메모리 요건간의 타협을 이루도록 목표가 정하여져 있다. 이러한 알고리즘은 장래의 심볼들을 이용한다.

[0085] 하이브리드 CWG 알고리즘은 우선 임시 채널 이득 추정으로서 슬라이딩 윈도우의 모든 파일럿 심볼을 평균하며, 여기에서 슬라이딩 윈도우는 $-K_1$ 에서 $+K_2$ 의 범위에 있고, K_2 는 구 심볼의 수이며, K_1 은 장래 심볼의 수이다. 통상적인 목적을 위해서, K_1 은 3보다 작거나 같다.

[0086] CWG는 임시 채널 이득을 이용하여 슬라이딩 윈도우의 데이터 심볼들을 복조한다. 우선, 모든 정보는 복조되고 데이터 심볼들로부터 제거된다. CWG 알고리즘은 모든 파일럿 심볼 및 디로테이트(de-rotate)된 데이터 심볼들을 필터링하고 필터링된 결과를 최종 채널 이득 추정으로서 출력한다.

[0087] 여기에서 2개의 필터가 고려된다. 첫번째 필터는 선형 함수 계수인 $(\{c_0, c_0 + \Delta, \dots, c_0 + (K_1 + K_2)\Delta\})$ 을 갖고, 두번째 필터는 지수 계수인 $(\{\alpha^{K_1 + K_2}, \dots, \alpha, 1\})$ 을 갖는다.

[0088] CWG 알고리즘은 본질적으로 도 8에 도시되는 필터(800) 함수의 역할을 한다. 복소 가중치 이득 생성기(325) 내에서 구동하는 CWG 알고리즘에 의해 구현될 수 있는 필터(800)는 $\{C_{-K_1}, C_{-K_1+1}, \dots, C_{-1}, C_0, \dots, C_{K_2}\}$ 으로서 $K_1 + K_2 + 1$ 필터 계수들을 갖고, 하나의 심볼에서 다음의 심볼로의 위상 편이는 주파수 오프셋 추정기(320)에 의해 추정되는 주파수 오프셋으로 인하여 Δ 이다. 필터(800)의 출력은 다음과 같이 수학식(12)에 의해 표현된다.

[0089] [수학식 12]

$$W_n = r_{n+K_1} C_{-K_1} e^{-jK_1\Delta} + \dots + r_{n+1} C_{-1} e^{-j\Delta} + r_n C_0 + \dots + r_{n-K_2} C_{K_2} e^{jK_2\Delta}$$

[0090]

[0091] 도 8에 도시되는 바와 같이, 필터(800)는 장래 심볼들을 위한 K_1 개의 선행(leading) 탭들 및 지난 심볼들을 위한 K_2 개의 후행(lagging) 탭들을 갖는다. 각 엘리먼트 "T"는 하나의 심볼 지연을 갖는 지연 박스를 나타내고 DPDCH 경로는 타이밍 정렬을 위해 K_1 개의 심볼들만큼 지연된다. 필터(800)에 대한 입력은 역확산 심볼 스트림인 $r_{n+K_1}, \dots, r_{n+1}, r_n, \dots, r_{n-K_2}$ 이다. 계수들은 사전 결정되거나 적응성 있게 변화된다. 가장 좋은 효과를 이루기 위해, 이러한 계수들은 차량 속도에 따라 변화되어야 한다.

[0092] DF가 있는 슬라이딩 윈도우 CWG 알고리즘 및 DF가 없는 슬라이딩 윈도우 CWG 알고리즘을 비교를 위해 시뮬레이션하였다. DF 아닌(non-DF) 슬라이딩 윈도우 CWG 알고리즘에 대해, 그 윈도우 사이즈는 DF를 갖는 CWG의 두배이다. 채널들은 AWGN 및 페이딩 채널들이다. 속도는 3 km/hr, 60 km/hr, 120 km/hr 및 250 km/hr이다. 이후 실제 채널 이득 및 추정 채널 이득간의 제곱 평균 에러(MSE)가 계산된다. 선형 하이브리드 CWG 알고리즘은

$c_0 = \{0, 0.2, 0.4, 0.6, 0.8\}$ 및 $c_0 + (K_1 + K_2)\Delta = 1$ 을 갖는 선형 계수들을 이용한다.

[0093] 지수 하이브리드 CWG 알고리즘은 $\alpha = \{0.7, 0.8, 0.9\}$ 을 갖는 지수 계수들인 $\{\alpha^{K_1+K_2}, \dots, \alpha, 1\}$ 을 이용한다.

[0094] 다양한 알고리즘들의 몇몇 시뮬레이션들은 이후 K2 및 K1이 변화된 동안 구동되었다. 선형 하이브리드 CWG 알고리즘은 3 km/hr, 60 km/hr, 120 km/hr 및 250 km/hr의 차량 속도로 AWGN 채널 및 페이딩 채널들과 함께 8인 K2 및 2인 K1을 이용한다. K1 및 K2는 하나씩 증분되었고 시뮬레이션은 다시 수행되었다.

[0095] 이후 K2는 8로 설정되었고 K1은 2로 설정되었으며 지수 하이브리드 CWG 알고리즘은 3 km/hr, 60 km/hr, 120 km/hr 및 250 km/hr의 차량 속도로 AWGN 채널 및 페이딩 채널들을 함께 수행된다. K1 및 K2는 증분되었고 시뮬레이션들이 다시 수행되었다.

[0096] 표 3은 상이한 CWG 알고리즘들간의 성능 비교를 나타낸다. 2개의 CWG 알고리즘이 참조용으로 이용된다. 하나는 DF가 없는 K가 10인(10-심볼 데이터 버퍼링) CWG 알고리즘이며, 다른 하나는 DF가 있는 K가 5인(5-심볼 데이터 버퍼링) CWG 알고리즘이다. 상부 가로 행은 채널 유형을 나타낸다. 좌측 수직 열은 슬라이딩 윈도우, 하이브리드 선형 계수들 또는 하이브리드 지수 계수들인지 여부를 나타낸다. 적절한 행 및 열의 값들은 0 dB SNR에서의 상이한 CWG 알고리즘의 RMSE를 나타낸다.

[0097] [표 3]

	AWGN 채널	페이딩 채널, 3 km/hr	페이딩 채널, 60 km/hr	페이딩 채널, 120 km/hr	페이딩 채널, 250 km/hr
참조 1: 슬라이딩 윈도우 K=10, DF 없음	0.30	0.30	0.30	0.30	0.47
참조 2: 슬라이딩 윈도우 K=5, DF 있음	0.30	0.35	0.35	0.35	0.40
하이브리드 K1=2, 선형 계수 들	0.32	0.35	0.35	0.37	0.50
하이브리드 K1=3, 선형 계수 들	0.31	0.34	0.34	0.36	0.45
하이브리드 K1=2, 지수 계수 들	0.35	0.38	0.38	0.38	0.47
하이브리드 K1=3, 지수 계수 들	0.35	0.37	0.37	0.38	0.45

[0099] 이하의 결론들은 표 3으로부터의 결과에 기초한다. 선형 계수 필터는 지수 계수 필터보다 더 좋다. K1이 3인 선형 계수 필터는 K1이 2인 것보다 약간 개선된 성능을 제공한다. K가 5인 CWG는 K1이 2인 선형 계수 필터보다 약간 더 좋다.

[0100] 본 발명은 특히 바람직한 실시예들을 참조하여 도시 및 설명되었지만, 당업자라면 여기에서 설명된 발명의 범위를 이탈하지 않은 상태에서 형태 및 세부 사항에 있어서 다양한 변화들이 이루어질 수 있음을 이해할 것이다.

도면의 간단한 설명

[0101] 도 1은 종래 레이크 수신기의 블록도이다.

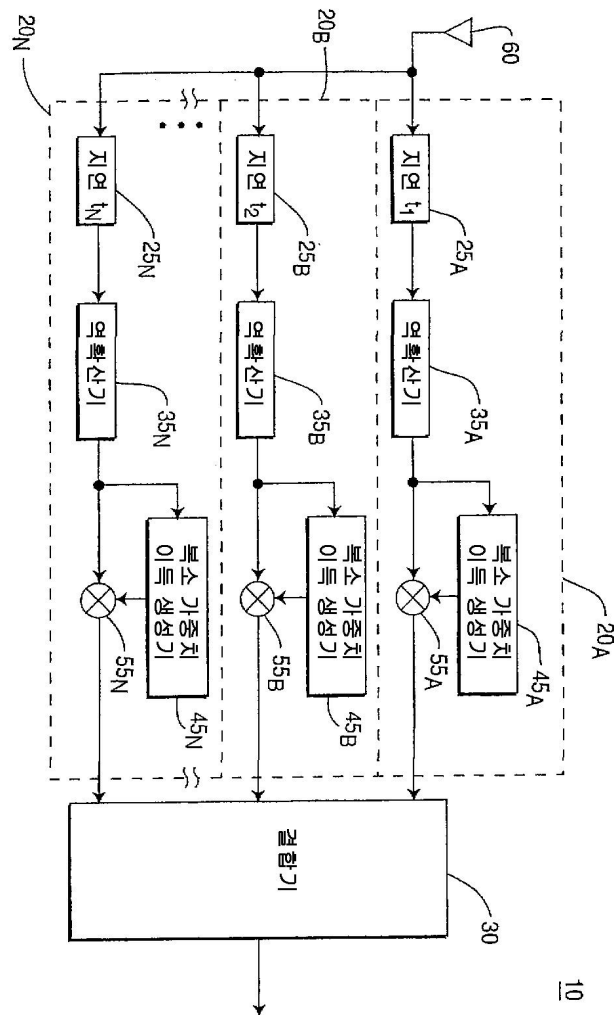
[0102] 도 2는 3개의 종래기술 알고리즘의 위상 추정 성능을 도시한다.

[0103] 도 3a는 본 발명에 따라 구성되는 레이크 수신기의 블록도이다.

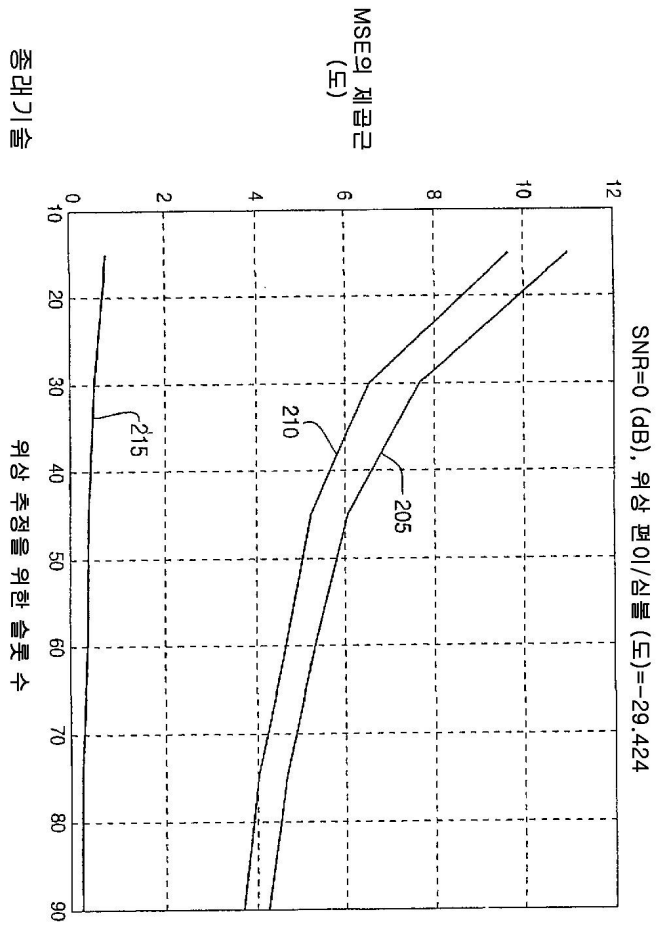
- [0104] 도 3b는 본 발명의 바람직한 실시예에 따라 도 3a의 레이크 수신기에 이용되는 레이크 핑거들의 상세 구성도를 도시하는 블록도이다.
- [0105] 도 4는 본 발명의 일실시예에 따라 동작하는 추정 알고리즘의 구현 블록도를 도시한다.
- [0106] 도 5는 본 발명에 따라 32인 N 값을 이용하여 0 dB의 SNR를 위한 추정 알고리즘을 종래기술 알고리즘을 이용하여 획득되는 모의 결과들을 도식적으로 비교한다.
- [0107] 도 6은 본 발명에 따라 16인 N 값을 이용하여 0 dB의 SNR을 위한 추정 알고리즘을 종래기술 알고리즘을 이용하여 획득되는 모의 결과들을 도식적으로 비교한다.
- [0108] 도 7은 본 발명에 따라 동작하는 비용 함수의 구현을 도시한다.
- [0109] 도 8은 본 발명에 따라 동작하는 CWG 알고리즘과 함께 이용되는 필터의 구현을 도시한다.

도면

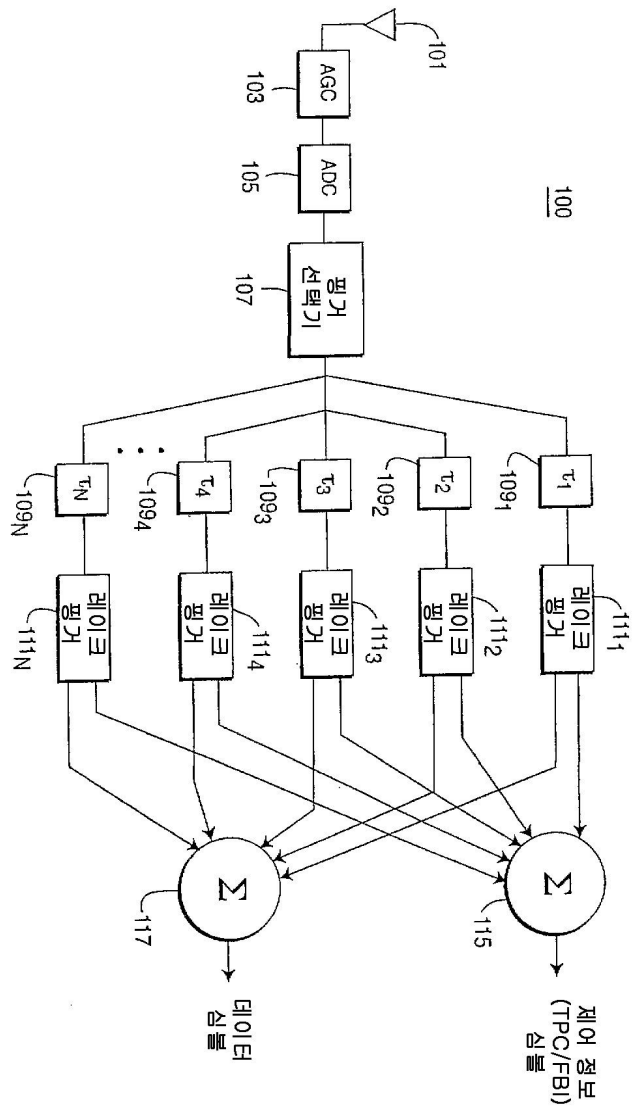
도면1



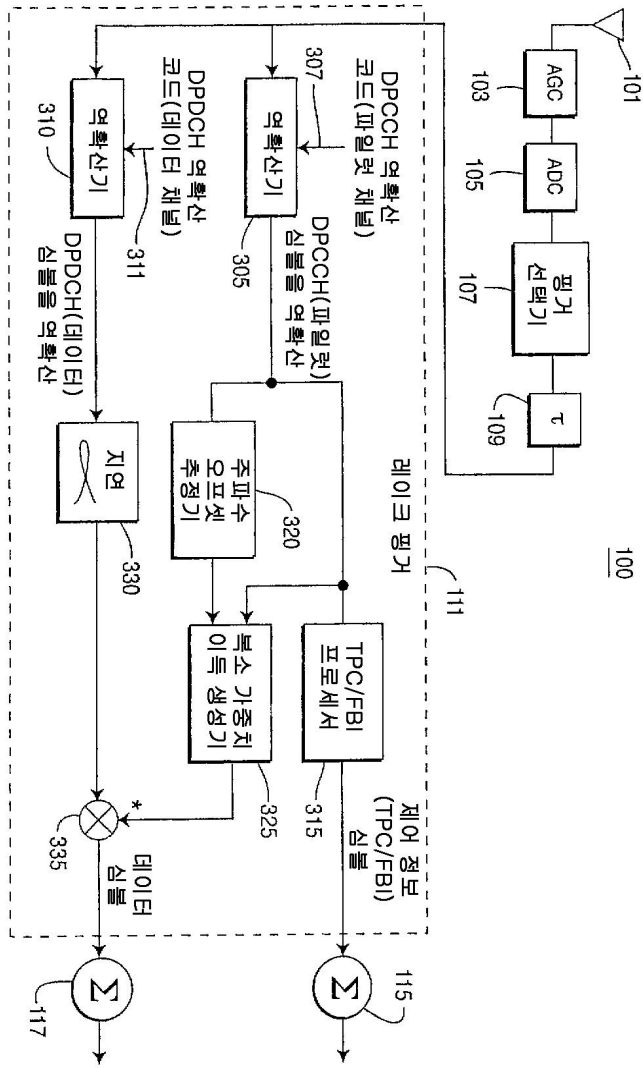
도면2



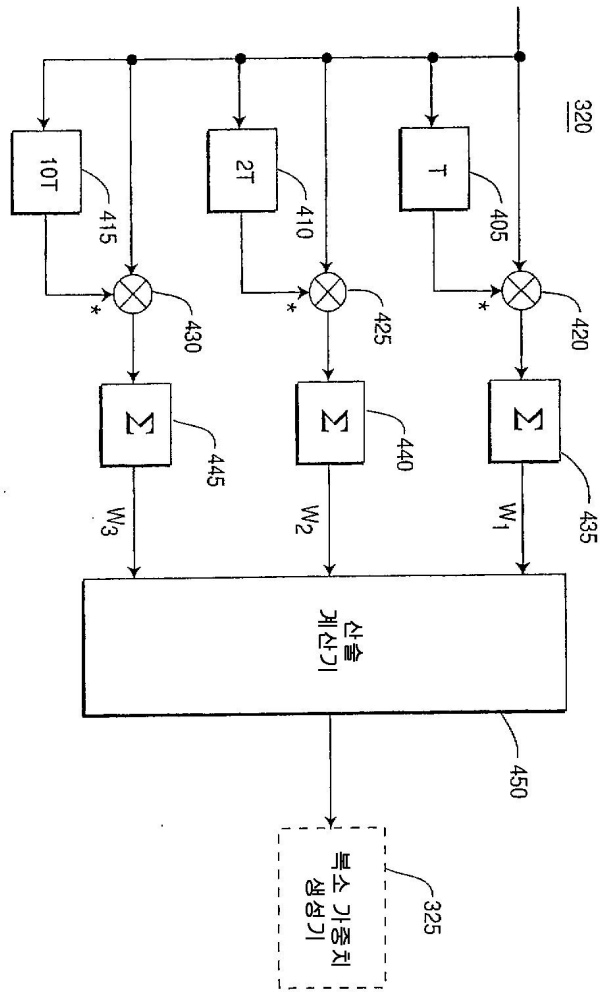
도면3a



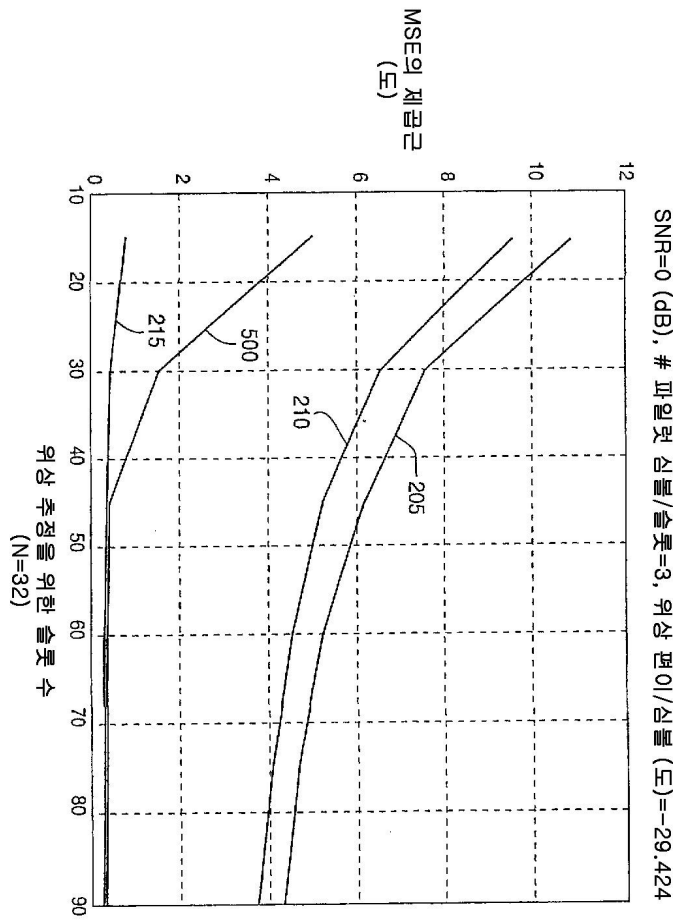
도면3b



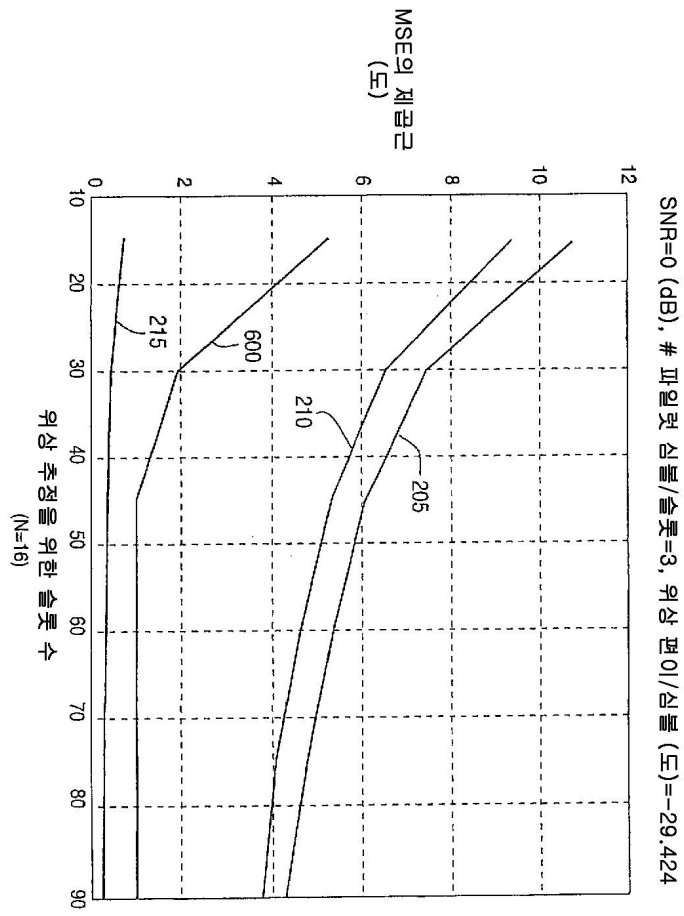
도면4



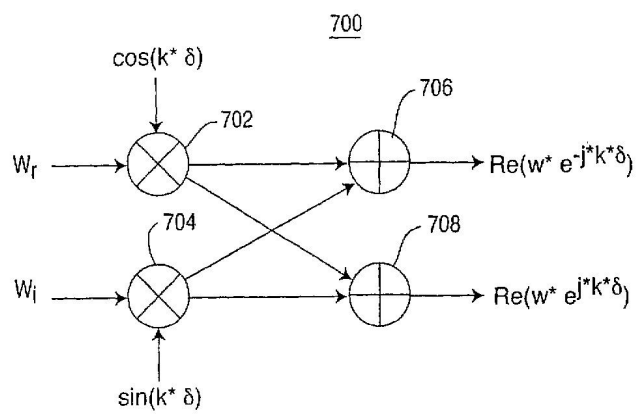
도면5



도면6



도면7



도면8

