

【特許請求の範囲】

【請求項 1】

第 1 乃至第 3 のトランジスタ、及び容量素子を有する半導体装置であって、
 前記第 1 のトランジスタのゲートは、第 1 の配線に電氣的に接続され、
 前記第 1 のトランジスタのソース及びドレインの一方は、第 2 の配線に電氣的に接続され、
 前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのソース及びドレインの他方に電氣的に接続され、
 前記第 2 のトランジスタのソース及びドレインの一方は、第 3 の配線に電氣的に接続され、
 前記第 3 のトランジスタのゲートは、第 4 の配線に電氣的に接続され、
 前記第 3 のトランジスタのソース及びドレインの一方は、前記第 2 のトランジスタのソース及びドレインの他方に電氣的に接続され、
 前記第 3 のトランジスタのソース及びドレインの他方は、第 5 の配線に電氣的に接続され、
 前記容量素子の一方の電極は、前記第 2 のトランジスタのゲートに電氣的に接続され、
 前記容量素子の他方の電極は、第 6 の配線に電氣的に接続され、
 前記第 1 の配線は、第 1 の信号を伝えることができる機能を有し、
 前記第 2 の配線は、第 2 の信号を伝えることができる機能を有し、
 前記第 3 の配線は、第 1 の電位を伝えることができる機能を有し、
 前記第 4 の配線は、第 3 の信号を伝えることができる機能を有し、
 前記第 5 の配線は、第 2 の電位を伝えることができる機能を有し、
 前記第 6 の配線は、第 4 の信号を伝えることができる機能を有し、
 前記第 1 の信号は、前記第 1 のトランジスタを導通状態として、前記第 2 の信号の電位を前記第 2 のトランジスタのゲートに与えることができる機能を有し、
 前記第 3 の信号は、前記第 3 のトランジスタを導通状態として、前記第 2 の電位を前記第 3 のトランジスタのソース及びドレインの一方に与えることができる機能を有し、
 前記第 4 の信号は、前記第 2 のトランジスタのゲートに与えられた前記第 2 の信号の電位に従って、前記第 2 のトランジスタの導通状態を制御して、前記第 1 の電位を前記第 2 のトランジスタのソース及びドレインの他方に与えることができる機能を有することを特徴とする半導体装置。

10

20

30

【請求項 2】

請求項 1 において、前記第 1 のトランジスタは、半導体層が酸化物半導体を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 において、前記第 2 及び 3 のトランジスタは、半導体層がシリコンを有することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、
 前記第 1 のトランジスタのチャネル領域と、前記第 2 又は 3 のトランジスタのチャネル領域とは、互いに重なる領域を有することを特徴とする半導体装置。

40

【請求項 5】

請求項 1 乃至 4 のいずれか一に記載の半導体装置を m 行 n 列 (m 、 n は自然数) で有する記憶装置であって、
 行選択デコーダと、列選択デコーダとを有し、
 前記行選択デコーダは、 i 行目 (i は自然数) の前記半導体装置に前記列選択デコーダより与えられるデータ信号を書き込むことができる第 1 の機能と、 j 行目 ($i < j$; j は自然数) の前記半導体装置に保持したデータ信号に基づく電位を前記列選択デコーダに出力することができる第 2 の機能と、を同時に行う機能を有することを特徴とする記憶装置。

50

【請求項 6】

請求項 5 に記載の記憶装置と、
前記記憶装置に電氣的に接続されたリードと、を有することを特徴とする電子部品。

【請求項 7】

請求項 6 に記載の電子部品と、
表示装置と、を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、電子部品、及び電子機器に関する。

10

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【背景技術】

【0003】

S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) は、データの書き込み / 読み出しを高速に行える点でプロセッサ等のキャッシュメモリに用いられている。

20

【0004】

画像処理等に用いる S R A M では、高速アクセスの需要が高まっている。そのため、データの書き込み / 読み出しを独立して制御できる、2ポート S R A M が提案されている（例えば、特許文献 1 を参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2007 - 059043 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

2ポート S R A M のように S R A M をベースにした回路構成では、トランジスタ数が 6 T r 以上に増加する。そのため、セル面積が最少加工寸法を F として、100乃至150F²を超える面積となってしまう。従ってセル面積はフラッシュメモリや、D R A M と比べて大きくなってしまふ。

【0007】

そこで、本発明の一態様は、セル面積を縮小できる、新規な構成の半導体装置等を提供することを課題の一とする。または、本発明の一態様は、データの書き込み / 読み出しを独立して制御できる、新規な構成の半導体装置等を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置等を提供することを課題の一とする。

40

【0008】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び / 又は他の課題のうち、少なくとも一つの課題を解決するものである。

【課題を解決するための手段】

50

【 0 0 0 9 】

本発明の一態様は、第1乃至第3のトランジスタ、及び容量素子を有する半導体装置であって、第1のトランジスタのゲートは、第1の配線に電氣的に接続され、第1のトランジスタのソース及びドレインの一方は、第2の配線に電氣的に接続され、第2のトランジスタのゲートは、第1のトランジスタのソース及びドレインの他方、並びに容量素子の一方の電極に電氣的に接続され、第2のトランジスタのソース及びドレインの一方は、第3の配線に電氣的に接続され、第3のトランジスタのゲートは、第4の配線に電氣的に接続され、第3のトランジスタのソース及びドレインの一方は、第2のトランジスタのソース及びドレインの他方に電氣的に接続され、第3のトランジスタのソース及びドレインの他方は、第5の配線に電氣的に接続され、容量素子の他方の電極は、第6の配線に接続され、第1の配線は、第1の信号を伝えることができる機能を有し、第2の配線は、第2の信号を伝えることができる機能を有し、第3の配線は、第1の電位を伝えることができる機能を有し、第4の配線は、第3の信号を伝えることができる機能を有し、第5の配線は、第2の電位を伝えることができる機能を有し、第6の配線は、第4の信号を伝えることができる機能を有し、第1の信号は、第1のトランジスタを導通状態として、第2の信号の電位を第2のトランジスタのゲートに与えることができる機能を有し、第3の信号は、第3のトランジスタを導通状態として、第2の電位を第3のトランジスタのソース及びドレインの一方に与えることができる機能を有し、第4の信号は、第2のトランジスタのゲートに与えられた第2の信号の電位に従って、第2のトランジスタの導通状態を制御して、第1の電位を第2のトランジスタのソース及びドレインの他方に与えることができる機能を有する半導体装置である。

10

20

【 0 0 1 0 】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

【 発明の効果 】

【 0 0 1 1 】

本発明の一態様は、セル面積を縮小できる、新規な構成の半導体装置等を提供することができる。そのため、半導体装置を小型化することができる。または、本発明の一態様は、データの書き込み/読み出しを独立して制御できる、新規な構成の半導体装置等を提供することができる。そのため、半導体装置を高速動作させることができる。または、本発明の一態様は、新規な半導体装置等を提供することができる。

30

【 0 0 1 2 】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び/又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【 図面の簡単な説明 】

40

【 0 0 1 3 】

【 図 1 】 本発明の一態様を説明するための回路図。

【 図 2 】 本発明の一態様を説明するためのタイミングチャート図。

【 図 3 】 本発明の一態様を説明するための回路図。

【 図 4 】 本発明の一態様を説明するための回路図。

【 図 5 】 本発明の一態様を説明するための回路図。

【 図 6 】 本発明の一態様を説明するための回路図。

【 図 7 】 本発明の一態様を説明するための回路図。

【 図 8 】 本発明の一態様を説明するための回路ブロック図。

【 図 9 】 本発明の一態様を説明するための回路ブロック図。

50

【図10】本発明の一態様を説明するための回路ブロック図。

【図11】酸化物半導体の断面TEM像および局所的なフーリエ変換像。

【図12】酸化物半導体膜のナノビーム電子回折パターンを示す図、および透過電子回折測定装置の一例を示す図。

【図13】透過電子回折測定による構造解析の一例を示す図、および平面TEM像。

【図14】本発明の一態様を説明する断面図。

【図15】本発明の一態様を説明する断面図。

【図16】電子部品の作製工程を示すフローチャート図及び斜視模式図。

【図17】電子部品を用いた電子機器。

【図18】本発明の一態様を説明するためのタイミングチャート図。

10

【図19】本発明の一態様を説明するための回路図。

【図20】本発明の一態様を説明するための回路図。

【図21】本発明の一態様を説明するための回路図。

【図22】本発明の一態様を説明するための回路図。

【図23】本発明の一態様を説明するための回路図。

【図24】本発明の一態様を説明するための回路図。

【発明を実施するための形態】

【0014】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

20

【0015】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0016】

また本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域又はドレイン電極）とソース（ソース端子、ソース領域又はソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。

30

【0017】

ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソース又はドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソース又はドレインと呼ばず、ソースとドレインとの一方を第1電極と表記し、ソースとドレインとの他方を第2電極と表記する場合がある。

40

【0018】

なお本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0019】

なお本明細書において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的な作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

【0020】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介

50

さず)、Xと電氣的に接続され、トランジスタのドレイン(又は第2の端子など)が、Z2を介して(又は介さず)、Yと電氣的に接続されている場合や、トランジスタのソース(又は第1の端子など)が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン(又は第2の端子など)が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することが出来る。

【0021】

例えば、「XとYとトランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とは、互いに電氣的に接続されており、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、Xと電氣的に接続され、トランジスタのドレイン(又は第2の端子など)はYと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とを介して、Yと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

10

20

【0022】

なお本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0023】

なお図面におけるブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路ブロックにおいては同じ回路ブロック内で別々の機能を実現しうるように設けられている場合もある。また図面における各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路ブロックにおいては一つの回路ブロックで行う処理を、複数の回路ブロックで行うよう設けられている場合もある。

30

【0024】

(実施の形態1)

本実施の形態では、半導体装置の回路図、及びタイミングチャートの構成例について説明する。

【0025】

本明細書等において半導体装置とは、半導体特性を利用することで機能しうるもの全般を指す。よって、トランジスタ等の半導体素子で構成されるRAM(Random Access Memory)、RAMを構成するメモリセル、あるいは記憶回路などは、半導体装置である。

40

【0026】

図1は、半導体装置であるメモリセルの回路構成を示す図である。

【0027】

図1に示すメモリセルMCは、トランジスタOSTr、トランジスタTP1、トランジスタTP2、及び容量素子C1を有する。なおトランジスタTP1のゲートをノードN1として図示している。

50

【0028】

また、図1に示すメモリセルMCには、書き込みワード信号WESを与えるための配線WL、読み出しワード信号RESを与えるための配線RWL、容量ワード信号CESを与えるための配線CWL、データ信号DATAを与えるための配線WBL、プリチャージ電圧Vpcを与えるための配線RBL、読み出し電圧Vrを与えるための配線SLを図示している。

【0029】

メモリセルMCは、一例として、RAMを構成するメモリセルである。メモリセルMCは、書き込みワード信号WES及び容量ワード信号CESを制御して、データ信号DATAの電位が与えられ、データが書き込まれる。またメモリセルMCは、読み出しワード信号RES及び容量ワード信号CESを制御して、データ信号DATAの電位に応じたプリチャージ電圧Vpcの変化を外部回路で検出し、データを読み出すことができる。

10

【0030】

図1のメモリセルMCの構成では、データ信号DATAを与えるための配線WBL及びプリチャージ電圧Vpcを与えるための配線RBLが別々に設けられている。そのため、書き込みワード信号WES、容量ワード信号CES、及び読み出しワード信号RESを制御することで、データの書き込みとデータの読み出しを同じサイクルで行うことができる。例えば1行目のメモリセルMCにデータを書き込み、3行目のデータを読み出すことを同時に行うことができる。

20

【0031】

特に本実施の形態の一態様におけるメモリセルMCの構成では、2ポートSRAMのようにデータの書き込み/読み出しを独立して制御できる。そのため、2ポートSRAMと同様に、高速アクセスを行うことができる。また本実施の形態の一態様におけるメモリセルMCの構成では、2ポートSRAMの機能を少ないトランジスタ数で実現することができる。そのため本実施の形態の一態様におけるメモリセルMCの構成では、2ポートSRAMと比べて、セル面積を縮小されたメモリセルとすることができる。

【0032】

次いで、メモリセルMCが有する各構成について説明する。

【0033】

トランジスタOSTrは、ゲートが配線WWLに接続される。トランジスタOSTrは、ソース及びドレインの一方が配線WBLに接続される。トランジスタOSTrは、ソース及びドレインの他方がトランジスタTP1のゲートに接続される。

30

【0034】

なおトランジスタOSTrは、チャンネルが形成される半導体層に酸化物半導体を用いるトランジスタ(OSTランジスタともいう)が好ましい。

【0035】

OSTランジスタは、電子を多数キャリアとする蓄積型のトランジスタである。この場合、半導体層とソース電極およびドレイン電極とが接する領域からチャンネル形成領域へ延びる電界が短距離で遮蔽される。そのためOSTランジスタは、短チャンネル効果が起きにくい。短チャンネル効果が起きにくいため、LDD領域を設ける必要がない。そのためOSTランジスタは、チャンネル長を短くしても移動度の低下が生じない。

40

【0036】

一方で、Siトランジスタは短チャンネルの場合、短チャンネル効果が起きる。この短チャンネル効果を抑制するため、SiトランジスタではLDD領域を設ける必要がある。このLDD領域の影響によって、Siトランジスタでは移動度の低下が生じる。そのため、OSTランジスタを有するメモリセルMCの構成は、Siトランジスタにおいて移動度のゲート長依存性により微細化した際の移動度が小さくなる問題を解決することができる。

【0037】

短チャンネル効果が表れないゲート長では、SiトランジスタとOSTランジスタの移動度の差が大きいと、OSTランジスタのゲート幅をSiトランジスタに比べて大きくして設

50

計する必要がある。一方で微細化によって短チャネル効果が表れるゲート長では、SiトランジスタとOSTランジスタの移動度の差が小さくなる。そのため、OSTランジスタを有するメモリセルMCの構成は、OSTランジスタとSiトランジスタのゲート幅を近づけて設計することができる。

【0038】

またOSTランジスタは、極めて小さいオフ電流が得られるトランジスタとすることができる。

【0039】

OSTランジスタは、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にする事でオフ電流を小さくすることができる。ここで、実質的に真性とは、酸化物半導体中のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを、さらに好ましくは $8 \times 10^{11} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であることであり、且つ $1 \times 10^{-9} / \text{cm}^3$ 以上であることを指す。酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。

10

【0040】

真性または実質的に真性にした酸化物半導体を用いたトランジスタは、キャリア密度が低いため、しきい値電圧がマイナスとなる電気特性になることが少ない。また、当該酸化物半導体を用いたトランジスタは、酸化物半導体のキャリアトラップが少ないため、電気特性の変動が小さく、信頼性の高いトランジスタとなる。また、当該酸化物半導体を用いたトランジスタは、オフ電流を非常に小さくすることが可能となる。

20

【0041】

なおオフ電流を小さくしたOSTランジスタでは、室温(25 程度)にてチャネル幅 $1 \mu\text{m}$ あたりの規格化されたオフ電流が $1 \times 10^{-18} \text{A}$ 以下、好ましくは $1 \times 10^{-21} \text{A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{A}$ 以下、又は85 にて $1 \times 10^{-15} \text{A}$ 以下、好ましくは $1 \times 10^{-18} \text{A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{A}$ 以下とすることができる。

【0042】

なおオフ電流とは、nチャネル型トランジスタの場合、トランジスタがオフ状態のときにソースとドレインとの間に流れる電流をいう。nチャネル型トランジスタの閾値電圧が、例えば、0V乃至2V程度であれば、ゲートとソースの間に印加される電圧が負の電圧の場合に、ソースとドレインとの間を流れる電流をオフ電流とすることができる。

30

【0043】

またOSTランジスタは、良好なスイッチング特性が得られるトランジスタとすることができる。

【0044】

OSTランジスタは、絶縁表面上に形成されるトランジスタである。そのため、Siトランジスタのように半導体基板をそのままチャネル形成領域として用いる場合と異なり、ゲート電極と半導体基板との間で寄生容量が形成されない。従ってOSTランジスタを用いる場合、ゲート電界によるキャリアの制御が容易になり、良好なスイッチング特性を得ることができる。

40

【0045】

加えてOSTランジスタは、上述した短チャネル効果を抑制できるため、Siトランジスタにおいては短チャネル効果を抑制するために講じたようにゲート絶縁膜を薄く形成する必要がない。そのため、OSTランジスタはゲート絶縁膜を厚く形成することができ、寄生容量の低減を見込むことができる。またOSTランジスタは、上述したLDD領域を設ける必要がない。そのため、さらなる寄生容量の低減を見込むことができる。

【0046】

50

上述したように、寄生容量の形成を抑制することができることにより、トランジスタ $OSTr$ では、ゲート容量を小さくすることができる。そのため、トランジスタ $OSTr$ を非導通状態とする際に生じるフィードスルー効果を表れにくくすることができる。

【0047】

配線 WWL に与える書き込みワード信号 WES は、トランジスタ $OSTr$ の導通状態を制御する信号である。本明細書では、トランジスタ $OSTr$ を n チャネル型トランジスタとして説明する。そのため、書き込みワード信号 WES が H レベルの電位であれば、トランジスタ $OSTr$ が導通状態となり、 L レベルの電位であれば、トランジスタ $OSTr$ が非導通状態となる。

【0048】

配線 WBL に与えるデータ信号 $DATA$ は、メモリセル MC に書き込むデータに基づく信号である。配線 WBL を介してメモリセル MC に書き込まれるデータ信号 $DATA$ は、一例としてデータ '1' であれば H レベルの電位、データ '0' であれば L レベルの電位とする。データ信号 $DATA$ は、ノード $N1$ に与えられ、ノード $N1$ で保持する電位の違いによってトランジスタ $TP1$ の導通状態を制御する。図1の説明では、トランジスタ $TP1$ を p チャネル型トランジスタとして説明する。そのため、データ信号 $DATA$ が L レベルの電位であれば、トランジスタ $TP1$ が導通状態となり、 H レベルの電位であれば、トランジスタ $TP1$ が非導通状態となる。

【0049】

容量素子 $C1$ は、一方の電極がトランジスタ $TP1$ のゲートに接続される。容量素子 $C1$ は、他方の電極が配線 CWL に接続される。

【0050】

配線 CWL に与える容量ワード信号 CES は、ノード $N1$ が電氣的に浮遊状態であるとき、容量結合によりノード $N1$ の電位を変動させるための信号である。

【0051】

例えば、ノード $N1$ が H レベルの電位 $VH (> VL)$ で電氣的に浮遊状態であり、その後容量ワード信号 CES を L レベルから H レベルに変動させることで、ノード $N1$ の電位を H レベルの電位から上昇させた電位 $VH+ (> VH)$ にすることができる。上昇させた電位 $VH+$ は、再度容量ワード信号 CES を H レベルから L レベルに変動させることで、電位 VH にすることができる。

【0052】

また例えば、ノード $N1$ が L レベルの電位 VL で電氣的に浮遊状態であり、その後容量ワード信号 CES を L レベルから H レベルに変動させることで、ノード $N1$ の電位を L レベルの電位から上昇させた電位 VH にすることができる。上昇させた電位 VH は、再度容量ワード信号 CES を H レベルから L レベルに変動させることで、電位 VL にすることができる。

【0053】

データの書き込み時においては、容量ワード信号 CES を予め L レベルとするよう制御することで、ノード $N1$ に電位 VL を書き込んでも、その後電位 VH として保持できる。そのため、容量ワード信号 CES を再び L レベルとしない限りトランジスタ $TP1$ は導通状態とはならない。従って、ノード $N1$ に電位 VL を書き込んだ場合、データを読み出す期間以外にトランジスタ $TP1$ が導通状態となることを防ぐことができる。

【0054】

加えてデータの書き込み時においては、容量ワード信号 CES を予め L レベルとするよう制御することで、ノード $N1$ に H レベルの電位 VH を書き込んで電位 $VH+$ として保持できる。そのため、データを読み出すために容量ワード信号 CES を L レベルから H レベルに変動させてもノード $N1$ は電位 VH とすることができる。従って、ノード $N1$ に電位 VH を書き込んだ場合、容量ワード信号 CES を L レベルから H レベルに変動させてもトランジスタ $TP1$ は導通状態となることを防ぐことができる。

【0055】

10

20

30

40

50

トランジスタTP1は、ゲートがトランジスタOSTrのソース及びドレインの他方に接続される。トランジスタTP1は、ソース及びドレインの一方が配線RBLに接続される。トランジスタTP1は、ソース及びドレインの他方がトランジスタTP2のソース及びドレインの一方に接続される。

【0056】

トランジスタTP2は、ゲートが配線RWLに接続される。トランジスタTP2は、ソース及びドレインの一方がトランジスタTP1のソース及びドレインの他方に接続される。トランジスタTP2は、ソース及びドレインの他方が配線SLに接続される。

【0057】

配線RWLに与える読み出しワード信号RESは、トランジスタTP2の導通状態を制御する信号である。図1では、トランジスタTP2をpチャンネル型トランジスタとして説明する。そのため、読み出しワード信号RESがLレベルの電位であれば、トランジスタTP2が導通状態となり、Hレベルの電位であれば、トランジスタTP2が非導通状態となる。

10

【0058】

なおトランジスタTP1、TP2は、チャンネルが形成される半導体層にシリコンを用いるトランジスタを用いることが好ましい。チャンネルが形成される半導体層にシリコンを用いるトランジスタは、チャンネルが形成される半導体層に酸化物半導体を用いるトランジスタを重畳させて設けることができるため、半導体装置の小型化を図ることができ、好適である。

20

【0059】

配線RBLに与える電位Vpcは、例えば電位VDD、あるいは電位Vrよりも大きい電位である。なお配線RBLは電位Vpcを与えた後、電氣的に浮遊状態とし、トランジスタTP1、TP2の導通状態に従って電位が変動する構成とする。また配線SLに与える電位Vrは、例えば電位VSS、電位GNDあるいは電位Vpcよりも小さい電位である。なお電位VDDは高電源電位であり、電位VSSは低電源電位であり、電位GNDはグラウンド電位である。

【0060】

データの読み出し時においては、容量ワード信号CESをHレベルからLレベルとし、ノードN1の電位をデータ信号DATAとして書き込んだ電位にするよう制御するとともに、読み出しワード信号RESをLレベルとしてトランジスタTP2を導通状態とする。すると、データ信号DATAとして書き込んだ電位に従ってトランジスタTP1の導通状態が決まる。

30

【0061】

例えばノードN1が電位VLとなり、且つトランジスタTP1が導通状態のとき、配線RBLと配線SLとの間で電位差が生じ、電流が流れる。電流が流れ始めるとともに、電氣的に浮遊状態で与えた配線RBLの電位Vpcが変化する。

【0062】

またノードN1が電位VHとなり、且つトランジスタTP1が非導通状態のとき、配線RBLと配線SLとの間で電位差が生じず、電流が流れない。電流が流れないため、電氣的に浮遊状態で与えた配線RBLの電位Vpcが変化しない。

40

【0063】

この配線RBLの電位Vpcの変化を外部の読み出し回路で検出することでデータを読み出すことができる。

【0064】

上述したデータの読み出しとデータの書き込みは、共に容量ワード信号CESをLレベルとしたタイミングで書き込みワード信号WESあるいは読み出しワード信号RESを制御することで独立して行うことができる。そのため、2ポートSRAMと同様に、高速アクセスを行うことができる。本実施の形態の一態様におけるメモリセルMCの構成では、2ポートSRAMの機能を少ないトランジスタ数で実現することができる。そのため本実施

50

の形態の一態様におけるメモリセルMCの構成では、高速アクセスが図れるとともに、2ポートSRAMと比べて、セル面積を縮小されたメモリセルとすることができる。

【0065】

次いで図1に示すメモリセルMCの動作について説明する。図2には、図1に示す回路図で入出力される信号及びノードの電位のタイミングチャート図を示す。

【0066】

なお図2では、図1に示す書き込みワード信号WES、読み出しワード信号RES、容量ワード信号CES、データ信号DATA、ノードN1、電位Vpc、電位Vrについての变化について示す。なお図2では、説明のため、時刻T1乃至T10を付している。時刻T1乃至T5ではデータ信号DATAとしてデータ'1'、時刻T6乃至T10ではデータ信号DATAとしてデータ'0'を書き込み、そして読み出す場合について示している。

10

【0067】

なお図2で示す各配線の電位は、説明のためHレベルの電位VHとLレベルの電位VLで切り替えられるものとする。また、ノードN1については、上述したように容量ワード信号CESの制御によって少なくとも3つの段階を取り得るため、電位VH、電位VLに電位VH+を加えて説明する。

【0068】

まず時刻T1においてデータ'1'の書き込みの動作が開始される。

【0069】

時刻T1では、書き込みワード信号WES及び読み出しワード信号RESをHレベル、容量ワード信号CESをLレベル、データ信号DATAをHレベルとする。トランジスタOSTrが導通状態となり、ノードN1が電位VHとなる。なおトランジスタTP2が非導通状態にあるため、電位Vpcがプリチャージされているか否かに関わらず、トランジスタTP2を介して電流は流れない。

20

【0070】

時刻T2では、データ'1'の書き込みの動作が完了する。

【0071】

時刻T2では、容量ワード信号CES及び読み出しワード信号RESをHレベル、書き込みワード信号WESをLレベル、データ信号DATAをLレベルとする。ノードN1の電位VHは、トランジスタOSTrが非導通状態となることで電氣的に浮遊状態であるため、容量ワード信号CESのLレベルからHレベルへの変化に追従して上昇し、電位VH+となる。

30

【0072】

トランジスタOSTrを非導通状態にし続けることで、メモリセルMCは、電位VHが昇圧された電位VH+を保持することができる。なおデータに応じた電位を保持する期間において、トランジスタOSTrには、所定の電圧が供給され続けている場合がある。例えば、トランジスタOSTrのゲートには、トランジスタが完全にオフ状態となるような電圧が供給され続けている場合がある。または、トランジスタOSTrのバックゲートには、トランジスタの閾値電圧がシフトして、トランジスタがノーマリオフ状態になるような電圧が供給され続けている場合がある。そのような場合には、情報を保持する期間において、メモリセルMCに電圧が供給されていることになるが、電流がほとんど流れないため、電力をほとんど消費しない。したがって、電力をほとんど消費しないことから、仮に、所定の電圧がメモリセルMCに供給されているとしても、実質的には、メモリセルMCは不揮発性であると表現することができる。

40

【0073】

時刻T3では、データ'1'を読み出すためにプリチャージ動作を開始する。

【0074】

時刻T3では、容量ワード信号CES及び読み出しワード信号RESをHレベル、書き込みワード信号WESをLレベル、データ信号DATAをLレベルとする。そして電位Vp

50

cをHレベルの電位にし、電氣的に浮遊状態とする。なおトランジスタTP2が非導通状態にあるため、電位V_{pc}がプリチャージされても、トランジスタTP2を介して電流は流れない。

【0075】

時刻T4では、データ'1'の読み出しの動作が開始する。

【0076】

時刻T4では、書き込みワード信号WES、容量ワード信号CES、読み出しワード信号RESをLレベル、及びデータ信号DATAをLレベルとする。ノードN1の電位は、トランジスタOSTrが非導通状態となることで電氣的に浮遊状態であるため、容量ワード信号CESのHレベルからLレベルへの変化に追従して下降し、電位V_Hとなる。トランジスタTP1が非導通状態となり、トランジスタTP2が導通状態となる。トランジスタTP1及びトランジスタTP2を介して電流は流れないため、プリチャージによってHレベルとなった電位V_{pc}は不変である。

10

【0077】

時刻T5では、データ'1'の読み出しの動作が完了する。

【0078】

時刻T5では、容量ワード信号CES及び読み出しワード信号RESをHレベル、書き込みワード信号WESをLレベル、データ信号DATAをLレベルとする。ノードN1の電位は、トランジスタOSTrが非導通状態となることで電氣的に浮遊状態であるため、容量ワード信号CESのLレベルからHレベルへの変化に追従して上昇し、電位V_{H+}となる。

20

【0079】

次いで時刻T6においてデータ'0'の書き込みの動作が開始される。

【0080】

時刻T6では、書き込みワード信号WES及び読み出しワード信号RESをHレベル、容量ワード信号CESをLレベル、データ信号DATAをLレベルとする。トランジスタOSTrが導通状態となり、ノードN1が電位V_Lとなる。なおトランジスタTP2が非導通状態にあるため、電位V_{pc}がプリチャージされているか否かに関わらず、トランジスタTP2を介して電流は流れない。

【0081】

時刻T7では、データ'0'の書き込みの動作が完了する。

30

【0082】

時刻T7では、容量ワード信号CES及び読み出しワード信号RESをHレベル、書き込みワード信号WESをLレベル、データ信号DATAをLレベルとする。ノードN1の電位V_Lは、トランジスタOSTrが非導通状態となることで電氣的に浮遊状態であるため、容量ワード信号CESのLレベルからHレベルへの変化に追従して上昇し、電位V_Hとなる。

【0083】

トランジスタOSTrを非導通状態にし続けることで、メモリセルMCは、電位V_Lが昇圧された電位V_Hを保持することができる。

40

【0084】

時刻T8では、データ'0'を読み出すためにプリチャージ動作を開始する。

【0085】

時刻T8では、容量ワード信号CES及び読み出しワード信号RESをHレベル、書き込みワード信号WESをLレベル、データ信号DATAをLレベルとする。そして電位V_{pc}をHレベルの電位にし、電氣的に浮遊状態とする。なおトランジスタTP2が非導通状態にあるため、電位V_{pc}がプリチャージされても、トランジスタTP2を介して電流は流れない。

【0086】

時刻T9では、データ'0'の読み出しの動作が開始する。

50

【 0 0 8 7 】

時刻 T 9 では、書き込みワード信号 W E S を L レベル、容量ワード信号 C E S 及び読み出しワード信号 R E S を L レベル、データ信号 D A T A を L レベルとする。ノード N 1 の電位は、トランジスタ O S T r が非導通状態となることで電氣的に浮遊状態であるため、容量ワード信号 C E S の H レベルから L レベルへの変化に追従して下降し、電位 V L となる。トランジスタ T P 1、T P 2 が導通状態となる。トランジスタ T P 1 及びトランジスタ T P 2 を介して電流が流れ、プリチャージによって H レベルとなった電位 V p c は L レベルに変化する。

【 0 0 8 8 】

時刻 T 1 0 では、データ ' 0 ' の読み出しの動作が完了する。

10

【 0 0 8 9 】

時刻 T 1 0 では、容量ワード信号 C E S 及び読み出しワード信号 R E S を H レベル、書き込みワード信号 W E S を L レベル、データ信号 D A T A を L レベルとする。ノード N 1 の電位は、トランジスタ O S T r が非導通状態となることで電氣的に浮遊状態であるため、容量ワード信号 C E S の L レベルから H レベルへの変化に追従して上昇し、電位 V H となる。

【 0 0 9 0 】

図 2 で説明した図 1 のメモリセル M C の動作において、データの書き込み時においては、容量ワード信号 C E S を予め L レベルとするよう制御することで、ノード N 1 に電位 V L を書き込んでも、その後電位 V H、V H + として保持できる。

20

【 0 0 9 1 】

そのため、容量ワード信号 C E S を再び L レベルとしない限りトランジスタ T P 1 は導通状態とはならない。加えてトランジスタ T P 2 を導通状態としない限り、配線 R B L と配線 S L との間にデータを読み出すための電流が流れない。そのため、データの書き込みの動作が、データの読み出しの動作に影響を与えない。

【 0 0 9 2 】

また、容量ワード信号 C E S を H レベルから L レベルとしてデータを読み出す動作を行っても、書き込みワード信号 W E S を H レベルにしない限りトランジスタ O S T r は導通状態とはならない。そのため、データの読み出しの動作が、データの書き込みの動作に影響を与えない。

30

【 0 0 9 3 】

データの読み出しの動作とデータの書き込みの動作とが互いに影響を与えないため、それぞれの動作を独立して行うことができる。そのため、2ポート S R A M と同様に、高速アクセスを行うことができる。本実施の形態の一態様におけるメモリセル M C の構成では、2ポート S R A M の機能を少ないトランジスタ数で実現することができる。そのため本実施の形態の一態様におけるメモリセル M C の構成では、高速アクセスが図れるとともに、2ポート S R A M と比べて、セル面積を縮小されたメモリセルとすることができる。

【 0 0 9 4 】

なお図 1 では、トランジスタ T P 1、T P 2 の極性について p チャネル型のトランジスタを用いる構成を一例として挙げて説明したが、他の極性のトランジスタを用いる構成でもよい。

40

【 0 0 9 5 】

例えば図 3 に示す回路構成のように、図 1 のトランジスタ T P 1、T P 2 を n チャネル型のトランジスタであるトランジスタ T N 1、T N 2 とする構成でもよい。

【 0 0 9 6 】

また別の構成としては、図 3 のトランジスタ T N 1、T N 2 を、オフ電流の小さいトランジスタであるトランジスタ O S T r と同じ半導体層を用いたトランジスタとする構成でもよい。例えば図 4 に示す回路構成のように、図 3 のトランジスタ T N 1、T N 2 を、トランジスタ O S T r と同じ半導体層を用いたトランジスタ O S T r 1、トランジスタ O S T r 2 とする構成でもよい。

50

【0097】

また別の構成としては、図1のトランジスタTP1及びTP2の一方をnチャンネル型のトランジスタとする構成もよい。例えば、図5に示すように、図1のトランジスタTP2をnチャンネル型のトランジスタTN2とする構成でもよい。または、図6に示すように、図1のトランジスタTP1をnチャンネル型のトランジスタTN1とする構成でもよい。

【0098】

また別の構成としては、図1のトランジスタOSTrを、バックゲート(第2のゲートともいう)を有するトランジスタとする構成もよい。例えば、図7に示すように、図1のトランジスタOSTrを、バックゲートを有するトランジスタOSTr_BGとする構成でもよい。

10

【0099】

配線SLと配線RBLとの間に接続されたトランジスタは、直列接続されていればよい。そのため、トランジスタの配置を入れ替えてもよい。その場合の一例を、図19、図20、図21、図22、図23、図24に示す。他の図面においても、同様に、トランジスタの配置を入れ替えることが可能である。

【0100】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することができる。

【0101】

(実施の形態2)

本実施の形態では、図1で説明したメモリセルを有するRAM(Random Access Memory)の一例について説明する。また以下では、図8乃至図10を参照して説明する。なおRAMは、記憶装置という場合もある。記憶装置は、複数の半導体装置を有する。

20

【0102】

<RAMの構成例>

図8は、図1で説明したメモリセルMCを有するRAMの構成例を示すブロック図である。

【0103】

図8に示すRAM110は、図1で説明したメモリセルMCが複数設けられたメモリセルアレイMCA、行選択デコーダ111、及び列選択デコーダ112を有する。なおRAM110は、m行n列のマトリクス状に設けられたメモリセルMCを有する。

30

【0104】

また図8では、配線WWL[0]乃至[m-1]、配線RWL[0]乃至[m-1]、配線CWL[0]乃至[m-1]、配線WBL[0]乃至[n-1]、配線RBL[0]乃至[n-1]、及び配線SLを示している。

【0105】

図8に示すメモリセルアレイMCAは、図1で説明したメモリセルMCが、マトリクス状に設けられている。図1で説明したメモリセルMCでは、データの読み出しとデータの書き込みを、共に容量ワード信号CESをLレベルとしたタイミングで書き込みワード信号WESあるいは読み出しワード信号RESを制御することで独立して行うことができる。そのため、2ポートSRAMと同様に、高速アクセスを行うことができる。また、メモリセルMCは、2ポートSRAMの機能を少ないトランジスタ数で実現することができる。そのためメモリセルMCは、高速アクセスが図れるとともに、2ポートSRAMと比べて、セル面積を縮小されたメモリセルとすることができる。

40

【0106】

行選択デコーダ111は、メモリセルMCに接続された配線WWL[0]乃至[m-1]に書き込みワード信号、配線RWL[0]乃至[m-1]に読み出しワード信号、配線CWL[0]乃至[m-1]に容量ワード信号を与える機能を有する回路である。行選択デコーダ111は、各配線に信号を与える回路であり、単に回路という場合がある。

【0107】

50

列選択デコーダ 112 は、メモリセル MC に接続された配線 WBL [0] 乃至 [n - 1] にデータ信号、配線 RBL [0] 乃至 [n - 1] にプリチャージ電位を与えて電氣的に浮遊状態とする機能を有する回路である。列選択デコーダ 112 は、各配線に信号あるいは電位を与える回路であり、単に回路という場合がある。

【 0108 】

また各メモリセル MC は配線 SL に接続され、電源回路で生成される電位 Vr が与えられる。

【 0109 】

行選択デコーダ 111、列選択デコーダ 112 を備えることで RAM 110 は、メモリセル MC へのデータの書き込み及び読み出しの選択を行毎に独立して行うことができる。

10

【 0110 】

図 8 に示す RAM 110 において、配線 WWL [0] 乃至 [m - 1]、配線 RWL [0] 乃至 [m - 1]、配線 CWL [0] 乃至 [m - 1] に与える信号を、書き込みワード信号 WES [0] 乃至 [m - 1]、読み出しワード信号 RES [0] 乃至 [m - 1]、容量ワード信号 CES [0] 乃至 [m - 1] として、図 2 で説明したタイミングチャートと同様に表すと、図 18 に示すタイミングチャートのように動作させることができる。図 18 に示すタイミングチャートでは、メモリセル MC へのデータの書き込み及び読み出しの選択を異なる行で同時に行うことができる。

【 0111 】

一例としては、図 18 に示す時刻 T11 と T12 の期間では、行選択デコーダ 111 より出力する書き込みワード信号 WES [0] 乃至 [m - 1]、読み出しワード信号 RES [0] 乃至 [m - 1]、容量ワード信号 CES [0] 乃至 [m - 1] を制御して、列選択デコーダ 112 より出力するデータ信号 DATA を 1 行目のメモリセル MC に書き込むと同時に、m 行目のメモリセル MC に保持されたデータ信号 DATA に基づく電位を列選択デコーダ 112 に読み出すのと同じ期間で行うことができる。

20

【 0112 】

また、図 18 に示す時刻 T13 と T14 の期間では、行選択デコーダ 111 より出力する書き込みワード信号 WES [0] 乃至 [m - 1]、読み出しワード信号 RES [0] 乃至 [m - 1]、容量ワード信号 CES [0] 乃至 [m - 1] を制御して、列選択デコーダ 112 より出力するデータ信号 DATA を m 行目のメモリセル MC に書き込むと同時に、2 行目のメモリセル MC に保持されたデータ信号 DATA に基づく電位を列選択デコーダ 112 に読み出すのと同じ期間で行うことができる。

30

【 0113 】

すなわち図 8 に示す RAM 110 は、任意の i 行目と j 行目の複数行 (i j ; i, j 共に自然数) で、i 行目のメモリセル MC へのデータの書き込みと、j 行目のメモリセル MC からのデータの読み出しの動作を同じ期間で行うことができる。

【 0114 】

上記実施の形態で説明したメモリセル MC を有する RAM の構成では、2ポート SRAM のようにデータの書き込み / 読み出しを独立して制御できる。そのため、2ポート SRAM と同様に、データの書き込みと読み出しを同時に行い、高速アクセスを行うことができる。またメモリセル MC の構成では、2ポート SRAM の機能を少ないトランジスタ数で実現することができる。そのためメモリセル MC の構成では、2ポート SRAM と比べて、セル面積を縮小されたメモリセルとすることができる。

40

【 0115 】

< 行選択デコーダの構成例 >

図 9 は、図 8 で説明した行選択デコーダ 111 の構成例を示すブロック図である。

【 0116 】

図 9 に示す行選択デコーダ 111 は、デコーダ 101、及び読み出し書き込み制御回路 102 を有する。読み出し書き込み制御回路 102 は、配線 WWL、配線 RWL、及び配線 CWL の行毎に設けられる。また各行の読み出し書き込み制御回路 102 は、配線 WWL

50

[0] 乃至 [m - 1]、配線 R W L [0] 乃至 [m - 1]、配線 C W L [0] 乃至 [m - 1] に接続される。

【 0 1 1 7 】

デコーダ 1 0 1 は、配線 W W L、配線 R W L、及び配線 C W L が設けられる行を選択するための信号を出力する機能を備えた回路である。具体的には、アドレス信号 A d d r e s s が入力され、該アドレス信号 A d d r e s s に従っていずれかの行の読み出し書き込み制御回路 1 0 2 を選択する回路である。デコーダ 1 0 1 を備えることで、行選択デコーダ 1 1 1 は、任意の行を選択して、データの書き込み及び読み出しを行うことができる。

【 0 1 1 8 】

読み出し書き込み制御回路 1 0 2 は、デコーダ 1 0 1 で選択された配線 W W L、配線 R W L、及び配線 C W L を有する行の、書き込みワード信号及び容量ワード信号、あるいは読み出しワード信号及び容量ワード信号を選択的に出力する機能、を備えた回路である。

10

【 0 1 1 9 】

具体的に読み出し書き込み制御回路 1 0 2 は、書き込み制御信号 W r i t e C O N T 及び読み出し制御信号 R e a d C O N T が入力され、該信号に従って配線 W W L、配線 R W L、及び配線 C W L に与える信号を選択的に出力する回路である。読み出し書き込み制御回路 1 0 2 を備えることで、書き込みワード信号及び容量ワード信号、あるいは読み出しワード信号及び容量ワード信号を選択的に出力することができる。

【 0 1 2 0 】

< 列選択デコーダの構成例 >

20

図 1 0 は、図 8 で説明した列選択デコーダ 1 1 2 の構成例を示すブロック図である。

【 0 1 2 1 】

図 1 0 に示す列選択デコーダ 1 1 2 は、デコーダ 1 2 1、トランジスタ 1 2 2、及びコンパレータ 1 2 3 を有する。トランジスタ 1 2 2 及びコンパレータ 1 2 3 は、列毎に設けられる。またデコーダ 1 2 1 の出力は、配線 W B L [0] 乃至 [n - 1] に接続される。また各列のトランジスタ 1 2 2 及びコンパレータ 1 2 3 は、配線 R B L [0] 乃至 [n - 1] に接続される。

【 0 1 2 2 】

デコーダ 1 2 1 は、配線 R B L が設けられる列を選択し、入力されるデータを振り分けて出力する機能を備えた回路である。具体的には、アドレス信号 A d d r e s s 及びデータ信号 D A T A が入力され、該アドレス信号 A d d r e s s に従っていずれかの列にデータ信号 D A T A を出力する回路である。デコーダ 1 2 1 を備えることで、列選択デコーダ 1 1 2 は、任意の列の配線 W B L [0] 乃至 [n - 1] に、データ信号 D A T A を出力することができる。

30

【 0 1 2 3 】

なおデコーダ 1 2 1 と各配線 W B L [0] 乃至 [n - 1] に、データ信号 D A T A を一時的に記憶するラッチ回路を設けてもよい。ラッチ回路を備えることで、列選択デコーダ 1 1 2 は、任意のタイミングでデータ信号 D A T A の書き込みを行うことができる。

【 0 1 2 4 】

トランジスタ 1 2 2 は、プリチャージするための電位 V p c を配線 R B L に与える機能、及び配線 R B L を電氣的に浮遊状態とする機能を備えた回路である。具体的には、プリチャージ制御信号 P r e _ E N による制御で電位 V p c を配線 R B L に与え、その後配線 R B L を電氣的に浮遊状態とするスイッチとしての機能を有するトランジスタである。トランジスタ 1 2 2 を備えることで、列選択デコーダ 1 1 2 は、電位 V p c を配線 R B L に与えた後、配線 R B L を電氣的に浮遊状態に保持することができる。

40

【 0 1 2 5 】

コンパレータ 1 2 3 は、配線 R B L の電位 V p c と、参照電圧 V r e f との電位の高低を比較し、配線 D o u t [0] 乃至 [n - 1] に読み出されたデータ信号を出力する機能を備えた回路である。コンパレータ 1 2 3 を備えることで、列選択デコーダ 1 1 2 は、配線 R B L を介してメモリセル M C に保持されたデータを外部に出力することができる。

50

【0126】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することができる。

【0127】

(実施の形態3)

本実施の形態では、上記実施の形態で説明したオフ電流の小さいトランジスタの半導体層に用いることのできる酸化物半導体層について説明する。

【0128】

トランジスタの半導体層中のチャネル形成領域に用いる酸化物半導体としては、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。特にIn及びZnを含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)及びアルミニウム(Al)の少なくともいずれかを有すればよい。

10

【0129】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種又は複数種を有してもよい。

【0130】

トランジスタの半導体層として用いられる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

20

30

【0131】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=3:1:2、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0132】

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理(脱水素化処理)を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

40

【0133】

なお、酸化物半導体膜への脱水化処理(脱水素化処理)によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理(脱水素化処理)によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理、と記す場合がある。または酸化物半導体膜に含まれる酸素を化学量論的組成より

50

も多くする場合を過酸素化処理と記す場合がある。

【0134】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化又はi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下、 $8 \times 10^{11} / \text{cm}^3$ 未満、 $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、且つ $1 \times 10^{-9} / \text{cm}^3$ 以上であることをいう。

10

【0135】

また、このように、i型又は実質的にi型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（25 程度）にて $1 \times 10^{-18} \text{ A}$ 以下、好ましくは $1 \times 10^{-21} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{ A}$ 以下、又は85にて $1 \times 10^{-15} \text{ A}$ 以下、好ましくは $1 \times 10^{-18} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{ A}$ 以下とすることができる。なお、トランジスタがオフ状態とは、nチャネル型のトランジスタの場合、ゲート電圧が閾値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧が閾値電圧よりも1V以上、2V以上又は3V以上小さければ、トランジスタはオフ状態となる。

20

【0136】

また、酸化物半導体膜は、単結晶構造の酸化物半導体（以下、単結晶酸化物半導体という。）、多結晶構造の酸化物半導体（以下、多結晶酸化物半導体という。）、微結晶構造の酸化物半導体（以下、微結晶酸化物半導体という。）、及び非晶質構造の酸化物半導体（以下、非晶質酸化物半導体という。）の一以上で構成されてもよい。また、酸化物半導体膜は、CAAC-OS膜で構成されていてもよい。また、酸化物半導体膜は、非晶質酸化物半導体及び結晶粒を有する酸化物半導体で構成されていてもよい。以下に、代表例として、CAAC-OS及び微結晶酸化物半導体について説明する。

【0137】

まずは、CAAC-OS膜について説明する。

30

【0138】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0139】

CAAC-OS膜を透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって観察すると、明確な結晶部同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0140】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察（断面TEM観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

40

【0141】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0142】

図11(a)は、CAAC-OS膜の断面TEM像である。また、図11(b)は、図11(a)をさらに拡大した断面TEM像であり、理解を容易にするために原子配列を強調

50

表示している。

【0143】

図11(c)は、図11(a)のA-O-A'間において、丸で囲んだ領域(直径約4nm)の局所的なフーリエ変換像である。図11(c)より、各領域においてc軸配向性が確認できる。また、A-O間とO-A'間とでは、c軸の向きが異なるため、異なるグレインであることが示唆される。また、A-O間では、c軸の角度が14.3°、16.6°、26.4°のように少しずつ連続的に変化していることがわかる。同様に、O-A'間では、c軸の角度が-18.3°、-17.6°、-15.9°と少しずつ連続的に変化していることがわかる。

【0144】

なお、CAAC-OS膜に対し、電子回折を行うと、配向性を示すスポット(輝点)が観測される。例えば、CAAC-OS膜の上面に対し、例えば1nm以上30nm以下の電子線を用いる電子回折(ナノビーム電子回折ともいう。)を行うと、スポットが観測される(図12(A)参照。)

【0145】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0146】

なお、CAAC-OS膜に含まれるほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC-OS膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面TEM像において、2500nm²以上、5μm²以上または1000μm²以上となる結晶領域が観察される場合がある。

【0147】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0148】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0149】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0150】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

10

20

30

40

50

【0151】

また、CAAC-OS膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなることがある。また、不純物の添加されたCAAC-OS膜は、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成されることもある。

【0152】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

10

【0153】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

20

【0154】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0155】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

30

【0156】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

40

【0157】

次に、微結晶酸化物半導体膜について説明する。

【0158】

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、TE

50

Mによる観察像では、結晶粒界を明確に確認できない場合がある。

【0159】

nc-OS膜は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある（図12（B）参照。）。

10

【0160】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

20

【0161】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0162】

酸化物半導体膜が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能となる場合がある。

【0163】

図12（C）に、電子銃室70と、電子銃室70の下の光学系72と、光学系72の下の試料室74と、試料室74の下の光学系76と、光学系76の下の観察室80と、観察室80に設置されたカメラ78と、観察室80の下のフィルム室82と、を有する透過電子回折測定装置を示す。カメラ78は、観察室80内部に向けて設置される。なお、フィルム室82を有さなくても構わない。

30

【0164】

また、図12（D）に、図12（C）で示した透過電子回折測定装置内部の構造を示す。透過電子回折測定装置内部では、電子銃室70に設置された電子銃から放出された電子が、光学系72を介して試料室74に配置された物質88に照射される。物質88を通過した電子は、光学系76を介して観察室80内部に設置された蛍光板92に入射する。蛍光板92では、入射した電子の強度に応じたパターンが現れることで透過電子回折パターンを測定することができる。

40

【0165】

カメラ78は、蛍光板92を向いて設置されており、蛍光板92に現れたパターンを撮影することが可能である。カメラ78のレンズの中央、および蛍光板92の中央を通る直線と、蛍光板92の上面と、の為す角度は、例えば、15°以上80°以下、30°以上75°以下、または45°以上70°以下とする。該角度が小さいほど、カメラ78で撮影される透過電子回折パターンは歪みが大きくなる。ただし、あらかじめ該角度がわかれば、得られた透過電子回折パターンの歪みを補正することも可能である。なお、カメラ78をフィルム室82に設置しても構わない場合がある。例えば、カメラ78をフィルム室82に、電子84の入射方向と対向するように設置してもよい。この場合、蛍光板92の裏面から歪みの少ない透過電子回折パターンを撮影することができる。

50

【0166】

試料室74には、試料である物質88を固定するためのホルダが設置されている。ホルダは、物質88を通過する電子を透過するような構造をしている。ホルダは、例えば、物質88をX軸、Y軸、Z軸などに移動させる機能を有していてもよい。ホルダの移動機能は、例えば、1nm以上10nm以下、5nm以上50nm以下、10nm以上100nm以下、50nm以上500nm以下、100nm以上1 μ m以下などの範囲で移動させる精度を有すればよい。これらの範囲は、物質88の構造によって最適な範囲を設定すればよい。

【0167】

次に、上述した透過電子回折測定装置を用いて、物質の透過電子回折パターンを測定する方法について説明する。

10

【0168】

例えば、図12(D)に示すように物質におけるナノビームである電子84の照射位置を変化させる(スキャンする)ことで、物質の構造が変化していく様子を確認することができる。このとき、物質88がCAAC-OS膜であれば、図12(A)に示したような回折パターンが観測される。または、物質88がnc-OS膜であれば、図12(B)に示したような回折パターンが観測される。

【0169】

ところで、物質88がCAAC-OS膜であったとしても、部分的にnc-OS膜などと同様の回折パターンが観測される場合がある。したがって、CAAC-OS膜の良否は、一定の範囲におけるCAAC-OS膜の回折パターンが観測される領域の割合(CAAC化率ともいう。)で表すことができる場合がある。例えば、良質なCAAC-OS膜であれば、CAAC化率は、50%以上、好ましくは80%以上、さらに好ましくは90%以上、より好ましくは95%以上となる。なお、CAAC-OS膜と異なる回折パターンが観測される領域の割合を非CAAC化率と表記する。

20

【0170】

一例として、成膜直後(as-sputteredと表記。)または酸素を含む雰囲気における450 $^{\circ}$ C加熱処理後のCAAC-OS膜を有する各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。ここでは、5nm/秒の速度で60秒間スキャンしながら回折パターンを観測し、観測された回折パターンを0.5秒ごとに静止画に変換することで、CAAC化率を導出した。なお、電子線としては、プローブ径が1nmのナノビームを用いた。なお、同様の測定は6試料に対して行った。そしてCAAC化率の算出には、6試料における平均値を用いた。

30

【0171】

各試料におけるCAAC化率を図13(A)に示す。成膜直後のCAAC-OS膜のCAAC化率は75.7%(非CAAC化率は24.3%)であった。また、450 $^{\circ}$ C加熱処理後のCAAC-OS膜のCAAC化率は85.3%(非CAAC化率は14.7%)であった。成膜直後と比べて、450 $^{\circ}$ C加熱処理後のCAAC化率が高いことがわかる。即ち、高い温度(例えば400 $^{\circ}$ C以上)における加熱処理によって、非CAAC化率が低くなる(CAAC化率が高くなる)ことがわかる。また、500 $^{\circ}$ C未満の加熱処理においても高いCAAC化率を有するCAAC-OS膜が得られることがわかる。

40

【0172】

ここで、CAAC-OS膜と異なる回折パターンのほとんどはnc-OS膜と同様の回折パターンであった。また、測定領域において非晶質酸化物半導体膜は、確認できなかった。したがって、加熱処理によって、nc-OS膜と同様の構造を有する領域が、隣接する領域の構造の影響を受けて再配列し、CAAC化していることが示唆される。

【0173】

図13(B)および図13(C)は、成膜直後および450 $^{\circ}$ C加熱処理後のCAAC-OS膜の平面TEM像である。図13(B)と図13(C)とを比較することにより、450 $^{\circ}$ C加熱処理後のCAAC-OS膜は、膜質がより均質であることがわかる。即ち、高い

50

温度における加熱処理によって、C A A C - O S 膜の膜質が向上することがわかる。

【0174】

このような測定方法を用いれば、複数の構造を有する酸化物半導体膜の構造解析が可能となる場合がある。

【0175】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態に示す構成及び方法などと適宜組み合わせ用いることができる。

【0176】

(実施の形態4)

本実施の形態では、開示する発明の一態様に係る半導体装置に用いられるトランジスタの断面構造の一例について、図面を参照して説明する。

10

【0177】

図14に、本発明の一態様に係る回路部の断面構造の一部を、一例として示す。なお、図14では、上記実施の形態1の図1で図示したトランジスタO S T r、及びトランジスタT P 1の断面構造を、一例として示す。なお、破線A1 - A2で示す領域では、トランジスタO S T r、及びトランジスタT P 1のチャンネル長方向における構造を示しており、破線A3 - A4で示す領域では、トランジスタO S T r、及びトランジスタT P 1のチャンネル幅方向における構造を示している。ただし、本発明の一態様では、トランジスタO S T rのチャンネル長方向とトランジスタT P 1のチャンネル長方向とが、必ずしも一致していなくともよい。

20

【0178】

なお、チャンネル長方向とは、ソース領域及びドレイン領域として機能する一对の不純物領域間において、キャリアが最短距離で移動する方向を意味し、チャンネル幅方向は、チャンネル長方向に対して垂直の方向を意味する。

【0179】

また、図14では、酸化物半導体膜にチャンネル形成領域を有するトランジスタO S T rが、単結晶のシリコン基板にチャンネル形成領域を有するトランジスタT P 1上に形成されている場合を例示している。図14の構成とすることで、トランジスタの一部同士、例えばトランジスタO S T rのチャンネル形成領域と、トランジスタT P 1のチャンネル形成領域と、を重ねて設けることができる。そのため該構成とした半導体装置では、レイアウト面積の縮小を図ることができる。

30

【0180】

トランジスタT P 1は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャンネル形成領域を有していても良い。或いは、トランジスタT P 1は、酸化物半導体膜または酸化物半導体基板に、チャンネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャンネル形成領域を有している場合、トランジスタO S T rはトランジスタT P 1上に積層されていなくとも良く、トランジスタO S T rとトランジスタT P 1とは、同一の層に形成されていても良い。

【0181】

シリコンの薄膜を用いてトランジスタT P 1を形成する場合、当該薄膜には、プラズマC V D法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

40

【0182】

トランジスタT P 1が形成される基板400は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図14では、単結晶シリコン基板を基板400として用いる場合を例示している。

【0183】

50

また、トランジスタTP1は、素子分離法により電氣的に分離されている。素子分離法として、トレンチ分離法(STI法: Shallow Trench Isolation)等を用いることができる。図14では、トレンチ分離法を用いてトランジスタTP1を電氣的に分離する場合を例示している。具体的に、図14では、エッチング等により基板400に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域401により、トランジスタTP1を素子分離させる場合を例示している。

【0184】

また、トレンチ以外の領域に存在する基板400の凸部には、トランジスタTP1の不純物領域402及び不純物領域403と、不純物領域402及び不純物領域403に挟まれたチャンネル形成領域404とが設けられている。さらに、トランジスタTP1は、チャンネル形成領域404を覆う絶縁膜405と、絶縁膜405を間に挟んでチャンネル形成領域404と重なるゲート電極406とを有する。

10

【0185】

トランジスタTP1では、チャンネル形成領域404における凸部の側部及び上部と、ゲート電極406とが絶縁膜405を間に挟んで重なることで、チャンネル形成領域404の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタTP1の基板上における専有面積を小さく抑えつつ、トランジスタTP1におけるキャリアの移動量を増加させることができる。その結果、トランジスタTP1は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャンネル形成領域404における凸部のチャンネル幅方向の長さ(チャンネル幅)をW、チャンネル形成領域404における凸部の膜厚をTとすると、チャンネル幅Wに対する膜厚Tの比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタTP1のオン電流をより大きくすることができ、電界効果移動度もより高められる。

20

【0186】

なお、バルクの半導体基板を用いたトランジスタTP1の場合、アスペクト比は0.5以上であることが望ましく、1以上であることがより望ましい。

【0187】

トランジスタTP1上には、絶縁膜411が設けられている。絶縁膜411には開口部が形成されている。そして、上記開口部には、不純物領域402、不純物領域403にそれぞれ電氣的に接続されている導電膜412、導電膜413と、ゲート電極406に電氣的に接続されている導電膜414とが、形成されている。

30

【0188】

そして、導電膜412は、絶縁膜411上に形成された導電膜416に電氣的に接続されており、導電膜413は、絶縁膜411上に形成された導電膜417に電氣的に接続されており、導電膜414は、絶縁膜411上に形成された導電膜418に電氣的に接続されている。

【0189】

導電膜416乃至導電膜418上には、絶縁膜420が設けられている。そして、絶縁膜420上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜421が設けられている。絶縁膜421は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜421として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜421として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

40

【0190】

絶縁膜421上には絶縁膜422が設けられており、絶縁膜422上には、トランジスタOSTrが設けられている。

50

【0191】

トランジスタOSTrは、絶縁膜422上に、酸化物半導体を含む半導体膜430と、半導体膜430に電氣的に接続された、ソース電極またはドレイン電極として機能する導電膜432及び導電膜433と、半導体膜430を覆っているゲート絶縁膜431と、ゲート絶縁膜431を間に挟んで半導体膜430と重なるゲート電極434と、を有する。なお、絶縁膜420乃至絶縁膜422には開口部が設けられており、導電膜433は、上記開口部において導電膜418に接続されている。

【0192】

なお、図14において、トランジスタOSTrは、ゲート電極434を半導体膜430の片側において少なくとも有していれば良いが、絶縁膜422を間に挟んで半導体膜430と重なるゲート電極を、さらに有していても良い。

10

【0193】

トランジスタOSTrが、一对のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一对のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【0194】

また、図14では、トランジスタOSTrが、一のゲート電極434に対応した一のチャンネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタOSTrは、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャンネル形成領域を複数有する、マルチゲート構造であっても良い。

20

【0195】

また、図14に示すように、トランジスタOSTrは、半導体膜430が、絶縁膜422上において順に積層された酸化物半導体膜430a乃至酸化物半導体膜430cを有する場合を例示している。ただし、本発明の一態様では、トランジスタOSTrが有する半導体膜430が、単膜の金属酸化物膜で構成されていても良い。

【0196】

絶縁膜422は、加熱により酸素の一部を酸化物半導体膜430a乃至酸化物半導体膜430cに供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜422は、欠陥が少ないことが好ましく、代表的には、ESR測定により得られる、シリコンのダングリングボンドに由来する $g = 2.001$ を持つスピンの密度が $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。

30

【0197】

絶縁膜422は、加熱により上記酸素の一部を酸化物半導体膜430a乃至酸化物半導体膜430cに供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜422は、プラズマCVD (Chemical Vapor Deposition) 法またはスパッタリング法等により、形成することができる。

40

【0198】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

【0199】

なお、図14に示すトランジスタOSTrは、チャンネル領域が形成される酸化物半導体膜430bの端部のうち、導電膜432及び導電膜433とは重ならない端部、言い換えると、導電膜432及び導電膜433が位置する領域とは異なる領域に位置する端部と、ゲ

50

ート電極434とが、重なる構成を有する。酸化物半導体膜430bの端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n型化しやすいと考えられる。しかし、図14に示すトランジスタOSTrでは、導電膜432及び導電膜433とは重ならない酸化物半導体膜430bの端部と、ゲート電極434とが重なるため、ゲート電極434の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜430bの端部を介して導電膜432と導電膜433の間に流れる電流を、ゲート電極434に与える電位によって制御することができる。このようなトランジスタOSTrの構造を、Surrounded Channel (S-Channel)構造とよぶ。

10

【0200】

具体的に、S-Channel構造の場合、トランジスタOSTrがオフとなるような電位をゲート電極434に与えたときは、当該端部を介して導電膜432と導電膜433の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタOSTrでは、大きなオン電流を得るためにチャンネル長を短くし、その結果、酸化物半導体膜430bの端部における導電膜432と導電膜433の間の長さが短くなっても、トランジスタOSTrのオフ電流を小さく抑えることができる。よって、トランジスタOSTrは、チャンネル長を短くすることで、オンのときには大きいオン電流を得ることができ、オフのときにはオフ電流を小さく抑えることができる。

20

【0201】

また、具体的に、S-Channel構造の場合、トランジスタOSTrがオンとなるような電位をゲート電極434に与えたときは、当該端部を介して導電膜432と導電膜433の間に流れる電流を大きくすることができる。当該電流は、トランジスタOSTrの電界効果移動度とオン電流の増大に寄与する。そして、酸化物半導体膜430bの端部と、ゲート電極434とが重なることで、酸化物半導体膜430bにおいてキャリアの流れる領域が、ゲート絶縁膜431に近い酸化物半導体膜430bの界面近傍のみでなく、酸化物半導体膜430bの広い範囲においてキャリアが流れるため、トランジスタOSTrにおけるキャリアの移動量が増加する。この結果、トランジスタOSTrのオン電流が大きくなると共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10\text{ cm}^2/\text{V}\cdot\text{s}$ 以上、さらには $20\text{ cm}^2/\text{V}\cdot\text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

30

【0202】

なお、図14を用いて述べたが、本発明の実施形態の一態様は、これに限定されない。例えば、図15に示すような構造でもよい。

【0203】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態に示す構成及び方法などと適宜組み合わせることができる。

【0204】

(実施の形態5)

上記実施の形態で開示された、導電膜や半導体膜はスパッタ法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としてMOCVD(Metal Organic Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法を使っても良い。

40

【0205】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0206】

50

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0207】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

10

【0208】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された導電膜や半導体膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）を用いることもできる。

20

【0209】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

30

【0210】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入してIn-O層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを同時に導入してGaO層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ と O_3 ガスを同時に導入してZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えてAr等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、Hを含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いても良い。

40

【0211】

以上、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせることができる。

【0212】

（実施の形態6）

本実施の形態では、上述の実施の形態で説明した記憶装置を電子部品に適用する例、及び該電子部品を具備する電子機器に適用する例について、図16、図17を用いて説明する

50

。

【 0 2 1 3 】

図 1 6 (A) では上述の実施の形態で説明した記憶装置を電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、又は IC 用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

【 0 2 1 4 】

上記実施の形態 4 の図 1 4 に示すようなトランジスタで構成される記憶装置は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

【 0 2 1 5 】

後工程については、図 1 6 (A) に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成（ステップ S 1）した後、基板の裏面を研削する（ステップ S 2）。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

【 0 2 1 6 】

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（ステップ S 3）。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

【 0 2 1 7 】

次いでリードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電氣的に接続する、ワイヤーボンディングを行う（ステップ S 4）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

【 0 2 1 8 】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される（ステップ S 5）。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができる。また水分や埃による特性の劣化を低減することができる。

【 0 2 1 9 】

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステップ S 6）。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際にはんだ付けをより確実に行うことができる。

【 0 2 2 0 】

次いでパッケージの表面に印字処理（マーキング）を施す（ステップ S 7）。そして最終的な検査工程（ステップ S 8）を経て電子部品が完成する（ステップ S 9）。

【 0 2 2 1 】

以上説明した電子部品は、上述の実施の形態で説明した記憶装置を含む構成とすることができる。そのため、高速動作、及び小型化が図られた電子部品を実現することができる。

【 0 2 2 2 】

また、完成した電子部品の斜視模式図を図 1 6 (B) に示す。図 1 6 (B) では、電子部品の一例として、Q F P (Q u a d F l a t P a c k a g e) の斜視模式図を示している。図 1 6 (B) に示す電子部品 7 0 0 は、リード 7 0 1 及び回路部 7 0 3 を示している。図 1 6 (B) に示す電子部品 7 0 0 は、例えばプリント基板 7 0 2 に実装される。このような電子部品 7 0 0 が複数組み合わせられて、それぞれがプリント基板 7 0 2 上で電氣的に接続されることで電子機器の内部に搭載することができる。完成した回路基板 7 0 4 は、電子機器等の内部に設けられる。

【 0 2 2 3 】

次いで、コンピュータ、携帯情報端末（携帯電話、携帯型ゲーム機、音響再生装置なども含む）、電子ペーパー、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、デジタルビデオカメラなどの電子機器に、上述の電子部品を適用する場合について説明する。

【0224】

図17(A)は、携帯型の情報端末であり、筐体901、筐体902、第1の表示部903a、第2の表示部903bなどによって構成されている。筐体901と筐体902の少なくとも一部には、先の実施の形態に示す記憶装置を有する電子部品が設けられている。そのため、高速動作、及び小型化が図られた携帯型の情報端末が実現される。

【0225】

なお、第1の表示部903aはタッチ入力機能を有するパネルとなっており、例えば図17(A)の左図のように、第1の表示部903aに表示される選択ボタン904により「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「キーボード入力」を選択した場合、図17(A)の右図のように第1の表示部903aにはキーボード905が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

【0226】

また、図17(A)に示す携帯型の情報端末は、図17(A)の右図のように、第1の表示部903a及び第2の表示部903bのうち、一方を取り外すことができる。第2の表示部903bもタッチ入力機能を有するパネルとし、持ち運びの際、さらなる軽量化を図ることができ、一方の手で筐体902を持ち、他方の手で操作することができるため便利である。

【0227】

図17(A)に示す携帯型の情報端末は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子など）、記録媒体挿入部などを備える構成としてもよい。

【0228】

また、図17(A)に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0229】

更に、図17(A)に示す筐体902にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

【0230】

図17(B)は、電子ペーパーを実装した電子書籍910であり、筐体911と筐体912の2つの筐体で構成されている。筐体911及び筐体912には、それぞれ表示部913及び表示部914が設けられている。筐体911と筐体912は、軸部915により接続されており、該軸部915を軸として開閉動作を行うことができる。また、筐体911は、電源916、操作キー917、スピーカー918などを備えている。筐体911、筐体912の少なくとも一部には、先の実施の形態に示す記憶装置を有する電子部品が設けられている。そのため、高速動作、及び小型化が図られた電子書籍が実現される。

【0231】

図17(C)は、テレビジョン装置であり、筐体921、表示部922、スタンド923などで構成されている。テレビジョン装置の操作は、筐体921が備えるスイッチや、リモコン操作機924により行うことができる。筐体921及びリモコン操作機924には、先の実施の形態に示す記憶装置を有する電子部品が搭載されている。そのため、高速動作、及び小型化が図られたテレビジョン装置が実現される。

10

20

30

40

50

【 0 2 3 2 】

図 1 7 (D) は、スマートフォンであり、本体 9 3 0 には、表示部 9 3 1 と、スピーカー 9 3 2 と、マイク 9 3 3 と、操作ボタン 9 3 4 等が設けられている。本体 9 3 0 内には、先の実施の形態に示す記憶装置を有する電子部品が設けられている。そのため高速動作、及び小型化が図られたスマートフォンが実現される。

【 0 2 3 3 】

図 1 7 (E) は、デジタルカメラであり、本体 9 4 1、表示部 9 4 2、操作スイッチ 9 4 3 などによって構成されている。本体 9 4 1 内には、先の実施の形態に示す記憶装置を有する電子部品が設けられている。そのため、高速動作、及び小型化が図られたデジタルカメラが実現される。

10

【 0 2 3 4 】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る記憶装置を有する電子部品が搭載されている。このため、高速動作、及び小型化が図られた電子機器が実現される。

【 0 2 3 5 】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び / 又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【 0 2 3 6 】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

20

【 0 2 3 7 】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び / 又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【 符号の説明 】

【 0 2 3 8 】

A 1 - A 2 破線
 A 3 - A 4 破線
 C 1 容量素子
 N 1 ノード
 O S T r トランジスタ
 O S T r 2 トランジスタ
 O S T r 3 トランジスタ
 T 1 時刻
 T 2 時刻
 T 3 時刻
 T 4 時刻
 T 5 時刻
 T 6 時刻
 T 7 時刻
 T 8 時刻
 T 9 時刻
 T 1 0 時刻
 T N 1 トランジスタ
 T N 2 トランジスタ
 T P 1 トランジスタ
 T P 2 トランジスタ

30

40

50

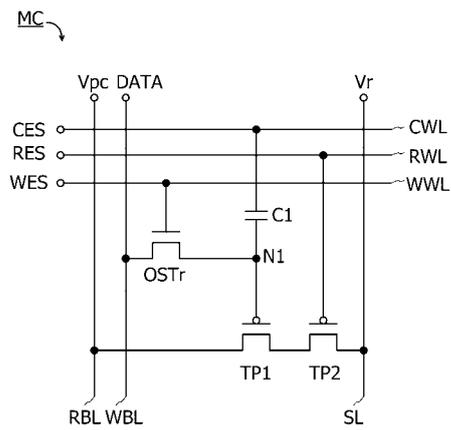
7 0	電子銃室	
7 2	光学系	
7 4	試料室	
7 6	光学系	
7 8	カメラ	
8 0	観察室	
8 2	フィルム室	
8 4	電子	
8 8	物質	
9 2	蛍光板	10
1 0 1	デコーダ	
1 0 2	制御回路	
1 1 0	R A M	
1 1 1	行選択デコーダ	
1 1 2	列選択デコーダ	
1 2 1	デコーダ	
1 2 2	トランジスタ	
1 2 3	コンパレータ	
4 0 0	基板	
4 0 1	素子分離領域	20
4 0 2	不純物領域	
4 0 3	不純物領域	
4 0 4	チャネル形成領域	
4 0 5	絶縁膜	
4 0 6	ゲート電極	
4 1 1	絶縁膜	
4 1 2	導電膜	
4 1 3	導電膜	
4 1 4	導電膜	
4 1 6	導電膜	30
4 1 7	導電膜	
4 1 8	導電膜	
4 2 0	絶縁膜	
4 2 1	絶縁膜	
4 2 2	絶縁膜	
4 3 0	半導体膜	
4 3 0 a	酸化物半導体膜	
4 3 0 b	酸化物半導体膜	
4 3 0 c	酸化物半導体膜	
4 3 1	ゲート絶縁膜	40
4 3 2	導電膜	
4 3 3	導電膜	
4 3 4	ゲート電極	
7 0 0	電子部品	
7 0 1	リード	
7 0 2	プリント基板	
7 0 3	回路部	
7 0 4	回路基板	
9 0 1	筐体	
9 0 2	筐体	50

- 9 0 3 a 表示部
- 9 0 3 b 表示部
- 9 0 4 選択ボタン
- 9 0 5 キーボード
- 9 1 0 電子書籍
- 9 1 1 筐体
- 9 1 2 筐体
- 9 1 3 表示部
- 9 1 4 表示部
- 9 1 5 軸部
- 9 1 6 電源
- 9 1 7 操作キー
- 9 1 8 スピーカー 9 2 1 筐体
- 9 2 2 表示部
- 9 2 3 スタンド
- 9 2 4 リモコン操作機
- 9 3 0 本体
- 9 3 1 表示部
- 9 3 2 スピーカー
- 9 3 3 マイク
- 9 3 4 操作ボタン
- 9 4 1 本体
- 9 4 2 表示部
- 9 4 3 操作スイッチ

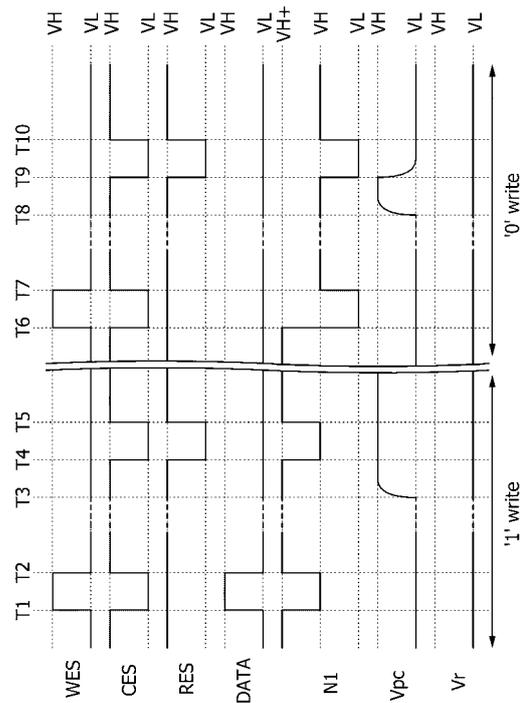
10

20

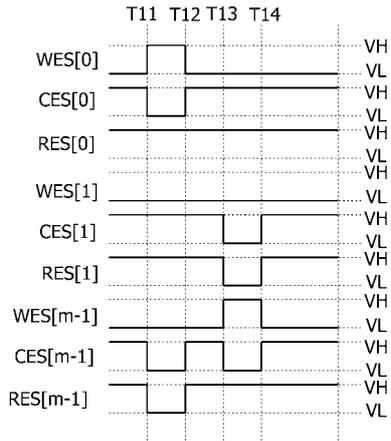
【 図 1 】



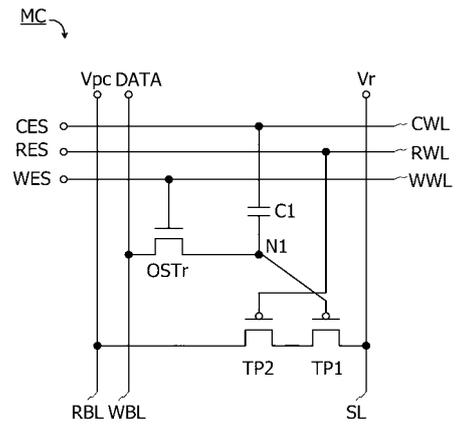
【 図 2 】



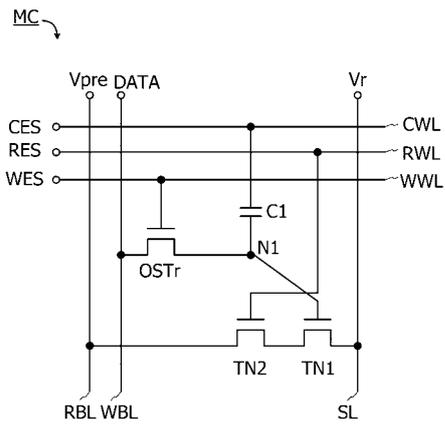
【 図 1 8 】



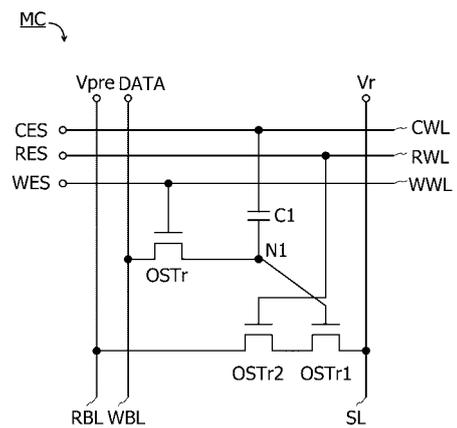
【 図 1 9 】



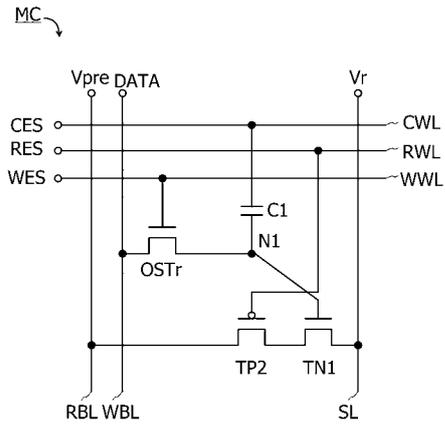
【 図 2 0 】



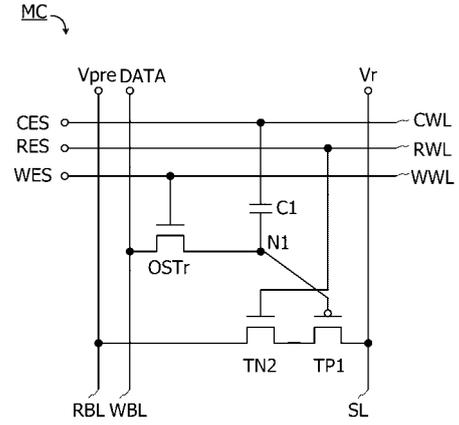
【 図 2 1 】



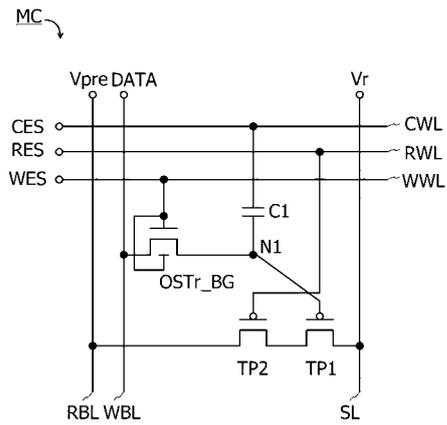
【 図 2 2 】



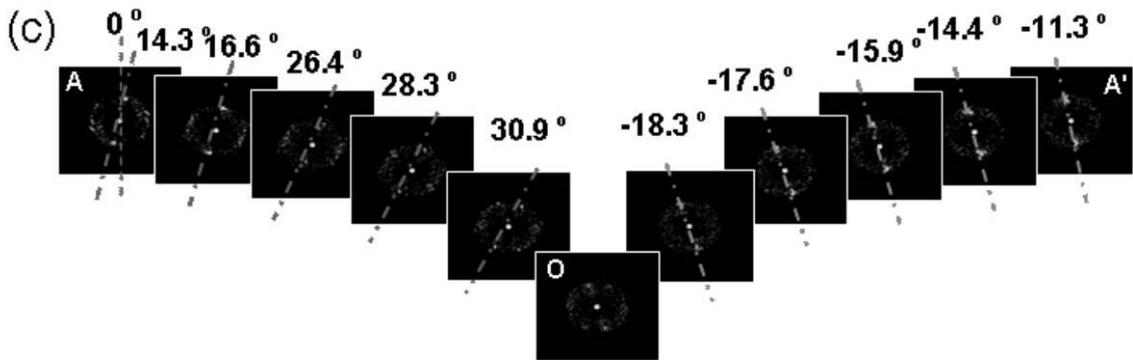
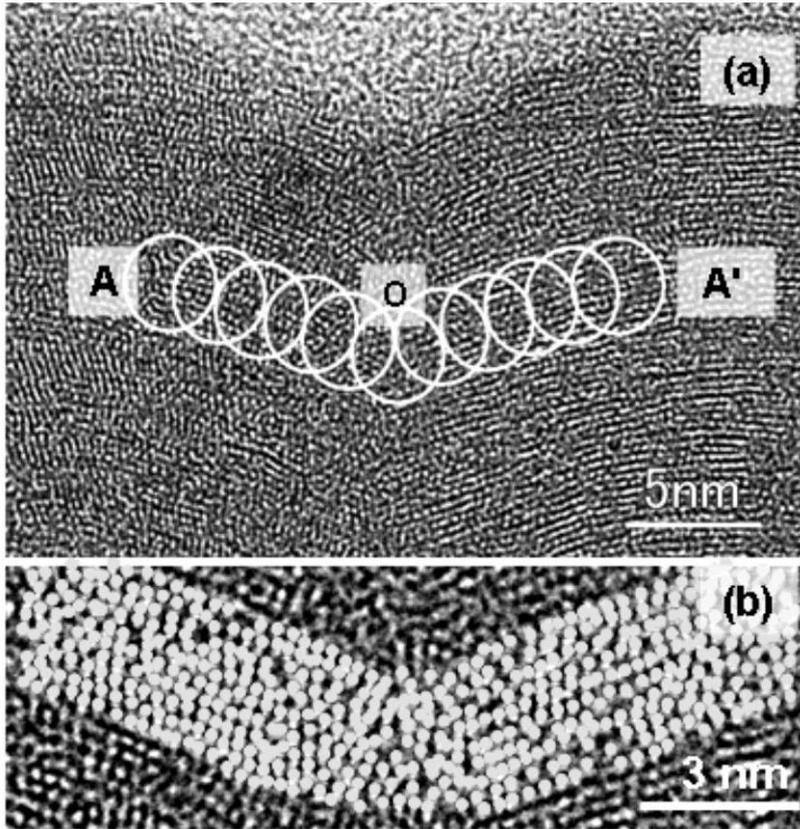
【 図 2 3 】



【 図 2 4 】

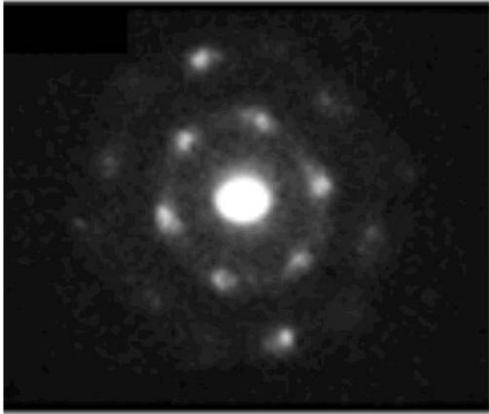


【 図 1 1 】



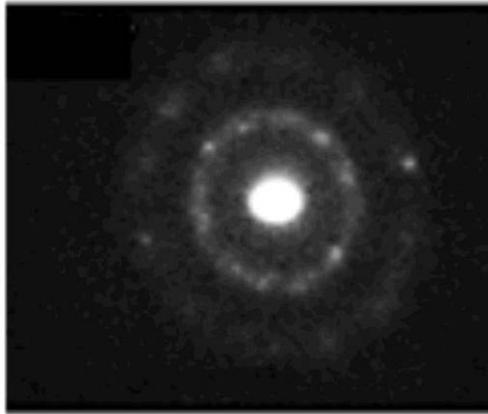
【 図 1 2 】

(A)



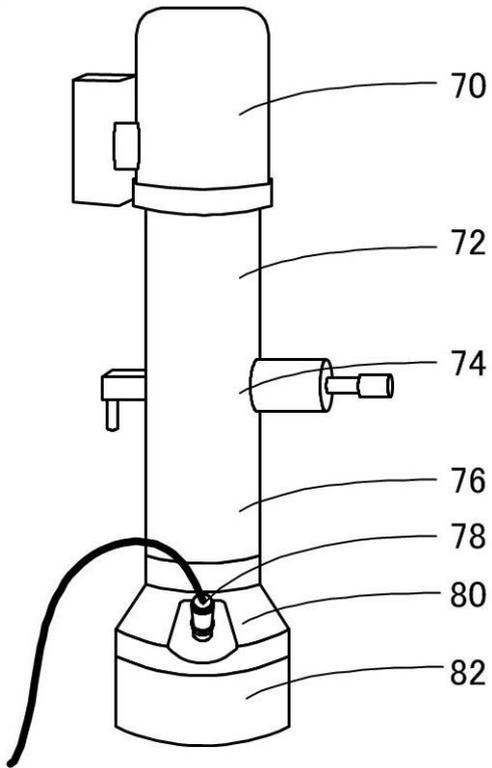
CAAC-OS

(B)

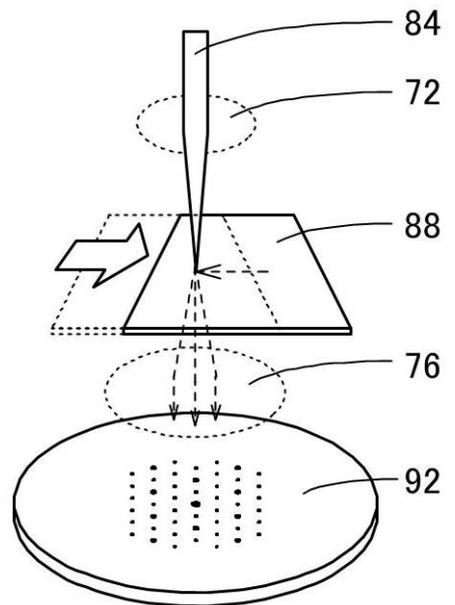


nc-OS

(C)

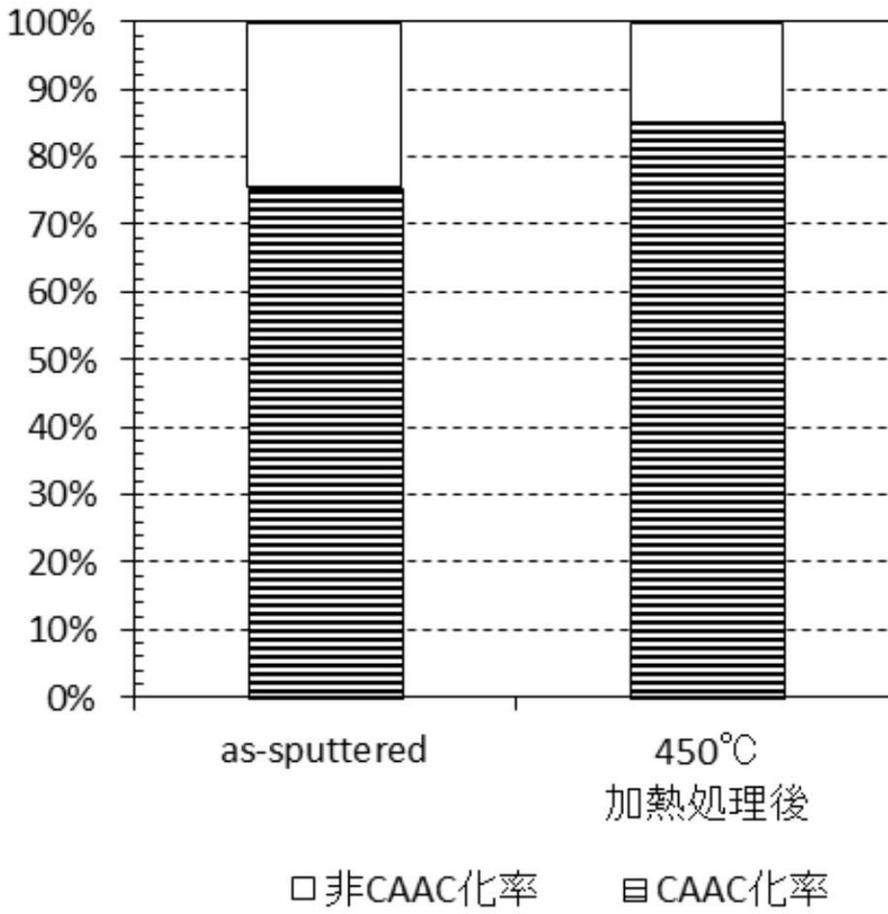


(D)

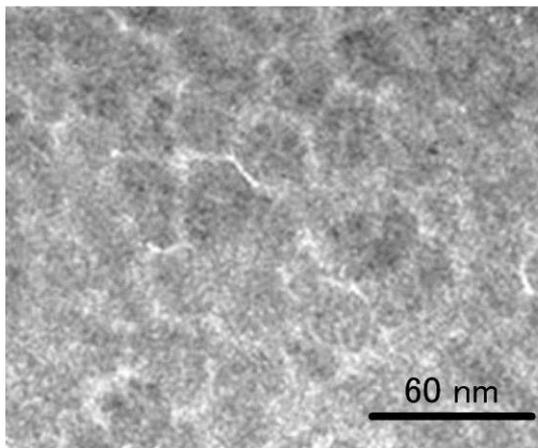


【 図 1 3 】

(A)

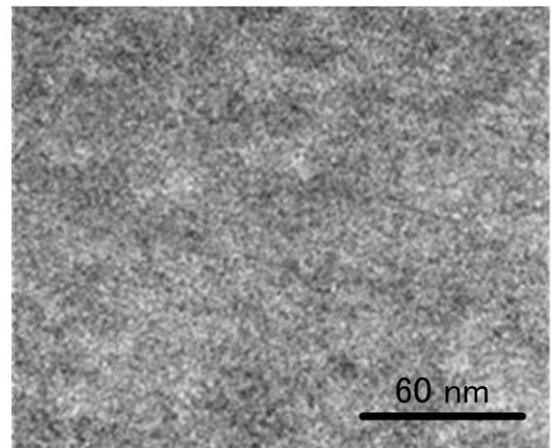


(B)



as-sputtered

(C)



450°C 加熱処理後