

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-206107

(P2010-206107A)

(43) 公開日 平成22年9月16日(2010.9.16)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 A	4 M 1 0 4
HO 1 L 29/78 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 29/78 6 5 2 T	5 F 0 4 8
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 7 D	5 F 1 0 2
HO 1 L 29/12 (2006.01)	HO 1 L 29/48 F	5 H 7 4 0

審査請求 未請求 請求項の数 20 O L (全 60 頁) 最終頁に続く

(21) 出願番号 特願2009-52576 (P2009-52576)  
 (22) 出願日 平成21年3月5日(2009.3.5)

(71) 出願人 000003997  
 日産自動車株式会社  
 神奈川県横浜市神奈川区宝町2番地  
 (74) 代理人 100083806  
 弁理士 三好 秀和  
 (74) 代理人 100100712  
 弁理士 岩▲崎▼ 幸邦  
 (74) 代理人 100100929  
 弁理士 川又 澄雄  
 (74) 代理人 100095500  
 弁理士 伊藤 正和  
 (74) 代理人 100101247  
 弁理士 高橋 俊一  
 (74) 代理人 100098327  
 弁理士 高松 俊雄

最終頁に続く

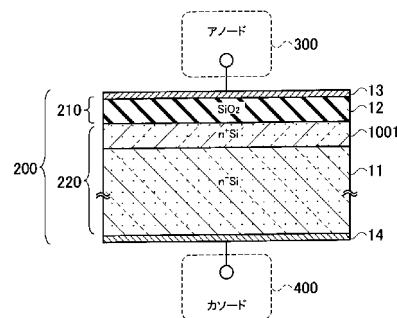
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 還流ダイオードの導通時の損失並びに過渡動作時の損失を抑えつつ、逆回復動作時に生じる電流・電圧の振動現象を抑制することが容易に可能な電力用半導体装置を提供する。

【解決手段】 ユニポーラ動作をする還流ダイオードと、キャパシタと抵抗との直列接続からなり、還流ダイオードに並列接続された半導体回路とを備え、半導体回路200は、抵抗220の少なくとも一部として機能する半導体基体11と、半導体基体の上面に接して設けられた容量低下防止領域1001と、容量低下防止領域1001上に設けられ、キャパシタ210の少なくとも一部として機能するキャパシタ誘電体膜12とを備え、容量低下防止領域1001が、還流ダイオードに逆バイアス電圧が印加された際に半導体基体11中への空乏層の伸張を緩和する。

【選択図】 図4



**【特許請求の範囲】****【請求項 1】**

ユニポーラ動作をする還流ダイオードと、  
少なくともキャパシタと抵抗からなり、前記還流ダイオードに並列接続された半導体回路とを備え、

前記半導体回路は、

前記抵抗の少なくとも一部として機能する半導体基体と、

前記半導体基体の上面に接して設けられた容量低下防止領域と、

前記容量低下防止領域上に設けられ、前記キャパシタの少なくとも一部として機能するキャパシタ誘電体膜とを備え、

前記容量低下防止領域が、前記還流ダイオードに逆バイアス電圧が印加された際に前記半導体基体中への空乏層の伸張を緩和することを特徴とする半導体装置。

**【請求項 2】**

ユニポーラ動作をする還流ダイオードと、

少なくともキャパシタと抵抗からなり、前記還流ダイオードに並列接続された半導体回路とを備え、

前記半導体回路は、

前記抵抗の少なくとも一部として機能する半導体基体と、

前記半導体基体上に設けられ、前記キャパシタの少なくとも一部として機能するキャパシタ誘電体膜と、

前記半導体基体の下面に接して設けられた容量低下防止領域とを備え、

前記容量低下防止領域が、前記還流ダイオードに逆バイアス電圧が印加された際に前記半導体基体中への空乏層の伸張を緩和することを特徴とする半導体装置。

**【請求項 3】**

ユニポーラ動作をする還流ダイオードと、

少なくともキャパシタと抵抗からなり、前記還流ダイオードに並列接続された半導体回路とを備え、

前記半導体回路は、

前記抵抗の少なくとも一部として機能する半導体基体と、

前記半導体基体上に設けられ、前記キャパシタの少なくとも一部として機能するキャパシタ誘電体膜と、

前記キャパシタ誘電体膜上に設けられた前記抵抗の少なくとも一部として機能する抵抗領域と、

前記抵抗領域の上面に接して設けられた容量低下防止領域とを備え、

前記容量低下防止領域が、前記還流ダイオードに逆バイアス電圧が印加された際に前記抵抗領域中への空乏層の伸張を緩和することを特徴とする半導体装置。

**【請求項 4】**

ユニポーラ動作をする還流ダイオードと、

少なくともキャパシタと抵抗からなり、前記還流ダイオードに並列接続された半導体回路とを備え、

前記半導体回路は、

前記抵抗の少なくとも一部として機能する半導体基体と、

前記半導体基体上に設けられ、前記キャパシタの少なくとも一部として機能するキャパシタ誘電体膜と、

前記キャパシタ誘電体膜上に設けられた容量低下防止領域と、

前記容量低下防止領域の上面に接して設けられた前記抵抗の少なくとも一部として機能する抵抗領域とを備え、

前記容量低下防止領域が、前記還流ダイオードに逆バイアス電圧が印加された際に前記抵抗領域中への空乏層の伸張を緩和することを特徴とする半導体装置。

**【請求項 5】**

10

20

30

40

50

前記容量低下防止領域が、前記半導体基体と同一導電型であり、かつ、前記半導体基体の不純物密度以上の高不純物密度であることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 6】

前記容量低下防止領域が、前記抵抗領域と同一導電型であり、かつ、前記抵抗領域の不純物密度以上の高不純物密度であることを特徴とする請求項 3 又は 4 に記載の半導体装置。

【請求項 7】

前記抵抗領域が、シリコンの絶縁破壊電界強度よりも大きな絶縁破壊電界強度を有する導電材料からなることを特徴とする請求項 3、4 又は 6 のいずれか 1 項に記載の半導体装置。

10

【請求項 8】

前記容量低下防止領域が前記キャパシタ誘電体膜に接することを特徴とする請求項 1 又は 4 に記載の半導体装置。

【請求項 9】

前記キャパシタ誘電体膜がシリコン酸化膜であることを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記キャパシタ誘電体膜の前記キャパシタを構成する部分の表面積に対して、前記容量低下防止領域の表面積が同等以上であることを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載の半導体装置。

20

【請求項 11】

前記半導体回路は、

前記容量低下防止領域の下面に接して設けられた電極領域を更に備えることを特徴とする請求項 2 に記載の半導体装置。

【請求項 12】

前記電極領域と前記容量低下防止領域がオーミック接続していることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】

前記還流ダイオードに並列接続されたスイッチング素子を更に備えることを特徴とする請求項 1 ~ 12 のいずれか 1 項に記載の半導体装置。

30

【請求項 14】

前記キャパシタは、並列接続されている前記還流ダイオード、又は前記還流ダイオードと前記スイッチング素子とが遮断状態に有するキャパシタ容量の総和に対して、 $1/10$  倍から  $10$  倍の範囲の値を有することを特徴とする請求項 1 ~ 13 のいずれか 1 項に記載の半導体装置。

【請求項 15】

前記半導体回路が、前記還流ダイオードが形成されている還流ダイオードチップ内に形成されていることを特徴とする請求項 1 ~ 14 のいずれか 1 項に記載の半導体装置。

【請求項 16】

前記半導体回路が、前記スイッチング素子が形成されているスイッチング素子チップ内に形成されていることを特徴とする請求項 13 ~ 15 のいずれか 1 項に記載の半導体装置。

40

【請求項 17】

前記スイッチング素子が、ゲート電極、ソース電極及びドレイン電極を有する三端子素子からなり、

前記容量低下防止領域が、前記ソース電極とオーミック接続するソース領域と同一導電型で、かつ、同じ不純物密度からなることを特徴とする請求項 16 に記載の半導体装置。

【請求項 18】

前記容量低下防止領域は、前記ソース領域と同じ深さを有することを特徴とする請求項

50

17に記載の半導体装置。

【請求項19】

前記スイッチング素子が、ゲート電極、エミッタ電極及びコレクタ電極を有する三端子素子からなり、

前記容量低下防止領域が、前記エミッタ電極とオーミック接続するエミッタ領域と同一導電型で、かつ、同じ不純物密度からなることを特徴とする請求項16に記載の半導体装置。

【請求項20】

前記容量低下防止領域は、前記エミッタ領域と同じ深さを有することを特徴とする請求項19に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力変換用の還流ダイオードを含む半導体装置とその半導体装置を用いた電力変換装置に関する。

【背景技術】

【0002】

電力エネルギーの変換手段の1つとして、インバータ等の電力変換装置が一般に使用されている。電力変換装置は、金属酸化膜半導体(MOS)電界効果トランジスタ(FET)や絶縁ゲート型バイポーラトランジスタ(IGBT)等のスイッチング素子や還流ダイオードなどの電力用の半導体装置を、用途や電力の大きさに応じた組み合わせで構成されている。電力変換装置には高い効率でかつ安定した動作が求められるため、その構成要素である半導体装置には、スイッチング素子及び還流ダイオードのいずれにおいても、低損失でかつ誤動作等が起こりにくい安定動作が求められる。

【0003】

還流ダイオードの動作によって発生する損失は主に2つある。1つは順バイアスによって導通している際にダイオード内の電圧降下によって生じる導通損失であり、もう1つは導通状態から逆バイアスによって遮断状態に移行する際の逆回復動作時に生じる逆回復損失がある。逆回復損失は、導通状態において還流ダイオードの素子内部に遮断状態に比べて蓄積されている過剰キャリアが、遮断状態へと移行する際の消滅過程において、逆回復電流として過渡的に流れることで発生する。そのため、逆回復損失は、逆回復動作直前の過剰キャリアの量や逆回復動作時の過剰キャリアの消滅速度に依存する。

【0004】

逆回復損失を低減するために、過剰キャリアの量を低減する従来技術として、炭化珪素からなる半導体材料で形成したユニポーラ動作のショットキーバリアダイオードが提案されている(例えば、特許文献1参照。)

【0005】

ショットキーバリアダイオードは、順バイアスによる導通時には多数キャリアのみで電流が流れるため、導通時に少数キャリアが蓄積するpn接合ダイオードに比べて、大幅に過剰キャリアの量が小さく、その結果として逆回復損失が低減される。

【0006】

しかし、ユニポーラ動作のショットキーバリアダイオードを還流ダイオードとして用いた場合、逆回復動作時に電流・電圧に振動現象が生じやすく、その対処法が確立されていないというユニポーラ動作ならではの問題があることがわかった。この電流・電圧の振動現象は、サージ電圧による素子の破壊、振動動作中の損失の増大、周辺の回路の誤動作などを引き起こすため、安定動作の阻害要因となる。

【0007】

振動現象自体は、還流ダイオードが組み込まれたインバータ等の電力変換装置の回路中に生じる寄生インダクタンス $L_s$ と、還流ダイオードの逆回復動作時の逆回復電流 $I_r$ の遮断速度( $dI_r/dt$ )の相互作用によってサージ電圧 $V_s$ が生じ、これを起点として

10

20

30

40

50

発生することが一般的に知られている。

【0008】

そのため振動現象を低減するために、従来から用いられているシリコンのpn接合ダイオードにおいては、金(Au)や白金(Pt)を用いた重金属拡散、電子線を用いた電子線照射、プロトン等を用いたイオン照射などの方策により、過剰キャリアの主成分である少数キャリアのライフタイムを制御することで、逆回復電流 $I_r$ の低減と逆回復電流 $I_r$ の抵抗制限による逆回復時間 $t$ の最適化によって、動作時の電流の遮断速度( $dI/dt$ )を緩和し、振動現象を抑制する取り組みがなされている(例えば、非特許文献1参照)。

【0009】

一方、ユニポーラ動作をするショットキーバリアダイオードは、逆回復電流 $I_r$ の成分が多数キャリアで構成されているため、過剰キャリアによる逆回復電流 $I_r$ は大きく減るものの、逆回復電流 $I_r$ の抵抗制限による逆回復時間 $t$ がほとんど制御できないため、電流・電圧に振動現象が生じやすく、その振動も容易に減衰しない。その理由として大きく2つ挙げられる。

【0010】

1つは、還流ダイオードとしての導通時の導通損失と遮断時の耐圧の両立のために、素子内部の耐圧を保持するドリフト領域の振動現象に対する動作メカニズムがpn接合ダイオードとは異なる点である。

【0011】

一般にpn接合ダイオードは、順バイアス導通時には少数キャリア注入によるドリフト領域の伝導度変調効果があるため、導通損失を極力低減しつつ耐圧を確保するため、ドリフト領域の厚みを小さく、かつ、不純物濃度を低く形成する。そのため、pn接合ダイオードのドリフト領域の抵抗の大きさは、導通時と遮断直前の伝導度変調が解除された時とで大きく異なる。このことから、pn接合ダイオードは逆回復動作状態に素子内部の抵抗が大きくなるように動作するため、pn接合ダイオード自体に逆回復電流 $I_r$ を抵抗制限する機構が働く。

【0012】

それに対して、ショットキーバリアダイオードは導通時にほとんど多数キャリアのみで流れるため、導通時も遮断直前においても、素子内部のドリフト領域の厚み並びに不純物濃度に準じた抵抗で変わらない。つまり、ショットキーバリアダイオード自体にはpn接合ダイオードのような逆回復電流 $I_r$ を抵抗制限する機構を有していない。そのため、ショットキーバリアダイオードは逆回復時においても電流・電圧に振動現象が生じやすく、その振動も容易に減衰しないのである。つまり、ショットキーバリアダイオードには、導通時の損失を低減しようと抵抗をより小さくしていくと、振動現象の減衰機能としては働きにくくなることから、導通時の損失と振動現象の抑制機構とにトレードオフの関係が生じる。

【0013】

更に、もう1つの理由が、ショットキーバリアダイオードにおいては、遮断状態から導通状態に増加する過剰キャリアが、遮断状態のドリフト領域中に形成されている空乏領域を補充する多数キャリアのみで構成されている点である。つまり、ショットキーバリアダイオードの逆回復電流の遮断速度( $dI/dt$ )はほとんど空乏領域の形成速度にのみ依存し、かつ、少数キャリアがほとんど存在しないためpn接合ダイオードのようなライフタイム制御法をそのまま用いることはできない。このため、ショットキーバリアダイオードには、スイッチング速度の向上による過渡損失の低減と振動現象の抑制にはトレードオフの関係が生じる。

【0014】

このように、ユニポーラ動作のショットキーバリアダイオードを還流ダイオードとして用いた場合、一般的なpn接合ダイオードを用いる場合に比べ、原理的に逆回復動作時に電流・電圧に振動現象が生じやすく、振動の減衰がおさまらないというユニポーラ動作な

10

20

30

40

50

らではの問題があった。

【先行技術文献】

【特許文献】

【0015】

【特許文献1】特表平11-510000号公報

【非特許文献】

【0016】

【非特許文献1】篠原信一 他 著,「ライフタイムプロフィールを制御した高速ソフトリカバリーダイオード」,信学技報,1995年,第95巻,No.192,p.1-6

【発明の概要】

10

【発明が解決しようとする課題】

【0017】

本発明の目的は、上記のような従来技術の問題を解決するためになされたものであり、還流ダイオードの導通時の損失並びに過渡動作時の損失は抑えつつ、逆回復動作時に生じる電流・電圧の振動現象を抑制することが容易に可能な電力用半導体装置を提供することである。

【課題を解決するための手段】

【0018】

本発明は、ユニポーラ動作と同等の動作をする還流ダイオードと、キャパシタと抵抗との直列接続からなり、還流ダイオードに並列接続された半導体回路とを備える。半導体回路は、抵抗の少なくとも一部として機能する半導体基体又は抵抗領域と、半導体基体又は抵抗領域に接して設けられた容量低下防止領域と、キャパシタの少なくとも一部として機能するキャパシタ誘電体膜とを備える。容量低下防止領域が、還流ダイオードに逆バイアス電圧が印加された際に半導体基体又は抵抗領域中への空乏層の伸張を緩和する。

20

【発明の効果】

【0019】

本発明によれば、ユニポーラ動作もしくはユニポーラ動作と同等の動作をする還流ダイオードに並列接続され、かつ、少なくともキャパシタ及び抵抗を有する半導体スナバとからなる半導体装置を形成することで、還流ダイオードの導通時の損失並びに過渡動作時の損失は抑えつつ、逆回復動作時に生じる電流・電圧の振動現象を容易に抑制することができる。

30

【図面の簡単な説明】

【0020】

【図1】本発明の第1の実施の形態を示す回路図である。

【図2】本発明の第1の実施の形態の図1の回路図を実現する実装図である。

【図3】本発明の第1の実施の形態の図2に使用される半導体チップの断面図である。

【図4】本発明の第1の実施の形態の図2に使用される別の半導体チップの断面図である。

【図5】本発明の第1の実施の形態の図1に対応する別の回路図である。

【図6】本発明の第1の実施の形態の図1の回路を用いた電力変換装置の回路図である。

40

【図7】本発明の第1の実施の形態の図1の回路を用いた別の電力変換装置の回路図である。

【図8】本発明の第1の実施の形態の図3に対応する別の断面図である。

【図9】本発明の第1の実施の形態の図3に対応する別の断面図である。

【図10】本発明の第1の実施の形態の図3に対応する別の断面図である。

【図11】本発明の第1の実施の形態の図3に対応する別の断面図である。

【図12】本発明の第1の実施の形態の図3に対応する別の断面図である。

【図13】本発明の第1の実施の形態の図3に対応する別の断面図である。

【図14】本発明の第1の実施の形態の図3に対応する別の断面図である。

【図15】本発明の第1の実施の形態の別の回路図である。

50

- 【図 16】本発明の第 1 の実施の形態の図 1 の回路図を実現する別の実装図である。
- 【図 17】本発明の第 1 の実施の形態の図 3 に対応する別の断面図である。
- 【図 18】本発明の第 1 の実施の形態の図 3 に対応する別の断面図である。
- 【図 19】本発明の第 1 の実施の形態の図 3 に対応する別の断面図である。
- 【図 20】本発明の第 1 の実施の形態の図 3 に対応する別の断面図である。
- 【図 21】本発明の第 1 の実施の形態のキャパシタ容量に対する振動現象の計算結果である。
- 【図 22】本発明の第 1 の実施の形態のキャパシタ容量比の最適値を示す特製図である。
- 【図 23】本発明の第 2 の実施の形態を示す回路図である。
- 【図 24】本発明の第 2 の実施の形態の図 23 の回路図を実現する実装図である。 10
- 【図 25】本発明の第 2 の実施の形態の図 24 に使用される半導体チップの断面図である。
- 【図 26】本発明の第 2 の実施の形態の図 23 の回路を用いた別の電力変換装置の回路図である。
- 【図 27】本発明の第 3 の実施の形態の図 24 に使用される半導体チップの断面図である。
- 【図 28】本発明の第 3 の実施の形態の図 25 に対応する別の断面図である。
- 【図 29】本発明の第 3 の実施の形態の図 25 に対応する別の断面図である。
- 【図 30】本発明の第 3 の実施の形態の図 25 に対応する別の断面図である。
- 【図 31】本発明の第 3 の実施の形態の図 27 に対応する別の断面図である。 20
- 【図 32】本発明の第 4 の実施の形態の図 1 の回路図を実現する実装図である。
- 【図 33】本発明の第 4 の実施の形態の図 32 に使用される半導体チップの断面図である。
- 【図 34】本発明の第 4 の実施の形態の図 33 に対応する別の断面図である。
- 【図 35】本発明の第 4 の実施の形態の図 33 に対応する別の断面図である。
- 【図 36】本発明の第 4 の実施の形態の図 33 に対応する別の断面図である。
- 【図 37】本発明の第 4 の実施の形態の図 33 に対応する別の断面図である。
- 【図 38】本発明の第 4 の実施の形態の図 33 に対応する別の断面図である。
- 【図 39】本発明の第 5 の実施の形態の図 1 の回路図を実現する実装図である。
- 【図 40】本発明の第 5 の実施の形態の図 39 に使用される半導体チップの断面図である 30
- 【図 41】本発明の第 5 の実施の形態の図 40 に対応する別の断面図である。
- 【図 42】本発明の第 5 の実施の形態の図 40 に対応する別の断面図である。
- 【図 43】本発明の第 5 の実施の形態の図 40 に対応する別の断面図である。

【発明を実施するための形態】

【0021】

次に、図面を参照して、本発明の第 1 ～ 第 5 の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。 40

【0022】

また、以下に示す第 1 ～ 第 5 の実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置等下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

【0023】

(第 1 の実施の形態)

図 1 ～ 図 4 を用いて、本発明の第 1 の実施の形態における半導体装置を説明する。図 1 50

は本発明の第1の実施の形態を説明する回路図、図2は図1の回路図の一例として具体化した半導体チップ(半導体回路)の実装図、図3及び図4は図2の実装図に用いられている半導体チップのそれぞれの断面構造図の一例である。

【0024】

図1に示すように、本発明の第1の実施の形態に係る半導体装置は、ユニポーラ動作もしくはユニポーラ動作と同等の動作をする還流ダイオード100と、キャパシタ210と抵抗220を含み、スナバ機能を有するように半導体チップで形成された半導体スナバ200とを備える。還流ダイオード100及び半導体スナバ200は、共にアノード端子300並びにカソード端子400に接続するように並列接続されている。

【0025】

なお、図1においては、半導体スナバ200の構成として、アノード端子300側にキャパシタ210が、カソード端子400側に抵抗220が接続するような場合を示しているが、図5に示すように、アノード端子300側に抵抗220が、カソード端子400側にキャパシタ210が接続していても良い。また、キャパシタ210と抵抗220は少なくとも直列接続していれば、複数の部位に分割されて形成されていても良いし、例えば交互に形成されていても良い。

【0026】

また、詳細は後述するが、例えばpn接合ダイオードの構造であっても、導通時にp型領域から注入される過剰キャリアの主成分である少数キャリアのライフタイムを制御することにより、ユニポーラ動作と同等の動作を行うため、このように、ユニポーラ動作と同等の特性を有するバイポーラ型ダイオードについても、本発明で説明されるユニポーラ動作するダイオードに含まれるものとする。

【0027】

本発明の第1の実施の形態では、一例として、還流ダイオード100と半導体スナバ200を別の半導体チップとして形成した場合について説明する。

【0028】

半導体スナバ200の構成としては、例えばキャパシタ210と抵抗220が直列接続したいわゆるRCスナバの構成とした場合について説明する。また、半導体スナバ200は、例えばシリコン(Si)を半導体基体材料とし、かつ、アノード端子300とカソード端子400が互いに対面するように電極形成された、いわゆる縦型の半導体チップからなる場合について説明する。

【0029】

還流ダイオード100としては、例えば炭化珪素(SiC)を半導体基体材料としたショットキーバリアダイオードの場合について説明する。本発明の第1の実施の形態では、ショットキーバリアダイオードとして、アノード端子300とカソード端子400が互いに対面するように電極形成された、いわゆる縦型のショットキーバリアダイオードを一例として説明する。

【0030】

図2は、図1で示した還流ダイオード100と半導体スナバ200を含む半導体装置の実装図である。還流ダイオード100は、例えば炭化珪素ショットキーバリアダイオードであり、半導体スナバ200は、例えばシリコン半導体RCスナバである。

【0031】

図2においては、半導体パッケージの一例として、例えばセラミック板などで形成された絶縁性を有し、かつ、支持体としての機能を有する絶縁基板500上に、例えば銅(Cu)やアルミニウム(Al)などの金属材料からなるアノード側金属膜310とカソード側金属膜410が形成されたセラミック基板を用いた場合について説明する。

【0032】

カソード側金属膜410上には、還流ダイオード100と半導体スナバ200のそれぞれの半導体チップのカソード端子400が例えば半田やろう材等の接合材料を介して接するように配置されている。還流ダイオード100と半導体スナバ200のそれぞれの半導

10

20

30

40

50



体チップのアノード端子300は、例えばアルミワイヤやアルミリボンなどの金属配線320, 330を介して、共にアノード側金属膜310に接続されている。

【0033】

次に、図3及び図4に、還流ダイオード100と半導体スナバ200とをそれぞれ構成する半導体チップの断面構造図の一例を示す。

【0034】

図3に示すように、還流ダイオード100は、例えば炭化珪素(SiC)のポリタイプが4Hタイプの $n^+$ 型である基板領域(半導体基体)1上に $n^-$ 型のドリフト領域2が形成された基板材料で構成されている。基板領域1としては、例えば抵抗率が数mから数10m $\Omega$ cm、厚さが数10~数100 $\mu$ m程度の一般的な低抵抗基板を用いることができる。なお、素子構造や所要の耐圧により、抵抗率や厚みが前記範囲外となってももちろん良いが、一般に抵抗率及び厚みが小さいほうが導通時の損失を低減できるため、可能な限り小さいほうが望ましい。ドリフト領域2としては、例えば $n$ 型の不純物密度が $10^{15} \sim 10^{18} \text{ cm}^{-3}$ 、厚みが0.1 $\mu$ m~数10 $\mu$ mのものを用いることができる。なお、ドリフト領域2に関しても、素子構造や所要の耐圧により、不純物密度や厚みが前記範囲外となってももちろん良い。本発明の第1の実施の形態では例えば不純物密度が $10^{16} \text{ cm}^{-3}$ 、厚みが5 $\mu$ mで耐圧が600Vクラスのものを用いた場合で説明する。

10

【0035】

なお、本発明の第1の実施の形態では、半導体基体が、基板領域1とドリフト領域2の二層からなる基板の場合について説明するが、抵抗率の大きさは上記の一例にはよらないが基板領域1のみで形成された基板を使用してもかまわないし、反対に多層の基板を使用してもかまわない。また、本発明の第1の実施の形態では一例として耐圧が600Vクラスの場合で説明しているが、耐圧クラスは限定されない。また、本発明の第1の実施の形態においては、基板材料を炭化珪素材料で形成した場合を説明しているがシリコンなど他の半導体材料で構成されていてもかまわない。

20

【0036】

ドリフト領域2の基板領域1との接合面に対向する主面に接するように上部電極(表面電極)3が、更には上部電極3に対向し、かつ基板領域1と接するように下部電極(裏面電極)4が形成されている。上部電極3は、ドリフト領域2との間にショットキー障壁を形成する金属材料を少なくとも含む単層もしくは多層の金属材料を含み、例えば、ショットキー障壁を形成する金属材料としては、チタン(Ti)、ニッケル(Ni)、モリブデン(Mo)、金(Au)、白金(Pt)などの材料を用いることができる。また、上部電極3はアノード端子300として外部電極との接続をするために、最表面にアルミニウム(Al)、銅(Cu)、金(Au)、ニッケル(Ni)、銀(Ag)などの金属材料を用いて多層の構造としても良い。一方、下部電極4は基板領域1とオーミック接続するような電極材料を含む。オーミック接続する電極材料の一例としてはニッケルシリサイドやチタン材料などが挙げられ、下部電極4はカソード端子400として外部電極と接続する。このように、図3に示す還流ダイオード100は、上部電極3がアノード電極、下部電極4がカソード電極としたダイオードとして機能する。

30

【0037】

次に図4は、半導体スナバ200の断面構造図の一例である。図4中、例えばシリコンの $n^-$ 型である基板領域(半導体基体)11の表層部には、基板領域11と同一導電型で、かつ基板領域11よりも不純物密度が同等以上の $n^+$ 型の容量低下防止領域1001が形成されており、更に容量低下防止領域1001上には、例えばシリコン酸化膜などの誘電材料からなるキャパシタ誘電体膜12が形成されている。本発明の第1の実施の形態では、基板領域11は抵抗Rとして機能し、キャパシタ誘電体膜12はキャパシタCの一部(キャパシタ絶縁膜)として機能する。つまり、基板領域11は必要な抵抗値の大きさに応じて、基板の抵抗率や厚みを決めることができ、例えば抵抗率が数m $\Omega$ cmから数100 $\Omega$ cm、厚さが数10~数100 $\mu$ m程度のものを用いることができる。本発明の第1の実施の形態においては、少なくとも還流ダイオード100に含まれる抵抗値よりも大き

40

50

くなるように、例えば、抵抗率が $100\text{ cm}$ で厚さが $300\text{ }\mu\text{m}$ のものを用いた場合で説明する。なお、本発明の第1の実施の形態においては、基板領域11として、単一の抵抗率で形成された場合を例示しているが、複数の抵抗率を有していても良い。

【0038】

また、基板領域11の表層部に形成した容量低下防止領域1001は、並列接続されている還流ダイオード100が遮断状態となるような逆バイアス電圧が印加された際に、基板領域11への空乏層の伸張を緩和する領域として機能する。つまり、基板領域11と比べて不純物密度が同等以上であれば、基板領域11の不純物密度（つまり、抵抗率）に応じて、不純物密度の大きさを決めることができるが、不純物密度が大きいほどその効果は大きい。本発明の第1の実施の形態においては、容量低下防止領域1001の不純物密度を、例えば $1 \times 10^{19}\text{ cm}^{-3}$ （抵抗率換算で $10\text{ m cm}$ 前後）とした場合で説明する。

10

【0039】

また、キャパシタ誘電体膜12については、必要な耐圧並びに必要なキャパシタCの容量の大きさに応じて、厚みや面積を決めることができる。耐圧については、キャパシタ誘電体膜12の破壊防止のため、還流ダイオード100よりも高いことが望ましい。また、キャパシタCの容量については、還流ダイオード100が遮断状態時（高電圧印加時）に生じる空乏層のキャパシタ容量に対して、100分の1程度から100倍ぐらいの範囲で選ぶことができるが、十分なスナバ機能を発揮し、かつ損失の増加を極力抑え、必要となるチップ面積を考慮すると、後述する計算結果が示すように、概ね100分の1程度から100倍程度の範囲が望ましい。

20

【0040】

本発明の第1の実施の形態においては、例えば還流ダイオード100よりも耐圧が高くなるように例えば厚みは $1\text{ }\mu\text{m}$ とし、キャパシタCの容量が還流ダイオード100の遮断状態時に形成される空乏容量と同程度としたものを用いた場合で説明する。なお、キャパシタ誘電体膜12は、シリコン酸化膜以外の材料でも、所定の耐圧を有し、かつキャパシタCとして機能する誘電材料であればどのような材料でも良いが絶縁破壊電界と比誘電率との積の値がシリコン酸化膜の値よりも大きい材料であれば、更によい。そのような材料を用いた場合には、キャパシタ誘電体膜12の絶縁耐圧を維持しつつ、少ない面積で必要な静電容量を得ることができる。例えば、一般的なシリコン酸化膜の物性値として、絶縁破壊電界を $1 \times 10^9\text{ V/m}$ とし、比誘電率を3.9とした場合、シリコン酸化膜の厚みが $1\text{ }\mu\text{m}$ の場合の単位面積 $1\text{ cm}^2$ 当たりの静電容量は約3.4 nF程度になる。それに対して、シリコン酸化膜の代わりに窒化ケイ素（ $\text{Si}_3\text{N}_4$ ）を用いた場合、絶縁破壊電界を $1 \times 10^9\text{ V/m}$ とし、比誘電率を7.5とした場合、厚みが $1\text{ }\mu\text{m}$ で同等の耐圧を確保することができる。このとき、 $\text{Si}_3\text{N}_4$ を用いた場合の単位面積 $1\text{ cm}^2$ 当たりの静電容量は6.6 nF程度になる。このように、 $\text{Si}_3\text{N}_4$ を用いた方が静電容量が約2倍程度大きくなり、キャパシタ誘電体膜の絶縁耐圧を維持しつつ、より大きな静電容量を得ることができる。したがって面積効率が向上し、ウエハコストを低減することができる。この効果は誘電材料の絶縁破壊電界と比誘電率との積で比較することができ、シリコン酸化膜の値と、 $\text{Si}_3\text{N}_4$ の値を比較すると約2倍程度になっている。更に、キャパシタ誘電体膜の材料がチタン酸バリウム（ $\text{BaTiO}_3$ ）のような強誘電体であれば、その値がシリコン酸化膜の約1.3倍となり、より少ない面積にすることができる。また、キャパシタ誘電体膜は単一の誘電材料とは限らず複数の誘電材料を積層したものを用いても良い。例えば、 $\text{Si}_3\text{N}_4$ をシリコン酸化膜で挟んだONO構造では、 $\text{Si}_3\text{N}_4$ のリーク電流をシリコン酸化膜により最小限にすることができる。

30

40

【0041】

本発明の第1の実施の形態においては、後述するように、還流ダイオード100として例えばショットキーバリアダイオードを用いた場合に、ユニポーラ動作によって本質的に発生する電流・電圧の振動現象に対して、従来からバイポーラ動作のダイオードの振動低減用のスナバ回路として用いられる、メイン電流が流れる経路にフィルムコンデンサやメタルクラッド抵抗など外付けのディスクリート部品を配線する手法を用いずに、小容量で

50

小サイズのキャパシタCと抵抗Rを有する半導体スナバ200を並列接続することで、容易にかつ効果的に振動現象を抑制できることを特徴としている。また、効果的にスナバ機能を発揮する設計式として、 $C = 1 / (2 \pi f R)$ が一般的に知られており(fは振動現象の周波数)、本発明の第1の実施の形態においては、その式を満たすように、小容量の半導体スナバ200を用いたキャパシタCと抵抗Rを容易に設定することができることを特徴としている。

#### 【0042】

更に、キャパシタ誘電体膜12に接するように上部電極13が、更には上部電極13に対向し、かつ基板領域11と接するように下部電極14が形成されている。上部電極13はアノード端子300として外部電極と接続するように、例えば金属材料で形成されており、最表面にアルミニウム(Al)、銅(Cu)、金(Au)、ニッケル(Ni)、銀(Ag)などの金属材料を用いた単層、多層の構造としても良い。同様に、下部電極14についても、カソード端子400として外部電極と接続するように、例えば金属材料で形成されており、最表面にアルミニウム(Al)、銅(Cu)、金(Au)、ニッケル(Ni)、銀(Ag)などの金属材料を用いた単層、多層の構造としても良い。このように、図4に示す半導体スナバ200は、上部電極13が図3に示す還流ダイオード100のアノード電極に、下部電極14が図3に示す還流ダイオード100のカソード電極に、接続する半導体RCスナバとして機能する。

10

#### 【0043】

次に、本発明の第1の実施の形態の動作について詳しく説明する。

20

#### 【0044】

本発明の第1の実施の形態に係る半導体装置は、例えば電力エネルギーの変換手段の1つとして、一般的に使用される図6に示すようなコンバータや図7に示すようなインバータ等の電力変換装置において、電源電圧(+V)(例えば本発明の第1の実施の形態では400V)に対して逆バイアス接続になるように接続され、電流を還流する受動素子A、Bとして使用される。本発明の第1の実施の形態に係る半導体装置の動作モードは、MOSFETやIGBT等のスイッチング素子のスイッチング動作に連動して、電流を遮断する遮断状態から電流を還流する導通状態へ、そして導通状態から遮断状態へと動作する。電力変換装置においては、電流を還流する受動素子に対しても、スイッチング素子と同様に、低損失でかつ誤動作等が起こりにくい安定動作が求められる。本発明の第1の実施の形態においては、図6のコンバータ回路を一例として動作を説明する。なお、図6中のスイッチング素子Dは例えばIGBTで構成されている場合で説明する。

30

#### 【0045】

まず、スイッチング素子Dがオンし、スイッチング素子Dに電流が流れている状態においては、受動素子Aは逆バイアス状態となり遮断状態になる。図3に示す還流ダイオード100(ここでは、ショットキーバリアダイオード)においては、アノード端子300とカソード端子400間に逆バイアス電圧が印加されるため、ドリフト領域2中には上部電極3とのショットキー接合部から伸びた空乏層が生じ遮断状態が維持される。また、図4に示す半導体スナバ200においては、後述するように、容量低下防止領域1001を形成することによって、キャパシタCとして機能するほぼキャパシタ誘電体膜12のみが高電圧により充電された状態になっており、遮断状態を維持する。

40

#### 【0046】

このように、遮断状態においては、受動素子がショットキーバリアダイオードのみで構成されている従来技術と同様の機能を有する。

#### 【0047】

次に、スイッチング素子Dがオフし、スイッチング素子Dがオフ状態に移行するのに連動して、受動素子Aは順バイアス状態となり導通状態に移行する。図3に示す還流ダイオード100のドリフト領域2中に広がっていた空乏層が後退し、上部電極3とドリフト領域2との間に形成されているショットキー接合部にショットキー障壁高さに応じた順バイアス電圧が印加されると、還流ダイオード100は導通状態となる。このとき、還流ダイ

50

オード100に流れる電流は、ドリフト領域2中をほぼ下部電極4側から供給される電子電流のみで構成されており、ユニポーラ動作をする。また、図4に示す半導体スナバ200においても、還流ダイオード100と同様に、高電圧の逆バイアス状態から低電圧の順バイアス状態に移行するため、キャパシタ誘電体膜12に充電されていた電荷は放電され、過渡電流が流れる。しかしながら本発明の第1の実施の形態では、キャパシタ誘電体膜12のキャパシタ容量が還流ダイオード100の遮断時に形成される空乏容量と同程度と非常に小容量であるため、放電によって流れる過渡電流の大きさは、並列する還流ダイオード100に流れる順バイアス電流に比べて非常に小さく、動作にはほとんど影響しない。そして、半導体スナバ200は、バイアス電圧の変化に伴う過渡電流が流れた後は、順バイアス状態と定常状態に移行するため遮断状態となり、還流ダイオード100のみが導通状態となる。このとき本発明の第1の実施の形態においては、還流ダイオード100が炭化珪素材料の半導体基体からなるショットキーバリアダイオードで構成されているため、一般的なシリコン材料からなるpn接合ダイオードに比べて、ドリフト領域2の抵抗をより低抵抗で形成することができ、導通損失を低減することができる。このように、本発明の第1の実施の形態は、導通状態においても受動素子がショットキーバリアダイオードのみで構成されている従来技術と同様の効果を有する。

10

20

30

40

50

#### 【0048】

次に、スイッチング素子Dがターンオンし、スイッチング素子Dがオン状態に移行するのに連動して、受動素子Aは逆バイアス状態となり遮断状態に移行する。図3に示すように、ショットキーバリアダイオードにおいては、下部電極4側からドリフト領域2中に供給されていた電子電流は順バイアス電圧の低下と共に減少する。そして、順バイアス電圧がショットキー接合部のショットキー障壁高さに応じた電圧以下になり、更には、ショットキー接合部に逆バイアス電圧が印加されはじめると、ドリフト領域2中には上部電極3とのショットキー接合部から伸びた空乏層が広がり遮断状態へと移行する。

#### 【0049】

この導通状態から遮断状態に移行する際に、還流ダイオードの素子内部に蓄積されていた過剰キャリアが消滅する過程において、過渡的に発生する電流が逆回復電流である。この逆回復電流は、受動素子A並びにスイッチング素子Dに過渡電流として流れ、それぞれの素子において損失（ここでは逆回復損失と呼ぶ）が発生する。このことから、還流ダイオードで発生する逆回復電流は極力小さいほうが良い。

#### 【0050】

本発明の第1の実施の形態では、還流ダイオード100を炭化珪素からなる半導体材料で形成したユニポーラ動作のショットキーバリアダイオードで形成しており、一般的なシリコンで形成されたpn接合ダイオードに比べるとこの逆回復電流は格段に小さい。つまり、逆回復損失を大幅に低減することができる。

#### 【0051】

この逆回復損失の違いは、両者の遮断・導通のメカニズムの違いで説明することができる。

#### 【0052】

まず、一般的なシリコンで形成されたpn接合ダイオードは、順バイアス導通時には少数キャリア注入によるドリフト領域の伝導度変調効果があるため、導通損失を極力低減しつつ耐圧を確保するため、ドリフト領域の厚みを小さく、かつ、不純物濃度を低く形成するのが一般的である。そして、例えば600Vクラスのpn接合ダイオードを実現しようとする、低不純物濃度の実現性の制限から、例えばドリフト領域の不純物密度が $10^{14} \text{ cm}^{-3}$ 程度とした場合、厚みが50 $\mu\text{m}$ 程度と比較的ドリフト領域の厚い基板を使用する必要がある。導通時にはバイポーラ動作の伝導度変調効果によって、流れる電流の大きさに応じて、少数キャリアと多数キャリアがほぼ同等の濃度になるようにドリフト領域に注入されるため、低抵抗を得ることができる。例えば数100A/cm<sup>2</sup>程度の順バイアス電流が流れた場合、多数キャリア（電子）及び少数キャリア（ホール）の濃度が共に $10^{17} \text{ cm}^{-3}$ 台となる程度までキャリアが注入され、それらが過剰キャリアとなって動作する

。

## 【0053】

一方、ショットキーバリアダイオードについては、導通時に流れる電流が多数キャリアである電子のみで構成されるため、遮断状態に移行する際に発生する過剰なキャリアの量自体が、ほぼ還流ダイオード100に空乏層が形成される際に空乏層中から排出されるキャリアの量のみしか発生しない。つまり、例えば600Vクラスとして不純物密度が $10^{16} \text{ cm}^{-3}$ 、厚みが $5 \mu\text{m}$ のドリフト領域2が全域空乏化した場合にも、上記pn接合ダイオードと単純に比較して、キャリア密度が10分の1、キャリアの分布しているドリフト領域の厚みが10分の1となるため、トータルで100分の1程度の過剰キャリアしか発生しない。このことから、還流ダイオード100をユニポーラ動作をする素子で形成する

10

## 【0054】

更に、本発明の第1の実施の形態においては、従来技術である受動素子がショットキーバリアダイオードのみで構成されている場合では本質的に解決できなかったユニポーラ動作ならではの逆回復動作時の電流・電圧の振動現象を抑制する機能を有する。

## 【0055】

この振動現象自体は、還流ダイオードが組み込まれたインバータ等の電力変換装置の回路中に生じる寄生インダクタンス $L_s$ と、還流ダイオードの逆回復動作時の逆回復電流 $I_r$ の遮断速度 $(dI_r/dt)$ の相互作用によってサージ電圧 $V_s$ が生じ、これを起点として発生することが一般的に知られている。この電流・電圧の振動現象は、サージ電圧による素子の破壊、振動動作中の損失の増大、周辺の回路の誤動作などを引き起こすことから、安定動作の阻害要因となるため、抑制することが求められる。このため、振動現象を低減するためには、逆回復動作時の電流の遮断速度 $(dI_r/dt)$ を緩和することと、更には振動している電流をいち早く減衰し振動を収束させる機構が必要となる。

20

## 【0056】

しかしながら、従来のユニポーラ動作をするショットキーバリアダイオードのみでは、逆回復電流 $I_r$ の成分が多数キャリアで構成されているため、過剰キャリアによる逆回復電流 $I_r$ は大きく減るものの、空乏層の形成速度でほぼ決まる逆回復時間 $t$ がほとんど制御できないことから、電流・電圧に振動現象が生じやすく、その振動も容易に減衰しない。その理由として大きく2つ挙げられる。

30

## 【0057】

1つは、上述したように、ショットキーバリアダイオードにおいては、遮断状態から導通状態に注入される過剰キャリアの量が、遮断時にドリフト領域中に形成される空乏領域を補充する多数キャリアのみで構成されている点である。つまり、ショットキーバリアダイオードの逆回復電流の遮断速度 $(dI/dt)$ はほとんど空乏領域の形成速度にのみ依存し、かつ、少数キャリアがほとんど存在しないためpn接合ダイオードのようなライフタイム制御法をそのまま用いることはできない。このため、ショットキーバリアダイオードのみを用いる場合、スイッチング素子のスイッチング速度を向上し過渡損失を低減しようとすると、より激しい振動現象が発生することから、過渡損失の低減と振動現象の抑制にはトレードオフの関係があった。

40

## 【0058】

もう1つは、ショットキーバリアダイオードは導通時にほぼ多数キャリアのみで動作するため、導通時も遮断直前においても、素子内部の抵抗はドリフト領域の厚み並びに不純物濃度に準じた抵抗で変わらない点である。上述したように、pn接合ダイオードは、導通時は伝導度変調効果によって低抵抗になるものの、伝導度変調が解除される逆回復動作時にはドリフト領域は高抵抗となり、逆回復電流 $I_r$ を抵抗制限する機構を有している。それに対して、ショットキーバリアダイオードは、それ自体の抵抗成分としては導通時も遮断直前においても低抵抗であり、逆回復電流 $I_r$ を抵抗制限する機構を有していない。

50

そのため、電流・電圧に振動現象が生じやすく、その振動も容易に減衰しないのである。更に、半導体材料として炭化珪素などワイドギャップ半導体を用いていることで、素子自体の抵抗が小さいため導通損失を低減できる反面、振動現象がより起きやすくなっている。このことから、ショットキーバリアダイオードのみを用いる場合、導通時の損失と振動現象の抑制機構にトレードオフの関係があった。

#### 【0059】

これに対して、本発明の第1の実施の形態においては、還流ダイオード100と半導体スナバ200を並列接続する簡便な構成により、過渡損失並びに導通損失を低減しつつ、かつ、振動現象を抑制することができる。さらに、本発明の第1の実施の形態においては、還流ダイオード100に逆バイアス電圧が印加された際に、抵抗Rを構成する抵抗領域への空乏層の伸張を緩和する容量低下防止領域1001が形成されているため、逆バイアス電圧による抵抗領域への空乏容量の形成を抑えることができる。そのため、例えば、誘電体からなるキャパシタ誘電体膜12で形成されたキャパシタCと直列に接続となる空乏容量の形成を抑えることができるため、半導体スナバ200としてのキャパシタ容量の低下を抑えることができる。このことから、逆回復動作時に生じる電流・電圧の振動現象をさらに安定して抑制できると共に、キャパシタ容量の低下を防止した分だけ、半導体スナバ200を高密度化することができ、半導体スナバ200のチップサイズを低減することができる。

#### 【0060】

すなわち、本発明の第1の実施の形態においては、還流ダイオード100において、順バイアス電流が減少し、順バイアス電流がゼロになると、ドリフト領域2中に逆バイアス電圧による空乏層が形成され、過剰キャリアで構成される逆回復電流が流れ始める。その逆バイアス電圧が印加されるのとほぼ同時に、半導体スナバ200中のキャパシタ誘電体膜12からなるキャパシタCにも同等の逆バイアス電圧が印加され、半導体スナバ200中にも相応の過渡電流が流れ始める。この半導体スナバ200に流れる過渡電流は、キャパシタ誘電体膜12からなるキャパシタCの大きさと基板領域11の抵抗R成分の大きさに決まり、自由に設計することができる。

#### 【0061】

本発明の第1の実施の形態においては、基板領域11の表層部にキャパシタ誘電体膜12に接するように形成された容量低下防止領域1001が、基板領域11に空乏層が形成されるのを緩和する領域として機能するため、キャパシタCの大きさをほぼキャパシタ誘電体膜12によって形成することができ、十分な振動現象の抑制が可能となる。

#### 【0062】

つまり、受動素子Aが逆回復動作をする状態においては、還流ダイオード100及び半導体スナバ200は逆バイアス電圧が印加されるため、半導体スナバ200においては、下部電極14側に高い電圧が印加される状態となる。このとき、n型で構成されている基板領域11中の過剰電子は、下部電極14側に引き寄せられることになる。このため、例えば、容量低下防止領域1001が形成されていない場合、基板領域11中にキャパシタ誘電体膜に接する部分から空乏層が伸張し、基板領域11中にも空乏容量が形成される。基板領域11は、半導体スナバ200が充分機能するように、本発明の第1の実施の形態においては、例えば抵抗率が100 cmと抵抗の大きい、つまり、不純物密度が小さいシリコン基板を用いているため、より空乏層が広がりやすい状態となっている。空乏層で形成される容量の場合、空乏層が広がれば広がるほどキャパシタ容量が小さくなることと、この空乏層容量はキャパシタ誘電体膜12で構成されている誘電容量と直列接続をしていることから、半導体スナバ200としてのキャパシタ容量は、少なくとも誘電容量のみで得られるキャパシタ容量より低下する。例えば、本発明の第1の実施の形態において、基板領域11中に伸びる空乏層が10 μm伸びた場合、シリコンの比誘電率を11.9とした場合、単位面積当たりの静電容量は約1.0 μF程度になる。つまり、上記キャパシタ誘電体膜12が1 μm厚のシリコン酸化膜で形成されている場合の静電容量約3.4 μFに対して、小さい容量が形成されてしまうのに加えて、それらが直列接続しているため

に、合成したキャパシタ容量としては、約  $0.8 \mu\text{F}$  程度とキャパシタ誘電体膜の容量に比べて約  $1/4$  の容量となってしまう。更に、空乏層が伸びれば伸びるほどキャパシタ容量は減少してしまうことになる。

#### 【0063】

一方、本発明の第1の実施の形態においては、容量低下防止領域1001が本来空乏層が形成されやすい、キャパシタ誘電体膜12と接する基板領域11に形成されているため、基板領域11への空乏層の伸びを大幅に緩和している。つまり、高い不純物密度で形成された容量低下防止領域1001中の電子は下部電極14側に高い電圧が印加されてもなかなか枯渇しないため、ほとんど空乏層が広がらないからである。一般的に空乏層の伸びは不純物密度の大きさに反比例するため、不純物密度が5桁大きければ、空乏層の伸びは5桁小さくなることになる。つまり、本発明の第1の実施の形態においては、ほとんど基板領域11には空乏層が伸びないため、半導体スナバ200はキャパシタ誘電体膜12で形成されたキャパシタ容量として働く。このため、単位面積当たりの誘電容量をほとんど低下させることなく、十分な振動現象の抑制が可能となる。

10

#### 【0064】

また、空乏層が形成されても、キャパシタ誘電体膜12で形成した容量に対して、例えば10倍の容量を有していれば、半導体スナバ200としてのキャパシタ容量の低下は1割程度に抑えることができる。半導体装置及び半導体プロセスの現実的な製造バラつきがやはり1割前後であることを考えると、少なくともこの程度の低下しるような空乏層の伸びに抑えるのが望ましい。

20

#### 【0065】

いずれにしても、基板領域11への空乏層の伸びを緩和する容量低下防止領域1001を形成することによって、振動現象の抑制を効率的に実現できる。

#### 【0066】

以上、本発明の第1の実施の形態の動作を説明してきたが、この並列に接続された半導体スナバ200の効果は3つある。

#### 【0067】

1つ目は、半導体スナバ200は電圧の過渡変動がないと動作しないため、スイッチング素子Dのスイッチング速度には影響を与えず、スイッチング速度に依存する損失は従来と同様に低く抑えることができることである。つまり、還流ダイオード100に流れる順バイアス電流の遮断速度を高速に設定することができるため、メイン電流の遮断に伴う損失を低減できる。

30

#### 【0068】

2つ目は、還流ダイオード100が逆回復動作に入ったときに、還流ダイオード100に並列接続された半導体スナバ200のキャパシタ成分並びに抵抗成分が作動し、逆回復電流の遮断速度 ( $dI_r/dt$ ) を緩和することができ、サージ電圧そのものを低減することができることである。

#### 【0069】

更に3つ目は、半導体スナバ200に流れた電流を基板領域11の抵抗成分で電力消費するため、寄生インダクタンス  $L_s$  で生じたエネルギーを吸収し、振動現象を素早く収束することができることである。

40

#### 【0070】

このように、本発明においては、還流ダイオード100が有する過渡損失ならびに導通損失を低減する性能を有すると同時に、ユニポーラ動作ならではの本質的な振動現象を半導体スナバ200を用いることで解決することができるという特徴を有する。

#### 【0071】

一般に、RCスナバ構成は回路として見れば従来から知られた回路であるが、スナバ回路を半導体基体上に形成する半導体スナバ200は、ユニポーラ動作もしくはユニポーラ動作と同等の動作を有する還流ダイオード100と組み合わせることで、初めてスナバ回路として十分な機能を果たすことができる。つまり、インバータ等の電力変換装置に一

50

般的に用いられてきたシリコンからなるpn接合ダイオードをにおいては、電力容量の制限で半導体チップ上のスナバ回路は事実上困難であり、ディスクリート部品であるフィルムコンデンサなどからなるキャパシタとメタルクラッド抵抗などからなる抵抗を電力変換装置の半導体パッケージの内側もしくは外側のメイン電流が流れる経路に配置する必要があるためである。その理由として、スナバ回路が十分機能を果たすためには、逆回復電流の遮断速度( $dI_r/dt$ )を緩和するために、ダイオードに流れる逆回復電流と同程度の過渡電流が流れるような容量を持つキャパシタが必要であること、かつ、振動現象を減衰するために、そのキャパシタに流れる電流を電力消費可能な電力容量を有する抵抗が必要であること、が挙げられる。上述したように、pn接合ダイオードは還流する電流の大きさによって、逆回復電流の大きさが変化し、上記一例ではユニポーラ動作のショットキーバリアダイオードに比べて100倍もの逆回復電流が発生する。ダイオードに流れる電流密度が更に大きくなったり、また耐圧クラスが大きくなるほど、導通時に注入される過剰キャリアは更に増大し、逆回復電流も大きくなる。そのため、キャパシタを半導体チップ上に形成しようとする、厚みは必要耐圧で制限されることから、単純に計算して面積を100倍にする必要がある。また、抵抗Rに関しても消費すべき電力が100倍となるため体積を100倍にする必要があり、結果としてチップサイズが100倍必要となる。このことから、従来技術の延長では電力変換装置におけるスナバ回路を半導体チップで形成するという発想は事実上困難であった。

10

20

30

40

50

**【0072】**

本発明の第1の実施の形態においては、還流ダイオード100に流れる過渡電流が高々ドリフト領域2に空乏層が形成される際に発生するキャリアのみからなる過渡電流であることに着目し、スナバ回路を小容量の半導体スナバ200で形成しているところが従来技術と異なる点である。更に、本発明の第1の実施の形態の構成により、過渡損失と導通損失を低減する性能と振動現象を抑制する上で、従来技術にはない新たな効果を得ることができる。

**【0073】**

1つは、ユニポーラ動作をする還流ダイオード100に所定のキャパシタ容量及び抵抗値をもつ半導体スナバ200を一旦並列接続すると、その還流ダイオードが動作する全電流範囲、全温度範囲において、スナバ機能が有効に働くということである。上述したように、ショットキーバリアダイオードの逆回復電流は、逆バイアス電圧によって空乏層が生じた際に発生する過剰キャリアのみで構成されているため、還流動作時に流れていた電流の大きさによらず、毎度ほぼ一定の逆回復電流が流れるためである。また同様の理由で、還流ダイオードの温度にもほとんど影響を受けず、ほぼ一定の逆回復電流が流れるためである。このため、全ての電流範囲、温度範囲において、過渡損失を低減し、かつ振動現象を抑制することができる。これらは、一般的なpn接合ダイオードとの組み合わせでは得られない効果である。

**【0074】**

もう1つは、図2に示すようにスナバ回路を半導体スナバ200で形成することで、還流ダイオード100の直近に低インダクタンスで実装することができ、更に過渡損失を低減しかつ振動現象を抑制できる点である。これは、還流ダイオード100にスナバ回路を並列接続する際に生じる寄生インダクタンスが小さいほど、スナバ回路に流れる過渡電流が流れやすく、還流ダイオードに流れる逆回復電流の遮断速度( $dI_r/dt$ )を緩和しやすくなることと、スナバ回路中のキャパシタに印加される電圧に重畳される寄生インダクタンスで発生する逆起電力が小さいため、キャパシタの耐圧範囲でスイッチング時間を速くできることによる。このことから、本発明の第1の実施の形態においては、従来ディスクリート部品であるフィルムコンデンサなどからなるキャパシタとメタルクラッド抵抗などからなる抵抗とを用いるスナバ回路の場合に比べて、寄生インダクタンスを低減することで、スイッチング時間を短縮し過渡損失を低減できるとともに、逆回復電流の遮断速度( $dI_r/dt$ )を適切に緩和し振動現象を抑制することができる。

**【0075】**



また、スナバ回路を還流ダイオード100の直近に実装することは、不要なノイズ放射を低減することにもなる。例えば従来のディスクリット部品であるフィルムコンデンサなどからなるキャパシタCとメタルクラッド抵抗などからなる抵抗Rとを用いるスナバ回路の場合では、還流ダイオード100で発生した振動電流はこれらの部品を通り、還流ダイオード100に戻る経路を通る。その際に抵抗Rにより振動電流が抑制されていくが、それまでの間にこの電流経路が作る面が一種のループアンテナとして働き、ノイズを放射する。スナバ回路を半導体スナバ200で形成した場合には、還流ダイオード100の直近に実装していることから、振動電流の電流経路が作る面の大きさがディスクリット部品を用いた場合よりも格段に小さくなり、振動電流によるノイズ放射が低減される。これにより、ノイズによる制御回路等の誤動作を防ぐことができる。

10

**【0076】**

更に、本発明の第1の実施の形態においては、スナバ回路を半導体スナバ200で形成することで、還流ダイオード100と同様の実装工程を用いて電力変換装置を構成することができるため、簡便でかつ容易に振動現象を抑制することができるとともに、従来技術のスナバ回路に比べて必要な体積も大幅に低減できる。

**【0077】**

また、半導体スナバ200の抵抗成分を半導体基体で形成し図2に示すような半導体パッケージに直接実装することができるため、高い放熱性を得ることができる。そのため、外付けの抵抗等に比べて、より高密度の抵抗設計が可能となる。つまり、破壊に対する耐性が高くより小型化が実現可能である。

20

**【0078】**

また、本発明の第1の実施の形態で一例としてあげたように、例えば還流ダイオード100を炭化珪素からなるショットキーバリアダイオードで構成することで、本発明の効果を最大限に引き出すことができる。つまり、所定の耐圧を得るために、ワイドバンドギャップにより空乏層の厚みを小さくできるほど、還流ダイオード100自体の抵抗が小さく低導通損失を低減できるのであるが、その反面、逆回復電流の遮断速度( $dI_r/dt$ )が高くなり、かつ振動エネルギーが消費されないため、振動現象がより顕著となる性質を有しているからである。例えば、還流ダイオード100としてシリコンからなるショットキーバリアダイオードを用いた場合には、本発明の効果として一定レベルの効果は得られるものの、ドリフト領域2の不純物濃度や厚みの制限により、炭化珪素材料に比べてダイオード自体に大きな抵抗成分を有するため、ダイオード自体で振動エネルギーを消費し減衰しやすい。このことから、還流ダイオード100が炭化珪素などのワイドバンドギャップ半導体で構成することで、より顕著に導通損失の低減と振動現象の緩和を両立することができる。

30

**【0079】**

なお、本発明の第1の実施の形態においては、還流ダイオード100の半導体材料を炭化珪素とした場合で説明しているが、窒化ガリウムやダイヤモンドなどのワイドバンドギャップ半導体を用いても同様の効果を得ることができる。

**【0080】**

また、図4に示す容量低下防止領域1001は、半導体スナバ200の抵抗Rの抵抗値調整機能も有しており、半導体スナバ200の振動現象抑制効果を容易に、かつ、最大限に引き出すことが可能である。例えば、抵抗Rは基板領域11の抵抗値でほぼ決まる構成としているが、抵抗値を変更もしくは調整する場合、面積・厚み・不純物密度(比抵抗)を変えることで対応は可能である。ただし、面積はキャパシタ容量Cに必要な面積に依存すること、厚みはそれ自身の厚みを変更する場合、機械加工が必要なこと、更に機械的強度が得られる範囲でのみ設定可能なこと、更に、不純物密度については基板領域11の作成時点、つまり半導体ウェハを作成する時点で条件が定まっている必要があることなど、抵抗の微調整や変更がそれほど容易ではない。しかし、本発明の第1の実施の形態においては、容量低下防止領域1001を形成する際に、容量低下防止領域1001の厚みや面積を調整することで容易に抵抗Rの値を調整することができる。つまり、図4における容

40

50

量低下防止領域 1001 を、例えば基板領域 11 の表層部にイオン注入法で n 型不純物となるリンやヒ素などを導入し、熱拡散によって不純物の活性化及び拡散することで形成する場合、熱拡散の条件を変えることで、容量低下防止領域 1001 の厚みを制御することができる。容量低下防止領域 1001 の厚みを小さくすると、抵抗領域（基板領域）11 の厚みが大きくなるので、抵抗 R の値は大きくなり、容量低下防止領域 1001 の厚みを大きくすると、抵抗領域（基板領域）11 の厚みが小さくなるので、抵抗 R の値は小さくなる。

#### 【0081】

また、図 8 及び図 9 に示すように、容量低下防止領域 1001 を形成する面積（図 8 及び図 9 の断面構造では幅）を変えることでも、抵抗 R を調整することが可能である。図 8 及び図 9 は、例えば図 2 で示す半導体スナバ 200 のチップ構造のうち、チップ端部周辺の半導体スナバ 200 の一例を示している。図 8 は容量低下防止領域 1001 が上部電極 13 の端部とほぼ同等の位置に端部が来るように形成されている場合を示している。つまり、図 8 中の半導体スナバ 200 においては、容量低下防止領域 1001 の面積をキャパシタ容量 C として働く上部電極と同等とした場合を示している。図中、破線で示している部分は、逆バイアス電圧が印加された際に、基板領域 11 中を流れる電子の広がりを 45 度近似で示している。

10

#### 【0082】

一方、図 9 中の半導体スナバ 200 においては、容量低下防止領域 1001 の面積をキャパシタ容量 C として働く上部電極よりも大きく形成した場合を示している。図 9 においては、高い不純物で形成されている容量低下防止領域 1001 中は電子は横方向にも移動しやすいため、図中、破線で示す電子の流れる範囲は図 8 に比べてより広い範囲で流れることになる。つまり、図 8 に比べて低い抵抗にすることができる。このように、容量低下防止領域 1001 はキャパシタ C の低下を防ぐだけでなく、抵抗 R の調整を容易にすることができる、製造が容易で、かつ振動現象を更に緩和しやすいという特徴を有する。

20

#### 【0083】

以上、本発明の第 1 の実施の形態における半導体スナバ 200 の基本的な動作を図 4 及び図 8、図 9 を用いて説明してきたが、図 10 及び図 11 下部電極 14 と接する基板領域 11 の表層部においても、容量低下防止領域 1002 を形成するとおなじみ。図 4 は図 8 に対応する断面図、図 11 は図 9 に対応する断面図である。不純物密度が小さく比抵抗が大きい基板領域 11 はそのまま下部電極 14 と接続するとショットキー接続となってしまうので、上部電極 13 側よりは影響は小さいものの、下部電極 14 側に形成される基板領域 11 の容量が安定しないからである。そのため、不純物濃度が高い容量低下防止領域 1002 を形成し、下部電極 14 とオーミック接続することで、無用な容量が下部電極 14 側の基板領域 11 に形成されるのを防止することができる。

30

#### 【0084】

以上、図 4 及び図 8 ~ 図 11 においては、基板領域 11 が n 型で形成された場合について説明してきたが、図 12 ~ 図 14 に示すように、p 型で形成されていても良い。図 12 は図 4 に対応し、図 13 が図 10 に対応し、図 14 が図 11 に対応する。基板領域 11 が p 型の場合、図 12 に示すように、還流ダイオードに逆バイアス電圧が印加された際には、下部電極 14 側の基板領域 11 の表層部に空乏層が広がりやすくなるため、容量低下防止領域 1003 は下部電極 14 に接し、かつ、オーミック接続するように形成するのが望ましい。つまり、下部電極 14 に高い電圧が印加される状態においては、p 型で構成されている基板領域 11 中の過剰正孔は、上部電極 13 側に引き寄せられることになるため、容量低下防止領域 1003 が形成されていない場合は、下部電極 14 側の基板領域 11 中に空乏層が伸張するためである。図 12 においては、容量低下防止領域 1003 が形成されているため、逆バイアス電圧が印加されてもキャパシタ容量の低下が起こりにくい。また、図 13 については、容量低下防止領域 1004 によって上部電極 13 側への空乏容量形成を防止し、図 14 については、図 11 と同様に、容量低下防止領域 1004 によって上部電極 13 側の抵抗 R の調整が容易にできる。

40

50

## 【0085】

以上、本発明の第1の実施の形態の一例として図1～図4をベースとして基本的な動作を説明してきたが、半導体スナバ200としては、図1で示す単純なRCスナバ回路以外にも、例えば図15に示すように、抵抗220に並列に接続するようにダイオード230を有する構成であっても良い。これは、キャパシタCと抵抗Rを少なくとも有するように構成された半導体スナバ200であれば、上記と同様の効果を得ることができるためである。

## 【0086】

また、実装形態の一例として示した図2のセラミック基板を用いた半導体パッケージ以外にも、例えば図16に示すように、金属基材420を支持基材及びカソード端子とし、アノード端子340とモールド樹脂510からなるような所謂モールドパッケージ型の実装形態を用いても良いし、他の実装形態をとっていても良い。また、本発明の第1の実施の形態においては、還流ダイオード100と半導体スナバ200がそれぞれ1チップずつの場合を示しているが、一方もしくは両方が複数のチップで構成されていてももちろん良い。また、図2及び図16はカソード端子側の下部電極4及び14のみを半田等で実装し、アノード端子側は金属配線320, 330を配線する場合を一例として挙げているが、カソード端子及びアノード端子の両面を半田等で実装する方式としても良い。両面を半田等で実装することで冷却性能が向上するため、還流ダイオード100の放熱性及び半導体スナバ200の抵抗210の放熱性が増すため、より高密度に実装することができる。

## 【0087】

また、本発明の第1の実施の形態を説明するに当たって、半導体スナバ200の構造の一例として図4を用いて基本的な動作の説明していたが、図17～図20に示すように、抵抗Rを別の構成で形成していてももちろん良い。

## 【0088】

図17は、図4で示した基板領域11からなる抵抗Rの主成分を、基板領域11以外で形成した場合を示している。図17中、図4で用いた基板領域11の代わりに、n<sup>+</sup>型の低抵抗基板で構成された低抵抗基板領域16で形成し、抵抗Rの主成分をキャパシタ誘電体膜12上に例えばn型の多結晶シリコンからなる抵抗領域17で形成している。多結晶シリコンからなる抵抗領域17は厚み及び不純物濃度を変えることで抵抗値を自由に変わらねるところが利点として挙げられる。つまり、支持基体として基板領域を選ぶ際にどのような基板を用いても半導体スナバ200を形成できるため、実現性の自由度をあげることが可能となる。

## 【0089】

また、図18においても、還流ダイオード100に逆バイアス電圧が印加された場合に、抵抗領域17中に空乏層が広がらないように、n型で高濃度の容量低下防止領域1005が上部電極13側に形成されている。このように形成することで、抵抗領域17を用いた場合においても、キャパシタCの低下を防ぐことができる。なお、抵抗領域17は多結晶シリコン以外でも、どのような材料を用いても良いが、抵抗領域17をシリコンよりも高い絶縁破壊電界を持つ材料で構成するとなお良く、抵抗領域17の製作プロセスを更に容易にする効果がある。例えば、逆回復時に還流ダイオード100の両端にサージ電圧として100Vが印加された場合、半導体スナバ200においては、キャパシタCには過渡電流が流れるため、概ね抵抗領域の両端に、サージ電圧と同等の100Vが印加される。このとき、抵抗領域には、その材料に応じた絶縁破壊電界と厚みから決まる絶縁破壊電圧以上の破壊耐圧が求められる。100Vの破壊耐圧を持たせるためには、シリコンの場合、絶縁破壊電界が約0.3MV/cmであるので、3μm程度の厚さが必要になる。そこに、シリコンよりも高い絶縁破壊電界を持つポリ炭化珪素を用いると、絶縁破壊電界が約3.6MV/cmであるので、厚みを1/10程度に削減することができる。そのため、抵抗領域作製時の堆積時間を短縮でき、プロセスを容易にすることができる。また、炭化珪素のほうがシリコンよりも熱伝導率が3倍程度良いため、抵抗領域17の放熱性を良くする効果もある。

10

20

30

40

50

## 【0090】

図18は抵抗Rの主成分として、図4で説明した基板領域11と図17で説明した抵抗領域17を直列に接続した場合を示している。図18においても、基板領域11中に容量低下防止領域1001を形成し、抵抗領域17中に容量低下防止領域1005を形成することで、空乏層の形成を抑えることができる。

## 【0091】

なお、図17及び図18は抵抗領域17がn型の多結晶シリコンで形成された場合について説明してきたが、p型の多結晶シリコンで形成された場合は、図19及び図20に示すように、p型で高濃度の容量低下防止領域1006をキャパシタ誘電体膜12側の抵抗領域17中に形成すれば良い。

10

## 【0092】

このように、抵抗Rの主成分についても、キャパシタCの成分と直列接続するように形成されていれば、どのような領域で構成しても良い。

## 【0093】

また、図21及び図22はスナバ回路に用いるキャパシタ容量Cの大きさによって、振動現象の抑制効果との関係とキャパシタ容量Cに流れる過渡電流による損失の増加しとの関係について、一例として回路シミュレータを用いて計算した結果である。スナバ回路の振動低減は、回路中の寄生インダクタンス $L_s$ と還流ダイオードのキャパシタ容量成分 $C_0$ と還流ダイオードに並列接続されたスナバ回路のキャパシタ容量Cと抵抗Rで構成された簡単な回路で計算できる。例えば、本計算では、効果回路中の寄生インダクタンスを $L_s = 99 \text{ nH}$ 、抵抗 $R = 40$  に固定して、 $C/C_0$ の大きさによって、振動現象の減衰時間やスナバ回路で発生する過渡損失の増加しの変化を検証した。なお、還流ダイオードのキャパシタ容量 $C_0$ は例えば $150 \text{ pF}$ とした。まず、 $C/C_0$ が大きくなるほど、振動現象の減衰時間は小さくなる。図22の左側の軸は、スナバ回路がない場合において電圧もしくは電流振動が $1/10$ に減衰するまでの時間を $t_0$ とし、スナバ回路を追加した際にスナバ回路がない場合と同等の振動となるまでの時間を $t$ とした場合の振動現象収束時間比 $t/t_0$ を示している。図21から、 $C/C_0$ の値が $0.1$ 前後から振動現象の減衰効果が顕著になっている。一方、 $C/C_0$ が $10$ を超える辺りから振動現象の収束時間比の値が飽和傾向になる。また、図22の右軸に示すように、スナバ回路に形成するキャパシタ容量Cによって、過渡動作時にはキャパシタ容量Cの大きさに比例する過渡電流による損失Eが発生するため、キャパシタ容量Cの大きさは極力小さいほうが望ましい。なお、 $E_0$ は還流ダイオードに流れる過渡電流で発生する損失である。

20

30

## 【0094】

このことから、本発明の第1の実施の形態で用いるスナバ回路のキャパシタ容量Cの大きさは還流ダイオード100の遮断状態におけるキャパシタ成分の容量の大きさに比べて、 $1/10$ 倍以上 $10$ 倍以下の範囲で容量を選択することで、損失の増加を抑えつつ、より顕著に振動現象を低減することができる。この効果は、上記第1の実施の形態で説明したの実施例においても得ることができる。

## 【0095】

(第2の実施の形態)

40

図23～図25及び図3、図4を用いて、本発明の第2の実施の形態に係る半導体装置を説明する。本発明の第2の実施の形態においては、第1の実施の形態と同様の動作をする部分の説明は省略し、異なる特徴について詳しく説明する。

## 【0096】

図23は図1に対応する本発明の第2の実施の形態を説明する回路図、図24は図2に対応する図23の回路図の一例として具体化した半導体チップの実装図、図25、図3並びに図4は図24の実装図に用いられている半導体チップのそれぞれの断面構造図の一例である。

## 【0097】

図23に示すように、本発明の第2の実施の形態における半導体装置は、第1の実施の

50

形態で説明したユニポーラ動作もしくはユニポーラ動作と同等の動作をする還流ダイオード100と、少なくともキャパシタ210と抵抗220を含むように構成された半導体スナバ200に加え、スイッチング素子600が、それぞれエミッタ端子301並びにコレクタ端子401に接続するように、並列接続された半導体装置である。

#### 【0098】

本発明の第2の実施の形態では、一例として、還流ダイオード100と半導体スナバ200とスイッチング素子600とが別の半導体チップとして形成した場合について説明する。半導体スナバ200の構成並びに還流ダイオード100の構成は、例えば第1の実施の形態と同じ構成とした場合について説明する。スイッチング素子600に関しては、例えばシリコンを半導体基体材料としたIGBTを使用した場合について説明する。なお、本発明の第2の実施の形態では、エミッタ端子301とコレクタ端子401が互いに対面するように電極形成された、いわゆる縦型のIGBTを一例として説明する。

10

#### 【0099】

図24は、図23で示した還流ダイオード100（例えば炭化珪素ショットキーバリアダイオード）と半導体スナバ200（例えばシリコン半導体RCスナバ）更にはスイッチング素子600（例えばシリコンIGBT）からなる半導体装置について具体的な装置を示した実装図である。

#### 【0100】

図24においては、図2と同様に半導体パッケージの一例としてセラミック基板を用いた場合について説明する。カソード側金属膜410上には、還流ダイオード100、半導体スナバ200更にはスイッチング素子600のそれぞれの半導体チップのコレクタ端子401側が例えば半田やろう材等の接合材料を介して接するように配置されている。そして、還流ダイオード100、半導体スナバ200及びスイッチング素子600のそれぞれの半導体チップのエミッタ端子301側は、例えばアルミワイヤやアルミリボンなどの金属配線320, 330, 350を介して、共にアノード側金属膜310に接続された構成となっている。更に、本発明の第2の実施の形態においては、スイッチング素子600のゲート端子から金属配線710を介して、ゲート側金属膜700に接続された構成となっている。

20

#### 【0101】

スイッチング素子600、還流ダイオード100及び半導体スナバ200を構成するそれぞれの半導体チップの断面構造を示したのが、それぞれ図25、図3及び図4に示す断面構造図である。

30

#### 【0102】

図25に示すように、スイッチング素子600は、一例として一般的なIGBTの構成を示している。例えばシリコンを材料とした $p^+$ 型の基板領域21上に、 $n$ 型のバッファ領域22を介して、 $n^-$ 型のドリフト領域23が形成された基板材料を用いた場合で説明する。基板領域21としては、例えば抵抗率が数 $m$ から数 $10m$   $cm$ 、厚さが数~数 $100$   $\mu m$ 程度のものを用いることができる。ドリフト領域23としては、例えば $n$ 型の不純物密度が $10^{13} \sim 10^{16} cm^{-3}$ 、厚みが数 $10 \sim 数100$   $\mu m$ のものを用いることができる。なお、素子構造や所要の耐圧により、抵抗率や不純物密度及び厚みが前記範囲外となってももちろん良いが、一般に抵抗率及び厚みは小さいほうが導通時の損失を低減できるため、可能な限り抵抗が小さくなるようにするのが望ましい。本発明の第2の実施の形態では例えば不純物密度が $10^{14} cm^{-3}$ 、厚みが $50 \mu m$ で耐圧が $600V$ クラスのものを用いた場合で説明する。バッファ領域22はドリフト領域23に高電界が印加された際に、基板領域21とパンチスルーするのを防止するために形成される。本発明の第2の実施の形態では一例として、基板領域21を支持基材とした場合を説明しているが、バッファ領域22やドリフト領域23を支持基材としても良い。バッファ領域22は基板領域と21とドリフト領域23とがパンチスルーしない構造であれば、特になくても良い。

40

#### 【0103】

ドリフト領域23中の表層部に $p$ 型のウェル領域24が、更にウェル領域24中の表層

50

部に $n^+$ 型エミッタ領域25が形成されている。そして、ドリフト領域23、ウェル領域24及びエミッタ領域25の表層部に接するように、例えばシリコン酸化膜からなるゲート絶縁膜26を介して、例えば $n$ 型の多結晶シリコンからなるゲート電極27が配設されている。更に、エミッタ領域25並びにウェル領域24に接するように例えばアルミ材料からなるエミッタ電極28が形成されている。エミッタ電極28とゲート電極27の間には互いに接しないように、例えばシリコン酸化膜からなる層間絶縁膜29が形成されている。また、基板領域21にオーミック接続するようにコレクタ電極30が形成されている。このように、本説明で用いるIGBTはゲート電極27が半導体基体に対して平面上に形成されている所謂プレーナ型をしている。

#### 【0104】

図3に一例として示した還流ダイオード(ここではショットキーバリアダイオード)100の構成は第1の実施の形態で説明したものと同様とする。

#### 【0105】

ただし、図4に示す半導体スナバ200については、基本的な構成は第1の実施の形態と同様とするものの、スナバ機能を効果的に発揮するためには、新たに並列接続されたスイッチング素子600を考慮したキャパシタCの設定と基板領域11による抵抗Rの設定が望ましい。ただし後述するように、還流ダイオード100に逆回復電流が流れる場合においては、並列されたスイッチング素子600は必ず遮断状態にあるため、半導体スナバ200のキャパシタC及び抵抗Rの設定は、第1の実施の形態で説明した場合と同じように、還流ダイオード100とスイッチング素子の遮断時の空乏容量に応じた設定で対応可能である。つまり、基板領域11は必要な抵抗値の大きさに応じて、基板の抵抗率や厚みとすることができ、例えば抵抗率が数 $m\ \Omega\cdot cm$ から数 $100\ \Omega\cdot cm$ 、厚さが数 $10\ \mu m$ ~数 $100\ \mu m$ 程度のものを用いることで対応可能である。また、キャパシタCの容量についても、必要耐圧を最低限満たすようにして、必要な容量が得られるように、キャパシタ誘電体膜12の厚みや面積を変えることで対応可能である。本発明の第2の実施の形態においては、還流ダイオード100並びにスイッチング素子600が遮断状態時(高電圧印加時)にそれぞれ充電される空乏容量の和に対して、100分の1程度から100倍ぐらいの範囲で選ぶことができるが、十分なスナバ機能を発揮し、かつ損失の増加を極力抑え、必要となるチップ面積を考慮すると、後述する計算結果が示すように、概ね10分の1程度から10倍程度の範囲が望ましい。本発明の第2の実施の形態においては、例えば還流ダイオード100及びスイッチング素子600の耐圧よりも高くなるように例えば厚みは $1\ \mu m$ とし、キャパシタCの容量が還流ダイオード100及びスイッチング素子600の遮断状態時に形成される空乏容量の和と同程度としたものを用いた場合で説明する。

#### 【0106】

スイッチング素子600が並列に接続された本発明の第2の実施の形態においても、後述するように、還流ダイオード100として例えばショットキーバリアダイオードを用いた場合に、ユニポーラ動作によって本質的に発生する電流・電圧の振動現象に対して、従来からバイポーラ動作のダイオードの振動低減用のスナバ回路として用いられる、メイン電流が流れる経路にフィルムコンデンサやメタルクラッド抵抗など外付けのディスクリートを配線する手法を用いずに、小容量で小サイズのキャパシタCと抵抗Rを有する半導体スナバ200を並列接続することで、容易にかつ効果的に振動現象を抑制できることを特徴としている。また、効果的にスナバ機能を発揮する設計式として、 $C = 1 / (2\pi f R)$ が一般的に知られており( $f$ は振動現象の周波数)、本発明の第2の実施の形態においては、その式を満たすように、小容量の半導体スナバ200を用いたキャパシタCと抵抗Rを容易に設定することができることを特徴としている。

#### 【0107】

次に、本発明の第2の実施の形態の動作について詳しく説明する。

#### 【0108】

本発明の第2の実施の形態で説明する半導体装置の構成は、電力エネルギーの変換手段の1つとして一般的な図7に示すような3相交流モータを動かす所謂インバータや、図26

10

20

30

40

50

に示すような所謂Hブリッジなどの電力変換装置に用いることができる。例えば図7に示すインバータにおいては、電源電圧(+V)(例えば本発明の第2の実施の形態では400V)に対して、上アームを形成する並列接続されたスイッチング素子E1と受動素子B1と、下アームを形成する並列接続されたスイッチング素子E4と受動素子B4とを、逆バイアス接続になるように直列に接続して使用される。更に、上アームを形成する並列接続されたスイッチング素子E2と受動素子B2と、下アームを形成する並列接続されたスイッチング素子E5と受動素子B5とを直列に接続し、上アームを形成する並列接続されたスイッチング素子E3と受動素子B3と、下アームを形成する並列接続されたスイッチング素子E6と受動素子B6とを直列に接続する。このように3相分が接続され、3相インバータを構成する。本発明の第2の実施の形態に係る半導体装置の動作モードは、上アームもしくは下アームのどちらかのスイッチング素子がスイッチング動作した場合に、スイッチング動作していないアームのスイッチング素子及び受動素子が連動して、電流を遮断する遮断状態から電流を還流する導通状態へ、そして導通状態から遮断状態へと動作する。ここでは、図7中の3相のうち1相の動作を用いて半導体装置の動作を説明することとし、更に、一例として下アームのスイッチング素子E4, E5, E6がスイッチング動作をし、上アームのスイッチング素子E1, E2, E3と受動素子B1, B2, B3とが還流動作をする場合について説明する。

10

20

30

40

50

**【0109】**

まず、スイッチング素子E4, E5, E6がオンし、スイッチング素子E4, E5, E6に電流が流れている状態においては、上アームのスイッチング素子E1, E2, E3と受動素子B1, B2, B3は逆バイアス状態となり遮断状態になる。

**【0110】**

まず、下アームの導通状態にあるスイッチング素子E4, E5, E6に並列に接続されている受動素子B4, B5, B6においては、還流ダイオード100及び半導体スナバ200は遮断状態を維持する。すなわち、還流ダイオード100である図3に示したショットキーバリアダイオードについては、その両端に印加されている電圧がスイッチング素子E4, E5, E6のオン電圧程度と低いものの逆バイアス電圧が印加されるためである。また、図4に示す半導体スナバ200においては、キャパシタCとして機能するキャパシタ誘電体膜12が電圧が変化するときのみ動作するため、スイッチング素子E4, E5, E6のオン電圧程度の電圧が定常状態で印加された状態では遮断状態となる。

**【0111】**

一方、上アームのスイッチング素子E1, E2, E3と受動素子B1, B2, B3についても、電源電圧程度の逆バイアス電圧が共に印加されているため、遮断状態を維持する。すなわち、図25に示すスイッチング素子600であるIGBTについては、エミッタ端子301とコレクタ端子401間に逆バイアス電圧が印加されるため、ドリフト領域23中にはウェル領域24とのpn接合部から伸びた空乏層が形成され遮断状態が維持されるためである。また、図3に示す還流ダイオード100であるショットキーバリアダイオードにおいては、上部電極3と下部電極4間に逆バイアス電圧が印加されるため、ドリフト領域2中には上部電極3とのショットキー接合部から伸びた空乏層が生じ遮断状態が維持される。また、図4に示す半導体スナバ200においても、キャパシタCとして機能するキャパシタ誘電体膜12が高電圧により充電された状態になり、遮断状態を維持する。

**【0112】**

このように、下アームのスイッチング素子E4, E5, E6が導通状態の時には、上下アーム共に受動素子がショットキーバリアダイオードのみで構成されている従来技術と同様の機能を有する。

**【0113】**

次に、下アームのスイッチング素子E4, E5, E6がターンオフして遮断状態に移行する場合について説明する。

**【0114】**

例えば図7に示すようなモータ用インバータ回路(L負荷回路)では、スイッチング素

子 E 4 , E 5 , E 6 がターンオフする際には、電圧上昇と電流遮断の位相がずれるため、導通時の電流をほぼ維持した状態で、まずスイッチング素子 E 4 , E 5 , E 6 の電圧上昇が起こる。

【 0 1 1 5 】

まず、下アームのターンオフするスイッチング素子 E 4 , E 5 , E 6 に並列に接続されている受動素子 B 4 , B 5 , B 6 については、還流ダイオード 1 0 0 及び半導体スナバ 2 0 0 共に、スイッチング素子 E 4 , E 5 , E 6 がの電圧上昇に伴って、オン電圧程度の低い逆バイアス電圧から電源電圧程度の高電圧の逆バイアス電圧へと変化するため、その電圧変化の速度に応じた過渡電流が流れる。すなわち、図 3 に示す還流ダイオード 1 0 0 においては、電圧の上昇に伴ってドリフト領域 2 中に上部電極 3 側から空乏層が広がる際に、電子が下部電極 4 側に過渡電流として流れ、図 4 に示す半導体スナバ 2 0 0 においては、キャパシタ容量として働くキャパシタ誘電体膜 1 2 が印加電圧に応じて充電されるため過渡電流が流れる。このとき、半導体スナバ 2 0 0 のキャパシタ誘電体膜 1 2 のキャパシタ容量の充電作用によって、スイッチング素子 E 4 , E 5 , E 6 のコレクタ/エミッタ間に生じる過渡的な電圧上昇を緩和し、回路中に含まれる寄生インダクタンスによるサージ電圧の発生を抑制することができる。つまり、本発明の第 2 の実施の形態においては、スイッチング素子 6 0 0 とも並列接続することで、スイッチング素子 6 0 0 自体がターンオフ動作をする際にも、素子破壊や他の周辺回路への誤動作等を引き起こすサージ電圧を低減し、より安定動作を実現することができる。

10

【 0 1 1 6 】

そして、スイッチング素子 6 0 0 の電圧上昇後、電流は所定の速度で遮断する。このとき、本発明の第 2 の実施の形態で一例として挙げた I G B T では、導通時に基板領域 2 1 から注入されたホール電流の影響で電流の遮断速度は制限され損失は生じるものの、電流遮断による振動現象は起こりにくく、結果として安定動作に寄与している。そして、スイッチング素子 6 0 0 の電流が遮断した後は、下アームのスイッチング素子 E 4 , E 5 , E 6 及び受動素子 B 4 , B 5 , B 6 は定常オフ状態となり、遮断状態を維持する。

20

【 0 1 1 7 】

一方、上アームのスイッチング素子 E 1 , E 2 , E 3 と並列に接続されている受動素子 B 1 , B 2 , B 3 は、下アームのスイッチング素子 E 4 , E 5 , E 6 のターンオフ動作に連動して、順バイアス状態となり導通状態に移行する。図 3 に示す還流ダイオード 1 0 0 のドリフト領域 2 中に広がっていた空乏層が後退し、上部電極 3 とドリフト領域 2 との間に形成されているショットキー接合部にショットキー障壁高さに応じた順バイアス電圧が印加されると、還流ダイオード 1 0 0 は導通状態となる。このとき、還流ダイオード 1 0 0 に流れる電流は、ドリフト領域 2 中をほぼ下部電極 4 側から供給される電子電流のみで構成されており、ユニポーラ動作をする。

30

【 0 1 1 8 】

また、図 4 に示す半導体スナバ 2 0 0 においても、還流ダイオード 1 0 0 と同様に、高電圧の逆バイアス状態から低電圧の順バイアス状態に移行するため、キャパシタ誘電体膜 1 2 に充電されていた電荷は放電され、過渡電流が流れる。しかしながら本発明の第 2 の実施の形態では、キャパシタ誘電体膜 1 2 のキャパシタ容量が還流ダイオード 1 0 0 及びスイッチング素子 6 0 0 の遮断時に形成される空乏容量と同程度と非常に小容量であるため、放電によって流れる過渡電流の大きさは、並列する還流ダイオード 1 0 0 に流れる順バイアス電流に比べて非常に小さく、動作にはほとんど影響しない。また、並列接続されているスイッチング素子 E 1 , E 2 , E 3 についても、コレクタ/エミッタ間の電圧は逆バイアス電圧状態から順バイアス状態に移行するものの、ゲート信号はオフ状態を維持するように制御されることと、基板領域 2 1 とバッファ領域 2 2 との間の p n 接合が逆バイアス状態となるためオフ状態を維持する。ただし、コレクタ/エミッタ間の電圧状態が変位するため、スイッチング素子 6 0 0 中のドリフト領域 2 3 中に生じていた空乏層の容量変化に伴うキャパシタ C としての放電による過渡電流は流れるが、半導体スナバ 2 0 0 と同様に、並列する還流ダイオード 1 0 0 に流れる順バイアス電流に比べて非常に小さく、

40

50



動作にはほとんど影響しない。そして、半導体スナバ200及びスイッチング素子600は、バイアス電圧の変化に伴う過渡電流が流れた後は、順バイアス状態と定常状態に移行するため遮断状態となり、還流ダイオード100のみが導通状態となる。

#### 【0119】

本発明の第2の実施の形態においては、還流ダイオード100が炭化珪素材料の半導体基体からなるショットキーバリアダイオードで構成されているため、一般的なシリコン材料からなるpn接合ダイオードに比べて、ドリフト領域2の抵抗を低抵抗で形成することができるため、順バイアス導通時の導通損失を低減することができる。このように、導通状態においても、受動素子がショットキーバリアダイオードのみで構成されている従来技術と同様の効果を有する。

10

#### 【0120】

次に、下アームのスイッチング素子E4, E5, E6がターンオンし、再びスイッチング素子E4, E5, E6がオン状態に移行する動作について説明する。

#### 【0121】

例えば図7に示すようなモータ用インバータ回路(L負荷回路)では、スイッチング素子E4, E5, E6がターンオンする際には、電流上昇と電圧低下の位相がずれるため、比較的高い電圧が印加された状態で、スイッチング素子E4, E5, E6に電流が流れ始める。下アームのターンオフするスイッチング素子E4, E5, E6に並列に接続されている受動素子B4, B5, B6については、還流ダイオード100及び半導体スナバ200共に、スイッチング素子E4, E5, E6に電流が流れ、コレクタ/エミッタ間の電圧が低下するのに伴って、電源電圧程度の高電圧の逆バイアス電圧からオン電圧程度の低い逆バイアス電圧へと変化するため、その電圧変化の速度に応じた過渡電流が流れる。このとき、図3に示す還流ダイオード100においては、電圧の減少に伴ってドリフト領域2中に広がっていた空乏層は上部電極3側に徐々に狭まり、下部電極4側からドリフト領域2中に電子が過渡電流として流れる。また、図4に示す半導体スナバ200においては、キャパシタ容量として働くキャパシタ誘電体膜12が印加電圧の減少と共に放電されるため過渡電流が流れる。

20

#### 【0122】

この過渡電流は、並列するスイッチング素子600に流れるターンオン電流と比べるとほとんど影響がない大きさである。このように、下アームの半導体スナバ200及び還流ダイオード100は過渡電流が流れた後は定常状態に移行し電流は遮断されるため、スイッチング素子600のみが導通状態となる。

30

#### 【0123】

一方、上アームのスイッチング素子E1, E2, E3と並列に接続されている受動素子B1, B2, B3は、下アームのスイッチング素子E4, E5, E6のターンオン動作に連動して、逆バイアス状態となり遮断状態に移行する。図3に示すように、ショットキーバリアダイオードにおいては、下部電極4側からドリフト領域2中に供給されていた電子電流は順バイアス電圧の低下と共に減少する。そして、順バイアス電圧がショットキー接合部のショットキー障壁高さに応じた電圧以下になり、更には、ショットキー接合部に逆バイアス電圧が印加されはじめると、ドリフト領域2中には上部電極3とのショットキー接合部から伸びた空乏層が広がり遮断状態へと移行する。

40

#### 【0124】

この導通状態から遮断状態に移行する際に、還流ダイオードの素子内部に蓄積されていた過剰キャリアが消滅する過程において、過渡的に発生する電流が逆回復電流である。この逆回復電流は、受動素子B1, B2, B3並びに下アームのスイッチング素子E4, E5, E6に過渡電流として流れ、それぞれの素子において損失(ここでは逆回復損失と呼ぶ)が発生する。このことから、還流ダイオードで発生する逆回復電流は極力小さいほうが良い。

#### 【0125】

本発明の第2の実施の形態では、還流ダイオード100を炭化珪素からなる半導体材料

50

で形成したユニポーラ動作のショットキーバリアダイオードで形成しており、一般的なシリコンで形成されたpn接合ダイオードに比べるとこの逆回復電流は格段に小さい。つまり、逆回復損失を大幅に低減することができる。

【0126】

更に、本発明の第2の実施の形態においては、従来技術である受動素子がショットキーバリアダイオードのみで構成されている場合には本質的に解決できなかったユニポーラ動作ならではの逆回復動作時の電流・電圧の振動現象を抑制する機能を有する。すなわち、本発明の第2の実施の形態においては、還流ダイオード100において、順バイアス電流が減少し、順バイアス電流がゼロになると、ドリフト領域2中に逆バイアス電圧による空乏層が形成され、過剰キャリアで構成される逆回復電流が流れ始める。その逆バイアス電圧が印加されるのとほぼ同時に、スイッチング素子600及び半導体スナバ200中のキャパシタ誘電体膜12からなるキャパシタCにも同等の逆バイアス電圧が印加され、スイッチング素子600及び半導体スナバ200中にも相応の過渡電流が流れ始める。この半導体スナバ200に流れる過渡電流は、キャパシタ誘電体膜12からなるキャパシタCの大きさと基板領域11の抵抗R成分の大きさで決まり、自由に設計することができる。

10

【0127】

本発明の第2の実施の形態においては、第1の実施の形態でも説明したように、基板領域11の表層部にキャパシタ誘電体膜12に接するように形成された容量低下防止領域1001が、基板領域11に空乏層が形成されるのを緩和する領域として機能するため、キャパシタCの大きさをほぼキャパシタ誘電体膜12によって形成することができ、十分な振動現象の抑制が可能となる。本発明の第2の実施の形態においても、図4に示した構造だけでなく、図8～図20及び図17、図18のいずれの構造についても、第1の実施の形態で示したのと同様の動作をし、同様の効果を得ることができる。

20

【0128】

以上、本発明の第2の実施の形態の動作を説明してきたが、この並列に接続された半導体スナバ200の効果は3つある。

【0129】

1つ目は、半導体スナバ200は電圧の過渡変動がないと動作しないため、下アームのスイッチング素子E4、E5、E6のスイッチング速度には影響を与えず、スイッチング速度に依存する損失は従来と同様に低く抑えることができることである。つまり、還流ダイオード100に流れる順バイアス電流の遮断速度を高速に設定することができるため、メイン電流の遮断に伴う損失を低減できる。

30

【0130】

2つ目は、還流ダイオード100が逆回復動作に入ったときに、還流ダイオード100に並列接続された半導体スナバ200のキャパシタ成分並びに抵抗成分が作動し、逆回復電流の遮断速度( $dI_r/dt$ )を緩和することができ、サージ電圧そのものを低減できることである。

【0131】

更に3つ目は、半導体スナバ200に流れた電流を基板領域11の抵抗成分で電力消費するため、寄生インダクタンスLsで生じたエネルギーを吸収し、振動現象を素早く収束することができることである。

40

【0132】

このように、本発明の第2の実施の形態においては、還流ダイオード100が有する過渡損失ならびに導通損失を低減する性能を有すると同時に、ユニポーラ動作ならではの本質的な振動現象を半導体スナバ200を用いることで解決することができるという特徴を有する。

【0133】

本発明の第2の実施の形態においては、還流ダイオード100及びスイッチング素子600に流れる過渡電流が高々ドリフト領域2及び23に空乏層が形成される際に発生するキャリアのみからなる過渡電流であることに着目し、スナバ回路を小容量の半導体スナバ2

50

00で形成しているところが従来技術と異なる点である。更に、本発明の第2の実施の形態の構成により、過渡損失と導通損失を低減する性能と振動現象を抑制する上で、従来技術にはない新たな効果を得ることができる。

#### 【0134】

1つは、ユニポーラ動作をする還流ダイオード100及びスイッチング素子600に所定のキャパシタ容量及び抵抗値をもつ半導体スナバ200を一旦並列接続すると、その還流ダイオードが動作する全電流範囲、全温度範囲において、スナバ機能が有効に働くということである。上述したように、ショットキーバリアダイオードの逆回復時に発生する逆回復電流は、逆バイアス電圧によって還流ダイオード100及びスイッチング素子600に空乏層が生じた際に発生する過剰キャリアのみで構成されているため、還流動作時に流れてきた電流の大きさによらず、毎度ほぼ一定の逆回復電流が流れるためである。また同様の理由で、還流ダイオードの温度にもほとんど影響を受けず、ほぼ一定の逆回復電流が流れるためである。このため、全ての電流範囲、温度範囲において、過渡損失を低減し、かつ振動現象を抑制することができる。これらは、一般的なpn接合ダイオードとの組み合わせでは得られない効果である。

10

#### 【0135】

もう1つは、図24に示すようにスナバ回路を半導体スナバ200で形成することで、還流ダイオード100及びスイッチング素子600の直近に低インダクタンスで実装することができ、更に過渡損失を低減しかつ振動現象を抑制できる点である。これは、還流ダイオード100及びスイッチング素子600にスナバ回路を並列接続する際に生じる寄生インダクタンスが小さいほど、スナバ回路に流れる過渡電流が流れやすく、還流ダイオードに流れる逆回復電流の遮断速度( $dI_r/dt$ )を緩和しやすくなることと、スナバ回路中のキャパシタに印加される電圧に重畳される寄生インダクタンスで発生する逆起電力が小さいため、キャパシタの耐圧範囲でスイッチング時間を速くできることによる。このことから、本発明の第2の実施の形態においては、従来のディスクリット部品であるフィルムコンデンサなどからなるキャパシタとメタルクラッド抵抗などからなる抵抗とを用いるスナバ回路の場合に比べて、寄生インダクタンスを低減することで、スイッチング時間を短縮し過渡損失を低減できるとともに、逆回復電流の遮断速度( $dI_r/dt$ )を適切に緩和し振動現象を抑制することができる。

20

#### 【0136】

また、スナバ回路を還流ダイオード100の直近に実装することは、不要なノイズ放射を低減することにもなる。例えば従来のディスクリット部品であるフィルムコンデンサなどからなるキャパシタCとメタルクラッド抵抗などからなる抵抗Rとを用いるスナバ回路の場合では、還流ダイオード100で発生した振動電流はこれらの部品を通り、還流ダイオード100に戻る経路を通る。その際に抵抗Rにより振動電流が抑制されていくが、それまでの間にこの電流経路が作る面が一種のループアンテナとして働き、ノイズを放射する。スナバ回路を半導体スナバ200で形成した場合には、還流ダイオード100の直近に実装していることから、振動電流の電流経路が作る面の大きさがディスクリット部品を用いた場合よりも格段に小さくなり、振動電流によるノイズ放射が低減される。これにより、ノイズによる制御回路等の誤動作を防ぐことができる。

30

40

#### 【0137】

更に、本発明の第2の実施の形態においては、スナバ回路を半導体スナバ200で形成することで、還流ダイオード100及びスイッチング素子600と同様の実装工程を用いて電力変換装置を構成することができるため、簡便でかつ容易に振動現象を抑制することができるとともに、従来技術のスナバ回路に比べて必要な体積も大幅に低減できる。

#### 【0138】

また、本発明の第1の実施の形態のように、半導体スナバ200の抵抗成分を半導体基体で形成し図2に示すような半導体パッケージに直接実装することができるため、高い放熱性を得ることができる。そのため、外付けの抵抗等に比べて、より高密度の抵抗設計が可能となる。つまり、破壊に対する耐性が高くより小型化が実現可能である。

50

## 【 0 1 3 9 】

また、第 1 の実施の形態で例示したように、還流ダイオード 1 0 0 を炭化珪素からなるショットキーバリアダイオードで構成することで、本発明の効果を最大限に引き出すことができる。つまり、所定の耐圧を得るために、ワイドバンドギャップにより空乏層の厚みを小さくできるほど、還流ダイオード 1 0 0 自体の抵抗が小さく低導通損失を低減できるのであるが、その反面、逆回復電流の遮断速度 ( $dI_r / dt$ ) が高くなり、かつ振動エネルギーが消費されないため、振動現象がより顕著となる性質を有しているからである。このことから、還流ダイオード 1 0 0 が炭化珪素などのワイドバンドギャップ半導体で構成することで、より顕著に導通損失の低減と振動現象の緩和を両立することができる。

## 【 0 1 4 0 】

なお、本発明の第 2 の実施の形態においては、還流ダイオード 1 0 0 の半導体材料を炭化珪素とした場合で説明しているが、窒化ガリウムやダイヤモンドなどのワイドギャップ半導体を用いても同様の効果を得ることができる。

## 【 0 1 4 1 】

また、本発明の第 2 の実施の形態においても、半導体スナバ 2 0 0 の構成を、第 1 の実施の形態で説明した図 1 5 に対応する抵抗 2 2 0 に並列に接続するようにダイオード 2 3 0 を有する構成であっても良い。これは、キャパシタ C と抵抗 R を少なくとも有するように構成された半導体スナバ 2 0 0 であれば、上記と同様の効果を得ることができるためである。

## 【 0 1 4 2 】

また、実装形態についても、第 1 の実施の形態と同様に、図 1 6 に対応する所謂モールドパッケージ型の実装形態を用いても良いし、他の実装形態をとっていても良い。また、本発明の第 2 の実施の形態においては、還流ダイオード 1 0 0 と半導体スナバ 2 0 0 及びスイッチング素子 6 0 0 とがそれぞれ 1 チップずつの場合を示しているが、一方もしくは両方が複数のチップで構成されていてももちろん良い。また、第 1 の実施の形態で上述したように、コレクタ端子及びエミッタ端子の両面を半田等で実装する方式としても良い。両面を半田等で実装することで冷却性能が向上するため、還流ダイオード 1 0 0 の放熱性及び半導体スナバ 2 0 0 の抵抗 2 1 0 の放熱性が増すため、より高密度に実装することができる。

## 【 0 1 4 3 】

また、第 1 の実施の形態で図 2 1 及び図 2 2 を用いて説明したのと同様に、スナバ回路に用いるキャパシタ容量 C の大きさは、遮断状態における還流ダイオードとスイッチング素子とのキャパシタ容量成分の総和 C 0 に対して、 $C / C_0$  が 0 . 1 前後から振動現象の減衰効果が顕著になり、 $C / C_0$  が 1 0 を超える辺りから振動現象の収束時間比の値が飽和傾向になる。また、スナバ回路に形成するキャパシタ容量 C によって、過渡動作時にはキャパシタ容量 C の大きさに比例する過渡電流による損失 E が発生するため、キャパシタ容量 C の大きさは極力小さいほうが望ましい。

## 【 0 1 4 4 】

このことから、本発明の第 2 の実施の形態で用いるスナバ回路のキャパシタ容量 C の大きさは還流ダイオード 1 0 0 及びスイッチング素子 6 0 0 の遮断状態におけるキャパシタ成分の容量の総和に比べて、1 0 分の 1 倍以上 1 0 倍以下の範囲で容量を選択することで、損失の増加を抑えつつ、より顕著に振動現象を低減することができる。この効果は、上記第 2 の実施の形態で説明したどの実施例においても得ることができる。

## 【 0 1 4 5 】

( 第 3 の実施の形態 )

本発明の第 3 の実施の形態においては、第 2 の実施の形態で説明した還流ダイオード 1 0 0 と半導体スナバ 2 0 0 とスイッチング素子 6 0 0 とが並列接続した構成において、還流ダイオード 1 0 0 及びスイッチング素子 6 0 0 がそれぞれショットキーバリアダイオード及び I G B T 以外の素子で構成された場合について説明する。図 2 7 は図 3 に対応する還流ダイオード 1 0 0 の一例を示し、図 2 8 は図 2 5 に対応するスイッチング素子 6 0 0

10

20

30

40

50

の一例である。本発明の第3の実施の形態においても、第1の実施の形態もしくは第2の実施の形態と同様の動作をする部分の説明は省略し、異なる特徴について詳しく説明する。

【0146】

図27に示すように、還流ダイオード100は、例えば炭化珪素のポリタイプが4Hタイプの $n^+$ 型である基板領域41上に $n^-$ 型のドリフト領域42が形成された基板材料で構成されている。基板領域41としては、例えば抵抗率が数 $m$ から数 $10m$   $cm$ 、厚さが数 $10$ ～数 $100$   $\mu m$ 程度のものを用いることができる。ドリフト領域42としては、例えば $n$ 型の不純物密度が $10^{15}$ ～ $10^{18}$   $cm^{-3}$ 、厚みが数～数 $10$   $\mu m$ のものを用いることができる。なお、素子構造や所要の耐圧により、抵抗率や不純物密度及び厚みが前記範囲外となってももちろん良いが、一般に抵抗率及び厚みは小さいほうが導通時の損失を低減できるため、可能な限り抵抗が小さくなるようにするのが望ましい。本発明の第3の実施の形態では例えば不純物密度が $10^{16}$   $cm^{-3}$ 、厚みが $5$   $\mu m$ で耐圧が $600$  Vクラスのものを用いた場合で説明する。なお、本発明の第3の実施の形態では、半導体基体が、基板領域41とドリフト領域42の二層からなる基板の場合について説明するが、抵抗率の大きさは上記の一例にはよらない基板領域41のみで形成された基板を使用してもかまわないし、反対に多層の基板を使用してもかまわない。また、本発明の第3の実施の形態では一例として耐圧が $600$  Vクラスの場合で説明しているが、耐圧クラスは限定されない。

10

【0147】

ドリフト領域42の基板領域41との接合面に対向する主面に接するように、炭化珪素よりもバンドギャップの小さい多結晶シリコンからなるヘテロ半導体領域43が堆積されている。ドリフト領域42とヘテロ半導体領域43の接合部は、炭化珪素と多結晶シリコンのバンドギャップが異なる材料によるヘテロ接合ダイオードが形成されており、その接合界面にはエネルギー障壁が存在している。ヘテロ接合ダイオードは、ヘテロ半導体領域43の不純物密度を変えることで、ヘテロ接合部のエネルギー障壁の高さを制御することができるため、必要な耐圧に応じて、最適な障壁高さを得ることができる。ここでは、一例として $p$ 型で不純物密度が $10^{19}$   $cm^{-3}$ 、厚みが $0.5$   $\mu m$ とした場合で説明する。

20

【0148】

また、本発明の第3の実施の形態においてはヘテロ半導体領域43に接するように上部電極44が、基板領域41に接するように下部電極45がそれぞれ形成されている。上部電極44はアノード端子302として外部電極との接続をするために、最表面にアルミニウム(Al)、銅(Cu)、金(Au)、ニッケル(Ni)、銀(Ag)などの金属材料を用いて多層の構造としても良い。一方、下部電極45は基板領域41とオーミック接続するような電極材料から構成されている。オーミック接続する電極材料の一例としてはニッケルシリサイドやチタン材料などが挙げられ、下部電極45はカソード端子402として外部電極と接続をする。このように、図27に示す還流ダイオード100は、上部電極44がアノード電極、下部電極45がカソード電極とした縦型のダイオードとして機能する。

30

【0149】

一方、図28に示すように、スイッチング素子600は、炭化珪素からなるMOSFETを一例として示している。図28中、例えば炭化珪素のポリタイプが4Hタイプの $n^+$ 型である基板領域51上に $n^-$ 型のドリフト領域52が形成された基板材料で構成されている。基板領域51としては、例えば抵抗率が数 $m$ から数 $10m$   $cm$ 、厚さが数～数 $100$   $\mu m$ 程度のものを用いることができる。ドリフト領域52としては、例えば $n$ 型の不純物密度が $10^{14}$ ～ $10^{17}$   $cm^{-3}$ 、厚みが数～数 $10$   $\mu m$ のものを用いることができる。なお、素子構造や所要の耐圧により、抵抗率や不純物密度及び厚みが前記範囲外となってももちろん良いが、一般に抵抗率及び厚みは小さいほうが導通時の損失を低減できるため、可能な限り抵抗が小さくなるようにするのが望ましい。本発明の第3の実施の形態では例えば不純物密度が $2 \times 10^{16}$   $cm^{-3}$ 、厚みが $5$   $\mu m$ で耐圧が $600$  Vクラスのものを用いた場合で説明する。本発明の第3の実施の形態では一例として、基板領域51を支持基

40

50

材とした場合を説明しているが、ドリフト領域 5 2 を支持基材としても良い。

【 0 1 5 0 】

ドリフト領域 5 2 中の表層部に p 型のウェル領域 5 3 が、更にウェル領域 5 3 中の表層部に n<sup>+</sup>型ソース領域 5 4 が形成されている。そして、ドリフト領域 5 2、ウェル領域 5 3 及びソース領域 5 4 の表層部に接するように、例えばシリコン酸化膜からなるゲート絶縁膜 5 5 を介して、例えば n 型の多結晶シリコンからなるゲート電極 5 6 が配設されている。更に、ソース領域 5 4 並びにウェル領域 5 3 に接するように例えばアルミ材料からなるソース電極 5 7 が形成されている。ソース電極 5 7 とゲート電極 5 6 との間には互いに接しないように、例えばシリコン酸化膜からなる層間絶縁膜 5 8 が形成されている。また、基板領域 5 1 にオーミック接続するようにドレイン電極 5 9 が形成されている。このように、本説明で用いる MOSFET はゲート電極 5 6 が半導体基体に対して平面上に形成されている所謂プレーナ型をしている。

10

【 0 1 5 1 】

第 3 の実施の形態においても、図 2 7 で示した還流ダイオード 1 0 0 と図 2 8 で示したスイッチング素子 6 0 0 とを、図 4 で示した半導体スナバ 2 0 0 と共に並列接続して使用するが、スナバ機能を効果的に発揮するためには、還流ダイオード 1 0 0 とスイッチング素子 6 0 0 の遮断状態におけるキャパシタ容量を考慮したキャパシタ誘電体膜 1 2 によるキャパシタ C の設定と、基板領域 1 1 による抵抗 R の設定をすることが望ましい。第 1 の実施の形態及び第 2 の実施の形態と同様に、本発明の第 3 の実施の形態においては、例えば還流ダイオード 1 0 0 及びスイッチング素子 6 0 0 の耐圧よりも高くなるように例えば厚みは 1 μm とし、キャパシタ C の容量が還流ダイオード 1 0 0 及びスイッチング素子 6 0 0 の遮断状態時に形成される空乏容量の和と同程度としたものを用いた場合で説明する。なお、本発明の第 3 の実施の形態においても、第 1 の実施の形態にて説明したように、容量低下防止領域 1 0 0 1 が形成されているため、キャパシタ C の容量はほぼキャパシタ誘電体膜 1 2 のキャパシタ容量で決まっている。

20

【 0 1 5 2 】

次に、本発明の第 3 の実施の形態の動作について、第 2 の実施の形態と同様に、例えば図 7 に示すインバータの動作に対応させて詳しく説明する。

【 0 1 5 3 】

まず、図 7 中のスイッチング素子 E 4 , E 5 , E 6 がオンし、スイッチング素子 E 4 , E 5 , E 6 に電流が流れている状態においては、上アームのスイッチング素子 E 1 , E 2 , E 3 と受動素子 B 1 , B 2 , B 3 は逆バイアス状態となり遮断状態になる。

30

【 0 1 5 4 】

まず、下アームの導通状態にあるスイッチング素子 E 4 , E 5 , E 6 は、炭化珪素材料からなる MOSFET で構成されているため、第 2 の実施の形態で説明した IGBT に比べて、低オン抵抗で導通することができる。これは、炭化珪素材料のバンドギャップがシリコン材料に比べて約 3 倍大きく、最大絶縁電界が約 1 桁大きいいため、ドリフト領域 5 2 に厚みを小さくかつ不純物濃度大きくすることができるためである。このため、IGBT のようなバイポーラ型の動作とせずとも、ドリフト領域 5 2 の抵抗を低くすることができる。

40

【 0 1 5 5 】

また、下アームの導通状態にあるスイッチング素子 E 4 , E 5 , E 6 に並列に接続されている受動素子 B 4 , B 5 , B 6 においては、還流ダイオード 1 0 0 及び半導体スナバ 2 0 0 は遮断状態を維持する。すなわち、還流ダイオード 1 0 0 である図 2 7 に示したヘテロ接合ダイオードについては、その両端に印加されている電圧がスイッチング素子 E 4 , E 5 , E 6 のオン電圧程度と低いものの逆バイアス電圧が印加されるためである。また、図 4 に示す半導体スナバ 2 0 0 においては、キャパシタ C として機能するキャパシタ誘電体膜 1 2 が電圧が変化するときのみ動作するため、スイッチング素子 E 4 , E 5 , E 6 のオン電圧程度の電圧が定常状態で印加された状態では遮断状態となる。

【 0 1 5 6 】

50

一方、上アームのスイッチング素子 E 1 , E 2 , E 3 と受動素子 B 1 , B 2 , B 3 についても、電源電圧程度の逆バイアス電圧が共に印加されているため、遮断状態を維持する。すなわち、図 2 8 に示すスイッチング素子 6 0 0 である M O S F E T については、ソース端子 3 0 2 とドレイン端子 4 0 2 間に逆バイアス電圧が印加されるため、ドリフト領域 5 2 中にはウェル領域 5 3 との p n 接合部から伸びた空乏層が形成され遮断状態が維持されるためである。また、図 2 7 に示す還流ダイオード 1 0 0 であるヘテロ接合ダイオードにおいては、上部電極 4 4 と下部電極 4 5 間に逆バイアス電圧が印加されるため、ドリフト領域 4 2 中にはヘテロ半導体領域 4 3 とのヘテロ接合部から伸びた空乏層が生じ遮断状態が維持される。また、図 4 に示す半導体スナバ 2 0 0 においても、キャパシタ C として機能するキャパシタ誘電体膜 1 2 が高電圧により充電された状態になり、遮断状態を維持する。

10

## 【 0 1 5 7 】

このように、下アームのスイッチング素子 E 4 , E 5 , E 6 が導通状態の時には、上下アーム共に受動素子は第 2 の実施の形態で構成されている従来技術と同様の機能を有する。

## 【 0 1 5 8 】

次に、下アームのスイッチング素子 E 4 , E 5 , E 6 がターンオフして遮断状態に移行する場合について説明する。

## 【 0 1 5 9 】

例えば図 7 に示すようなモータ用インバータ回路 ( L 負荷回路 ) では、スイッチング素子 E 4 , E 5 , E 6 がターンオフする際には、電圧上昇と電流遮断の位相がずれるため、導通時の電流をほぼ維持した状態で、まずスイッチング素子 E 4 , E 5 , E 6 の電圧上昇が起こる。

20

## 【 0 1 6 0 】

まず、下アームのターンオフするスイッチング素子 E 4 , E 5 , E 6 に並列に接続されている受動素子 B 4 , B 5 , B 6 については、還流ダイオード 1 0 0 及び半導体スナバ 2 0 0 共に、スイッチング素子 E 4 , E 5 , E 6 の電圧上昇に伴って、オン電圧程度の低い逆バイアス電圧から電源電圧程度の高電圧の逆バイアス電圧へと変化するため、その電圧変化の速度に応じた過渡電流が流れる。すなわち、図 3 に示す還流ダイオード 1 0 0 においては、電圧の上昇に伴ってドリフト領域 4 2 中にヘテロ半導体領域 4 3 側から空乏層が広がる際に、電子が下部電極 4 5 側に過渡電流として流れ、図 4 に示す半導体スナバ 2 0 0 においては、キャパシタ容量として働くキャパシタ誘電体膜 1 2 が印加電圧に応じて充電されるため過渡電流が流れる。この、半導体スナバ 2 0 0 のキャパシタ誘電体膜 1 2 のキャパシタ容量の充電作用によって、スイッチング素子 E 4 , E 5 , E 6 のコレクタ / エミッタ間に生じる過渡的な電圧上昇を緩和し、回路中に含まれる寄生インダクタンスによるサージ電圧の発生を抑制することができる。つまり、本発明の第 3 の実施の形態においては、スイッチング素子 6 0 0 とも並列接続することで、スイッチング素子 6 0 0 自体がターンオフ動作をする際にも、素子破壊や他の周辺回路への誤動作等を引き起こすサージ電圧を低減することができる。

30

## 【 0 1 6 1 】

そして、本発明の第 3 の実施の形態で一例として挙げた炭化珪素からなる M O S F E T では、電圧上昇後、電流は急峻に遮断する。これは、第 2 の実施の形態で説明した I G B T とは異なり、導通時にユニポーラ動作をしているため、電圧の上昇によって空乏層から吐き出された電子電流が空乏層の伸びの速さに応じて遮断されるためである。つまり、スイッチング素子 6 0 0 が炭化珪素からなる M O S F E T になることによって、導通時には低オン抵抗を実現できるものの、スイッチング素子の遮断性能の早さによって、スイッチング素子 6 0 0 自体のターンオフ時に振動現象が生じやすく、更に抵抗が小さいため振動現象の減衰がなかなか生じないという問題が生じてしまうのであるが、本発明の第 3 の実施の形態においては、並列に半導体スナバ 2 0 0 が形成されているため、効果的に振動現象を緩和することができる。

40

50

## 【0162】

すなわち、本発明の第3の実施の形態においては、スイッチング素子600の電流が遮断された際に、回路中の寄生インダクタンスと共振し電流及び電圧に振動現象が始まるものの、半導体スナバ200中のキャパシタ誘電体膜12からなるキャパシタCにも同等の電圧が印加され相応の過渡電流が流れ始める。すると、キャパシタC及び抵抗Rによって電流振動の傾き( $dI/dt$ )を緩和し、基板領域11の抵抗R成分で寄生インダクタンスLsで生じたエネルギーを消費するため、振動現象を素早く収束することができる。このことから、本発明の第3の実施の形態のように、スイッチング素子600がユニポーラ型で高速遮断性能を有している場合にも、振動現象を抑制することができる。また、スイッチング素子がより導通損失が小さいワイドギャップ半導体からなり、振動現象にとっては減衰しにくい構成であっても、導通損失を悪化させることなく、容易に振動現象を減衰することができる。このように、本発明の第3の実施の形態においては、スイッチング素子600においても導通損失と過渡損失を高い次元で両立できるような構成、すなわち高速動作が可能なユニポーラ型であることや低オン抵抗が実現できるワイドバンドギャップ半導体の構成と組み合わせることで、更に高い効果を引き出すことができる。

10

## 【0163】

そして、スイッチング素子600の電流が遮断した後は、下アームのスイッチング素子E4, E5, E6及び受動素子B4, B5, B6は定常オフ状態となり、遮断状態を維持する。

20

## 【0164】

一方、上アームのスイッチング素子E1, E2, E3と並列に接続されている受動素子B1, B2, B3は、下アームのスイッチング素子E4, E5, E6のターンオフ動作に連動して、順バイアス状態となり導通状態に移行する。図27に示す還流ダイオード100のドリフト領域42中に広がっていた空乏層が後退し、ヘテロ半導体領域43とドリフト領域42との間に形成されているヘテロ接合部にヘテロ障壁高さに応じた順バイアス電圧が印加されると、還流ダイオード100は導通状態となる。ヘテロ接合ダイオードはヘテロ接合部からドリフト領域42側並びにヘテロ半導体領域43側にそれぞれ広がる内蔵電位の和によって決まる電圧降下で順方向電流が流れるものの、価電子帯側の正孔に対するヘテロ障壁が大きいと、電流はドリフト領域42中をほぼ下部電極45側から供給される電子電流のみで構成されており、ユニポーラ動作をする。このとき、第2の実施の形態で説明したショットキーバリアダイオードでは、ショットキー障壁高さが上部電極13のショットキーメタル固有の仕事関数差で一義的に決まる為、所定の耐圧を得るために、ドリフト領域13の不純物濃度や厚みが制限されるのに対して、本発明の第3の実施の形態においては、ヘテロ障壁をヘテロ半導体領域43の不純物濃度を制御することによって変えることができるため、ドリフト領域42の抵抗をより低抵抗にすることができる。つまり、導通時の損失をより低減することができる。

30

## 【0165】

また、図4に示す半導体スナバ200においては、還流ダイオード100が逆バイアス状態から順バイアス状態に移行する際に、キャパシタ誘電体膜12に充電されていた電荷が過渡電流として放電される。本発明の第3の実施の形態では、キャパシタ誘電体膜12のキャパシタCとしての容量が還流ダイオード100及びスイッチング素子600に形成されていた空乏容量と同程度と小容量であるため、放電によって流れる過渡電流は流れるものの、並列する還流ダイオード100に流れる順バイアス電流と比べるとほとんど影響がない大きさである。半導体スナバ200は、過渡電流が流れた後は定常状態に移行し電流は遮断される。また、並列接続されているスイッチング素子E1, E2, E3についても、ドレイン/ソース間の電圧は逆バイアス電圧状態から順バイアス状態に移行するものの、ゲート信号はオフ状態を維持するように制御されることと、ウェル領域53とドリフト領域52との間のpn接合が順バイアス状態となるものの内蔵電位が2~3Vと大きいことからオフ状態を維持する。ただし、ドレイン/ソース間の電圧状態が変位するため、スイッチング素子600中のドリフト領域52中に生じていた空乏層の容量変化に伴うキ

40

50



ャパシタCとしての放電による過渡電流は流れるが、半導体スナバ200と同様に、並列する還流ダイオード100に流れる順バイアス電流と比べるとほとんど影響がない大きさである。このように、上アームの半導体スナバ200及びスイッチング素子600は過渡電流が流れた後は定常状態に移行し電流は遮断されるため、還流ダイオード100のみが導通状態となる。

【0166】

次に、下アームのスイッチング素子E4, E5, E6がターンオンし、再びスイッチング素子E4, E5, E6がオン状態に移行する動作について説明する。

【0167】

例えば図7に示すようなモータ用インバータ回路(L負荷回路)では、スイッチング素子E4, E5, E6がターンオンする際には、電流上昇と電圧低下の位相がずれるため、比較的高い電圧が印加された状態で、スイッチング素子E4, E5, E6に電流が流れ始める。下アームのターンオンするスイッチング素子E4, E5, E6に並列に接続されている受動素子B4, B5, B6については、還流ダイオード100及び半導体スナバ200共に、スイッチング素子E4, E5, E6に電流が流れ、ドレイン/ソース間の電圧が低下するのに伴って、電源電圧程度の高電圧の逆バイアス電圧からオン電圧程度の低い逆バイアス電圧へと変化するため、その電圧変化の速度に応じた過渡電流が流れる。このとき、図27に示す還流ダイオード100においては、電圧の減少に伴ってドリフト領域42中に広がっていた空乏層はヘテロ半導体領域43側に徐々に狭まり、下部電極45側からドリフト領域42中に電子が過渡電流として流れる。また、図4に示す半導体スナバ200においては、キャパシタ容量として働くキャパシタ誘電体膜12が印加電圧の減少と共に放電されるため過渡電流が流れる。この過渡電流は、並列するスイッチング素子600に流れるターンオン電流と比べるとほとんど影響がない大きさである。このように、下アームの半導体スナバ200及び還流ダイオード100は過渡電流が流れた後は定常状態に移行し電流は遮断されるため、スイッチング素子600のみが導通状態となる。

【0168】

一方、上アームのスイッチング素子E1, E2, E3と並列に接続されている受動素子B1, B2, B3は、下アームのスイッチング素子E4, E5, E6のターンオン動作に連動して、逆バイアス状態となり遮断状態に移行する。図27に示す還流ダイオード100であるヘテロ接合ダイオードにおいては、下部電極45側からドリフト領域42中に供給されていた電子電流は順バイアス電圧の低下と共に減少する。そして、順バイアス電圧が、ヘテロ接合部のヘテロ障壁高さに応じた電圧以下になり、更にヘテロ接合部に逆バイアス電圧が印加されると、ドリフト領域42中にはヘテロ半導体領域43とのヘテロ接合部から伸びた空乏層が生じ遮断状態へと移行する。

【0169】

本発明の第3の実施の形態では、第1の実施の形態及び第2の実施の形態で説明したショットキーバリアダイオードと同様に、ユニポーラ動作を有しているため、一般的なシリコンで形成されたpn接合ダイオードに比べるとこの逆回復電流は格段に小さい。つまり、逆回復損失を大幅に低減することができる。

【0170】

更に、本発明の第3の実施の形態においては、ショットキーバリアダイオードよりも導通損失を低減可能なヘテロ接合ダイオードに半導体スナバ200を組み合わせることに伴って、導通損失と過渡損失を高い次元で両立することができる。すなわち、本発明の第3の実施の形態においては、還流ダイオード100が逆回復動作する場合に、ドリフト領域42中に逆バイアス電圧が印加され過剰キャリアで構成される逆回復電流が流れ始めるのとほぼ同時に、スイッチング素子600及び半導体スナバ200中のキャパシタ誘電体膜12からなるキャパシタCにも同等の逆バイアス電圧が印加され、スイッチング素子600及び半導体スナバ200中にも相応の過渡電流が流れ始める。本発明の第3の実施の形態においては、キャパシタCの大きさを、還流ダイオード100及びスイッチング素子600に流れる過渡電流とほぼ同等となるような容量で設定しているため、下アームのスイ

10

20

30

40

50

ツチング素子 E 4 , E 5 , E 6 のスイッチング速度をほぼ変えることなく、逆回復電流の遮断速度 ( $dI/dt$ ) を緩和することができる。更に、半導体スナバ 200 に流れる電流を基板領域 11 の抵抗 R 成分で消費するため、寄生インダクタンス  $L_s$  で生じたエネルギーを吸収し、振動現象を素早く収束することができる。つまり、還流ダイオード 100 がヘテロ接合ダイオードとなり導通損失が小さくなくても、第 2 の実施の形態で説明したショットキーバリアダイオードを用いた場合と同様に、ユニポーラ動作ならではの本質的な振動現象を半導体スナバ 200 で解決することができる。

#### 【0171】

このことから、低オン抵抗が実現できるヘテロ接合ダイオードと組み合わせることで、更に高い効果を引き出すことができる。

10

本発明の第 3 の実施の形態においても、還流ダイオード 100 及びスイッチング素子 600 に流れる過渡電流が高々ドリフト領域 42 及び 52 に空乏層が形成される際に発生するキャリアのみであることに着目し、スナバ回路を半導体スナバ 200 で形成しているところが従来技術と異なる点である。

#### 【0172】

また、本発明の第 3 の実施の形態の構成のようにスイッチング素子もユニポーラ型とすることで、還流ダイオード 100 が逆回復動作をする場合に加えて、スイッチング素子 600 がターンオフする場合においても、全電流範囲、全温度範囲においてスナバ機能が有効に働く。

20

#### 【0173】

このようにスイッチング素子 600 は MOSFET 以外にも例えば図 29 及び図 30 に示すような他のユニポーラ素子を用いても同様の効果を得ることができる。

#### 【0174】

図 29 は、例えば炭化珪素のポリタイプが 4H タイプの  $n^+$  型である基板領域 61 上に  $n^-$  型のドリフト領域 62 が形成され、ドリフト領域 62 の基板領域 61 との接合面に対向する主面に接するように、例えば  $n$  型の多結晶シリコンからなるヘテロ半導体領域 63 が形成されている。つまり、ドリフト領域 62 とヘテロ半導体領域 63 の接合部は、炭化珪素と多結晶シリコンのバンドギャップが異なる材料によるヘテロ接合からなっており、その接合界面にはエネルギー障壁が存在している。ヘテロ半導体領域 63 とドリフト領域 62 との接合面に共に接するように、例えばシリコン酸化膜から成るゲート絶縁膜 64 が形成されている。また、ゲート絶縁膜 64 上にはゲート電極 65 が、ヘテロ半導体領域 63 のドリフト領域 62 との接合面に対向する対面にはソース電極 66 が、基板領域 1 にはドレイン電極 68 が接続するように形成されている。なお、ゲート電極 65 とソース電極 66 を絶縁するように、例えばシリコン酸化膜からなる層間絶縁膜 67 が形成されている。

30

#### 【0175】

次に図 29 のスイッチング素子の動作について説明する。図 29 のスイッチング素子においても、MOSFET と同様に、ソース電極 66 を接地しドレイン電極 68 に正電位が印加されるようにして使用する。

#### 【0176】

まず、ゲート電極 65 を例えば接地電位もしくは負電位とした場合、遮断状態を保持する。すなわち、ヘテロ半導体領域 63 とドリフト領域 62 とのヘテロ接合界面には、伝導電子に対するエネルギー障壁が形成されているためである。

40

#### 【0177】

次に、遮断状態から導通状態へと転じるべくゲート電極 65 に正電位を印加した場合、ゲート絶縁膜 64 を介してゲート電界が及ぶヘテロ半導体領域 63 並びにドリフト領域 62 の表層部には電子の蓄積層が形成される。すると、ヘテロ半導体領域 63 並びにドリフト領域 62 の表層部においては自由電子が存在可能なポテンシャルとなり、ドリフト領域 62 側に伸びていたエネルギー障壁が急峻になり、エネルギー障壁厚みが小さくなる。その結果、電子電流が導通する。このとき、図 29 に示すスイッチング素子においては、電

50

流の導通・遮断を制御する所謂チャネル部分の長さが、ヘテロ障壁によって形成されるエネルギー障壁の厚み程度であり、MOSFETにおいて耐圧保持に必要な所定のチャネル長に比べて小さいため、より低抵抗で導通することができる。このため、上述したように、半導体スナバ200によって導通損失と過渡損失を更に高いレベルで両立することができる。

#### 【0178】

次に本発明の第3の実施の形態において、導通状態から遮断状態に移行すべく、再びゲート電極65を接地電位とすると、ヘテロ半導体領域63並びにドリフト領域62のヘテロ接合界面に形成されていた伝導電子の蓄積状態が解除され、エネルギー障壁中のトンネリングが止まる。そして、ヘテロ半導体領域63からドリフト領域62への伝導電子の流れが止まり、更にドリフト領域62中にあった伝導電子は基板領域61に流れ枯渇すると、ドリフト領域62側にはヘテロ接合部から空乏層が広がり遮断状態となる。

10

#### 【0179】

また、図29のスイッチング素子においては、例えばソース電極66を接地し、ドレイン電極68に負電位が印加された逆方向導通（還流動作）も可能である。

#### 【0180】

例えばソース電極66並びにゲート電極65を接地電位とし、ドレイン電極68に所定の正電位が印加されると、伝導電子に対するエネルギー障壁は消滅し、ドリフト領域62側からヘテロ半導体領域63側に伝導電子が流れ、逆導通状態となる。このとき、正孔の注入はなく伝導電子のみで導通するため、逆導通状態から遮断状態に移行する際の逆回復電流による損失も小さい。なお、上述したゲート電極65を接地にせず制御電極として使用する場合も可能である。このように、図29のスイッチング素子においては、ユニポーラ型の還流ダイオードとしても使用ができるため、例えば、還流ダイオード100を図29のスイッチング素子で共用することができる。すなわち、図29に示すスイッチング素子では還流ダイオード100を別チップで形成する以外にも、還流ダイオード100とスイッチング素子600を1チップ化して、半導体パッケージを小型化することができる。このことにより、配線等に生じる寄生インダクタンスを更に低減することができるため、半導体スナバ200による振動現象を更に低減することができる。また、配線長が短くなることは、振動電流により配線から発する放射ノイズを低減させる効果もある。また、チップサイズの低減によってコストが低減されると共に、還流ダイオード100とスイッチング素子600とのキャパシタ容量の和が小さくなるため、半導体スナバ200に必要なキャパシタ容量Cも小さくすることができる。つまり、小型で低コストで振動現象を抑制することができる。

20

30

#### 【0181】

以上、図29においては、一例としてヘテロ半導体領域63に用いる材料として多結晶シリコンを用いた例で説明したが、炭化珪素とヘテロ接合を形成する材料であれば単結晶シリコン、アモルファスシリコン等他のシリコン材料やゲルマニウムやシリコンゲルマン等他の半導体材料や6H、3C等炭化珪素の他のポリタイプなど、どの材料でもかまわない。また、一例として、ドリフト領域62としてn型の炭化珪素を、ヘテロ半導体領域63としてp型の多結晶シリコンを用いて説明しているが、それぞれn型の炭化珪素とp型の多結晶シリコン、p型の炭化珪素とp型の多結晶シリコン、p型の炭化珪素とn型の多結晶シリコンの如何なる組み合わせでもよい。

40

#### 【0182】

次に図30は、スイッチング素子として接合型電界効果トランジスタ（JFET）と呼ばれる接合型のFETを用いた場合について説明する。

#### 【0183】

図30中、例えば炭化珪素のポリタイプが4Hタイプのn<sup>+</sup>型である基板領域71上にn<sup>-</sup>型のドリフト領域72が形成され、n<sup>+</sup>型のソース領域73とp型のゲート領域74が形成されており、ゲート領域74はゲート電極75に接続されており、ソース領域73はソース電極76に接続されており、基板領域71はドレイン電極78に接続されている。

50

なお、77は層間絶縁膜である。

【0184】

図30のJFETはMOSFETと同様に、ユニポーラ動作をするため、MOSFETで得られる効果と同様の効果を得ることができる。更に、JFETにおいては、MOSFETにおいては必須のゲート絶縁膜が不要のため、信頼性の確保という観点では例えば200を超えるような高い温度でのオペレーションが比較的容易である。このことから、JFETを用いることで、本発明の特徴である使用温度領域によらず振動現象を抑制できる効果をより強みとして活かせることができる。なお、高温用途においては、半導体スナバ200においても、例えば図9、10などキャパシタ容量としてシリコン酸化膜を用いない空乏容量を用いる構成のほうが、信頼性を確保しつつ、効果を発揮することができる。

10

【0185】

このように、スイッチング素子600についてMOSFET以外のスイッチング素子を用いた場合の効果について説明してきたが、還流ダイオード100についても、ユニポーラ動作もしくはユニポーラ動作と同等の動作をするダイオードであれば同様の効果を得ることができる。

【0186】

例えば、図31に示すようなpn接合ダイオードの構造であっても、導通時にp型領域から注入される少数キャリアからなる過剰キャリアを、金や白金を用いた重金属拡散、電子線を用いた電子線照射、プロトン等を用いたイオン照射などの方策により、過剰キャリアの主成分である少数キャリアのライフタイムを制御することによって、ほとんどユニポーラ動作と同等の動作をする場合においても適用可能であり、本発明の実施例として説明してきた効果を同じように得ることができる。

20

【0187】

例えば、図31に示すpn接合ダイオードがソフトリカバリダイオードで構成されている場合について説明する。図31に示すように、還流ダイオード100は、例えばシリコンからなるn<sup>+</sup>型の基板領域81上にn<sup>-</sup>型のドリフト領域82が形成された基板材料で構成されている。基板領域81としては、例えば抵抗率が数mから数10m cm、厚さが数10~数100 μm程度のものを用いることができる。ドリフト領域82としては、例えばn型の不純物密度が10<sup>13</sup>~10<sup>17</sup> cm<sup>-3</sup>、厚みが数~数100 μmのものを用いることができる。本発明の第3の実施の形態では例えば不純物密度が10<sup>14</sup> cm<sup>-3</sup>、厚みが50 μmで耐圧が600Vクラスのものを用いた場合で説明する。なお、本発明の第3の実施の形態では、半導体基体が、基板領域81とドリフト領域82の二層からなる基板の場合について説明するが、抵抗率の大きさは上記の一例にはよらない基板領域81のみで形成された基板を使用してもかまわないし、反対に多層の基板を使用してもかまわない。また、本発明の第3の実施の形態では一例として耐圧が600Vクラスの場合で説明しているが、耐圧クラスは限定されない。

30

【0188】

ドリフト領域82の基板領域81との接合面に対向する主面に接するようにp型の反対導電型領域83が形成され、反対導電型領域83に接続するように上部電極84が、基板領域81と接するように下部電極85が形成されている。なお、図31で示した還流ダイオードはpn接合のみで形成されているが、例えば一部がショットキーダイオードとして働くように構成されていても良いし、他の構成含んでいても良い。

40

【0189】

図31に示すpn接合ダイオードがソフトリカバリダイオードとして働くようにするひとつの手法として、例えば導通時にドリフト領域82中に注入される少数キャリアのライフタイムを制御する方法がある。例えば、ドリフト領域82中にイオン照射などを用いて、反対導電型領域83に近い側と基板領域81に近い側とで少数キャリアのライフタイム時間が異なるように制御して、逆回復時に流れる少数キャリアによる過渡電流は小さくしつつ、基板領域81側に滞留していた少数キャリアの減少時間を緩和し、大電流時の逆回

50

復動作においては振動現象が起こらないようにすることができる。

【0190】

しかしながら、少数キャリアのライフタイムを制御したpn接合ダイオードにおいては、少数キャリアのライフタイムは電流の大きさによらず短くなることから、電流が小さいときには、逆回復時において瞬時に少数キャリアが消滅してしまい、ほとんどユニポーラ動作と同じ動作をすることになる。この場合は、図31に示すダイオードに流れる過渡電流は図3などで説明したユニポーラ型のダイオードと同じように空乏層が広がる際の多数キャリアの移動による電流が流れるため、半導体スナバ200が無い状態だと振動現象が生じる。しかし、本発明の第3の実施の形態のように、半導体スナバ200を並列接続することでの低電流時における振動現象を緩和することができる。つまり、ソフトリカバリダイオードと半導体スナバとの組み合わせによって、大電流時も小電流時も振動現象を緩和することができる。なお、ここではソフトリカバリダイオードを一例として本発明の実施の形態の効果を説明してきたが、大電流時に逆回復特性がソフト化されていないファストリカバリダイオードを用いた場合にも、ユニポーラ動作と同等の動作をする電流領域があれば、少なくとも低電流時の振動現象を抑制する効果を得ることができる。また、例えば炭化珪素からなるpn接合ダイオードなど、シリコン材料に比べて熱処理による結晶の回復が起こりにくい材料においては、例えばイオン注入によってp型領域を形成した場合など、少数キャリアのライフタイムが元々小さいダイオードにおいても、上記で説明したように、振動現象を抑制する効果を得ることができる。また、いずれの構造においても、少なくとも電流が流れず少数キャリアが注入されない条件でpn接合ダイオードを逆回復動作させる場合にも本発明の効果を得ることができる。

10

20

【0191】

このように、少なくともユニポーラ動作と同等の動作を一部でも有するダイオードであれば逆回復動作時に振動現象を低減するという本発明の効果を得ることができる。

【0192】

なお、図31に示した還流ダイオード100は第1の実施の形態で示したスイッチング素子が並列接続されていない場合でも同様の効果を発揮するため、還流ダイオード100と半導体スナバ200のみの並列接続としても良い。

【0193】

更に、第3に実施の形態においては、第2の実施の形態で説明した還流ダイオード100とスイッチング素子600が共に異なる組み合わせで説明してきたが、還流ダイオード100とスイッチング素子600の組み合わせはどれを組み合わせても良い。すなわち、例えば還流ダイオード100は第2の実施の形態で説明したショットキーバリアダイオードを用いて、スイッチング素子600は第3に実施の形態で説明したMOSFETを組み合わせても良い。また、還流ダイオード100とスイッチング素子600とを同一チップ上に形成していても良い。

30

【0194】

また、第1の実施の形態で図21と図22を用いて説明したのと同様に、スナバ回路に用いるキャパシタ容量Cの大きさは、遮断状態における還流ダイオードとスイッチング素子とのキャパシタ容量成分の総和C0に対して、 $C/C0$ が0.1前後から振動現象の減衰効果が顕著になり、 $C/C0$ が1.0を超える辺りから振動現象の収束時間比の値が飽和傾向になる。また、スナバ回路に形成するキャパシタ容量Cによって、過渡動作時にはキャパシタ容量Cの大きさに比例する過渡電流による損失Eが発生するため、キャパシタ容量Cの大きさは極力小さいほうが望ましい。

40

【0195】

このことから、本発明の第3の実施の形態で用いるスナバ回路のキャパシタ容量Cの大きさは還流ダイオード100及びスイッチング素子600の遮断状態におけるキャパシタ成分の容量の総和に比べて、1/10倍以上10倍以下の範囲で容量を選択することで、損失の増加を抑えつつ、より顕著に振動現象を低減することができる。この効果は、上記実施の形態で説明したどの実施例においても得ることができる。

50

## 【 0 1 9 6 】

( 第 4 の実施の形態 )

本発明の第 4 の実施の形態においては、第 1 の実施の形態の図 1 に示した回路図において、還流ダイオード 1 0 0 と半導体スナバ 2 0 0 が 1 つのチップ上に形成された場合について例示する。

## 【 0 1 9 7 】

図 3 2 は図 2 に対応する半導体チップの実装図、図 3 3 は図 3 2 の実装図に用いられている半導体チップの断面構造図の一例である。つまり、図 3 3 に示す断面構造図においては還流ダイオード 1 0 0 と半導体スナバ 2 0 0 とが形成されている。本発明の第 4 の実施の形態においては、第 1 の実施の形態と同様の動作をする部分の説明は省略し、異なる特徴について詳しく説明する。

10

## 【 0 1 9 8 】

図 3 2 に示すように、カソード側金属膜 4 1 0 上には、半導体スナバ内蔵還流ダイオード 8 0 0 のカソード端子 4 0 0 側が例えば半田やろう材等の接合材料を介して接するように配置されている。そして、半導体スナバ内蔵還流ダイオード 8 0 0 の半導体チップのアノード端子 3 0 0 側は、例えばアルミワイヤやアルミリボンなどの金属配線 3 2 0 を介して、共にアノード側金属膜 3 1 0 に接続された構成となっている。

## 【 0 1 9 9 】

また半導体スナバ内蔵還流ダイオード 8 0 0 を構成する半導体チップの断面構造を示したのが、それぞれ図 3 3 に示す断面構造図である。

20

## 【 0 2 0 0 】

図 3 3 に示すように、半導体スナバ内蔵還流ダイオード 8 0 0 は、右側破線の右側に形成される還流ダイオード 1 0 0 の部分と、左側破線の左側に形成される半導体スナバ 2 0 0 の部分で構成されている。

## 【 0 2 0 1 】

まず、還流ダイオード 1 0 0 の部分は、例えば炭化珪素のポリタイプが 4 H タイプの  $n^+$  型である基板領域 1 上に  $n^-$  型のドリフト領域 2 が形成された基板材料で構成されている。基板領域 1 としては、例えば抵抗率が数  $m$  から数  $10 m$   $cm$ 、厚さが数  $10 \sim$  数  $100 \mu m$  程度のものを用いることができる。ドリフト領域 2 としては、例えば  $n$  型の不純物密度が  $10^{15} \sim 10^{18} cm^{-3}$ 、厚みが数  $\sim$  数  $10 \mu m$  のものを用いることができる。本発明の第 4 の実施の形態では例えば不純物密度が  $10^{16} cm^{-3}$ 、厚みが  $5 \mu m$  で耐圧が  $600 V$  クラスのものを用いた場合で説明する。なお、本発明の第 4 の実施の形態においても、半導体基体が、基板領域 1 とドリフト領域 2 の二層からなる基板の場合について説明するが、抵抗率の大きさは上記の一例にはよらない基板領域 1 のみで形成された基板を使用してもかまわないし、反対に多層の基板を使用してもかまわない。また、本発明の第 4 の実施の形態では一例として耐圧が  $600 V$  クラスの場合で説明しているが、耐圧クラスは限定されない。

30

## 【 0 2 0 2 】

図 3 3 中の右側破線の右側に形成される還流ダイオード 1 0 0 の部分は、ドリフト領域 2 の基板領域 1 との接合面に対向する主面に接するように上部電極 3 が、更には上部電極 3 に対向し、かつ基板領域 1 と接するように下部電極 4 が形成されている。上部電極 3 は、ドリフト領域 2 との間にショットキー障壁を形成する金属材料を少なくとも含む単層もしくは多層の金属材料から構成されており、例えば、ショットキー障壁を形成する金属材料としては、チタン (Ti)、ニッケル (Ni)、モリブデン (Mo)、金 (Au)、白金 (Pt) などを用いることができる。また、上部電極 3 はアノード端子 3 0 0 として外部電極との接続をするために、最表面にアルミニウム (Al)、銅 (Cu)、金 (Au)、ニッケル (Ni)、銀 (Ag) などの金属材料を用いて多層の構造としても良い。一方、下部電極 4 は基板領域 1 とオーミック接続するような電極材料から構成されている。オーミック接続する電極材料の一例としてはニッケルシリサイドやチタン材料などが挙げられ、下部電極 4 はカソード端子 4 0 0 として外部電極と接続をする。このように、図 3 3

40

50

に示す還流ダイオード100は、上部電極3がアノード電極、下部電極4がカソード電極としたダイオードとして機能する。更に、図33においては、ドリフト領域2と上部電極3との接合面の端部に、ドリフト領域2と上部電極3とそれぞれ接するように、例えばシリコン酸化膜からなるフィールド絶縁膜5が形成されている。フィールド絶縁膜5は、還流ダイオード100を半導体チップとして製造する際に、例えばチップ外周部のショットキー接合部における電界集中を緩和するために、一般的に用いられる構造である。本発明の第4の実施の形態においては、図33に一例としてフィールド絶縁膜5の端部の形状として、上部電極と接する部分が直角の場合を示しているが、端部が鋭角形状になっていてももちろん良い。また、フィールド絶縁膜5が形成される外周端部の構成として、例えば図34に示すように、ドリフト領域2中の上部電極3とフィールド絶縁膜5とが接する部分に、p型の電界緩和領域7を形成しても良い。更に、図34の構成に加えて、電界緩和領域7の外周を囲むように、1本もしくは複数のガードリングが形成されていても良い。

10

20

30

40

50

#### 【0203】

次に図33中の左側破線の左側に形成される半導体スナバ200の部分について構成を説明する。上記還流ダイオード100の外周端部の電界緩和に用いられているフィールド絶縁膜5の所定領域に接するように、基板領域1の表層部には基板領域1と同一導電型で、かつ基板領域1よりも不純物密度が同等以上のn<sup>+</sup>型の容量低下防止領域1001が形成されている。また、フィールド絶縁膜5上には、例えばn型の多結晶シリコンからなる抵抗領域6が形成されている。更に抵抗領域6の表層部には、抵抗領域6と同一導電型で、かつ抵抗領域6よりも不純物密度が同等以上のn<sup>+</sup>型の容量低下防止領域1005が形成されている。また、容量低下防止領域1005上には、上部電極3が形成され、還流ダイオード100アノード端子300と同電位となっている。つまり、本発明の第4の実施の形態における半導体スナバ200は、基板領域1及び抵抗領域6は抵抗Rとして機能し、フィールド絶縁膜5はキャパシタCとして機能する構成となっており、第1の実施の形態における図18に対応した構成となっている。抵抗領域6は必要な抵抗値の大きさに応じて、不純物濃度や厚みを変えることができる。このとき、第1の実施の形態でも示したように、容量低下防止領域1001及び1005のいずれかの厚みや面積を変えることで容易に調整することが可能である。また、フィールド絶縁膜5についても、必要な耐圧並びに必要なキャパシタCの容量の大きさに応じて、厚みや面積を決めることができる。耐圧については、半導体スナバ200の機能としてだけではなく、還流ダイオード100の電界緩和という機能を満たすために、フィールド絶縁膜5の破壊防止のため、還流ダイオード100で形成されるショットキーバリアダイオードよりも高いことが望ましい。また、キャパシタCの容量については、還流ダイオード100が遮断状態時（高電圧印加時）に充電される空乏容量に対して、100分の1程度から100倍ぐらいの範囲で選ぶことができるが、十分なスナバ機能を発揮し、かつ損失の増加を極力抑え、必要となるチップ面積を考慮すると、後述する計算結果が示すように、概ね10分の1程度から10倍程度の範囲が望ましい。本発明の第4の実施の形態においては、第1の実施の形態で示したように、容量低下防止領域1001及び1005を形成することによって、フィールド酸化膜5からなる誘電容量できるキャパシタCの大きさを低下させずに、動作させることができるため、容易に振動現象を最適に減衰制御することができる。

#### 【0204】

本発明の第4の実施の形態においては、例えば還流ダイオード100のショットキーバリアダイオードよりも耐圧が高くなるように例えば厚みは1 $\mu$ mとし、キャパシタCの容量が還流ダイオード100の遮断状態時に形成される空乏容量と同程度としたものを用いた場合で説明する。なお、フィールド絶縁膜5は、シリコン酸化膜以外の材料でも、所定の耐圧を有し、かつ電界緩和機能とキャパシタCとして機能する誘電材料であればどのような材料でも良いが絶縁破壊電界と比誘電率との積の値がシリコン酸化膜の値よりも大きい材料であれば、更により。そのような材料を用いた場合には、キャパシタ誘電体膜12の絶縁耐圧を維持しつつ、少ない面積で必要な静電容量を得ることができる。例えば、一般的なシリコン酸化膜の物性値として、絶縁破壊電界を1 $\times$ 109V/mとし、比誘電率

を3.9とした場合、シリコン酸化膜の厚みが $1\mu\text{m}$ の場合の単位面積 $1\text{cm}^2$ 当たりの静電容量は約3.4nF程度になる。それに対して、シリコン酸化膜の代わりに $\text{Si}_3\text{N}_4$ を用いた場合、絶縁破壊電界を $1 \times 10^9\text{V/m}$ とし、比誘電率を7.5とした場合、厚みが $1\mu\text{m}$ で同等の耐圧を確保することができる。このとき、 $\text{Si}_3\text{N}_4$ を用いた場合の単位面積 $1\text{cm}^2$ 当たりの静電容量は6.6nF程度になる。このように、 $\text{Si}_3\text{N}_4$ を用いた方が静電容量が約2倍程度大きくなり、キャパシタ誘電体膜の絶縁耐圧を維持しつつ、より大きな静電容量を得ることができる。したがって面積効率が向上し、ウエハコストを低減することができる。この効果は誘電材料の絶縁破壊電界と比誘電率との積で比較することができ、シリコン酸化膜の値と、 $\text{Si}_3\text{N}_4$ の値を比較すると約2倍程度になっている。更に、キャパシタ誘電体膜の材料が $\text{BaTiO}_3$ のような強誘電体であれば、その値がシリコン酸化膜の約1.3倍となり、より少ない面積にすることができる。また、キャパシタ誘電体膜は単一の誘電材料とは限らず複数の誘電材料を積層したものを用いても良い。例えば、 $\text{Si}_3\text{N}_4$ をシリコン酸化膜で挟んだONO構造では、 $\text{Si}_3\text{N}_4$ のリーク電流をシリコン酸化膜により最小限にすることができる。

10

20

30

40

50

#### 【0205】

また、抵抗領域6の抵抗Rの大きさとしては、効果的にスナバ機能を発揮する一般的な設計式 $C = 1 / (2 \pi f R)$ を満たすように設定するのが望ましい。

#### 【0206】

このように、1チップに還流ダイオード100と半導体スナバ200が形成された場合にも、第1の実施の形態で説明した動作及び効果を得ることができる。

#### 【0207】

更に、本発明の第4の実施の形態においては、還流ダイオード100と半導体スナバ200が支持基体としての基板領域1及びドリフト領域2を共用し、かつ、電極材として上部電極3及び下部電極4を共用している。更に、還流ダイオード100の電界緩和機能として働くフィールド絶縁膜5もキャパシタCの機能として共用することができる。つまり、これらの部分については、同一プロセスで形成することができるため、製造プロセスを簡易化することができる。また、1チップ化することによって、実装面積(敷地面積)を減らすことができるため、半導体パッケージを小型化することができる。また、還流ダイオード100及び半導体スナバ200の上部電極3が共通の電極となり、第1の実施の形態では金属配線320, 330で接続されていたのに比べて、配線等に生じる寄生インダクタンスを更に低減することができるため、還流ダイオード100における振動現象を更に低減することができる。また、配線長がより短くなることは、振動電流により配線から発する放射ノイズを更に低減させる効果もある。更に、本発明の第4の実施の形態をL負荷回路に用いた場合には、還流ダイオード100と半導体スナバ200とを1チップ化した新たな効果を生むことができる。すなわち、第1の実施の形態から第3の実施の形態を通して説明してきたように、還流ダイオード100が遮断時及び導通時には半導体スナバ200は動作せずに過渡時のみ動作をし、還流ダイオード100の空乏容量並びに半導体スナバ200のキャパシタ容量Cに起因して発生する過渡電流を消費するべく抵抗R成分で発熱する。一方、還流ダイオード100においては、ターンオン及びターンオフの過渡動作時においては、電流と電圧の位相ずれの影響であまり発熱しない。つまり、還流ダイオード100が最も発熱するのが定常の導通時となる。つまり、還流ダイオード100と半導体スナバ200とスイッチング回路の一連の動作の中で、発熱するタイミングが異なる。このため、1チップ化することによって、例えば還流ダイオード100の部分が導通時に発熱している際には半導体スナバ200の部分は遮断状態にあり発熱していないため、チップ全体としての温度上昇は別チップの場合と比べて低く抑えることができる。つまり、1チップ化することによって、還流ダイオード100の導通性能も向上することができる。

#### 【0208】

以上のように、本発明の第4の実施の形態では、振動現象を更に抑制し過渡性能を向上する効果と導通性能をともに向上すると同時に、小型でかつ低コストで実現することがで



きる。

【0209】

以上、図33、図34では還流ダイオード100がショットキーバリアダイオードの場合を説明してきたが、例えば第3の実施の形態で説明したヘテロ接合ダイオードの場合でも同様に容易に実現することができる。図35は図33に対応する断面図である。

【0210】

図35中、基板領域41、ドリフト領域42、p型のヘテロ半導体領域43、上部電極44及び下部電極45からなるヘテロ接合ダイオードに加えて、フィールド絶縁膜46がドリフト領域42とヘテロ半導体領域43との接合面の端部に、ドリフト領域42とヘテロ半導体領域43とそれぞれ接するように形成されている。更に、フィールド絶縁膜46の所定領域上に、例えば多結晶シリコンからなる抵抗領域47が形成されている。そして、抵抗領域47に接するように上部電極44が形成され、還流ダイオード100のアノード端子300と同電位となっている。図35においても図33と同様に、フィールド絶縁膜46の端部の形状は鋭角形状でも良いし、図34のようにp型の電界緩和領域が形成されていても良い。また、電界緩和領域の外周を囲むように、1本もしくは複数のガードリングが形成されていても良い。

10

【0211】

また、図35の動作については、第3の実施の形態で説明した固有の効果と、本発明の第4の実施の形態で説明した1チップ化した際の効果を実現することができる。更に、図35の特徴としては、抵抗領域47を還流ダイオード100のヘテロ半導体領域43と同一材料で形成している点にある。このような構成することによって、還流ダイオード100としてヘテロ接合ダイオードを用いた場合の効果に加え、製造工程を更に簡略化し、低コストで実現することができる。

20

【0212】

なお、図35においては、抵抗領域47がヘテロ半導体領域43と同じp型の多結晶シリコンで形成されている場合を例示しているため、フィールド酸化膜46側の抵抗領域47中に容量低下防止領域1006が形成されている。形成される位置は異なるものの、上述する構成と同様の効果を得ることができる。

【0213】

他にも図36～図38に示すような構成で、還流ダイオード100と半導体スナバ200とを1チップ化することができる。

30

【0214】

図36は図33に対して、半導体スナバ200の抵抗R成分を低濃度ドリフト領域8で構成している点が異なっている。本発明の第4の実施の形態は、例えば基板領域1と低濃度ドリフト領域8からなる半導体材料を用いて、ドリフト領域2を不純物導入と不純物の活性化によって形成することで容易に実現できる。容量低下防止領域1001は低濃度ドリフト領域8中のキャパシタ誘電体膜側の表層部に形成される。このような構成にすることによって、還流ダイオード100と半導体スナバ200を1チップ化する場合においても、半導体基板を抵抗成分として使用することもでき、振動現象で生じる熱エネルギーを半導体基板を通して放熱できるため、抵抗部分の高密度化が可能となる。

40

【0215】

図37は図33に対して、還流ダイオード100としてショットキーバリアダイオードの代わりに図31で示したユニポーラ動作と同等の動作を有するpn接合ダイオードを構成した点が異なっている。本発明の第4の実施の形態においても、図33と同様に、1チップ化が容易に実現でき、振動現象を更に抑制し過渡性能を向上する効果と導通性能をともに向上すると同時に、小型でかつ低コストで実現することができる。

【0216】

図38は図37に対して、半導体スナバ200の抵抗R成分を低濃度ドリフト領域88で構成している点が異なっている。本発明の第4の実施の形態は、例えば基板領域81と低濃度ドリフト領域88からなる半導体材料を用いて、ドリフト領域82を不純物導入と

50

不純物の活性化によって形成することで容易に実現できる。このような構成にすることによって、還流ダイオード100と半導体スナバ200を1チップ化する場合においても、半導体基板を抵抗成分として使用することもでき、振動現象で生じる熱エネルギーを半導体基板を通して放熱できるため、抵抗部分の高密度化が可能となる。

#### 【0217】

以上、還流ダイオード100と半導体スナバ200とを1チップ化した場合の構成を複数例示してきたが、上記で例示した以外にも、還流ダイオード100と半導体スナバ200の組み合わせを入れ替えて、1チップ化してももちろん良い。また、本発明の第4の実施の形態においては、第1の実施の形態に対応する還流ダイオード100と半導体スナバ200のみが並列接続している場合で例示してきたが、第2の実施の形態及び第3の実施の形態で示したようなスイッチング素子800が並列接続されるような回路においても同様に本発明の効果を発揮することができる。いずれにしても、少なくとも還流ダイオード100と半導体スナバ200とを1チップ化することで、振動現象を更に抑制し過渡性能を向上する効果と導通性能をともに向上すると同時に、小型でかつ低コストで実現することができる。

10

#### 【0218】

また、第1の実施の形態で図21と図22を用いて説明したのと同様に、スナバ回路に用いるキャパシタ容量Cの大きさは、遮断状態における還流ダイオードもしくは還流ダイオードとスイッチング素子とのキャパシタ容量成分の総和C0に対して、 $C/C0$ が0.1前後から振動現象の減衰効果が顕著になり、 $C/C0$ が10を超える辺りから振動現象の収束時間比の値が飽和傾向になる。また、スナバ回路に形成するキャパシタ容量Cによって、過渡動作時にはキャパシタ容量Cの大きさに比例する過渡電流による損失Eが発生するため、キャパシタ容量Cの大きさは極力小さいほうが望ましい。

20

#### 【0219】

このことから、本発明の第4の実施の形態で用いるスナバ回路のキャパシタ容量Cの大きさは還流ダイオード100及びスイッチング素子600の遮断状態におけるキャパシタ成分の容量の総和に比べて、 $1/10$ 倍以上10倍以下の範囲で容量を選択することで、損失の増加を抑えつつ、より顕著に振動現象を低減することができる。この効果は、上記実施の形態で説明したどの実施例においても得ることができる。

30

#### 【0220】

(第5の実施の形態)

本発明の第5の実施の形態においては、第2の実施の形態の図23に示した回路図において、スイッチング素子600と半導体スナバ200が1つのチップ上に形成された場合について例示する。

#### 【0221】

図39は図24に対応する半導体チップの実装図、図40は図25の実装図に用いられている半導体チップの断面構造図の一例である。つまり、図40に示す断面構造図においてはスイッチング素子600と半導体スナバ200とが形成されている。本発明の第5の実施の形態においては、第2の実施の形態と同様の動作をする部分の説明は省略し、異なる特徴について詳しく説明する。

40

#### 【0222】

図39に示すように、カソード側金属膜410上には、半導体スナバ内蔵スイッチング素子900のコレクタ端子401側が、還流ダイオード100のカソード端子と共に、例えば半田やろう材等の接合材料を介して接するように配置されている。そして、半導体スナバ内蔵スイッチング素子900の半導体チップのエミッタ端子301側は、還流ダイオード100のアノード端子と共に、例えばアルミワイヤやアルミリボンなどの金属配線350を介して、共にアノード側金属膜310に接続された構成となっている。

#### 【0223】

また半導体スナバ内蔵スイッチング素子900を構成する半導体チップの断面構造を示したのが図40に示す断面構造図である。

50

## 【0224】

図40に示すように、半導体スナバ内蔵スイッチング素子900は、右側破線の右側に形成されるスイッチング素子600の部分と、左側破線の左側に形成される半導体スナバ200の部分で構成されている。

## 【0225】

まず、スイッチング素子600の部分は、一例として一般的なIGBTの構成を示している。例えばシリコンを材料とした $p^+$ 型の基板領域21上に、 $n$ 型のバッファ領域22を介して、 $n^-$ 型のドリフト領域23が形成された基板材料で構成されている。ドリフト領域23中の表層部に $p$ 型のウェル領域24が、更にウェル領域24中の表層部に $n^+$ 型エミッタ領域25が形成されている。そして、ドリフト領域23、ウェル領域24及びエミッタ領域25の表層部に接するように、例えばシリコン酸化膜からなるゲート絶縁膜26を介して、例えば $n$ 型の多結晶シリコンからなるゲート電極27が配設されている。更に、エミッタ領域25並びにウェル領域24に接するように例えばアルミ材料からなるエミッタ電極28が形成されている。また、基板領域21にオーミック接続するようにコレクタ電極30が形成されている。このように、本説明で用いるIGBTはゲート電極27が半導体基体に対して平面上に形成されている所謂プレーナ型をしている。

10

## 【0226】

更に、図40においては、ドリフト領域23もしくはウェル領域24の表層部に接するように、例えばシリコン酸化膜からなるフィールド絶縁膜31が形成されている。フィールド絶縁膜31は、スイッチング素子600を半導体チップとして製造する際に、例えばチップ外周部の $pn$ 接合部における電界集中を緩和するために、一般的に用いられる構造である。本発明の第5の実施の形態においては、図40に一例としてフィールド絶縁膜31の端部の形状として、上部電極と接する部分が直角の場合を示しているが、端部が鋭角形状になっていてももちろん良い。また、フィールド絶縁膜31が形成される外周端部の構成として、ウェル領域24の外周を囲むように、1本もしくは複数のガードリングが形成されていても良い。

20

## 【0227】

次に図40中の左側破線の左側に形成される半導体スナバ200の部分について構成を説明する。上記スイッチング素子600の外周端部の電界緩和に用いられているフィールド絶縁膜31の所定領域に接するように、ドリフト領域23の表層部にはドリフト領域23と同一導電型で、かつドリフト領域23よりも不純物密度が同等以上の $n^+$ 型の容量低下防止領域1001が形成されている。また、フィールド絶縁膜5上には、例えばスイッチング素子600のゲート絶縁膜26や層間絶縁膜(図示省略)などを形成する際に形成される絶縁膜32を介して、 $n$ 型の多結晶シリコンからなる抵抗領域33が形成されている。なお、本発明の第5の実施の形態においては絶縁膜32が形成された場合について例示しているが、絶縁膜32を介さずフィールド絶縁膜31上に抵抗領域33が形成されていてももちろん良い。

30

## 【0228】

更に抵抗領域33の表層部には、抵抗領域33と同一導電型で、かつ抵抗領域33よりも不純物密度が同等以上の $n^+$ 型の容量低下防止領域1005が形成されている。また、容量低下防止領域1005上には、上部電極28が形成され、スイッチング素子600のエミッタ端子301と同電位となっている。つまり、本発明の第5の実施の形態における半導体スナバ200は、ドリフト領域23及び抵抗領域33は抵抗 $R$ として機能し、フィールド絶縁膜31及び絶縁膜32はキャパシタ $C$ として機能する構成となっており、第1の実施の形態における図18に対応した構成となっている。抵抗領域6は必要な抵抗値の大きさに応じて、不純物濃度や厚みを変えることができる。このとき、第1の実施の形態でも示したように、容量低下防止領域1001及び1005のいずれかの厚みや面積を変えることで容易に調整することが可能である。

40

## 【0229】

また、フィールド絶縁膜31についても、必要な耐圧並びに必要なキャパシタ $C$ の容量

50

の大きさに応じて、厚みや面積を決めることができる。耐圧については、半導体スナバ200の機能としてだけでなく、スイッチング素子600の電界緩和という機能を満たすためのフィールド絶縁膜31の破壊防止のため、スイッチング素子600の耐圧よりも高いことが望ましい。また、キャパシタCの容量については、同一チップ上のスイッチング素子600とともに並列に接続される還流ダイオード100がそれぞれ遮断状態時（高電圧印加時）に充電される空乏容量に対して、100分の1程度から100倍ぐらいの範囲で選ぶことができるが、十分なスナバ機能を発揮し、かつ損失の増加を極力抑え、必要となるチップ面積を考慮すると、後述する計算結果が示すように、概ね10分の1程度から10倍程度の範囲が望ましい。

#### 【0230】

本発明の第5の実施の形態においては、第1の実施の形態で示したように、容量低下防止領域1001及び1005を形成することによって、フィールド酸化膜5からなる誘電容量できまるキャパシタCの大きさを低下させずに、動作させることができるため、容易に振動現象を最適に減衰制御することができる。

#### 【0231】

本発明の第5の実施の形態においては、例えばスイッチング素子600の耐圧よりも高くなるように例えば厚みは1 $\mu$ mとし、キャパシタCの容量がスイッチング素子600と還流ダイオード100の遮断状態時に形成される空乏容量の和と同程度としたものを用いた場合で説明する。なお、フィールド絶縁膜31は、シリコン酸化膜以外の材料でも、所定の耐圧を有し、かつ電界緩和機能とキャパシタCとして機能する誘電材料であればどのような材料でも良い。

#### 【0232】

また、抵抗領域33の抵抗Rの大きさとしては、効果的にスナバ機能を発揮する一般的な設計式 $C = 1 / (2 \pi f R)$ を満たすように設定するのが望ましい。

#### 【0233】

このように、1チップにスイッチング素子600と半導体スナバ200が形成された場合にも、第1の実施の形態で説明した動作及び効果を得ることができる。

#### 【0234】

更に、本発明の第5の実施の形態においては、スイッチング素子600と半導体スナバ200が支持基体としての基板領域21及びパッファ領域22及びドリフト領域23を共用し、かつ、電極材としてエミッタ電極28及びコレクタ電極30を共用している。更に、スイッチング素子600の電界緩和機能として働くフィールド絶縁膜31もキャパシタCの機能として共用することができる。更に、更に、スイッチング素子600のゲート電極27として働く多結晶シリコン膜を抵抗R成分として抵抗領域33として同様に作成することができる。更に、容量低下防止領域1001をスイッチング素子600のエミッタ領域25と共用して形成が可能であり、例えば同じ深さで同時に形成することができる。

#### 【0235】

つまり、これらの部分については、同一プロセスで形成することができるため、製造プロセスを簡易化することができる。また、1チップ化することによって、実装面積（敷地面積）を減らすことができるため、半導体パッケージを小型化することができる。また、スイッチング素子600及び半導体スナバ200のエミッタ電極28が共通の電極となり、第2の実施の形態では金属配線350、330で接続されていたのに比べて、配線等に生じる寄生インダクタンスを更に低減することができるため、並列接続している還流ダイオード100の逆回復時における振動現象を更に低減することができる。更に、本発明の第5の実施の形態を例えば図7に示すようなインバータ回路に用いた場合には、スイッチング素子600と半導体スナバ200とを1チップ化した新たな効果を生むことができる。すなわち、第2の実施の形態から第3の実施の形態を通して説明してきたように、還流ダイオード100が逆回復動作をする場合においては、半導体スナバ200は振動現象を緩和するべく、還流ダイオード100、スイッチング素子600の空乏容量並びに半導体スナバ200のキャパシタ容量Cに起因して発生する過渡電流を消費し抵抗R成分で発熱

10

20

30

40

50

する。一方、還流ダイオード100が逆回復動作をする場合においては、それに並列接続されているスイッチング素子600は導通状態にないため、ほとんど発熱していない。このことから、1チップ化することによって、逆回復時に半導体スナバ200の部分が発熱している際にはスイッチング素子600の部分は遮断状態にあり発熱していないため、チップ全体としての温度上昇は別チップの場合と比べて低く抑えることができる。つまり、1チップ化することによって、発熱による抵抗領域33の高集積化が期待できる。

#### 【0236】

以上のように、本発明の第5の実施の形態では、振動現象を更に抑制し過渡性能を向上する効果と導通性能をと共に向上すると同時に、小型でかつ低コストで実現することができる。

#### 【0237】

以上、図39、図40ではスイッチング素子600がIGBTの場合を説明してきたが、例えば第2の実施の形態及び第3の実施の形態で説明したさまざまなスイッチング素子600と1チップ化した場合でも同様に容易に実現することができる。図41～図43はその一例である。

#### 【0238】

図41は図40のスイッチング素子600としてIGBTを用いる代わりに、MOSFETを用いた場合を示している。なお、図41のMOSFETは例えば炭化珪素半導体基体からなる場合を示している。例えばn<sup>+</sup>型である基板領域51上にn<sup>-</sup>型のドリフト領域52が形成された基板材料を用いており、ドリフト領域52中の表層部にp型のウェル領域53が、更にウェル領域53中の表層部にn<sup>+</sup>型ソース領域54が形成されている。そして、ドリフト領域52、ウェル領域53及びソース領域54の表層部に接するように、例えばシリコン酸化膜からなるゲート絶縁膜55を介して、例えばn型の多結晶シリコンからなるゲート電極56が配設されている。更に、ソース領域54並びにウェル領域53に接するようにソース電極57が形成され、基板領域51にオーミック接続するようにドレイン電極59が形成されている。

更に、図41においては、ドリフト領域52もしくはウェル領域53の表層部に接するように、例えばシリコン酸化膜からなるフィールド絶縁膜31が形成されている。フィールド絶縁膜31は、スイッチング素子600を半導体チップとして製造する際に、例えばチップ外周部のpn接合部における電界集中を緩和するために、一般的に用いられる構造である。本発明の第5の実施の形態においては、図41に一例としてフィールド絶縁膜31の端部の形状として、上部電極と接する部分が直角の場合を示しているが、端部が鋭角形状になっていてももちろん良い。また、フィールド絶縁膜31が形成される外周端部の構成として、ウェル領域53の外周を囲むように、1本もしくは複数のガードリングが形成されていても良い。

#### 【0239】

次に図41中の左側破線の左側に形成される半導体スナバ200の部分について構成を説明する。上記スイッチング素子600の外周端部の電界緩和に用いられているフィールド絶縁膜31の所定領域に接するように、ドリフト領域52の表層部にはドリフト領域52と同一導電型で、かつドリフト領域52よりも不純物密度が同等以上のn<sup>+</sup>型の容量低下防止領域1001が形成されている。また、フィールド絶縁膜31上には、例えばスイッチング素子600のゲート絶縁膜55や層間絶縁膜(図示省略)などを形成する際に形成される絶縁膜32を介して、n型の多結晶シリコンからなる抵抗領域33が形成されている。なお、本発明の第5の実施の形態においては絶縁膜32が形成された場合について例示しているが、絶縁膜32を介さずフィールド絶縁膜31上に抵抗領域33が形成されていてももちろん良い。

#### 【0240】

更に抵抗領域33の表層部には、抵抗領域33と同一導電型で、かつ抵抗領域33よりも不純物密度が同等以上のn<sup>+</sup>型の容量低下防止領域1005が形成されている。また、容量低下防止領域1005上には、ソース電極57が形成され、スイッチング素子600

10

20

30

40

50

のエミッタ端子302と同電位となっている。つまり、本発明の第5の実施の形態における半導体スナバ200は、ドリフト領域52と抵抗領域33は抵抗Rとして機能し、フィールド絶縁膜31及び絶縁膜32はキャパシタCとして機能する。抵抗領域33は必要な抵抗値の大きさに応じて、不純物濃度や厚みを変えることができる。このとき、第1の実施の形態でも示したように、容量低下防止領域1001及び1005のいずれかの厚みや面積を変えることで容易に調整することが可能である。

#### 【0241】

図41の動作については、第3の実施の形態で説明した固有の効果と、本発明の第5の実施の形態で説明した1チップ化した際の効果を実現することができる。更に、図41の特徴としては、図40と同様に、抵抗領域33をスイッチング素子600のゲート電極56と同一材料で形成している点にある。また、容量低下防止領域1001をスイッチング素子600のソース領域54と共用して形成が可能であり、例えば同じ深さで同時に形成することができる。

10

#### 【0242】

このような構成することによって、スイッチング素子600としてMOSFETを用いた場合の効果に加え、製造工程を更に簡略化し、低コストで実現することができる。

#### 【0243】

図42は図40のスイッチング素子600としてIGBTを用いる代わりに、図30で示したJFETを用いた場合を示している。図42中、例えば炭化珪素のポリタイプが4Hタイプのn<sup>+</sup>型である基板領域71上にn<sup>-</sup>型のドリフト領域72が形成され、n<sup>+</sup>型のソース領域73とp型のゲート領域74が形成されており、ゲート領域74はゲート電極75に接続されており、ソース領域73はソース電極76に接続されており、基板領域71はドレイン電極78に接続されている。

20

#### 【0244】

更に、図42においては、ドリフト領域72の表層部に接するように、例えばシリコン酸化膜からなるフィールド絶縁膜31が形成されている。フィールド絶縁膜31は、スイッチング素子600を半導体チップとして製造する際に、例えばチップ外周部のヘテロ接合部における電界集中を緩和するために用いられる構造である。本発明の第5の実施の形態においては、図42に一例としてフィールド絶縁膜31の端部の形状として直角の場合を示しているが、端部が鋭角形状になっていてももちろん良い。また、フィールド絶縁膜31が形成される外周端部の構成として、ゲート領域74の外周を囲むように、1本もしくは複数のガードリングが形成されていても良い。

30

#### 【0245】

次に図42中の左側破線の左側に形成される半導体スナバ200の部分について構成を説明する。上記スイッチング素子600の外周端部の電界緩和に用いられているフィールド絶縁膜31の所定領域上に接するように、ドリフト領域72の表層部にはドリフト領域72と同一導電型で、かつドリフト領域72よりも不純物密度が同等以上のn<sup>+</sup>型の容量低下防止領域1001が形成されている。また、フィールド絶縁膜31上には、例えばスイッチング素子600のや層間絶縁膜77などを形成する際に形成される絶縁膜32を介して、n型の多結晶シリコンからなる抵抗領域33が形成されている。なお、本発明の第5の実施の形態においては絶縁膜32が形成された場合について例示しているが、絶縁膜32を介さずフィールド絶縁膜31上に抵抗領域33が形成されていてももちろん良い。

40

#### 【0246】

更に抵抗領域33の表層部には、抵抗領域33と同一導電型で、かつ抵抗領域33よりも不純物密度が同等以上のn<sup>+</sup>型の容量低下防止領域1005が形成されている。また、容量低下防止領域1005上には、ソース電極76が形成され、スイッチング素子600のエミッタ端子302と同電位となっている。つまり、本発明の第5の実施の形態における半導体スナバ200は、ドリフト領域72と抵抗領域33は抵抗Rとして機能し、フィールド絶縁膜31及び絶縁膜32はキャパシタCとして機能する。抵抗領域33は必要な抵抗値の大きさに応じて、不純物濃度や厚みを変えることができる。このとき、第1の実

50

施の形態でも示したように、容量低下防止領域 1001 及び 1005 のいずれかの厚みや面積を変えることで容易に調整することが可能である。

【0247】

図 42 の動作についても、第 3 の実施の形態で説明した固有の効果に加えて、容量低下防止領域 1001 をスイッチング素子 600 のソース領域 73 と共用して形成が可能であり、同時に形成することができる。このように、本発明の第 5 の実施の形態においても、1 チップ化した際の効果を実現することができ、製造工程を更に簡略化し、低コストで実現することができる。

【0248】

図 43 は図 40 のスイッチング素子 600 として IGBT を用いる代わりに、図 29 で示したヘテロ接合部を絶縁ゲート電極で駆動するトランジスタを用いた場合を示している。

10

【0249】

例えば炭化珪素のポリタイプが 4H タイプの  $n^+$  型である基板領域 61 上に  $n^-$  型のドリフト領域 62 が形成され、ドリフト領域 62 の基板領域 61 との接合面に対向する主面に接するように、例えば  $n$  型の多結晶シリコンからなるヘテロ半導体領域 63 が形成されている。そして、ヘテロ半導体領域 63 とドリフト領域 62 との接合面に共に接するように、例えばシリコン酸化膜から成るゲート絶縁膜 64 が形成されている。また、ゲート絶縁膜 64 上にはゲート電極 65 が、ヘテロ半導体領域 63 のドリフト領域 62 との接合面に対向する対面にはソース電極 66 が、基板領域 1 にはドレイン電極 68 が接続するように形成されている。

20

【0250】

更に、図 43 においては、ドリフト領域 62 の表層部に接するように、例えばシリコン酸化膜からなるフィールド絶縁膜 31 が形成されている。フィールド絶縁膜 31 は、スイッチング素子 600 を半導体チップとして製造する際に、例えばチップ外周部の電界集中を緩和するために用いられる構造である。本発明の第 5 の実施の形態においては、図 43 に一例としてフィールド絶縁膜 31 の端部の形状として、上部電極と接する部分が直角の場合を示しているが、端部が鋭角形状になっていてももちろん良い。また、フィールド絶縁膜 31 が形成される外周端部の構成として、ウェル領域等を形成したり、その外周を囲むように、1 本もしくは複数のガードリングが形成されていても良い。

30

【0251】

次に図 43 中の左側破線の左側に形成される半導体スナバ 200 の部分について構成を説明する。上記スイッチング素子 600 の外周端部の電界緩和に用いられているフィールド絶縁膜 31 の所定領域に接するように、ドリフト領域 62 の表層部にはドリフト領域 62 と同一導電型で、かつドリフト領域 62 よりも不純物密度が同等以上の  $n^+$  型の容量低下防止領域 1001 が形成されている。また、フィールド絶縁膜 31 上に、 $n$  型の多結晶シリコンからなる抵抗領域 33 が形成されている。更に抵抗領域 33 の表層部には、抵抗領域 33 と同一導電型で、かつ抵抗領域 33 よりも不純物密度が同等以上の  $n^+$  型の容量低下防止領域 1005 が形成されている。また、容量低下防止領域 1005 上には、ソース電極 66 が形成され、スイッチング素子 600 のソース端子 302 と同電位となっている。つまり、本発明の第 5 の実施の形態における半導体スナバ 200 は、ドリフト領域 62 と抵抗領域 33 は抵抗  $R$  として機能し、フィールド絶縁膜 31 はキャパシタ  $C$  として機能する。抵抗領域 33 は必要な抵抗値の大きさに応じて、不純物濃度や厚みを変えることができる。このとき、第 1 の実施の形態でも示したように、容量低下防止領域 1001 及び 1005 のいずれかの厚みや面積を変えることで容易に調整することが可能である。

40

【0252】

図 43 の動作については、第 3 の実施の形態で説明した固有の効果と、本発明の第 5 の実施の形態で説明した 1 チップ化した際の効果を実現することができる。更に、図 43 の特徴としては、抵抗領域 33 をスイッチング素子 600 のヘテロ半導体領域 63 と同一材料で形成している点にある。また、図 40、図 34 のスイッチング素子 600 の場合と同

50

じように、抵抗領域 33 をスイッチング素子 600 のゲート電極 65 と同一材料でも形成できる。

【0253】

更に、第3の実施の形態で説明したように、本発明の第5の実施の形態においては、スイッチング素子 600 をユニポーラ型の還流ダイオードとしても使用ができるため、例えば、還流ダイオード 100 についても図 43 で示した半導体装置で共用することができる。すなわち、本発明の第5の実施の形態においては、還流ダイオード 100 を別チップで形成する以外にも、還流ダイオード 100 とスイッチング素子 600 と半導体スナバ 200 とを 1 チップ化して、半導体パッケージを小型化することができる。このことにより、配線等に生じる寄生インダクタンスを更に低減することができるため、半導体スナバ 200 による振動現象を更に低減することができる。また、配線長がより短くなることは、振動電流により配線から発する放射ノイズを更に低減させる効果もある。また、チップサイズの低減によってコストが低減されると共に、還流ダイオード 100 とスイッチング素子 600 とのキャパシタ容量の和が小さくなるため、半導体スナバ 200 に必要なキャパシタ容量  $C$  も小さくすることができる。つまり、小型で低コストで振動現象を抑制することができる。

10

【0254】

以上、スイッチング素子 600 と半導体スナバ 200 とを 1 チップ化する一例を説明してきたが、1 チップ化する際に、半導体スナバ 200 の抵抗成分としては、例えば多結晶シリコンからなる抵抗領域 33 以外にも、半導体基体中の基板領域やドリフト領域を用いてもよい。また、半導体スナバ 200 のキャパシタ容量成分としても、例えばシリコン酸化膜からなるフィールド絶縁膜 31 以外にも、pn 接合やヘテロ接合などの逆バイアス時に空乏層を形成する構成とし、空乏容量を用いても良い。また、例えばショットキーバリアダイオードを内蔵する MOSFET などのように、スイッチング素子 600 中に還流ダイオード 100 を内蔵する構成とし、半導体スナバ 200 と共に 1 チップ化してもよい。いずれの構成においても、本発明の特徴である振動現象を更に抑制し、過渡性能と導通性能をともに向上すると同時に、小型でかつ低コストで実現することができる。

20

【0255】

また、第1の実施の形態で図 21 と図 22 を用いて説明したのと同様に、スナバ回路に用いるキャパシタ容量  $C$  の大きさは、遮断状態における還流ダイオードもしくは還流ダイオードとスイッチング素子とのキャパシタ容量成分の総和  $C_0$  に対して、 $C / C_0$  が 0.1 前後から振動現象の減衰効果が顕著になり、 $C / C_0$  が 1.0 を超える辺りから振動現象の収束時間比の値が飽和傾向になる。また、スナバ回路に形成するキャパシタ容量  $C$  によって、過渡動作時にはキャパシタ容量  $C$  の大きさに比例する過渡電流による損失  $E$  が発生するため、キャパシタ容量  $C$  の大きさは極力小さいほうが望ましい。

30

【0256】

このことから、本発明の第5の実施の形態で用いるスナバ回路のキャパシタ容量  $C$  の大きさは還流ダイオード 100 及びスイッチング素子 600 の遮断状態におけるキャパシタ成分の容量の総和に比べて、1/10 倍以上 10 倍以下の範囲で容量を選択することで、損失の増加を抑えつつ、より顕著に振動現象を低減することができる。この効果は、上記実施の形態で説明したどの実施例においても得ることができる。

40

【0257】

(その他の実施の形態)

上記のように、本発明は第1～第5の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなる。

【0258】

例えば、半導体スナバ 200 は、少なくとも還流ダイオード 100 と並列接続されていれば、同一実装基板上に実装されていなくても発振現象を低減する効果を得ることができ

50



る。

【0259】

また、全ての実施の形態において、還流ダイオード100、スイッチング素子600、半導体スナバ200の材料として、シリコン材料、炭化珪素材料などを一例として説明してきたが、振動現象の低減効果が得られれば、基板材料はシリコンゲルマン、窒化ガリウム、ダイヤモンドなどその他の半導体材料でもかまわない。また、炭化珪素のポリタイプとして4Hタイプを用いて説明したが、6H、3C等その他のポリタイプでも構わない。また、スイッチング素子600及び還流ダイオード100のドリフト領域としてn型の場合で説明してきたが、p型で構成されていてももちろん良い。

【0260】

また、本発明の第1の実施の形態に係る半導体装置を適用可能な電力変換装置として、DC/DCコンバータや3相交流インバータなどを一例として説明してきたが、図26に示すような一般にHブリッジなどと呼ばれる電力変換装置に用いても良い。いずれにしても、直流電圧を交流電圧に変換するインバータや、交流電圧を直流電圧に変換する整流器や、直流電圧を電圧を変えて出力するDC/DCコンバータなどのように、あらゆるタイプの電力変換装置に適用することができる。そして、本発明の構成を用いる電力変換装置であれば、大電流領域及びゼロ電領域のいずれの領域においても、更には、低温及び高温時のいずれにおいても、振動現象を低減することができる。このため、導通損失及び過渡損失を低減し高密度化ができると共に、振動現象が低減し安定的に動作させることができるので、装置の基本性能を両立して向上させることができる。

【0261】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【符号の説明】

【0262】

- A, B1, B2, B3, B4, B5, B6...受動素子
- D, E1, E2, E3, E4, E5, E6...スイッチング素子
- 1, 11, 21, 41, 51, 61, 71, 81...基板領域
- 2, 13, 23, 42, 52, 62, 72, 82...ドリフト領域
- 3, 13, 28, 44, 84...上部電極
- 4, 14, 45, 85...下部電極
- 5, 31, 46...フィールド絶縁膜(フィールド酸化膜)
- 6, 17, 33, 47...抵抗領域
- 7...電界緩和領域
- 8, 88...低濃度ドリフト領域
- 12...キャパシタ誘電体膜
- 16...低抵抗基板領域
- 22...バッファ領域
- 24, 53...ウェル領域
- 25...エミッタ領域
- 26, 55, 64...ゲート絶縁膜
- 27, 56, 65, 75...ゲート電極
- 28...エミッタ電極
- 29, 58, 67, 77...層間絶縁膜
- 30...コレクタ電極
- 32...絶縁膜
- 43, 63...ヘテロ半導体領域
- 54, 73...ソース領域
- 57, 66, 76...ソース電極

10

20

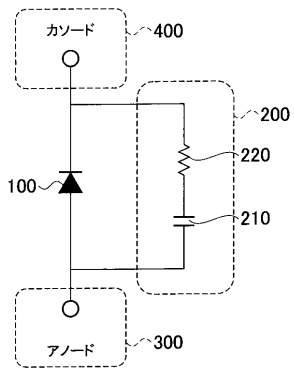
30

40

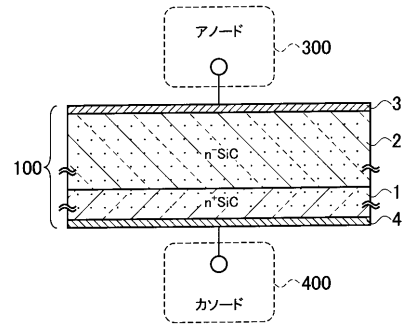
50

5 9 , 6 8 , 7 8 ...	ドレイン電極	
7 4 ...	ゲート領域	
8 3 ...	反対導電型領域	
1 0 0 ...	還流ダイオード	
2 0 0 ...	半導体スナバ (半導体回路)	
2 1 0 ...	キャパシタ	
2 1 0 , 2 2 0 ...	抵抗	
2 3 0 ...	ダイオード	
3 0 0 , 3 4 0 ...	アノード端子	
3 0 1 ...	エミッタ端子	10
3 0 2 ...	アノード端子 (エミッタ端子)	
3 0 2 ...	ソース端子	
3 1 0 ...	アノード側金属膜	
3 2 0 , 3 3 0 , 3 5 0 ...	金属配線	
4 0 0 , 4 0 2 ...	カソード端子	
4 0 1 ...	コレクタ端子	
4 0 2 ...	ドレイン端子	
4 1 0 ...	カソード側金属膜	
4 2 0 ...	金属基材	
5 0 0 ...	絶縁基板	20
5 1 0 ...	モールド樹脂	
6 0 0 ...	スイッチング素子	
7 0 0 ...	ゲート側金属膜	
7 1 0 ...	金属配線	
8 0 0 ...	スイッチング素子 (半導体スナバ内蔵還流ダイオード)	
9 0 0 ...	半導体スナバ内蔵スイッチング素子	
1 0 0 1 , 1 0 0 2 , 1 0 0 3 , 1 0 0 4 , 1 0 0 5 , 1 0 0 6 ...	容量低下防止領域	

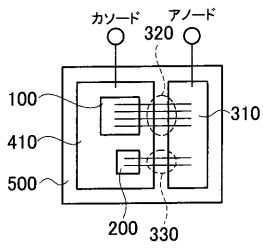
【 図 1 】



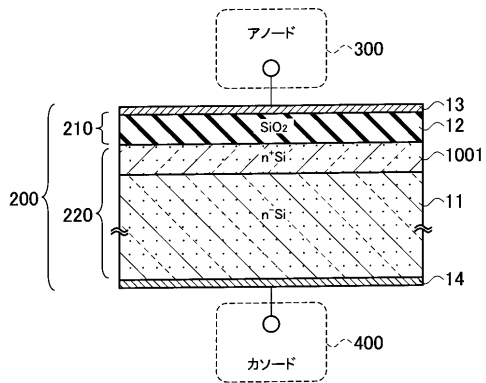
【 図 3 】



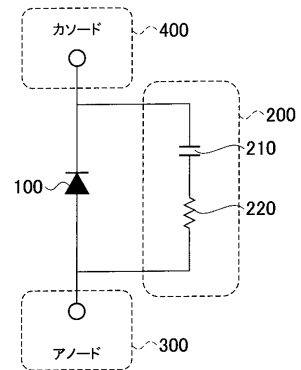
【 図 2 】



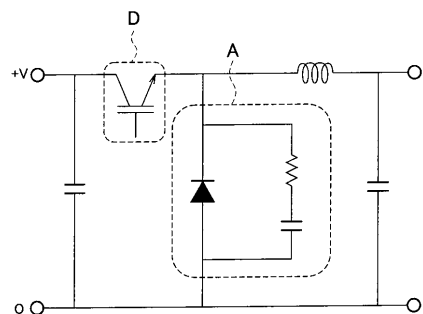
【 図 4 】



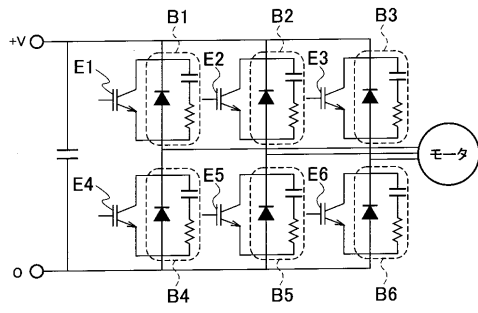
【 図 5 】



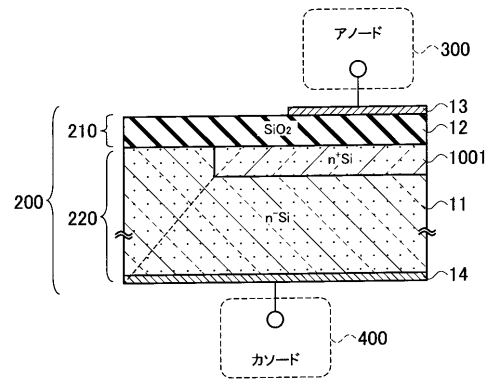
【 図 6 】



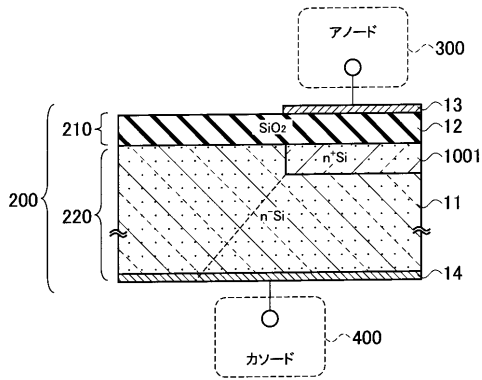
【 図 7 】



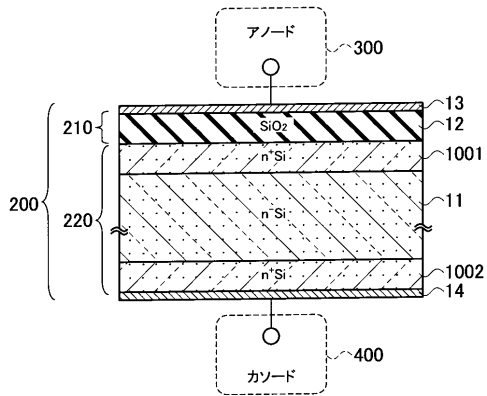
【 図 9 】



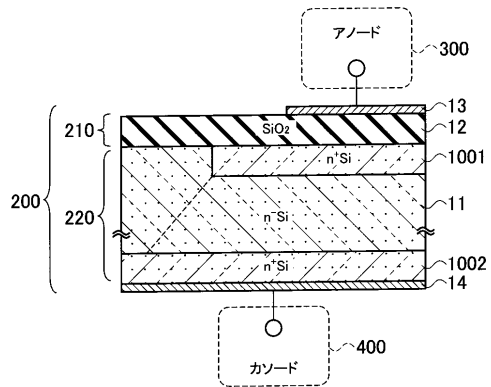
【 図 8 】



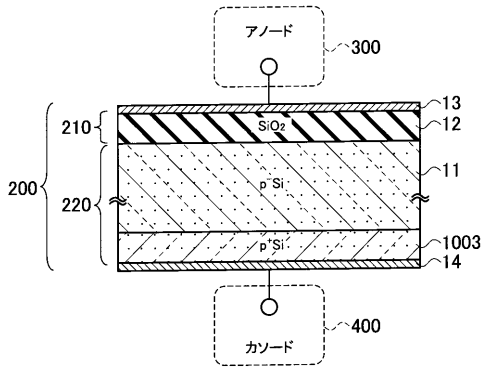
【 図 10 】



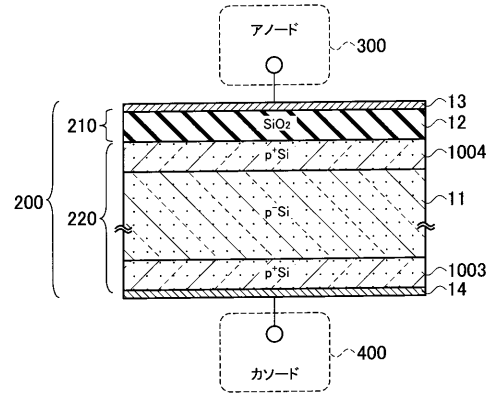
【 図 11 】



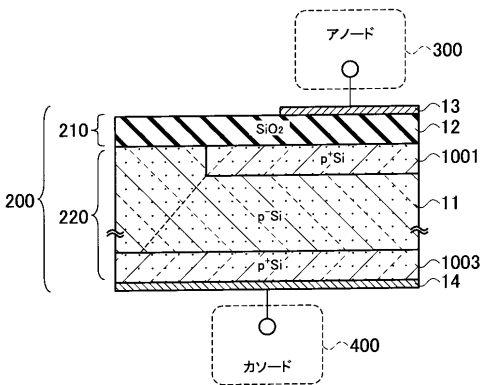
【図 1 2】



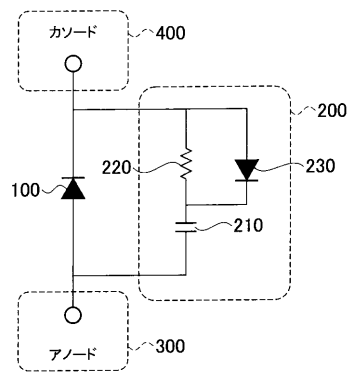
【図 1 3】



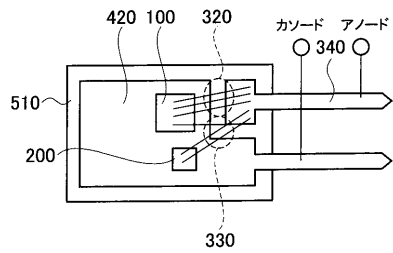
【図 1 4】



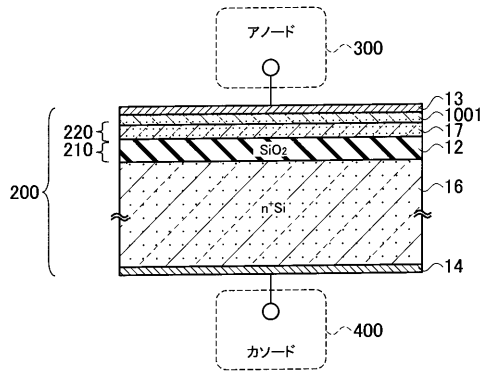
【図 1 5】



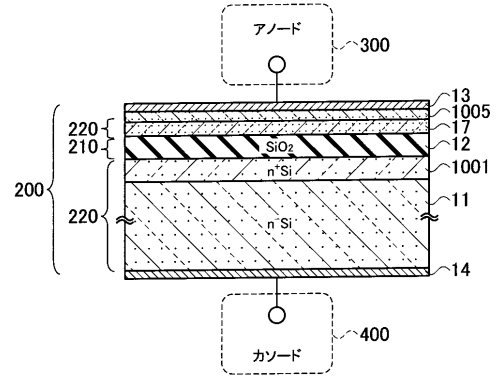
【図 1 6】



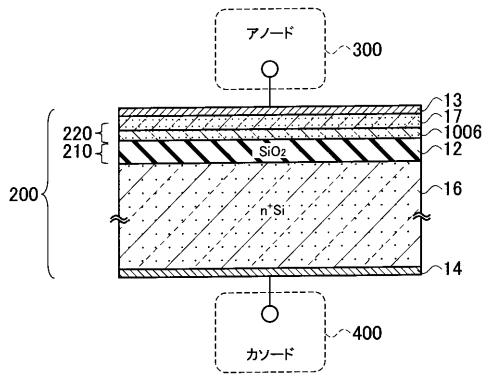
【図 17】



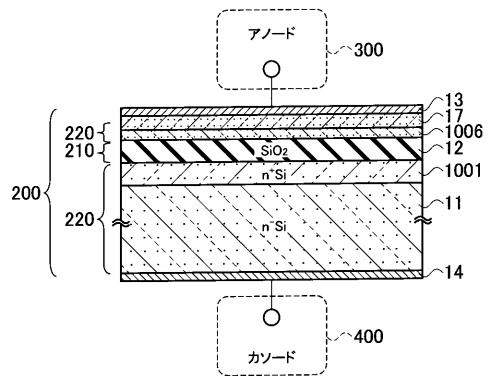
【図 18】



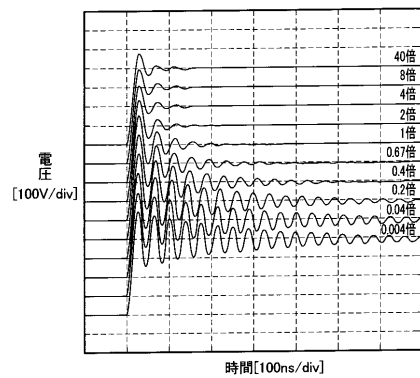
【図 19】



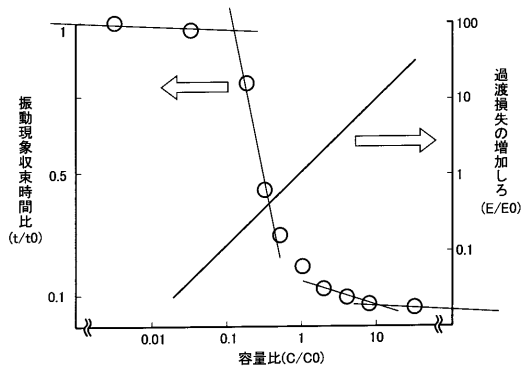
【図 20】



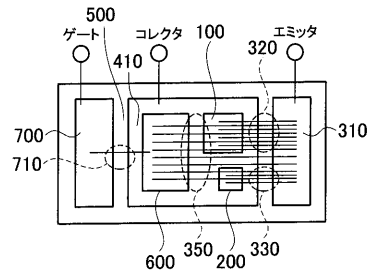
【図 21】



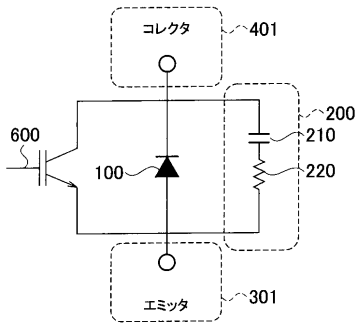
【図 2 2】



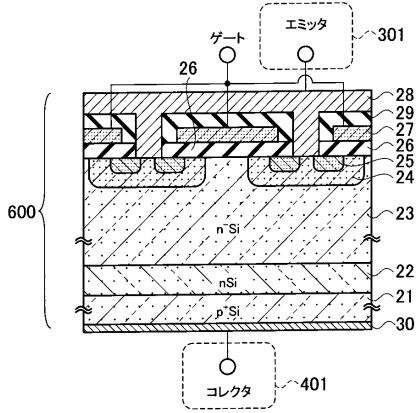
【図 2 4】



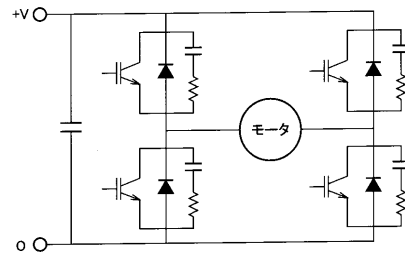
【図 2 3】



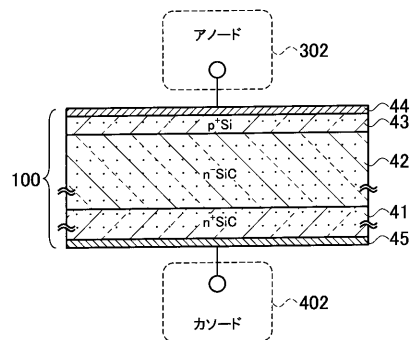
【図 2 5】



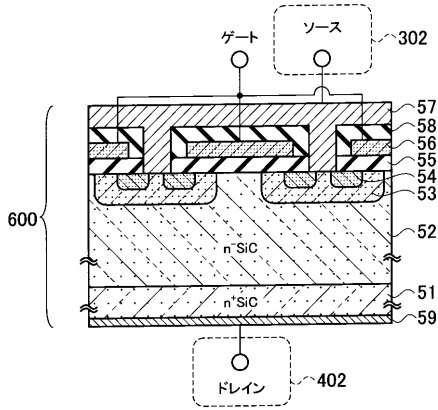
【図 2 6】



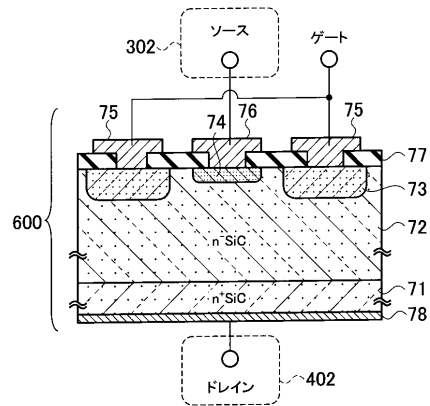
【図 2 7】



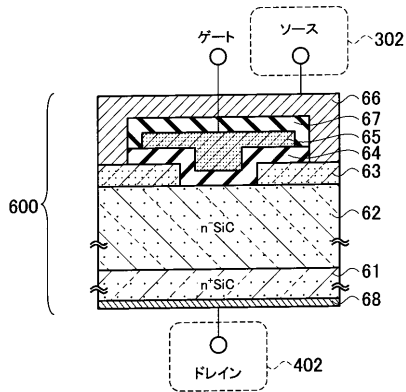
【図28】



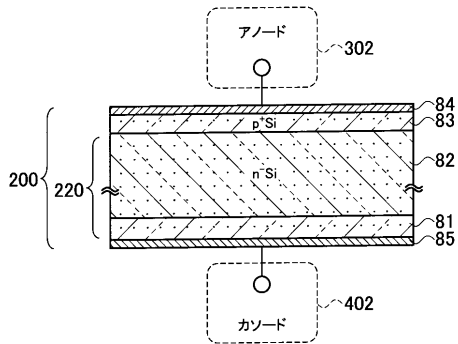
【図30】



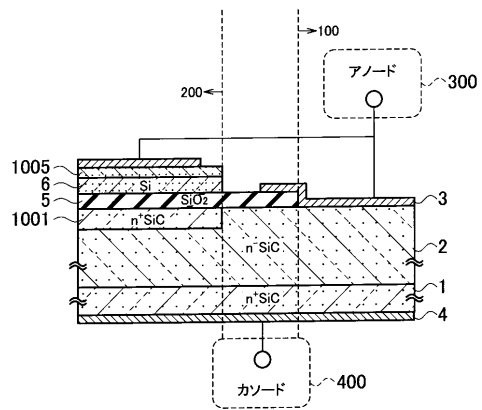
【図29】



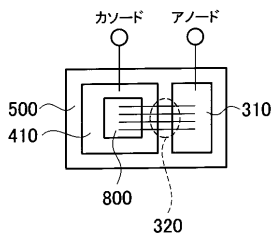
【図31】



【図33】

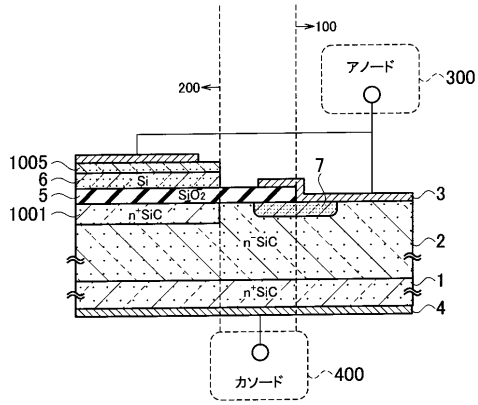


【図32】

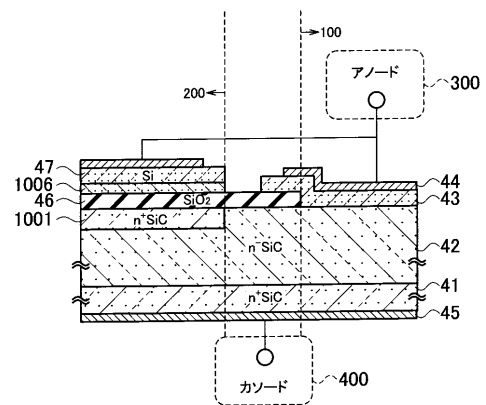




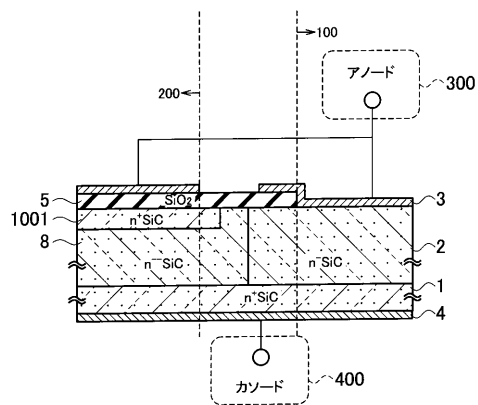
【図34】



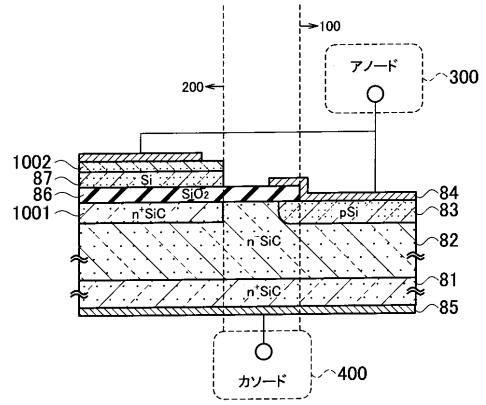
【図35】



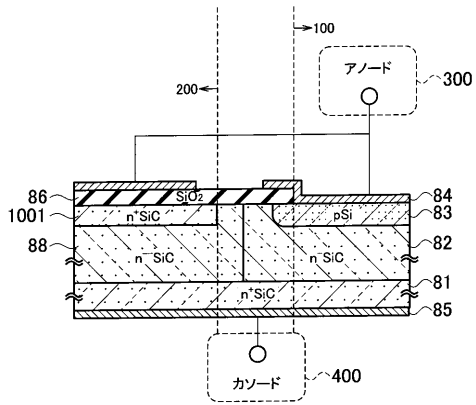
【図36】



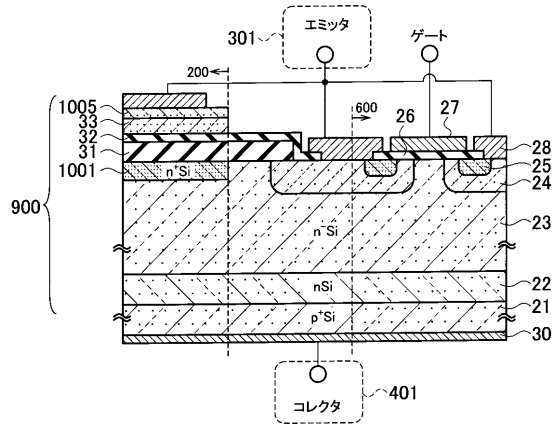
【図37】



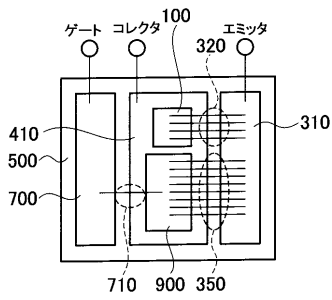
【図38】



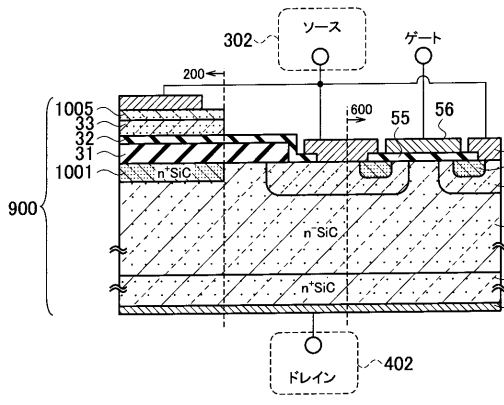
【図40】



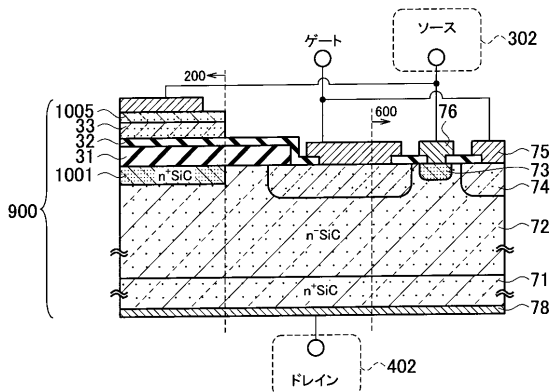
【図39】



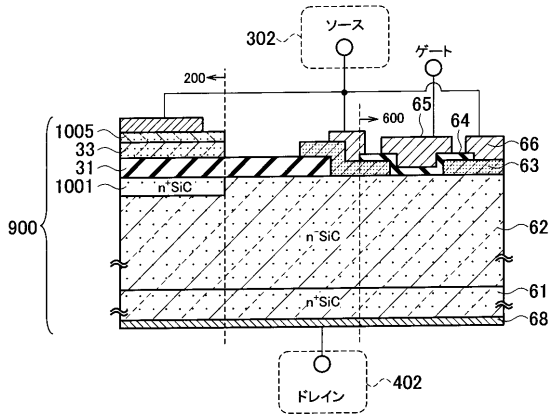
【図41】



【図42】



【 図 4 3 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/47 (2006.01)	H 0 1 L 29/80	C
H 0 1 L 29/872 (2006.01)	H 0 1 L 29/80	V
H 0 1 L 21/337 (2006.01)	H 0 1 L 27/04	R
H 0 1 L 29/808 (2006.01)	H 0 2 M 1/34	
H 0 1 L 29/80 (2006.01)	H 0 1 L 27/04	C
H 0 2 M 1/34 (2007.01)	H 0 1 L 29/80	P
H 0 1 L 21/338 (2006.01)	H 0 1 L 29/78	6 5 7 Z
H 0 1 L 29/812 (2006.01)	H 0 1 L 29/91	F
H 0 1 L 29/861 (2006.01)	H 0 1 L 29/91	H
H 0 1 L 21/8234 (2006.01)	H 0 1 L 27/08	1 0 2 E
H 0 1 L 27/088 (2006.01)	H 0 1 L 27/06	1 0 2 A
H 0 1 L 27/06 (2006.01)		

- (72)発明者 林 哲也  
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
- (72)発明者 星 正勝  
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
- (72)発明者 田中 秀明  
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
- (72)発明者 山上 滋春  
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
- (72)発明者 鈴木 達広  
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

Fターム(参考) 4M104 AA03 BB05 BB06 BB09 BB14 BB16 BB21 FF13 FF35 GG03  
GG09 GG10 GG14 GG15  
5F038 AC03 AC05 AC15 AC16 AR14 AV04 BH04 DF01 DF17 EZ01  
EZ20  
5F048 AC06 AC08 AC10 BA07 BA14 BC03 BC12 BD07 BF15 BF16  
CB07  
5F102 FA00 GA14 GA16 GA17 GB04 GC08 GJ02  
5H740 AA04 AA06 BA00 BA11 BB05 BB09 BB10 BC01 BC02 KK01  
MM03