

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4653764号
(P4653764)

(45) 発行日 平成23年3月16日(2011.3.16)

(24) 登録日 平成22年12月24日(2010.12.24)

(51) Int.Cl.	F I		
GO6F 17/50 (2006.01)	GO6F 17/50	658V	
HO1L 21/82 (2006.01)	GO6F 17/50	666V	
	GO6F 17/50	662G	
	HO1L 21/82	T	
	GO6F 17/50	666Z	

請求項の数 40 (全 33 頁)

(21) 出願番号	特願2007-45122 (P2007-45122)	(73) 特許権者	500174247
(22) 出願日	平成19年2月26日(2007.2.26)		エルピーダメモリ株式会社
(65) 公開番号	特開2007-265398 (P2007-265398A)		東京都中央区八重洲2-2-1
(43) 公開日	平成19年10月11日(2007.10.11)	(73) 特許権者	000005108
審査請求日	平成20年6月12日(2008.6.12)		株式会社日立製作所
(31) 優先権主張番号	特願2006-52360 (P2006-52360)		東京都千代田区丸の内一丁目6番6号
(32) 優先日	平成18年2月28日(2006.2.28)	(74) 代理人	100106909
(33) 優先権主張国	日本国(JP)		弁理士 棚井 澄雄
		(74) 代理人	100108578
			弁理士 高橋 詔男
特許法第30条第1項適用	2005年9月8日に行われた電子情報通信学会 電子部品・材料研究会(CPM)及び集積回路研究会(ICD)の共催による研究会	(74) 代理人	100138759
			弁理士 大房 直樹
		(74) 代理人	100140774
			弁理士 大浪 一徳

最終頁に続く

(54) 【発明の名称】 半導体装置の設計方法、設計支援システム及びプログラム

(57) 【特許請求の範囲】

【請求項1】

演算部及び記憶部を備えたコンピュータシステムにおいて前記記憶部に格納されたプログラムを前記演算部に実行させることにより前記コンピュータシステムを設計支援システムとして機能させる、半導体チップを含む半導体パッケージの設計方法であって、

前記演算部が、互いに異なる第1チップモデル及び第2チップモデルと調整対象系インピーダンスモデルに基づいて第1電源/GND電圧変動スペクトラム及び第2電源/GND電圧変動スペクトラムを算出する算出ステップであって、前記第1チップモデル及び前記第2チップモデルは、前記半導体チップの出力値がローレベルからハイレベルに遷移する第1遷移ケースとハイレベルからローレベルに遷移する第2遷移ケースとの2つの遷移ケースのそれぞれに対応させて前記半導体チップを周波数領域にて表現するようにして作成されたモデルであり、前記調整対象系インピーダンスモデルは、前記半導体パッケージにおける前記半導体チップ以外の構成要素のうちの調整対象構成要素からなる調整対象系を周波数領域にて表現するようにして作成されたモデルであり、前記第1電源/GND電圧変動スペクトラム及び前記第2電源/GND電圧変動スペクトラムは、前記第1遷移ケースと前記第2遷移ケースとのそれぞれにおける電源/GND電圧変動スペクトラムである、算出ステップと、

前記演算部が、前記第1電源/GND電圧変動スペクトラムと前記第2電源/GND電圧変動スペクトラムのいずれか一方を選択する選択ステップと、

前記演算部が、周波数領域において予め定められた制約値と前記第1電源/GND電圧

変動スペクトラム及び前記第2電源/GND電圧変動スペクトラムのうちの選択された電源/GND電圧変動スペクトラムとを比較して、当該比較結果に基づき前記調整対象系に対する設計指針を決定する設計指針決定ステップとを備える設計方法。

【請求項2】

前記演算部が、前記第1遷移ケースを想定して設定された制約値である第1制約値と前記第2遷移ケースを想定して設定された制約値である第2制約値のうち、前記選択ステップにより選択された電源/GND電圧変動スペクトラムに対応する遷移ケースに関する制約値を、前記設計指針決定ステップにおいて前記比較に用いる前記予め定められた制約値として選択する、制約値選択ステップを更に備える、

10

請求項1記載の設計方法。

【請求項3】

前記演算部が、前記半導体チップに関する半導体チップ情報に基づいて、前記第1チップモデル及び前記第2チップモデルを作成するチップモデル作成ステップと、前記調整対象系に関する調整対象系情報に基づいて、前記調整対象系インピーダンスモデルを作成する、インピーダンスモデル作成ステップとを更に備えており、

前記算出ステップにおいて、前記演算部は、前記第1チップモデルを前記調整対象系インピーダンスモデルに接続して前記第1電源/GND電圧変動スペクトラムを算出すると共に前記第2チップモデルを前記調整対象系インピーダンスモデルに接続して前記第2電源/GND電圧変動スペクトラムを算出する、

20

請求項1乃至請求項2のいずれかに記載の設計方法。

【請求項4】

前記半導体チップは、電源パッド及びグランドパッド、該電源パッド及び該グランドパッド間に接続されたpMOS回路及びnMOS回路からなる出力部、該pMOS回路及びnMOS回路との接続部から引き出された出力パッド、並びに前記電源パッド及び前記グランドパッド間に前記出力部と並列に挿入された内部インピーダンスで表現される内部構成部を備えているものであり、

前記チップモデル作成ステップにおいて前記演算部が実行する処理は、

前記pMOS回路及び前記nMOS回路をそれぞれインピーダンス表現してなるpMOS回路インピーダンス及びnMOS回路インピーダンスを直列に接続してなる出力部インピーダンスと前記内部インピーダンスとを前記電源パッド及び前記グランドパッド間において並列に接続し、且つ、前記第1遷移ケースにおける変動電流値を考慮した電流源である第1電流源を当該第1遷移ケースに対応した前記pMOS回路インピーダンスに並列に接続することにより、前記第1チップモデルを作成する第1チップモデル作成ステップと、

30

前記pMOS回路及び前記nMOS回路をそれぞれインピーダンス表現してなるpMOS回路インピーダンス及びnMOS回路インピーダンスを直列に接続してなる出力部インピーダンスと前記内部インピーダンスとを前記電源パッド及び前記グランドパッド間において並列に接続し、且つ、前記第2遷移ケースにおける変動電流値を考慮した電流源である第2電流源を当該第2遷移ケースに対応した前記nMOS回路インピーダンスに並列に接続することにより、前記第2チップモデルを作成する第2チップモデル作成ステップとを備えている、請求項3記載の設計方法。

40

【請求項5】

電源電圧変動用のモデルを作成する場合において、

前記第1チップモデル作成ステップにおいて、前記演算部は、オン状態の前記pMOS回路に対応する前記pMOS回路インピーダンスを用いると共にオフ状態の前記nMOS回路に対応する前記nMOS回路インピーダンスを用いて、前記第1チップモデルを作成し、

前記第2チップモデル作成ステップにおいて、前記演算部は、いずれもオン状態の前記pMOS回路及び前記nMOS回路に対応する前記pMOS回路インピーダンス及び前記

50

n M O S回路インピーダンスを用いて、前記第2チップモデルを作成する、
請求項4記載の設計方法。

【請求項6】

前記オン状態のp M O S回路インピーダンスは、前記電源パッドと前記出力パッドとの間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オフ状態のn M O S回路インピーダンスは、前記出力パッドと前記グランドパッドとの間にキャパシタ及び抵抗が直列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オン状態のn M O S回路インピーダンスは、前記出力パッドと前記グランドパッドとの間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものである

請求項5記載の設計方法。

【請求項7】

前記第1チップモデル作成ステップは、前記演算部が、前記出力パッドと前記グランドパッドとの間に所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオフ状態の前記n M O S回路に対応する前記n M O S回路インピーダンスよりも遥かに小さいと仮定して、前記第1遷移ケースにおいて前記電源パッドを流れる電流のほとんどが、オン状態の前記p M O S回路に対応する前記p M O S回路インピーダンスと前記所定の外部負荷モデルに流れるものとし、前記第1電流源を算出するものであり、

前記第2チップモデル作成ステップは、前記演算部が、前記出力パッドと前記グランドパッドとの間に前記所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオン状態の前記n M O S回路に対応する前記n M O S回路インピーダンスよりも遥かに大きいと仮定して、前記第2遷移ケースにおいて前記電源パッドを流れる電流のほとんどが、オン状態の前記p M O S回路に対応する前記p M O S回路インピーダンスとオン状態の前記n M O S回路に対応する前記n M O S回路インピーダンスに流れるものとし、前記第2電流源を算出するものである、

請求項5又は請求項6記載の設計方法。

【請求項8】

G N D電圧変動用のモデルを作成する場合において、

前記第1チップモデル作成ステップにおいて、前記演算部は、いずれもオン状態の前記p M O S回路及び前記n M O S回路に対応する前記p M O S回路インピーダンス及び前記n M O S回路インピーダンスを用いて、前記第1チップモデルを作成し、

前記第2チップモデル作成ステップにおいて、前記演算部は、オフ状態の前記p M O S回路に対応する前記p M O S回路インピーダンスを用いると共にオン状態の前記n M O S回路に対応する前記n M O S回路インピーダンスを用いて、前記第2チップモデルを作成する、

請求項4乃至請求項7のいずれかに記載の設計方法。

【請求項9】

前記オン状態のp M O S回路インピーダンスは、前記電源パッドと前記出力パッドとの間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オフ状態のp M O S回路インピーダンスは、前記電源パッドと前記出力パッドとの間にキャパシタ及び抵抗が直列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オン状態のn M O S回路インピーダンスは、前記出力パッドと前記グランドパッドとの間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものである

請求項8記載の設計方法。

【請求項10】

10

20

30

40

50

前記第1チップモデル作成ステップは、前記演算部が、前記出力パッドと前記グランドパッドとの間に所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオン状態の前記nMOS回路に対応する前記nMOS回路インピーダンスよりも遥かに大きいと仮定して、前記第1遷移ケースにおいて前記グランドパッドを流れる電流のほとんどが、オン状態の前記pMOS回路に対応する前記pMOS回路インピーダンスとオン状態の前記nMOS回路に対応する前記nMOS回路インピーダンスに流れるものとし、前記第1電流源を算出するものであり、

前記第2チップモデル作成ステップは、前記演算部が、前記出力パッドと前記グランドパッドとの間に前記所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオフ状態の前記pMOS回路に対応する前記pMOS回路インピーダンスよりも遥かに小さいと仮定して、前記第2遷移ケースにおいて前記グランドパッドを流れる電流のほとんどが、オン状態の前記nMOS回路に対応する前記nMOS回路インピーダンスと前記所定の外部負荷モデルを流れるものとし、前記第2電流源を算出するものである、

請求項8又は請求項9記載の設計方法。

【請求項11】

前記算出ステップにおいて、前記演算部は、前記調整対象系インピーダンスモデルと前記第1チップモデルを接続して、閉路回路方程式を解くことにより、前記第1電源/GND電圧変動スペクトラムを算出する一方、前記調整対象系インピーダンスモデルと前記第2チップモデルを接続して、閉路回路方程式を解くことにより、前記第2電源/GND電圧変動スペクトラムを算出する、

請求項1乃至請求項10のいずれかに記載の設計方法。

【請求項12】

前記調整対象系は、前記半導体パッケージが搭載されるプリント配線基板上における電氣的構成要素をも含むものであり、

前記調整対象系インピーダンスモデルは、当該調整対象系を前提として作成されたものである、

請求項1乃至請求項11のいずれかに記載の設計方法。

【請求項13】

前記設計指針決定ステップにおいて、前記演算部は、前記選択された電源/GND電圧変動スペクトラムが前記制約値を超えてしまうような周波数部分に対応する前記調整対象系の部位を調整対象箇所として前記設計指針を決定する、

請求項1乃至請求項12のいずれかに記載の設計方法。

【請求項14】

半導体チップを含む半導体パッケージの設計支援システムであって、

互いに異なる第1チップモデル及び第2チップモデルを提供するチップモデル提供部であって、前記第1チップモデル及び前記第2チップモデルは、前記半導体チップの出力値がローレベルからハイレベルに遷移する第1遷移ケースとハイレベルからローレベルに遷移する第2遷移ケースとの2つの遷移ケースのそれぞれに対応させて前記半導体チップを周波数領域にて表現するようにして作成されたモデルである、チップモデル提供部と、

前記半導体パッケージにおける前記半導体チップ以外の構成要素のうちの調整対象構成要素からなる調整対象系を周波数領域にて表現してなる調整対象系インピーダンスモデルを提供するインピーダンスモデル提供部と、

前記第1チップモデル及び前記第2チップモデルのそれぞれを前記調整対象系インピーダンスモデルと接続して前記第1遷移ケースと前記第2遷移ケースとのそれぞれにおける電源/GND電圧変動スペクトラムである第1電源/GND電圧変動スペクトラム及び第2電源/GND電圧変動スペクトラムを算出する算出部と、

前記第1電源/GND電圧変動スペクトラムと前記第2電源/GND電圧変動スペクトラムのいずれか一方を選択する選択部と、

周波数領域において予め定められた制約値を提供する制約値提供部と、

10

20

30

40

50

該制約値と前記第 1 電源 / GND 電圧変動スペクトラム及び前記第 2 電源 / GND 電圧変動スペクトラムのうちの選択された電源 / GND 電圧変動スペクトラムとを比較して、当該比較結果に基づき前記調整対象系に対する設計支援情報を決定する設計支援情報決定部と、

前記設計支援情報を表示する表示部と
を備える設計支援システム。

【請求項 15】

前記選択部は、前記第 1 電源 / GND 電圧変動スペクトラムと前記第 2 電源 / GND 電圧変動スペクトラムのいずれを選択したかを示す情報を前記制約値提供部に対して電源 / GND 電圧変動スペクトラム選択情報として出力するものであり、

10

前記制約値提供部は、

前記第 1 遷移ケースを想定して設定された制約値である第 1 制約値と前記第 2 遷移ケースを想定して設定された制約値である第 2 制約値を少なくとも保持する制約値保持部と、

前記電源 / GND 電圧変動スペクトラム選択情報に従って、前記選択された電源 / GND 電圧変動スペクトラムに対応する遷移ケースに関する前記第 1 制約値又は前記第 2 制約値のいずれか一方を、前記設計指針決定部において前記比較に用いられる前記予め定められた制約値として選択する制約値選択部とを

備える、請求項 14 記載の設計支援システム。

【請求項 16】

前記半導体チップは、電源パッド及びグランドパッド、該電源パッド及び該グランドパッド間に接続された pMOS 回路及び nMOS 回路からなる出力部、該 pMOS 回路及び nMOS 回路との接続部から引き出された出力パッド、並びに前記電源パッド及び前記グランドパッド間に前記出力部と並列に挿入された内部インピーダンスで表現される内部構成部を備えているものであり、

20

前記チップモデル提供部は、

前記 pMOS 回路及び前記 nMOS 回路をそれぞれインピーダンス表現してなる pMOS 回路インピーダンス及び nMOS 回路インピーダンスを直列に接続してなる出力部インピーダンスと前記内部インピーダンスとを前記電源パッド及び前記グランドパッド間において並列に接続し、且つ、前記第 1 遷移ケースにおける変動電流値を考慮した電流源である第 1 電流源を当該第 1 遷移ケースに対応した前記 pMOS 回路インピーダンスに並列に

30

接続することにより、前記第 1 チップモデルを作成する第 1 チップモデル作成部と、
前記 pMOS 回路及び前記 nMOS 回路をそれぞれインピーダンス表現してなる pMOS 回路インピーダンス及び nMOS 回路インピーダンスを直列に接続してなる出力部インピーダンスと前記内部インピーダンスとを前記電源パッド及び前記グランドパッド間において並列に接続し、且つ、前記第 2 遷移ケースにおける変動電流値を考慮した電流源である第 2 電流源を当該第 2 遷移ケースに対応した前記 nMOS 回路インピーダンスに並列に

接続することにより、前記第 2 チップモデルを作成する第 2 チップモデル作成部と

を備えている、請求項 14 乃至請求項 15 のいずれかに記載の設計支援システム。

【請求項 17】

前記第 1 チップモデル作成部は、電源電圧変動用のモデルを作成する場合において、オン状態の前記 pMOS 回路に対応する前記 pMOS 回路インピーダンスを用いると共にオフ状態の前記 nMOS 回路に対応する前記 nMOS 回路インピーダンスを用いて、前記第 1 チップモデルを作成し、

40

前記第 2 チップモデル作成部は、電源電圧変動用のモデルを作成する場合において、いずれもオン状態の前記 pMOS 回路及び前記 nMOS 回路に対応する前記 pMOS 回路インピーダンス及び前記 nMOS 回路インピーダンスを用いて、前記第 2 チップモデルを作成する、

請求項 16 記載の設計支援システム。

【請求項 18】

前記オン状態の pMOS 回路インピーダンスは、前記電源パッドと前記出力パッドとの

50

間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オフ状態の n MOS 回路インピーダンスは、前記出力パッドと前記グランドパッドとの間にキャパシタ及び抵抗が直列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オン状態の n MOS 回路インピーダンスは、前記出力パッドと前記グランドパッドとの間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものである

請求項 17 記載の設計支援システム。

【請求項 19】

前記第 1 チップモデル作成部は、電源電圧変動用のモデルを作成する場合において、前記出力パッドと前記グランドパッドとの間に所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオフ状態の前記 n MOS 回路に対応する前記 n MOS 回路インピーダンスよりも遥かに小さいと仮定して、前記第 1 遷移ケースにおいて前記電源パッドを流れる電流のほとんどが、オン状態の前記 p MOS 回路に対応する前記 p MOS 回路インピーダンスと前記所定の外部負荷モデルに流れるものとし、前記第 1 電流源を算出するものであり、

前記第 2 チップモデル作成部は、電源電圧変動用のモデルを作成する場合において、前記出力パッドと前記グランドパッドとの間に前記所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオン状態の前記 n MOS 回路に対応する前記 n MOS 回路インピーダンスよりも遥かに大きいと仮定して、前記第 2 遷移ケースにおいて前記電源パッドを流れる電流のほとんどが、オン状態の前記 p MOS 回路に対応する前記 p MOS 回路インピーダンスとオン状態の前記 n MOS 回路に対応する前記 n MOS 回路インピーダンスに流れるものとし、前記第 2 電流源を算出するものである、

請求項 17 又は請求項 18 記載の設計支援システム。

【請求項 20】

前記第 1 チップモデル作成部は、GND 電圧変動用のモデルを作成する場合において、いずれもオン状態の前記 p MOS 回路及び前記 n MOS 回路に対応する前記 p MOS 回路インピーダンス及び前記 n MOS 回路インピーダンスを用いて、前記第 1 チップモデルを作成し、

前記第 2 チップモデル作成部は、GND 電圧変動用のモデルを作成する場合において、オフ状態の前記 p MOS 回路に対応する前記 p MOS 回路インピーダンスを用いると共にオン状態の前記 n MOS 回路に対応する前記 n MOS 回路インピーダンスを用いて、前記第 2 チップモデルを作成する、

請求項 16 乃至請求項 19 のいずれかに記載の設計支援システム。

【請求項 21】

前記オン状態の p MOS 回路インピーダンスは、前記電源パッドと前記出力パッドとの間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オフ状態の p MOS 回路インピーダンスは、前記電源パッドと前記出力パッドとの間にキャパシタ及び抵抗が直列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オン状態の n MOS 回路インピーダンスは、前記出力パッドと前記グランドパッドとの間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものである

請求項 20 記載の設計支援システム。

【請求項 22】

前記第 1 チップモデル作成部は、GND 電圧変動用のモデルを作成する場合において、前記出力パッドと前記グランドパッドとの間に所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオン状態の前記 n MOS 回路に対応する前記 n

10

20

30

40

50

MOS回路インピーダンスよりも遥かに大きいと仮定して、前記第1遷移ケースにおいて前記グランドパッドを流れる電流のほとんどが、オン状態の前記pMOS回路に対応する前記pMOS回路インピーダンスとオン状態の前記nMOS回路に対応する前記nMOS回路インピーダンスに流れるものとし、前記第1電流源を算出するものであり、

前記第2チップモデル作成部は、GND電圧変動用のモデルを作成する場合において、前記出力パッドと前記グランドパッドとの間に前記所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオフ状態の前記pMOS回路に対応する前記pMOS回路インピーダンスよりも遥かに小さいと仮定して、前記第2遷移ケースにおいて前記グランドパッドを流れる電流のほとんどが、オン状態の前記nMOS回路に対応する前記nMOS回路インピーダンスと前記所定の外部負荷モデルを流れるものとし、前記第2電流源を算出するものである、

10

請求項20又は請求項21記載の設計支援システム。

【請求項23】

前記算出部は、前記調整対象系インピーダンスモデルと前記第1チップモデルを接続して、閉路回路方程式を解くことにより、前記第1電源/GND電圧変動スペクトラムを算出する一方、前記調整対象系インピーダンスモデルと前記第2チップモデルを接続して、閉路回路方程式を解くことにより、前記第2電源/GND電圧変動スペクトラムを算出する、

請求項14乃至請求項22のいずれかに記載の設計支援システム。

【請求項24】

前記調整対象系は、前記半導体パッケージが搭載されるプリント配線基板上における電気的構成要素をも含むものであり、

前記調整対象系インピーダンスモデルは、当該調整対象系を前提として作成されたものである、

請求項14乃至請求項23のいずれかに記載の設計支援システム。

【請求項25】

前記設計支援情報決定部は、前記選択された電源/GND電圧変動スペクトラムが前記制約値を超えてしまうような周波数部分に対応する前記調整対象系の部位を調整対象箇所として前記設計支援情報を決定する、

請求項14乃至請求項24のいずれかに記載の設計支援システム。

【請求項26】

演算部、記憶部及び表示部を備えたコンピュータシステムにおいて前記演算部に対して所定の処理を実行させ前記コンピュータシステムを、半導体チップを含む半導体パッケージの設計支援システムとして機能させるためのプログラムであって、

前記所定の処理は、

互いに異なる第1チップモデル及び第2チップモデルと調整対象系インピーダンスモデルに基づいて第1電源/GND電圧変動スペクトラム及び第2電源/GND電圧変動スペクトラムを算出する算出ステップであって、前記第1チップモデル及び前記第2チップモデルは、前記半導体チップの出力値がローレベルからハイレベルに遷移する第1遷移ケースとハイレベルからローレベルに遷移する第2遷移ケースとの2つの遷移ケースのそれぞれに対応させて前記半導体チップを周波数領域にて表現するようにして作成されたモデルであり、前記調整対象系インピーダンスモデルは、前記半導体パッケージにおける前記半導体チップ以外の構成要素のうちの調整対象構成要素からなる調整対象系を周波数領域にて表現するようにして作成されたモデルであり、前記第1電源/GND電圧変動スペクトラム及び前記第2電源/GND電圧変動スペクトラムは、前記第1遷移ケースと前記第2遷移ケースとのそれぞれにおける電源/GND電圧変動スペクトラムである、算出ステップと、

40

前記第1電源/GND電圧変動スペクトラムと前記第2電源/GND電圧変動スペクトラムのいずれか一方を選択する選択ステップと、

周波数領域において予め定められた制約値と前記第1電源/GND電圧変動スペクトラ

50

ム及び前記第2電源/GND電圧変動スペクトラムのうちの選択された電源/GND電圧変動スペクトラムとを比較して、当該比較結果に基づき前記調整対象系に対する設計支援情報を決定する設計支援情報決定ステップと、

前記設計支援情報を前記表示部に表示する表示ステップと
を備えるプログラム。

【請求項27】

前記記憶部には、前記第1遷移ケースを想定して設定された制約値である第1制約値と前記第2遷移ケースを想定して設定された制約値である第2制約値が少なくとも保持されており、

前記所定の処理は、前記選択ステップにより選択された電源/GND電圧変動スペクトラムに対応する遷移ケースに関する前記第1制約値又は前記第2制約値のいずれか一方を、前記設計指針決定ステップにおいて前記比較に用いる前記予め定められた制約値として選択する制約値選択ステップを更に備える、

請求項26記載のプログラム。

【請求項28】

前記所定の処理は、前記半導体チップに関する半導体チップ情報に基づいて、前記第1チップモデル及び前記第2チップモデルを作成するチップモデル作成ステップと、前記調整対象系に関する調整対象系情報に基づいて、前記調整対象系インピーダンスモデルを作成するインピーダンスモデル作成ステップとを更に備えており、

前記算出ステップは、前記第1チップモデルを前記調整対象系インピーダンスモデルに接続して前記第1電源/GND電圧変動スペクトラムを算出すると共に前記第2チップモデルを前記調整対象系インピーダンスモデルに接続して前記第2電源/GND電圧変動スペクトラムを算出する、

請求項26乃至請求項27のいずれかに記載のプログラム。

【請求項29】

前記半導体チップは、電源パッド及びグランドパッド、該電源パッド及び該グランドパッド間に接続されたpMOS回路及びnMOS回路からなる出力部、該pMOS回路及びnMOS回路との接続部から引き出された出力パッド、並びに前記電源パッド及び前記グランドパッド間に前記出力部と並列に挿入された内部インピーダンスで表現される内部構成部を備えているものであり、

前記チップモデル作成ステップは、

前記pMOS回路及び前記nMOS回路をそれぞれインピーダンス表現してなるpMOS回路インピーダンス及びnMOS回路インピーダンスを直列に接続してなる出力部インピーダンスと前記内部インピーダンスとを前記電源パッド及び前記グランドパッド間において並列に接続し、且つ、前記第1遷移ケースにおける変動電流値を考慮した電流源である第1電流源を当該第1遷移ケースに対応した前記pMOS回路インピーダンスに並列に接続することにより、前記第1チップモデルを作成する第1チップモデル作成ステップと、

前記pMOS回路及び前記nMOS回路をそれぞれインピーダンス表現してなるpMOS回路インピーダンス及びnMOS回路インピーダンスを直列に接続してなる出力部インピーダンスと前記内部インピーダンスとを前記電源パッド及び前記グランドパッド間において並列に接続し、且つ、前記第2遷移ケースにおける変動電流値を考慮した電流源である第2電流源を当該第2遷移ケースに対応した前記nMOS回路インピーダンスに並列に接続することにより、前記第2チップモデルを作成する第2チップモデル作成ステップとを備えている、請求項28記載のプログラム。

【請求項30】

前記第1チップモデル作成ステップは、電源電圧変動用のモデルを作成する場合において、オン状態の前記pMOS回路に対応する前記pMOS回路インピーダンスを用いると共にオフ状態の前記nMOS回路に対応する前記nMOS回路インピーダンスを用いて、前記第1チップモデルを作成し、

10

20

30

40

50

前記第2チップモデル作成ステップは、電源電圧変動用のモデルを作成する場合において、いずれもオン状態の前記pMOS回路及び前記nMOS回路に対応する前記pMOS回路インピーダンス及び前記nMOS回路インピーダンスを用いて、前記第2チップモデルを作成する、

請求項29記載のプログラム。

【請求項31】

前記オン状態のpMOS回路インピーダンスは、前記電源パッドと前記出力パッドとの間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オフ状態のnMOS回路インピーダンスは、前記出力パッドと前記グランドパッドとの間にキャパシタ及び抵抗が直列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オン状態のnMOS回路インピーダンスは、前記出力パッドと前記グランドパッドとの間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものである

請求項30記載のプログラム。

【請求項32】

前記第1チップモデル作成ステップは、電源電圧変動用のモデルを作成する場合において、前記出力パッドと前記グランドパッドとの間に所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオフ状態の前記nMOS回路に対応する前記nMOS回路インピーダンスよりも遥かに小さいと仮定して、前記第1遷移ケースにおいて前記電源パッドを流れる電流のほとんどが、オン状態の前記pMOS回路に対応する前記pMOS回路インピーダンスと前記所定の外部負荷モデルに流れるものとし、前記第1電流源を算出するものであり、

前記第2チップモデル作成ステップは、電源電圧変動用のモデルを作成する場合において、前記出力パッドと前記グランドパッドとの間に前記所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオン状態の前記nMOS回路に対応する前記nMOS回路インピーダンスよりも遥かに大きいと仮定して、前記第2遷移ケースにおいて前記電源パッドを流れる電流のほとんどが、オン状態の前記pMOS回路に対応する前記pMOS回路インピーダンスとオン状態の前記nMOS回路に対応する前記nMOS回路インピーダンスに流れるものとし、前記第2電流源を算出するものである、

請求項30又は請求項31記載のプログラム。

【請求項33】

前記第1チップモデル作成ステップは、電源電圧変動用のモデルを作成する場合において、前記半導体チップに関するSPICEモデルを前記第1遷移ケースに関してトランジェント解析することにより得られる電流波形をフーリエ変換して、前記第1遷移ケースにおいて前記電源パッドを流れる電流のスペクトラムを算出し、

前記第2チップモデル作成ステップは、電源電圧変動用のモデルを作成する場合において、前記半導体チップに関するSPICEモデルを前記第2遷移ケースに関してトランジェント解析することにより得られる電流波形をフーリエ変換して、前記第2遷移ケースにおいて前記電源パッドを流れる電流のスペクトラムを算出する

請求項32記載のプログラム。

【請求項34】

前記第1チップモデル作成ステップは、GND電圧変動用のモデルを作成する場合において、いずれもオン状態の前記pMOS回路及び前記nMOS回路に対応する前記pMOS回路インピーダンス及び前記nMOS回路インピーダンスを用いて、前記第1チップモデルを作成し、

前記第2チップモデル作成ステップは、GND電圧変動用のモデルを作成する場合において、オフ状態の前記pMOS回路に対応する前記pMOS回路インピーダンスを用いると共にオン状態の前記nMOS回路に対応する前記nMOS回路インピーダンスを用いて

、前記第2チップモデルを作成する、

請求項29乃至請求項33のいずれかに記載のプログラム。

【請求項35】

前記オン状態のpMOS回路インピーダンスは、前記電源パッドと前記出力パッドとの間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オフ状態のpMOS回路インピーダンスは、前記電源パッドと前記出力パッドとの間にキャパシタ及び抵抗が直列に接続されてなる等価回路モデルを用いて算出されるものであり、

前記オン状態のnMOS回路インピーダンスは、前記出力パッドと前記グランドパッドとの間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルを用いて算出されるものである

請求項34記載のプログラム。

【請求項36】

前記第1チップモデル作成ステップは、GND電圧変動用のモデルを作成する場合において、前記出力パッドと前記グランドパッドとの間に所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオン状態の前記nMOS回路に対応する前記nMOS回路インピーダンスよりも遥かに大きいと仮定して、前記第1遷移ケースにおいて前記グランドパッドを流れる電流のほとんどが、オン状態の前記pMOS回路に対応する前記pMOS回路インピーダンスとオン状態の前記nMOS回路に対応する前記nMOS回路インピーダンスに流れるものとし、前記第1電流源を算出するものであり、

前記第2チップモデル作成ステップは、GND電圧変動用のモデルを作成する場合において、前記出力パッドと前記グランドパッドとの間に前記所定の外部負荷モデルを接続した上で、該所定の外部負荷モデルのインピーダンスがオフ状態の前記pMOS回路に対応する前記pMOS回路インピーダンスよりも遥かに小さいと仮定して、前記第2遷移ケースにおいて前記グランドパッドを流れる電流のほとんどが、オン状態の前記nMOS回路に対応する前記nMOS回路インピーダンスと前記所定の外部負荷モデルを流れるものとし、前記第2電流源を算出するものである、

請求項34又は請求項35記載のプログラム。

【請求項37】

前記第1チップモデル作成ステップは、GND電圧変動用のモデルを作成する場合において、前記半導体チップに関するSPICEモデルを前記第1遷移ケースに関してトランジェント解析することにより得られる電流波形をフーリエ変換して、前記第1遷移ケースにおいて前記グランドパッドを流れる電流のスペクトラムを算出し、

前記第2チップモデル作成ステップは、GND電圧変動用のモデルを作成する場合において、前記半導体チップに関するSPICEモデルを前記第2遷移ケースに関してトランジェント解析することにより得られる電流波形をフーリエ変換して、前記第2遷移ケースにおいて前記グランドパッドを流れる電流のスペクトラムを算出する

請求項36記載のプログラム。

【請求項38】

前記算出ステップは、前記調整対象系インピーダンスモデルと前記第1チップモデルを接続して、閉路回路方程式を解くことにより、前記第1電源/GND電圧変動スペクトラムを算出する一方、前記調整対象系インピーダンスモデルと前記第2チップモデルを接続して、閉路回路方程式を解くことにより、前記第2電源/GND電圧変動スペクトラムを算出する、

請求項26乃至請求項37のいずれかに記載のプログラム。

【請求項39】

前記調整対象系は、前記半導体パッケージが搭載されるプリント配線基板上における電氣的構成要素をも含むものであり、

前記調整対象系インピーダンスモデルは、当該調整対象系を前提として作成されたもの

である、

請求項 2 6 乃至請求項 3 8 のいずれかに記載のプログラム。

【請求項 4 0】

前記設計支援情報決定ステップは、前記選択された電源 / G N D 電圧変動スペクトラムが前記制約値を超えてしまうような周波数部分に対応する前記調整対象系の部位を調整対象箇所として前記設計支援情報を決定する、

請求項 2 6 乃至請求項 3 9 のいずれかに記載のプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体パッケージにおける半導体チップのパワーインテグリティを目的とした設計方法、当該設計方法に従った設計を支援する設計支援システム及びプログラムに関する。

【背景技術】

【0002】

半導体パッケージの設計や半導体パッケージを含むシステムの設計を行う場合、半導体チップの電源パッド及び / 又はグランドパッドにおける電圧変動を許容値以下としなければならず、その適否を判断するため電圧変動の解析が行われている。

【0003】

従来、かかる電圧変動の解析として、一般的には、S P I C E モデルを用いた過渡解析が行われていた。かかる過渡解析の場合、電圧変動が許容値を超えていたときには、例えばレイアウト修正などを行い、再度過渡解析を実行して電圧変動が許容値以下になったか否かを判断するといったことが繰り返し行われる（例えば、特許文献 1）。

【0004】

これに対して、最近では、時間領域ではなく周波数領域における解析を導入しようという試みも提案されている（例えば、特許文献 2）。

【0005】

【特許文献 1】特開 2 0 0 4 - 0 5 4 5 2 2 号公報

【特許文献 2】特開 2 0 0 5 - 1 9 6 4 0 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献 1 に代表されるような時間領域における解析では、レイアウト修正のたびに過渡解析を行うため、計算量が多く、設計期間の長期化を避けることができない。

【0007】

一方、特許文献 2 に提案された技術は、半導体パッケージに含まれる半導体チップ上のレイアウトを主たる対象としているものであり、既に設計されてしまった半導体チップを用いての半導体パッケージの設計に適用するのは困難である。

【0008】

そこで、本発明は、既に設計されてしまった半導体チップを用いて半導体パッケージを設計する際であっても設計期間を短縮することのできる新たな設計方法を提案すると共に、当該設計方法に従った設計を支援する設計支援システム及びプログラムを提供することを目的とする。

【課題を解決するための手段】

【0009】

既に設計されてしまった半導体チップを用いた半導体パッケージの設計において、電圧変動解析の結果を反映させるように設計変更できるのは半導体チップ以外の部分、具体的にはパッケージ配線等である。

【0010】

10

20

30

40

50

一方、DRAMチップなどに代表される半導体チップにおいて電源パッド及び/又はグランドパッドに電圧変動が発生するのは、例えば、出力段のドライバがスイッチングして半導体チップの出力が遷移する際に電源パッド及びグランドパッドに過渡電流が流れるためである。

【0011】

そこで、本発明では、半導体チップの出力が“L”から“H”に遷移する場合（L→H：「第1遷移ケース」という。）と“H”から“L”に遷移する場合（H→L：「第2遷移ケース」という。）の2つの場合のそれぞれについて半導体チップをモデル化すると共に、モデル化した半導体チップ（「チップモデル」という。）を用いて周波数領域における解析を行うことにより、少ない計算量で正確な解析結果を取得し、パッケージ配線等の調整対象系に対する設計指針又は設計変更指針を提供することとした。

10

【0012】

具体的には、本発明は、半導体チップを含む半導体パッケージの設計方法であって、互いに異なる第1チップモデル及び第2チップモデルと調整対象系インピーダンスモデルに基づいて第1調整対象値及び第2調整対象値を算出する調整対象値算出ステップであって、前記第1チップモデル及び前記第2チップモデルは、前記半導体チップの出力値がローレベルからハイレベルに遷移する第1遷移ケースとハイレベルからローレベルに遷移する第2遷移ケースとの2つの遷移ケースのそれぞれに対応させて前記半導体チップを周波数領域にて表現するようにして作成されたモデルであり、前記調整対象系インピーダンスモデルは、前記半導体パッケージにおける前記半導体チップ以外の構成要素のうちの調整対象構成要素からなる調整対象系を周波数領域にて表現するようにして作成されたモデルであり、前記第1調整対象値及び前記第2調整対象値は、前記第1遷移ケースと前記第2遷移ケースとのそれぞれにおける調整対象値である、調整対象値算出ステップと、前記第1調整対象値と前記第2調整対象値を比較し、調整必要性のより高い一方を選択する調整対象値選択ステップと、

20

周波数領域において予め定められた制約値と前記第1調整対象値及び前記第2調整対象値のうちの選択された調整対象値とを比較して、当該比較結果に基づき前記調整対象系に対する設計指針を決定する設計指針決定ステップとを備える設計方法を提供する。

【0013】

また、本発明は、当該設計方法に従った設計を支援する設計支援システムとして、互いに異なる第1チップモデル及び第2チップモデルを提供するチップモデル提供部であって、前記第1チップモデル及び前記第2チップモデルは、前記半導体チップの出力値がローレベルからハイレベルに遷移する第1遷移ケースとハイレベルからローレベルに遷移する第2遷移ケースとの2つの遷移ケースのそれぞれに対応させて前記半導体チップを周波数領域にて表現するようにして作成されたモデルである、チップモデル提供部と、前記半導体パッケージにおける前記半導体チップ以外の構成要素のうちの調整対象構成要素からなる調整対象系を周波数領域にて表現してなる調整対象系インピーダンスモデルを提供するインピーダンスモデル提供部と、前記第1チップモデル及び前記第2チップモデルのそれぞれを前記調整対象系インピーダンスモデルと接続して前記第1遷移ケースと前記第2遷移ケースとのそれぞれにおける調整対象値である第1調整対象値及び第2調整対象値を算出する調整対象値算出部と、前記第1調整対象値と前記第2調整対象値を比較し、調整必要性のより高い一方を選択する調整対象値選択部と、周波数領域において予め定められた制約値を提供する制約値提供部と、該制約値と前記第1調整対象値及び前記第2調整対象値のうちの選択された調整対象値とを比較して、当該比較結果に基づき前記調整対象系に対する設計支援情報を決定する設計支援情報決定部と、前記設計支援情報を表示する表示部とを備える設計支援システムを提供する。

30

40

50

【 0 0 1 4 】

更に、本発明は、演算部、記憶部及び表示部を備えたコンピュータシステムにおいて前記演算部に対して所定の処理を実行させ前記コンピュータシステムを、前記設計方法に従った設計を支援する設計支援システムとして機能させるためのプログラムであって、

前記所定の処理は、

互いに異なる第1チップモデル及び第2チップモデルと調整対象系インピーダンスモデルに基づいて第1調整対象値及び第2調整対象値を算出する調整対象値算出ステップであって、前記第1チップモデル及び前記第2チップモデルは、前記半導体チップの出力値がローレベルからハイレベルに遷移する第1遷移ケースとハイレベルからローレベルに遷移する第2遷移ケースとの2つの遷移ケースのそれぞれに対応させて前記半導体チップを周波数領域にて表現するようにして作成されたモデルであり、前記調整対象系インピーダンスモデルは、前記半導体パッケージにおける前記半導体チップ以外の構成要素のうちの調整対象構成要素からなる調整対象系を周波数領域にて表現するようにして作成されたモデルであり、前記第1調整対象値及び前記第2調整対象値は、前記第1遷移ケースと前記第2遷移ケースとのそれぞれにおける調整対象値である、調整対象値算出ステップと、

前記第1調整対象値と前記第2調整対象値を比較し、調整必要性のより高い一方を選択する調整対象値選択ステップと、

周波数領域において予め定められた制約値と前記第1調整対象値及び前記第2調整対象値のうちの選択された調整対象値とを比較して、当該比較結果に基づき前記調整対象系に対する設計支援情報を決定する設計支援情報決定ステップと、

前記設計支援情報を前記表示部に表示する表示ステップとを備えるプログラムを提供する。

【 発明の効果 】

【 0 0 1 5 】

本発明によれば、電源 / GND 電圧の変動するケースとして第1遷移ケース (L H) と第2遷移ケース (H L) の2つのケースのそれぞれに対応する第1チップモデル及び第2チップモデルを用いて解析を行うことから、正確な解析結果を得ることができる。また、第1チップモデル及び第2チップモデル及び調整対象系インピーダンスモデルに基づく第1調整対象値及び第2調整対象値の算出や、その一方と制約値との比較など、周波数領域における処理を用いることから、過渡解析と比較して、計算量を少なくすることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

以下、本発明の実施の形態による設計方法として、図1に示されるような半導体チップ10及び半導体チップ20を備えるマルチチップパッケージ (MCP) 100の設計に適用した場合について説明する。図示された半導体チップ10はDRAMチップであり、図示された半導体チップ20はプロセッサなどが搭載されたロジックチップである。

【 0 0 1 7 】

半導体チップ10には、電源パッド11及びグランドパッド12が設けられている。実際のチップにおいては、図1に模式的に示されるように、複数の電源パッド11及び複数のグランドパッド12が設けられているが、以下に説明する設計方法においては、それぞれまとめることで1つの電源パッド11及び1つのグランドパッド12として取り扱う。

【 0 0 1 8 】

また、半導体チップ10の電源パッド11とグランドパッド12の間には複数の出力ドライバが設けられている。各出力ドライバは、図1には示されていないが、pMOS回路とnMOS回路とを直列に接続してなるものであり、pMOS回路とnMOS回路の接続部からはそれぞれ出力パッド13が引き出されている。実際のチップにおいては、少なくともデータ線 (DQ 線) の数に相当する出力ドライバ及び出力パッド13が設けられているが、以下に説明する設計方法においては、複数の出力パッド及び複数の出力ドライバをそれぞれ一まとめにして、電源パッド11及びグランドパッド12における電源 / GND

10

20

30

40

50

電圧変動の解析を行うこととする。

【0019】

本実施の形態においては、図1に示されるようなMCP100を図2に示されるように半導体チップ10をモデル化したものとパッケージ配線等のインピーダンスモデルに分けて表現し、それらを接続した上で、電源パッド11及びグランドパッド12における電圧変動を算出して、周波数領域において予め定められた制約値との対比を行うことにより、電源/GND電圧の変動が許容値内におさまっているか否かを判断する。なお、以下においては、パッケージ配線やプリント配線基板上の配線など、調整対象となる回路網を調整対象系といい、そのインピーダンスモデルを調整対象系インピーダンスモデルという。

【0020】

ここで、図2に示される内部インピーダンス $Z_{chip_int}(f)$ 14は、半導体チップ10に含まれる構成のうち出力ドライバ(pMOS回路及びnMOS回路)を除いた部分を出力側から見た場合に電源パッド11及びグランドパッド12の間に見えるインピーダンスである。また、 Z_{px} 及び Z_{ny} は、出力ドライバを構成するpMOS回路及びnMOS回路をそれぞれの状態にかかわらず総括的に示すものであり、出力ドライバを構成するpMOS回路及びnMOS回路の具体的な状態をも考慮して作成された図においては、 Z_{pon} (オン状態のpMOS回路のインピーダンス)又は Z_{poff} (オフ状態のpMOS回路のインピーダンス)及び Z_{non} (オン状態のnMOS回路のインピーダンス)又は Z_{noff} (オフ状態のnMOS回路のインピーダンス)として表現されるものである。

【0021】

より詳しくは、本実施の形態による設計方法においては、半導体チップ10のチップモデルとして、図3乃至図6の4通りの場合を考慮したチップモデルを用意して、それぞれを調整対象系インピーダンスモデルと接続することとする。

【0022】

このうち、図3及び図4に示されるチップモデルは、半導体チップ10の出力値がローレベルからハイレベルに遷移する第1遷移ケースを想定して半導体チップ10をモデル化してなる第1チップモデルである。第1チップモデルは、pMOS回路及びnMOS回路をそれぞれインピーダンス表現してなるpMOS回路インピーダンス及びnMOS回路インピーダンスを直列に接続したものを電源パッド11及びグランドパッド12間に接続すると共に、それと並列に内部インピーダンス14を接続し、更に、第1遷移ケースにおける変動電流値を考慮した電流源である第1電流源をpMOS回路インピーダンスに並列に接続するようにして作成される。

【0023】

詳しくは、図3に示される第1チップモデルは電源パッド11における電圧変動値算出用のチップモデルであり、pMOS回路インピーダンスとしてはpMOS回路のオン状態におけるインピーダンスを用い、nMOS回路インピーダンスとしてはnMOS回路のオフ状態におけるインピーダンスを用いた上で、電源電圧変動値算出用の第1電流源 $I_{s_L2H_vdq}$ をpMOS回路インピーダンスに並列接続するようにして作成されている。

【0024】

また、図4に示される第1チップモデルはグランドパッド12における電圧変動値算出用のチップモデルであり、pMOS回路インピーダンス及びnMOS回路インピーダンスのいずれに対しても対応するpMOS回路及びnMOS回路のオン状態におけるインピーダンスを用いた上で、グランド電圧変動値算出用の第1電流源 $I_{s_L2H_vsq}$ をpMOS回路インピーダンスに並列接続するようにして作成されている。

【0025】

一方、図5及び図6に示されるチップモデルは、半導体チップ10の出力値がハイレベルからローレベルに遷移する第2遷移ケースを想定して半導体チップ10をモデル化してなる第2チップモデルである。第2チップモデルは、pMOS回路インピーダンス及びn

10

20

30

40

50

MOS回路インピーダンスを直列に接続したものを電源パッド11及びグランドパッド12間に接続すると共に、それと並列に内部インピーダンス14を接続し、更に、第2遷移ケースにおける変動電流値を考慮した電流源である第2電流源をnMOS回路インピーダンスに並列に接続するようにして作成される。

【0026】

詳しくは、図5に示される第2チップモデルは電源パッド11における電圧変動値算出用のチップモデルであり、pMOS回路インピーダンス及びnMOS回路インピーダンスのいずれに関しても対応するpMOS回路及びnMOS回路のオン状態におけるインピーダンスを用いた上で、電源電圧変動値算出用の第2電流源 $I_{s_H2L_v_dq}$ をnMOS回路インピーダンスに並列接続するようにして作成されている。

10

【0027】

また、図6に示される第2チップモデルはグランドパッド12における電圧変動値算出用のチップモデルであり、pMOS回路インピーダンスとしてはpMOS回路のオフ状態におけるインピーダンスを用い、nMOS回路インピーダンスとしてはnMOS回路のオン状態におけるインピーダンスを用いた上で、グランド電圧変動値算出用の第2電流源 $I_{s_H2L_v_sq}$ をnMOS回路インピーダンスに並列接続するようにして作成されている。

【0028】

なお、図3乃至図6に示されるpMOS回路及びnMOS回路の等価回路モデルは、物理描像を考慮して、キャパシタ及び抵抗を直列接続してなるものを出力パッド13に対して互いに対称となるように配置してなるものである。より具体的には、出力パッド13から電源パッド11及びGNDパッド12側を見た場合に、まずはキャパシタが見えるようにキャパシタ及び抵抗を配置してなるものである。しかしながら、キャパシタ及び抵抗を直列接続してなるものを出力パッド13に対して互いに非対称となるように配置してpMOS回路及びnMOS回路の等価回路モデルを構成することとしても良い。即ち、例えば、出力パッド13から電源パッド11及びGNDパッド12側を見た場合に、pMOS回路については抵抗、キャパシタの順に並べる一方で、nMOS回路についてはキャパシタ、抵抗の順に並べることも良い。

20

【0029】

図7乃至図10には、図3乃至図6に示されたpMOS回路インピーダンス及びnMOS回路インピーダンスの等価回路モデルとは異なる等価回路モデルを用いた例が示されている。なお、図7乃至図10は、それぞれ、図3乃至図6に対応するものである。

30

【0030】

図3乃至図6においては、pMOS回路及びnMOS回路のそれぞれについてオン/オフの状態にかかわらず同じ等価回路モデルを用いていたが、図7乃至図10を参照すると、pMOS回路及びnMOS回路のそれぞれに関し、オン状態とオフ状態とで異なる等価回路モデルが用いられている。これは、pMOS回路及びnMOS回路においては、それぞれ、オン状態においては抵抗成分が支配的になるのに対して、オフ状態においてはキャパシタ成分が支配的になることを考慮したためである。

【0031】

より具体的には、オン状態のpMOS回路インピーダンスは、電源パッド11と出力パッド13との間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルにて表現され、オフ状態のpMOS回路インピーダンスは、電源パッド11と出力パッド13との間にキャパシタ及び抵抗が直列に接続されてなる等価回路モデルにて表現されている。同様に、オン状態のnMOS回路インピーダンスは、出力パッド13とGNDパッド12との間にキャパシタ及び抵抗が並列に接続されてなる等価回路モデルにて表現され、オフ状態のnMOS回路インピーダンスは、出力パッド13とGNDパッド12との間にキャパシタ及び抵抗が直列に接続されてなる等価回路モデルにて表現されている。かかる等価回路モデルを用いてオン/オフ状態のpMOS回路インピーダンス/nMOS回路インピーダンスを算出することとすれば、図3乃至図6に示される例と比較して、より精度の高い解

40

50

析結果を得ることができる。

【0032】

以下、図11乃至図22をも参照して、上述した4種類のチップモデルの作成方法も含め、本実施の形態による設計方法について具体的に説明する。

【0033】

まず、半導体チップ10についての設計データなどの情報から、図3及び図4（又は図7及び図8）に示されるような第1チップモデル（電源電圧変動用/GND電圧変動用）並びに図5及び図6（又は図9及び図10）に示されるような第2チップモデル（電源電圧変動用/GND電圧変動用）を作成する（図11：ステップS101）。

【0034】

具体的には、図12に示されるように半導体チップ10についてSPICEモデルをAC解析してZパラメータを算出する。本実施の形態においては、Zパラメータを直接算出することとするが、これに代えて、まずはSパラメータを算出し、その後、そのSパラメータをZパラメータに変換することとしても良い。

【0035】

一方、本実施の形態におけるチップモデルのうちインピーダンスに関する部分のみを抽出すると図13に示されるようなものとなる。図2に関連して説明したように、 Z_{p_x} 及び Z_{n_y} は出力ドライバの状態にかかわらず、pMOS回路及びnMOS回路を表現するために導入した表記である。即ち、具体的には、半導体チップ10の出力値がハイレベルの場合、 Z_{p_x} はオン状態にあるpMOS回路のインピーダンス Z_{p_on} を示し、 Z_{n_y} はオフ状態にあるnMOS回路のインピーダンス Z_{n_off} を示す。同様に、半導体チップ10の出力値がローレベルの場合、 Z_{p_x} はオフ状態にあるpMOS回路のインピーダンス Z_{p_off} を示し、 Z_{n_y} はオン状態にあるnMOS回路のインピーダンス Z_{n_on} を示す。

【0036】

上記の図13に示されるインピーダンスモデルを2ポート回路網としてより分かりやすい形に変形したものが図14に示される回路である。この図14に示される回路網におけるZパラメータは、下記式(1)に示される。

【0037】

【数1】

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}$$

$$= \begin{bmatrix} \frac{Z_{chp_int} \times (Z_{p_x} + Z_{n_y})}{Z_{chp_int} + (Z_{p_x} + Z_{n_y})} & \frac{Z_{chp_int} \times Z_{n_y}}{(Z_{chp_int} + Z_{p_x}) + Z_{n_y}} \\ \frac{Z_{chp_int} \times Z_{n_y}}{Z_{chp_int} + (Z_{p_x} + Z_{n_y})} & \frac{(Z_{chp_int} + Z_{p_x}) \times Z_{n_y}}{(Z_{chp_int} + Z_{p_x}) + Z_{n_y}} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \dots (1)$$

【0038】

この式(1)に含まれる行列の各要素の関係を整理して、 Z_{p_x} 、 Z_{n_y} 及び Z_{chp_int} のそれぞれについて解くと、以下に掲げる式(2)~(4)が得られる。

【0039】

10

20

30

40

【数 2】

$$Z_{p_x} = \frac{Z_{11} \cdot Z_{22}}{Z_{12}} - Z_{12} \quad \dots (2)$$

【0040】

【数 3】

$$Z_{n_y} = \frac{Z_{11} \cdot Z_{22} - Z_{12}^2}{Z_{11} - Z_{12}} \quad \dots (3)$$

10

【0041】

【数 4】

$$Z_{chp_int} = \frac{Z_{11} \cdot Z_{22} - Z_{12}^2}{Z_{22} - Z_{12}} \quad \dots (4)$$

20

【0042】

式(2)及び式(3)から理解されるように、出力ドライバの出力値がハイレベルの場合における Z_{11} 、 Z_{12} 及び Z_{22} を用いれば Z_{p_on} 及び Z_{n_off} を算出することができ、出力ドライバの出力値がローレベルの場合における Z_{11} 、 Z_{12} 及び Z_{22} を用いれば Z_{p_off} 及び Z_{n_on} を算出することができる。なお、本実施の形態においては、SPICE解析により算出した Z_{11} 、 Z_{12} 、 Z_{21} 及び Z_{22} に基づいて各部のインピーダンスを求めているが、 Z_{11} 、 Z_{12} 、 Z_{21} 及び Z_{22} を実測し、その結果を利用することとしても良い。即ち、出力ドライバの出力値がハイレベルの場合及びローレベルの場合のそれぞれについて Z_{11} 、 Z_{12} 、 Z_{21} 及び Z_{22} を実測し(又は、図13における I_1 、 I_2 、 V_1 、 V_2 を計測して Z_{11} 、 Z_{12} 、 Z_{21} 及び Z_{22} を算出し)、そのようにして得られた Z_{11} 、 Z_{12} 、 Z_{21} 及び Z_{22} を上記式(2)及び式(3)に代入することにより、pMOS回路24及びnMOS回路25の各状態におけるインピーダンスを算出することとしても良い。

30

【0043】

上記のようにして各インピーダンスの値を求めた後、図15乃至図18に示されるようにして、第1電流源(電源用/GND用)及び第2電流源(電源用/GND用)を導出する。ここで、図15は、電源電圧変動値算出用の第1電流源導出に関する図であり、図16は、グランド電圧変動値算出用の第1電流源導出に関する図である。また、図17は、電源電圧変動値算出用の第2電流源導出に関する図であり、図18は、グランド電圧変動値算出用の第2電流源導出に関する図である。なお、図15乃至図18においては、オン状態のpMOS回路及びオン状態のnMOS回路の等価回路モデルとしてそれぞれCR並列回路を用いているが、pMOS回路及びnMOS回路のいずれについてもオン状態においては抵抗が支配的であることからそれぞれの等価回路を抵抗のみで表現しても良い。また、解析結果に対して要求されている精度によっては、図3乃至図6に示されたように、オン状態のpMOS回路又はnMOS回路の等価回路モデルとしてCR直列回路を用いても良い。

40

【0044】

電源電圧変動値算出用の第1電流源 $I_{s_L2H_vdq}$ を導出する際には、まず、図15に示されるように、出力パッド13とグランドパッド12の間に所定の外部負荷モデル Z_{load} (無負荷でも良い)を接続する。ここで、所定の外部負荷モデルのインピー

50

ダンス Z_{load} がオフ状態の $nMOS$ 回路インピーダンス Z_{n_off} よりも遥かに小さいと仮定すると、第1遷移ケース (L H) において電源パッド 11 を流れる電流 I_{v_L2H} のほとんどが、オン状態の $pMOS$ 回路インピーダンス Z_{p_on} と所定の外部負荷モデル Z_{load} に流れることとなる。その場合、第1遷移ケース (L H) において電源パッド 11 を流れる電流 I_{v_L2H} が分かれば、下記式 (5) により、第1電流源の電流値 $I_{s_L2H_vdq}$ を導出することができる。

【0045】

【数5】

$$I_{s_L2H_vdq} = \frac{Z_{p_on} + Z_{n_off} // Z_{load}}{Z_{p_on}} \times I_{v_L2H} \quad \dots (5)$$

10

【0046】

同様に、グランド電圧変動値算出用の第1電流源 $I_{s_L2H_vsq}$ を導出する際には、まず、図16に示されるように、出力パッド13とグランドパッド12の間に所定の外部負荷モデル Z_{load} (無負荷でも良い) を接続する。ここで、オン状態の $nMOS$ 回路インピーダンス Z_{n_on} が所定の外部負荷モデルのインピーダンス Z_{load} よりも遥かに小さいと仮定すると、第1遷移ケース (L H) においてグランドパッド12を流れる電流 I_{g_L2H} のほとんどが、オン状態の $pMOS$ 回路インピーダンス Z_{p_on} 及びオン状態の $nMOS$ 回路インピーダンス Z_{n_on} に流れることとなる。その場合、第1遷移ケース (L H) においてグランドパッド12を流れる電流 I_{g_L2H} が分かれば、下記式 (6) により、第1電流源の電流値 $I_{s_L2H_vsq}$ を導出することができる。

20

【0047】

【数6】

$$I_{s_L2H_vsq} = \frac{Z_{p_on} + Z_{n_on} // Z_{load}}{Z_{p_on}} \cdot \frac{Z_{n_on}}{Z_{n_on} // Z_{load}} \times I_{g_L2H} \quad \dots (6)$$

30

【0048】

電源電圧変動値算出用の第2電流源 $I_{s_H2L_vdq}$ を導出する際には、まず、図17に示されるように、出力パッド13とグランドパッド12の間に所定の外部負荷モデル Z_{load} (無負荷でも良い) を接続する。ここで、所定の外部負荷モデルのインピーダンス Z_{load} がオン状態の $nMOS$ 回路インピーダンス Z_{n_on} よりも遥かに大きいと仮定すると、第2遷移ケース (H L) において電源パッド11を流れる電流 I_{v_H2L} のほとんどが、オン状態の $pMOS$ 回路インピーダンス Z_{p_on} とオン状態の $nMOS$ 回路インピーダンス Z_{n_on} に流れることとなる。この場合、第2遷移ケース (H L) において電源パッド11を流れる電流 I_{v_H2L} が分かれば、下記式 (7) により、第2電流源の電流値 $I_{s_H2L_vdq}$ を導出することができる。

40

【0049】

【数7】

$$I_{s_H2L_vdq} = \frac{Z_{n_on} + Z_{p_on} // Z_{load}}{Z_{n_on}} \cdot \frac{Z_{p_on}}{Z_{p_on} // Z_{load}} \times I_{v_H2L} \quad \dots (7)$$

【0050】

同様に、グランド電圧変動値算出用の第2電流源 $I_{s_H2L_vsq}$ を導出する際に

50

は、まず、図18に示されるように、出力パッド13とグランドパッド12の間に所定の外部負荷モデル Z_{load} （無負荷でも良い）を接続する。ここで、所定の外部負荷モデルのインピーダンス Z_{load} がオフ状態のpMOS回路インピーダンス Z_{p_off} がよりも遥かに小さいと仮定すると、第2遷移ケース（H L）においてグランドパッド12を流れる電流 I_{g_H2L} のほとんどが、オン状態のnMOS回路インピーダンス Z_{n_on} 及び所定の外部負荷モデルのインピーダンス Z_{load} に流れることとなる。その場合、第2遷移ケース（H L）においてグランドパッド12を流れる電流 I_{g_H2L} が分かれば、下記式（8）により、第2電流源の電流値 $I_{s_H2L_vsq}$ を導出することができる。

【0051】

【数8】

$$I_{s_H2L_vsq} = \frac{Z_{n_on} + Z_{p_off} // Z_{load}}{Z_{n_on}} \times I_{g_H2L} \quad \dots (8)$$

【0052】

なお、本実施の形態においては、第1遷移ケース（L H）及び第2遷移ケース（H L）において電源パッド11及びグランドパッド12を流れる電流をSPICEのトランジェント解析にて算出し、更に、フーリエ変換処理を行って、周波数領域表現による電流 I_{v_L2H} 及び電流 I_{g_L2H} 並びに I_{v_H2L} 及び電流 I_{g_H2L} を得ることとしたが、これに代えて、スペクトラムアナライザやオシロスコープなどを用いて対象となる半導体チップのパッドの状態を直接計測することとしてもよい。

【0053】

このようにして、本実施の形態においては、半導体チップ情報に基づいて、第1遷移ケース用及び第2遷移ケース用の第1チップモデル及び第2チップモデルを、それぞれ電源電圧変動値算出用とGND電圧変動値算出用の2種類（従って、チップモデルは計4種類）作成する（図11：ステップS101）。上述したように、これらのチップモデルを作成するにあたってはSPICEモデルをトランジェント解析する場面も考えられるが、一旦、チップモデルを作成してしまった後は、半導体チップ10の構成が変わらぬ限り、作成されたチップモデルを用いることができる。

【0054】

一方、パッケージ配線長などの調整対象系の情報に基づいて、図2に示されるような調整対象系インピーダンスモデルを作成し（図11：ステップS102）、ステップS101で作成した電源変動値算出用/GND変動値算出用の第1チップモデル及び第2チップモデルのそれぞれと、ステップS102で作成した調整対象系インピーダンスモデルとを、図19乃至図22に示されるようにして接続し、閉路回路方程式を解くことにより、トランジェント解析をすることなく、電源/GND電圧変動スペクトラムを算出する。ここで、図19は、第1遷移ケースにおける電源電圧変動スペクトラム算出に関する図であり、図20は、第1遷移ケースにおけるグランド電圧変動スペクトラム算出に関する図である。また、図21は、第2遷移ケースにおける電源電圧変動スペクトラム算出に関する図であり、図22は、第2遷移ケースにおけるグランド電圧変動スペクトラム算出に関する図である。ここで、図19～図22を作成するにあたっては、 Z_{vc_mcp} を開放にし、 Z_{gc_mcp} 、 Z_{v_mcp3} 、 Z_{g_mcp3} をそれぞれゼロとした。

【0055】

第1遷移ケースにおける調整対象値として電源電圧変動スペクトラム V_{DDQ_L2H} を算出する場合、図19に示される3つの閉路について回路方程式をたて（下記式（9））、それを解くことにより、下記式（10）に示される電源電圧変動スペクトラム V_{DDQ_L2H} が得られる。

【0056】

10

20

30

40

50

【数 9】

$$\begin{bmatrix} Z_{chp_int} + Z + Z_{g_mcp1} & -Z_{g_mcp1} & -Z_{chp_int} \\ -Z_{g_mcp1} & Z_{g_mcp1} + Z_{load} + Z_{n_off} & -Z_{n_off} \\ -Z_{chp_int} & -Z_{n_off} & Z_{n_off} + Z_{p_on} + Z_{chp_int} \end{bmatrix} \begin{bmatrix} I_{l1} \\ I_{l2} \\ I_{l3} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ E \end{bmatrix} \quad \dots (9)$$

【0057】

【数 10】

$$\begin{aligned} \Delta V_{DDQ_L2H} &= -(Z_{v1} + Z_{v2}) \times I_{l1} \\ &= -(Z_{v1} + Z_{v2}) \times \frac{Z_{g_mcp1} \cdot Z_{n_off} + Z_{chp} \cdot (Z_{g_mcp1} + Z_{load} + Z_{n_off})}{|A|} E \quad \dots (10) \end{aligned} \quad 10$$

【0058】

ここで、A、E及びZは、それぞれ、下記式(11)～(13)で示される。

【0059】

【数 11】

$$\begin{aligned} |A| &= \begin{vmatrix} Z_{chp} + Z + Z_{g_mcp1} & -Z_{g_mcp1} & -Z_{chp} \\ -Z_{g_mcp1} & Z_{g2} + Z_{load} + Z_{n_off} & -Z_{n_off} \\ -Z_{chp} & -Z_{n_off} & Z_{n_off} + Z_{p_on} + Z_{chp} \end{vmatrix} \\ &= Z_{g_mcp1}(Z + Z_{load} + Z_{p_on})(Z_{chp} + Z_{n_off}) + Z_{g_mcp1}Z_{p_on}(Z + Z_{load}) \\ &\quad + Z_{load}(Z_{chp} + Z)(Z_{n_off} + Z_{p_on}) + Z_{chp}Z(Z_{load} + Z_{n_off}) + Z_{p_on}Z_{n_off}(Z_{chp} + Z) \end{vmatrix} \quad \dots (11) \end{aligned} \quad 20$$

【0060】

【数 12】

$$E = Z_{p_on} \times I_{S_L2H_vdq} \quad \dots (12) \quad 30$$

【0061】

【数 13】

$$Z = Z_{v_mcp1} + Z_{v_mcp2} + Z_{g_mcp2} \quad \dots (13)$$

【0062】

同様に、第1遷移ケースにおける調整対象値としてグラウンド電圧変動スペクトラム V_{SSQ_L2H} を算出する場合、図20に示される3つの閉路について回路方程式をたて (下記式(14))、それを解くことにより、下記式(15)に示される電源電圧変動スペクトラム V_{SSQ_L2H} が得られる。 40

【0063】

【数 14】

$$\begin{bmatrix} Z_{chp_int} + Z + Z_{g_mcp1} & -Z_{g_mcp1} & -Z_{chp_int} \\ -Z_{g_mcp1} & Z_{g_mcp1} + Z_{load} + Z_{n_on} & -Z_{n_on} \\ -Z_{chp_int} & -Z_{n_on} & Z_{n_on} + Z_{p_on} + Z_{chp_int} \end{bmatrix} \begin{bmatrix} I_{l1} \\ I_{l2} \\ I_{l3} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ E \end{bmatrix} \quad \dots (14)$$

【 0 0 6 4 】

【 数 1 5 】

$$\begin{aligned} \Delta V_{SSQ_L2H} &= Z_{g_mcp1} \times (I_{l1} - I_{l2}) + Z_{g_mcp2} \times I_{l1} \\ &= (Z_{g_mcp2} + Z_{g_mcp1}) \times \frac{Z_{g_mcp2} \cdot Z_{n_on} + Z_{chp} \cdot (Z_{g_mcp2} + Z_{load} + Z_{n_on})}{|A|} E \\ &\quad - Z_{g_mcp1} \times \frac{Z_{n_on} \cdot (Z_{chp} + Z + Z_{g_mcp2}) + Z_{chp} \cdot Z_{g_mcp2}}{|A|} E \end{aligned} \quad \dots (15)$$

10

【 0 0 6 5 】

ここで、A、E及びZは、それぞれ、下記式(16)～(18)で示される。

【 0 0 6 6 】

【 数 1 6 】

$$\begin{aligned} |A| &= \begin{vmatrix} Z_{chp} + Z + Z_{g_mcp1} & -Z_{g_mcp1} & -Z_{chp} \\ -Z_{g_mcp1} & Z_{g_mcp1} + Z_{load} + Z_{n_on} & -Z_{n_on} \\ -Z_{chp} & -Z_{n_on} & Z_{n_on} + Z_{p_on} + Z_{chp} \end{vmatrix} \\ &= Z_{g_mcp1}(Z + Z_{load} + Z_{p_on})(Z_{chp} + Z_{n_on}) + Z_{g_mcp1}Z_{p_on}(Z + Z_{load}) \\ &\quad + Z_{load}(Z_{chp} + Z)(Z_{n_on} + Z_{p_on}) + Z_{chp}Z(Z_{load} + Z_{n_on}) + Z_{p_on}Z_{n_on}(Z_{chp} + Z) \end{vmatrix} \quad \dots (16) \end{aligned} \quad 20$$

【 0 0 6 7 】

【 数 1 7 】

$$E = Z_{p_on} \times I_{S_L2H_vsq} \quad \dots (17)$$

【 0 0 6 8 】

【 数 1 8 】

$$Z = Z_{v_mcp1} + Z_{v_mcp2} + Z_{g_mcp2} \quad \dots (18)$$

30

【 0 0 6 9 】

一方、第2遷移ケースにおける調整対象値として電源電圧変動スペクトラム V_{DDQ_H2L} を算出する場合、図21に示される3つの閉路について回路方程式をたて(下記式(19))、それを解くことにより、下記式(20)に示される電源電圧変動スペクトラム V_{DDQ_H2L} が得られる。

【 0 0 7 0 】

【 数 1 9 】

$$\begin{bmatrix} Z_{chp} + Z + Z_{g_mcp1} & -Z_{g_mcp1} & -Z_{chp} \\ -Z_{g_mcp1} & Z_{g2} + Z_{load} + Z_{n_on} & -Z_{n_on} \\ -Z_{chp} & -Z_{n_on} & Z_{n_on} + Z_{p_on} + Z_{chp} \end{bmatrix} \begin{bmatrix} I_{l1} \\ I_{l2} \\ I_{l3} \end{bmatrix} = \begin{bmatrix} 0 \\ -E \\ E \end{bmatrix} \quad \dots (19)$$

40

【 0 0 7 1 】

【数 2 0】

$$\begin{aligned}\Delta V_{DDQ_H2L} &= -(Z_{v_mcp2} + Z_{v_mcp1}) \times I_{l1} \\ &= -(Z_{v_mcp2} + Z_{v_mcp1}) \times \frac{Z_{chp} \cdot Z_{load} - Z_{g_mcp1} \cdot Z_{p_on}}{|A|} E \quad \dots (20)\end{aligned}$$

【0072】

ここで、A、E及びZは、それぞれ、下記式(21)～(23)で示される。

【0073】

【数 2 1】

10

$$\begin{aligned}|A| &= \begin{vmatrix} Z_{chp} + Z + Z_{g_mcp1} & -Z_{g_mcp1} & -Z_{chp} \\ -Z_{g_mcp1} & Z_{g_mcp1} + Z_{load} + Z_{n_on} & -Z_{n_on} \\ -Z_{chp} & -Z_{n_on} & Z_{n_on} + Z_{p_on} + Z_{chp} \end{vmatrix} \\ &= Z_{g_mcp1}(Z + Z_{load} + Z_{p_on})(Z_{chp} + Z_{n_on}) + Z_{g_mcp1}Z_{p_on}(Z + Z_{load}) \\ &\quad + Z_{load}(Z_{chp} + Z)(Z_{n_on} + Z_{p_on}) + Z_{chp}Z(Z_{load} + Z_{n_on}) + Z_{p_on}Z_{n_on}(Z_{chp} + Z) \quad \dots (21)\end{aligned}$$

【0074】

【数 2 2】

20

$$E = Z_{n_on} \times I_{S_H2L_vdq} \quad \dots (22)$$

【0075】

【数 2 3】

$$Z = Z_{v_mcp1} + Z_{v_mcp2} + Z_{g_mcp2} \quad \dots (23)$$

【0076】

30

同様に、第2遷移ケースにおける調整対象値としてグラウンド電圧変動スペクトラム V_{SSQ_H2L} を算出する場合、図22に示される3つの閉路について回路方程式をたて(下記式(24))、それを解くことにより、下記式(25)に示される電源電圧変動スペクトラム V_{SSQ_H2L} が得られる。

【0077】

【数 2 4】

$$\begin{bmatrix} Z_{chp} + Z + Z_{g_mcp1} & -Z_{g_mcp1} & -Z_{chp} \\ -Z_{g_mcp1} & Z_{g2} + Z_{load} + Z_{n_on} & -Z_{n_on} \\ -Z_{chp} & -Z_{n_on} & Z_{n_on} + Z_{p_off} + Z_{chp} \end{bmatrix} \begin{bmatrix} I_{l1} \\ I_{l2} \\ I_{l3} \end{bmatrix} = \begin{bmatrix} 0 \\ -E \\ E \end{bmatrix} \quad \dots (24)$$

40

【0078】

【数 2 5】

$$\begin{aligned}\Delta V_{DDQ_H2L} &= -(Z_{v_mcp2} + Z_{v_mcp1}) \times I_{l1} \\ &= -(Z_{v_mcp2} + Z_{v_mcp1}) \times \frac{Z_{chp} \cdot Z_{load} - Z_{g_mcp1} \cdot Z_{p_off}}{|A|} E \quad \dots (25)\end{aligned}$$

50

【 0 0 7 9 】

ここで、 A 、 E 及び Z は、それぞれ、下記式(26)～(28)で示される。

【 0 0 8 0 】

【 数 2 6 】

$$|A| = \begin{vmatrix} Z_{chp} + Z + Z_{g_mcp1} & -Z_{g_mcp1} & -Z_{chp} \\ -Z_{g_mcp1} & Z_{g_mcp1} + Z_{load} + Z_{n_on} & -Z_{n_on} \\ -Z_{chp} & -Z_{n_on} & Z_{n_on} + Z_{p_off} + Z_{chp} \end{vmatrix} \\ = Z_{g_mcp1}(Z + Z_{load} + Z_{p_off})(Z_{chp} + Z_{n_on}) + Z_{g_mcp1}Z_{p_off}(Z + Z_{load}) \\ + Z_{load}(Z_{chp} + Z)(Z_{n_on} + Z_{p_off}) + Z_{chp}Z(Z_{load} + Z_{n_on}) + Z_{p_off}Z_{n_on}(Z_{chp} + Z) \quad \dots (26) \quad 10$$

【 0 0 8 1 】

【 数 2 7 】

$$E = Z_{n_on} \times I_{S_H2L_vsq} \quad \dots (27)$$

【 0 0 8 2 】

【 数 2 8 】

20

$$Z = Z_{v_mcp1} + Z_{v_mcp2} + Z_{g_mcp2} \quad \dots (28)$$

【 0 0 8 3 】

なお、本実施の形態においては、上述したように、 $Z_{v_c_mcp}$ を開放にし、 $Z_{g_c_mcp}$ 、 Z_{v_mcp3} 、 Z_{g_mcp3} をそれぞれゼロとして回路方程式を立てたが、これらを短絡したりインピーダンスゼロにしたりせず、4種のチップモデルのそれぞれと調整対象計インピーダンスモデルの組み合わせのそれぞれについて、4つの閉路を考慮して回路方程式を立てることとしても良い。

30

【 0 0 8 4 】

このようにして、第1遷移ケース及び第2遷移ケースの双方について調整対象値の算出(図11:ステップS103)を行った後、第1遷移ケースにおける電源/GND電圧変動スペクトラムと第2遷移ケースにおける電源/GND電圧変動スペクトラムとを比較して、調整必要性のより高い一方を選択する(ステップS104)。

【 0 0 8 5 】

ここで、本実施の形態においては、制約値に関しても、第1遷移ケースを想定して設定された制約値である第1制約値と第2遷移ケースを想定して設定された制約値である第2制約値の2種類用意してあり、ステップS104においていずれの遷移ケースに関する電源/GND電圧変動スペクトラムが選択されたのかを示す調整対象値選択情報に従って、第1制約値と第2制約値のいずれか一方を選択する(ステップS105)。

40

【 0 0 8 6 】

次いで、ステップS104で選択された第1遷移ケース又は第2遷移ケースにおける電源/GND電圧変動スペクトラムと、ステップS105において選択された第1制約値又は第2制約値とを比較し(ステップS106)、その比較結果に基づいて、設計指針を決定する(ステップS107)。

【 0 0 8 7 】

ここで、決定される設計指針の例としては、例えば、1)電源/グランドパッド11, 12における電圧変動値及びMCP内電源/グランド配線の良否判定結果、2)MCP電源/グランド配線のインピーダンスの最適値、3)MCP内電源/グランド配線の幅、長

50

さ、厚さの最適値、4) 電源/グランドパッド11, 12から電源/グランド用端子までの距離の最適値、5) パッケージ基板層数の最適値、6) MCP内電源/グランド配線の配線長に対する最適配線幅、並びに、7) MCP内電源/グランド配線の配線幅に対する最適配線長などが挙げられる。また、これに代えて、電圧変動スペクトラムから、調整対象系において問題となりそうな箇所を特定し、その箇所を調整対象箇所として指摘するだけとしてもよい。

【0088】

以上説明したように、本実施の形態によれば、一旦、チップモデルを作成してしまっただ後は、調整対象系に関する調整対象値は関連する閉路について回路方程式を解くだけで算出することができることから、例えば、パッケージ配線長を調整する等して設計変更した場合など、再チェックを簡易且つ短時間で行うことができる。

10

【0089】

なお、上述した実施の形態におけるステップS105(図11)では、一对の第1制約値及び第2制約値のうちから、いずれか一方を選択することとしていたが、例えば、図23に示されるように、既に動作確認された半導体パッケージに基づいて絶対基準ペア(使用条件にかかわらず選択されうるペア)や複数の制約値ペア1~3といった複数の制約値ペアを用意しておき、パッケージの使用条件(動作周波数や負荷など)を示す選択基礎情報に基づいて制約値ペアを選択し(図23:ステップS105a)、その後、ステップS104における選択結果に関連した調整対象値選択情報に従って、ステップS105aにて選択された制約値ペアを構成する第1制約値と第2制約値のいずれか一方を選択する(ステップS105b)こととしても良い。

20

【0090】

また、図23に示されるように、設計指針を決定した後(ステップS107)、設計指針に従って調整対象系情報に変更を加え(ステップS108)、その後、再度、調整対象系インピーダンスモデルを算出して(ステップS102)、当該調整対象系インピーダンスモデルと先の処理において作成された第1チップモデル及び第2チップモデルとの組み合わせに基づいて、ステップS103以降の処理を自動的に再度行うこととしても良い。

【0091】

以上、マルチチップパッケージの場合を例にとり説明してきたが、本発明の概念は、マルチチップパッケージのみならず、シングルチップのパッケージにも適用可能であること明らかである。

30

【0092】

また、本発明の概念は、パッケージ設計のみならず、例えば、図24に示されるようなパッケージを搭載したシステムの設計にも適用することができる。

【0093】

図24を参照すると、当該システムは、電源(PS)部及びグランド(GND)部を有する電源装置110、プリント配線基板(PCB)120及びマルチチップパッケージ(MCP)100を備えている。プリント配線基板120上には、電氣的構成要素として、大容量コンデンサ122、PCB上電源配線(又はPCB上電源プレーン)124、PCB上バイパスコンデンサ126、PCBの裏面上に設けられたバイパスコンデンサ128などが設けられている。マルチチップパッケージ100は、電源パッド11及びグランドパッド12を有する半導体チップ10及び半導体チップ20をパッケージ基板101上に積層してなるものである。半導体チップ10の電源パッド11には、電源用端子(ボール)102、スルーホール103及びMCP内電源配線104等を介して、電源が供給される。一方、半導体チップ10のグランドパッド12は、グランド用端子(ボール)105、スルーホール106及びMCP内グランド配線107等を介して、グランドに接続される。

40

【0094】

かかるシステムの電氣的構成要素は、図25上段に示されるように、すべてRLCからなる受動回路ブロックとして表現することができる。この受動回路ブロックからなる調整

50

対象系インピーダンスモデルを、図 2 に示されるように、図 3 ~ 図 6 に示される各チップモデルと接続し、図 19 ~ 図 22 を用いて説明したように回路方程式を解くことにより、多少計算量は増えるものの、トランジェント解析よりは少ない計算量で、変圧変動値を算出することができる。

【0095】

そして、例えば、図 11 のステップ S106 に示されるようにして、調整対象値と制約値の比較をすることにより、調整対象値が制約値を超えてしまうような周波数部分に対応する調整対象系の部位を特定し、その部位を調整対象箇所として設計指針を決定することとしても良い(図 25 下段の例においては、MCP - PKG 電源配線部分)。

【0096】

以上説明してきた設計方法は、その少なくとも一部をプログラム化することにより、設計支援用プログラム及び設計支援システムとして具現化することができる。

【0097】

以下、設計支援システムの実現例について説明する。実現例による設計支援システムは、図 26 に示されるように、演算部 210、主記憶 220、補助記憶 230、入力部 240 及び表示部 250 を備えている。

【0098】

主記憶 220 は、例えば、DRAM 装置で構成され、補助記憶 230 は、例えば、HDD や CD-ROM など構成される。また、入力部 240 は、例えば、キーボード及びマウスなどで構成され、表示部 250 は、例えば、CRT や、液晶ディスプレイなどで構成される。

【0099】

より具体的には、上述した各実施の形態における設計方法の少なくとも一部を実装してなるプログラムは補助記憶 230 に格納されている。このプログラムは、主記憶 220 上に展開され、演算部 210 によって実行される。演算部 210 が当該プログラムを実行することにより、図 26 に示されるシステムは、前述した設計方法の少なくとも一部を具現化し、設計支援システムとして機能する。また、主記憶 220 上には、演算部 210 が当該プログラムに従って動作している間に生成したデータ及び演算部 210 により利用されるデータが一時的に記憶される。なお、一般にはコンピュータシステム上で本発明を実現する場合、上記したように主記憶 220 と補助記憶 230 とを分ける構成が主として採用されるが、概念的には両者をまとめて記憶部として捉えることも可能である。

【0100】

上述した各実施の形態による設計方法をプログラム上に実装して設計支援システムを構築する場合、調整対象値と制約値との周波数領域における比較結果に基づいて決定された設計指針を表示部 250 に表示させるステップを更に備えることとしても良い。

【図面の簡単な説明】

【0101】

【図 1】本発明の実施の形態において設計対象とした半導体パッケージの概略構成を示す図である。

【図 2】図 1 に示される半導体パッケージをモデル化した図である。

【図 3】電源電圧変動スペクトラム算出用の第 1 チップモデル (L H) を示す図である。

【図 4】GND 電圧変動スペクトラム算出用の第 1 チップモデル (L H) を示す図である。

【図 5】電源電圧変動スペクトラム算出用の第 2 チップモデル (H L) を示す図である。

【図 6】GND 電圧変動スペクトラム算出用の第 2 チップモデル (H L) を示す図である。

【図 7】電源電圧変動スペクトラム算出用の第 1 チップモデル (L H) の他の例を示す図である。

10

20

30

40

50

【図 8】GND 電圧変動スペクトラム算出用の第 1 チップモデル (L H) の他の例を示す図である。

【図 9】電源電圧変動スペクトラム算出用の第 2 チップモデル (H L) の他の例を示す図である。

【図 10】GND 電圧変動スペクトラム算出用の第 2 チップモデル (H L) の他の例を示す図である。

【図 11】本発明の実施の形態による設計方法を示すフローチャートである。

【図 12】第 1 チップモデル及び第 2 チップモデルのインピーダンス値を決定する手順を説明するための図である。

【図 13】第 1 チップモデル及び第 2 チップモデルのインピーダンス値を決定する手順を説明するための他の図である。

【図 14】第 1 チップモデル及び第 2 チップモデルのインピーダンス値を決定する手順を説明するための更に他の図である。

【図 15】電源電圧変動スペクトラム算出用の第 1 電流源の電流値の算出手順を説明するための図である。

【図 16】GND 電圧変動スペクトラム算出用の第 1 電流源の電流値の算出手順を説明するための図である。

【図 17】電源電圧変動スペクトラム算出用の第 2 電流源の電流値の算出手順を説明するための図である。

【図 18】GND 電圧変動スペクトラム算出用の第 2 電流源の電流値の算出手順を説明するための図である。

【図 19】電源電圧変動スペクトラムの算出処理を説明するための図である。

【図 20】GND 電圧変動スペクトラムの算出処理を説明するための図である。

【図 21】電源電圧変動スペクトラムの算出処理を説明するための図である。

【図 22】GND 電圧変動スペクトラムの算出処理を説明するための図である。

【図 23】図 7 に示される設計方法の変形例を示すフローチャートである。

【図 24】本発明を適用可能な半導体システムの概略構成を示す図である。

【図 25】本発明を図 24 に示される半導体システムに適用した例を示す図である。

【図 26】本発明による設計方法に基づいた設計支援システムの構成を示すブロック図である。

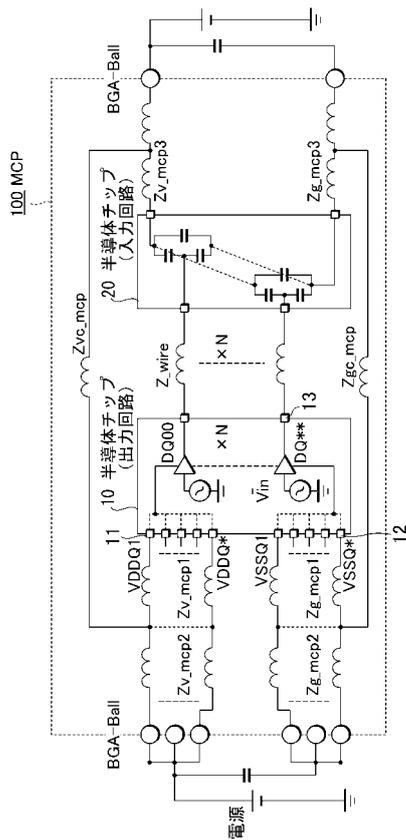
【符号の説明】

【0102】

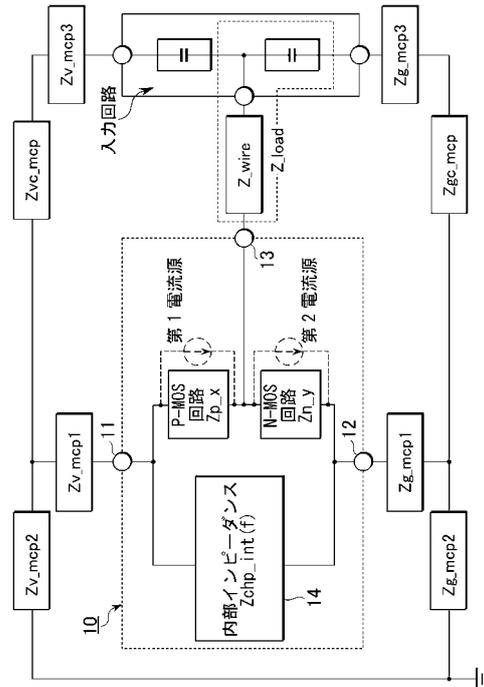
10	半導体チップ	
11	電源パッド	
12	グランドパッド	
13	出力パッド	
14	内部インピーダンス	
20	半導体チップ	
100	マルチチップパッケージ	
101	パッケージ基板	40
102	電源用端子 (ボール)	
103	スルーホール	
104	MCP 内電源配線	
105	グランド用端子 (ボール)	
106	スルーホール	
107	MCP 内グランド配線	
110	電源	
120	プリント配線基板 (PCB)	
122	大容量コンデンサ	
124	PCB 電源配線 / プレーン	50

- 1 2 6 バイパスコンデンサ
- 1 2 8 バイパスコンデンサ
- 2 1 0 演算部
- 2 2 0 主記憶
- 2 3 0 補助記憶
- 2 4 0 入力部
- 2 5 0 表示部

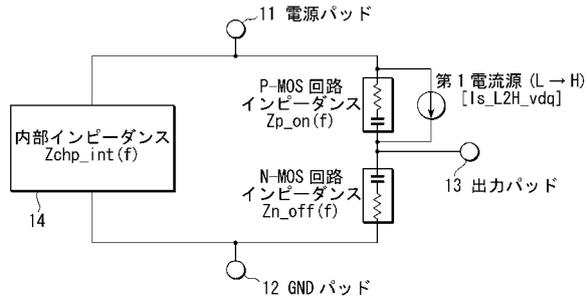
【図1】



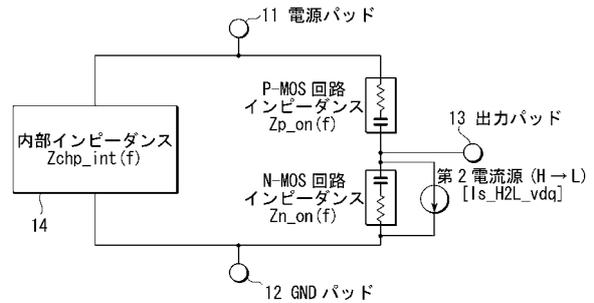
【図2】



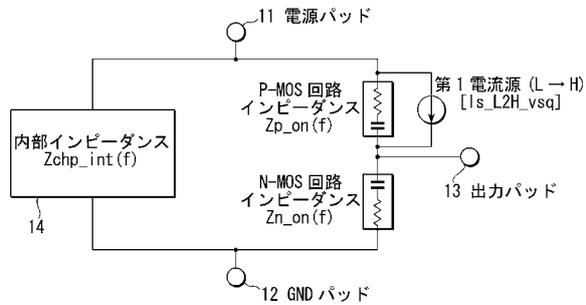
【図 3】



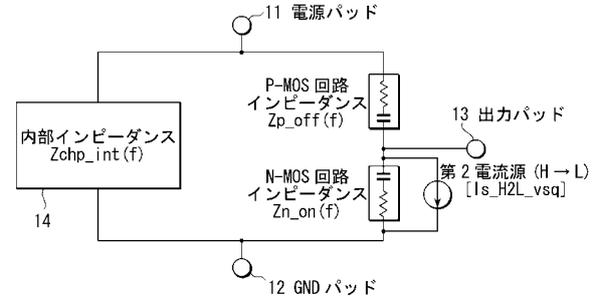
【図 5】



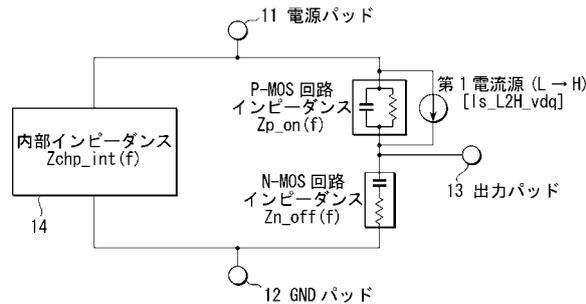
【図 4】



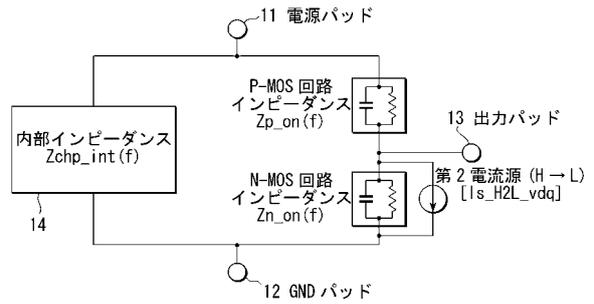
【図 6】



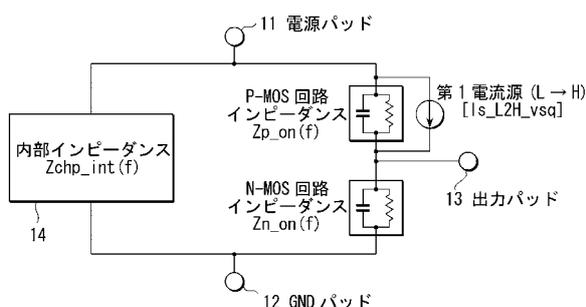
【図 7】



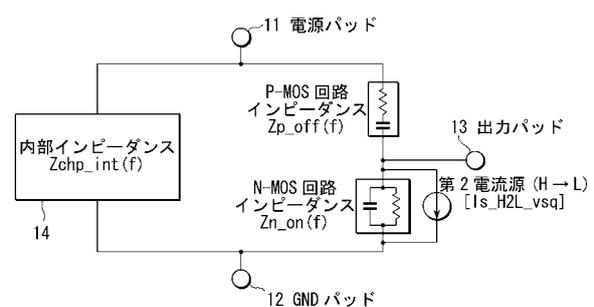
【図 9】



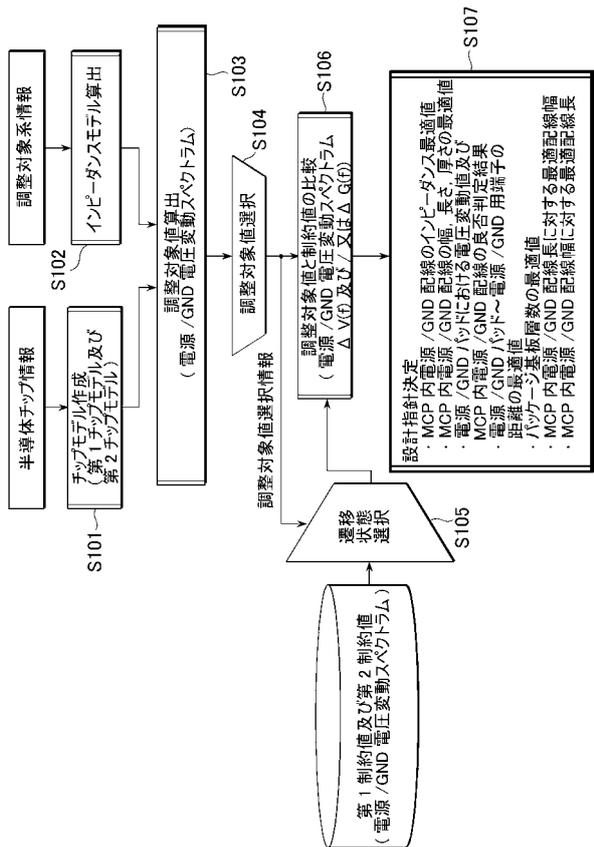
【図 8】



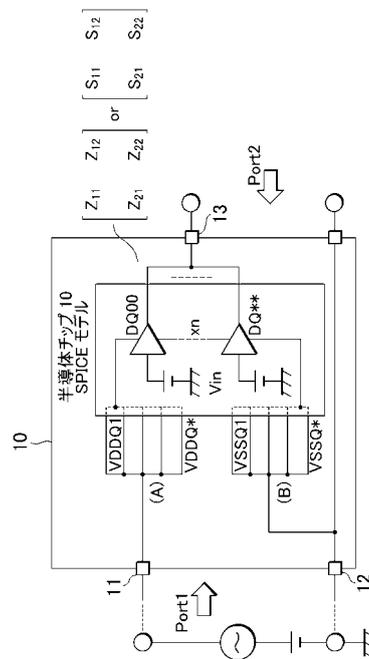
【図 10】



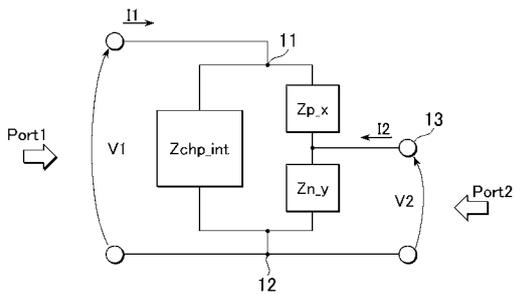
【図 1 1】



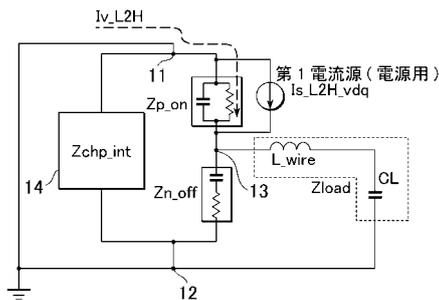
【図 1 2】



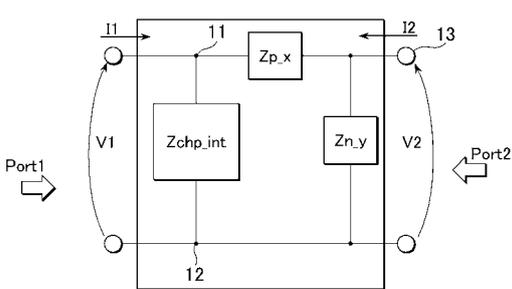
【図 1 3】



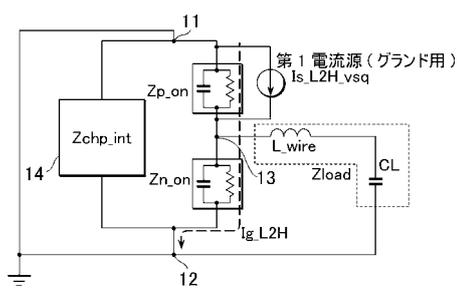
【図 1 5】



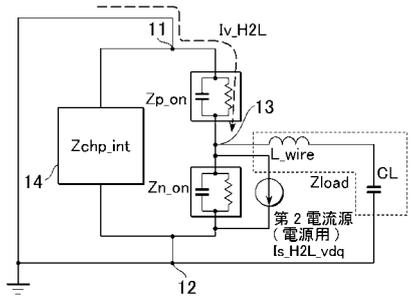
【図 1 4】



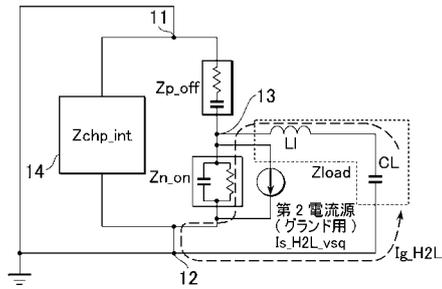
【図 1 6】



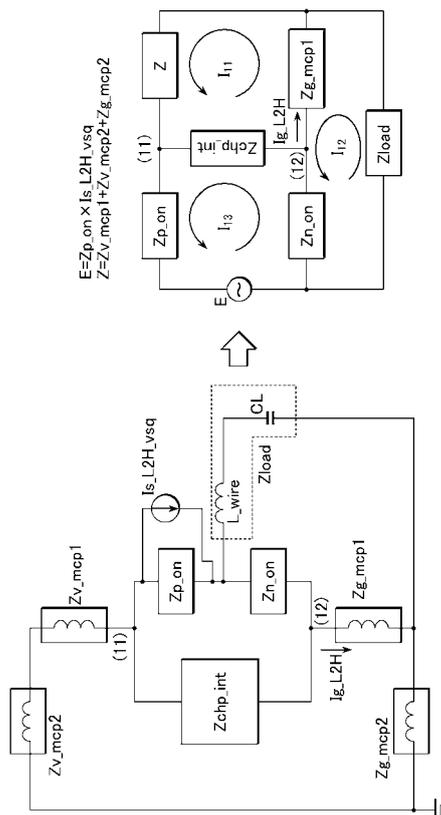
【図17】



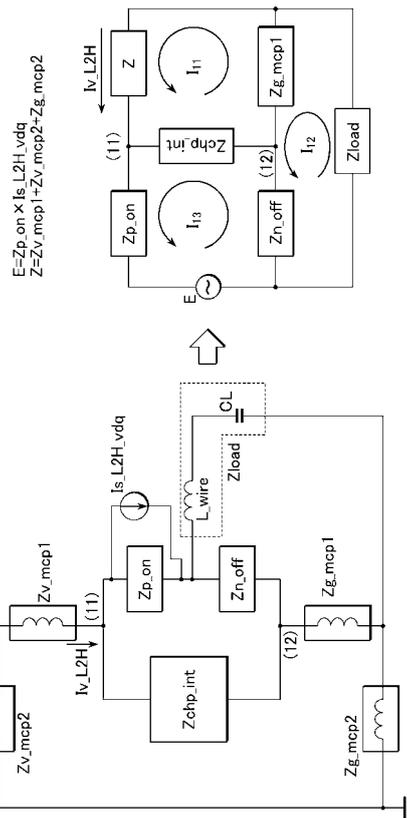
【図18】



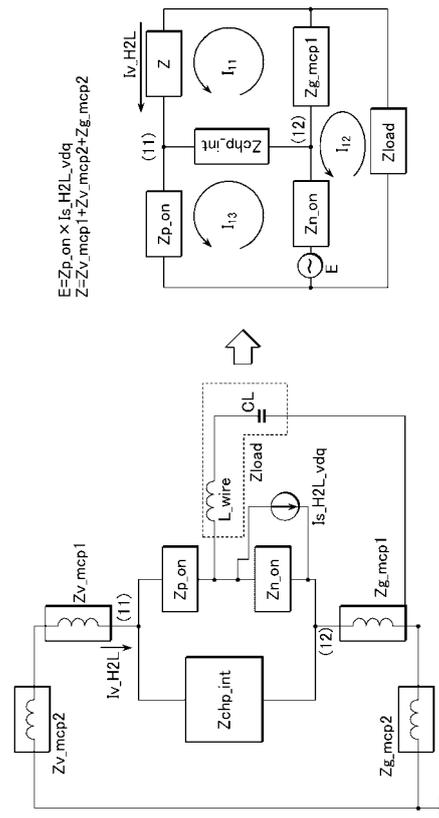
【図20】



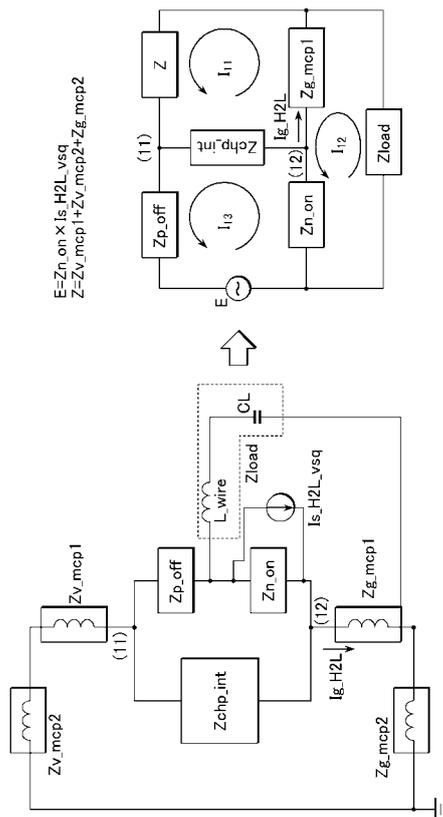
【図19】



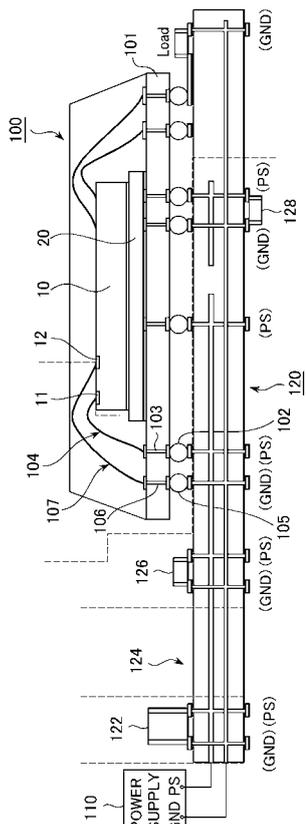
【図21】



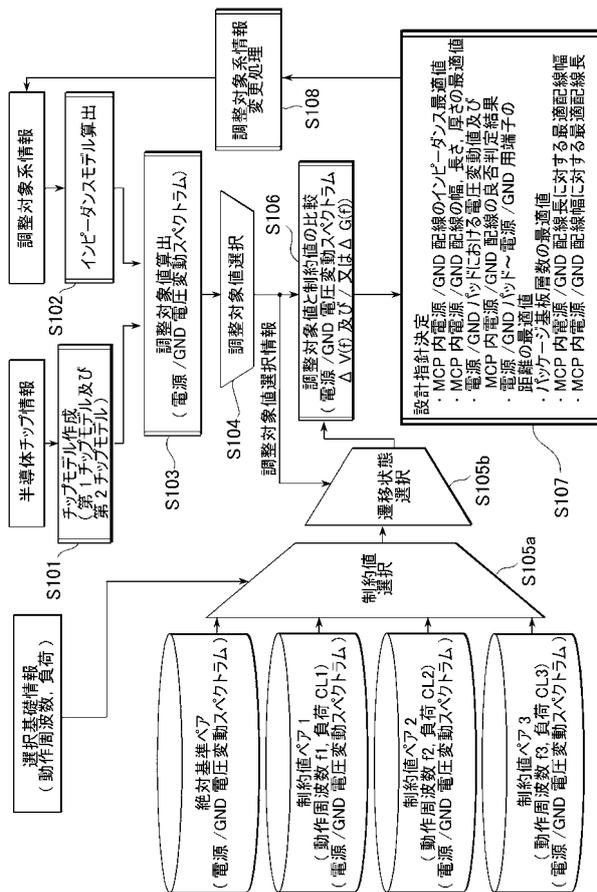
【図22】



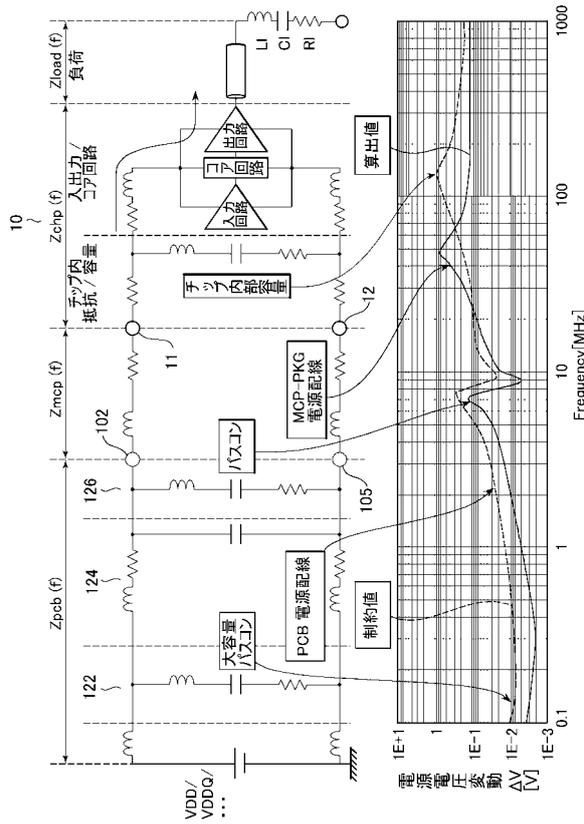
【図24】



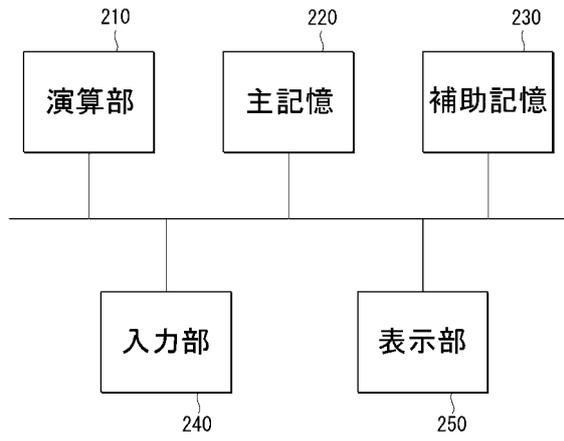
【図23】



【図25】



【図 26】



フロントページの続き

- (72)発明者 片桐 光昭
東京都中央区八重洲2 - 2 - 1 エルピーダメモリ株式会社内
- (72)発明者 中村 聡
神奈川県横浜市戸塚区吉田町2 9 2 番地株式会社日立製作所生産技術研究所内
- (72)発明者 須賀 卓
神奈川県横浜市戸塚区吉田町2 9 2 番地株式会社日立製作所生産技術研究所内
- (72)発明者 伊佐 聡
東京都中央区八重洲2 - 2 - 1 エルピーダメモリ株式会社内
- (72)発明者 板谷 哲
東京都中央区八重洲2 - 2 - 1 エルピーダメモリ株式会社内
- (72)発明者 西尾 洋二
東京都中央区八重洲2 - 2 - 1 エルピーダメモリ株式会社内

審査官 平野 崇

- (56)参考文献 特開2005 - 196406 (JP, A)
中村聡、外6名, DRAM電源系マクロモデルを使ったパッケージ設計手法の開発, 電子情報通信学会技術研究報告・ICD, 集積回路, 日本, 社団法人電子情報通信学会, 2005年 9月 1日, 第13 - 18頁

- (58)調査した分野(Int.Cl., DB名)
G06F 17/50
H01L 21/82
C i N i i
J S T P l u s (J D r e a m I I)