

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4594739号
(P4594739)

(45) 発行日 平成22年12月8日(2010.12.8)

(24) 登録日 平成22年9月24日(2010.9.24)

(51) Int.Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1345 (2006.01)	GO2F 1/1345
GO2F 1/1368 (2006.01)	GO2F 1/1368
HO1L 29/786 (2006.01)	HO1L 29/78 612D
HO1L 21/336 (2006.01)	HO1L 21/90 J

請求項の数 32 (全 54 頁) 最終頁に続く

(21) 出願番号 特願2004-564513 (P2004-564513)
 (86) (22) 出願日 平成15年12月24日(2003.12.24)
 (86) 国際出願番号 PCT/JP2003/016652
 (87) 国際公開番号 W02004/061521
 (87) 国際公開日 平成16年7月22日(2004.7.22)
 審査請求日 平成18年10月30日(2006.10.30)
 (31) 優先権主張番号 特願2002-381362 (P2002-381362)
 (32) 優先日 平成14年12月27日(2002.12.27)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 307003227
 ティーピーオー ホンコン ホールディング
 グ リミテッド
 香港, シャティン, サイエンス パーク
 イースト アベニュー, フィリップス エ
 レクトロニクス ビルディング 5, フロ
 ア 2
 (74) 代理人 230104019
 弁護士 大野 聖二
 (74) 代理人 100106840
 弁理士 森田 耕司
 (74) 代理人 100115679
 弁理士 山田 勇毅

最終頁に続く

(54) 【発明の名称】 電子装置製造方法及び電子装置

(57) 【特許請求の範囲】

【請求項1】

第1の平衡電極電位を有する第1の金属又は金属化合物を含有する第1の導電部と、前記第1の平衡電極電位とは異なる第2の平衡電極電位を有する第2の金属又は金属化合物を含有し、前記第1の導電部に電気的に接続された第2の導電部とを有する第1の導電部所有体であって、前記第1及び第2の導電部が表面に露出した第1の導電部所有体を形成する工程、

前記第1の導電部所有体の前記表面に、酸化モリブデンクロムを含む被覆膜を形成する工程、

前記被覆膜が形成された第1の導電部所有体上に感光性膜を形成する工程、

前記感光性膜を所定の露光パターンに露光する工程、及び

前記露光された感光性膜を現像する工程、

を有し、

前記被覆膜によって、前記感光性膜を現像する工程において前記第1及び第2の導電部が現像液に浸漬することを防ぐ電子装置製造方法。

【請求項2】

前記第1の導電部所有体を形成する工程が、

支持体上に、前記第1の導電部に前記第2の導電部が一部重なるように前記第1及び第2の導電部を形成する工程を有する請求項1に記載の電子装置製造方法。

【請求項3】

前記第 1 の導電部所有体を形成する工程が、
前記第 1 及び第 2 の導電部を形成する工程の前に、前記支持体上に絶縁膜を形成する工程を有する請求項 2 に記載の電子装置製造方法。

【請求項 4】

前記第 1 の導電部所有体を形成する工程が、前記第 1 の導電部が絶縁膜の孔を通じて前記第 2 の導電部に電氣的に接続されるように、前記第 1 及び第 2 の導電部を形成する工程を有する請求項 1 に記載の電子装置製造方法。

【請求項 5】

前記絶縁膜を形成する工程が、窒化シリコン又は二酸化シリコンを有する絶縁膜を形成する工程である請求項 3 又は 4 に記載の電子装置製造方法。

10

【請求項 6】

第 1 の平衡電極電位を有する第 1 の金属又は金属化合物を含有する第 1 の導電部と、前記第 1 の平衡電極電位とは異なる第 2 の平衡電極電位を有する第 2 の金属又は金属化合物を含有し、前記第 1 の導電部に電氣的に接続された第 2 の導電部とを有する第 2 の導電部所有体であって、前記第 1 及び第 2 の導電部が表面に露出した第 2 の導電部所有体を形成する工程、

前記第 2 の導電部所有体の前記表面に感光性膜を形成する工程、

前記感光性膜を所定の露光パターンに露光する工程、及び

前記露光された感光性膜を現像する工程、

を有する電子装置製造方法であって、

20

前記第 2 の導電部所有体を形成する工程が、前記第 1 及び第 2 の導電部に電氣的に接続された犠牲電極を有する前記第 2 の導電部所有体であって、前記犠牲電極が前記表面に露出した前記第 2 の導電部所有体を形成する工程であり、前記犠牲電極の平衡電極電位は、前記第 1 及び第 2 の平衡電極電位より大きい電子装置製造方法。

【請求項 7】

前記犠牲電極が前記第 1 及び第 2 の導電部のうちの一方に直に接続されている請求項 6 に記載の電子装置製造方法。

【請求項 8】

前記犠牲電極が前記第 1 及び第 2 の導電部のうちの一方に一体成形されている請求項 6 に記載の電子装置製造方法。

30

【請求項 9】

前記第 2 の導電部所有体を形成する工程が、

前記第 1 の導電部に前記第 2 の導電部が一部重なるように前記第 1 及び第 2 の導電部を形成する工程を有する請求項 6 乃至 8 のうちのいずれか 1 項に記載の電子装置製造方法。

【請求項 10】

前記第 2 の導電部所有体を形成する工程が、前記第 1 の導電部が絶縁膜の孔を通じて前記第 2 の導電部に電氣的に接続されるように、前記第 1 及び第 2 の導電部を形成する工程を有する請求項 6 乃至 8 のうちのいずれか 1 項に記載の電子装置製造方法。

【請求項 11】

第 1 の平衡電極電位を有する第 1 の金属又は金属化合物を含有する第 1 の導電部と、前記第 1 の平衡電極電位とは異なる第 2 の平衡電極電位を有する第 2 の金属又は金属化合物を含有し、前記第 1 の導電部に電氣的に接続された導電膜とを有する第 3 の導電部所有体であって、前記導電膜が表面に露出した第 3 の導電部所有体を形成する工程、及び

40

前記第 2 の金属又は金属化合物を含有し前記第 1 の導電部に電氣的に接続された第 2 の導電部が形成されるように、前記導電膜をウエットエッチングする工程、
を有する電子装置製造方法であって、

前記ウエットエッチング工程は、前記第 2 の導電部の他に、前記第 1 の導電部に電氣的に接続された犠牲電極が形成されるように、前記導電膜をウエットエッチングする工程であり、前記犠牲電極の平衡電極電位は、前記第 1 及び第 2 の平衡電極電位より大きい電子装置製造方法。

50

【請求項 1 2】

前記導電膜が前記第 1 の導電部を覆うように形成され、
前記ウエットエッチング工程が、前記第 1 の導電部の少なくとも一部を露出するように、前記導電膜をウエットエッチングする請求項 1 1 に記載の電子装置製造方法。

【請求項 1 3】

前記ウエットエッチング工程の後、前記第 1 の導電部の一部を除去する工程を有する請求項 1 1 又は 1 2 に記載の電子装置製造方法。

【請求項 1 4】

第 1 の平衡電極電位を有する第 1 の金属又は金属化合物を含有する第 1 の導電部と、前記第 1 の平衡電極電位とは異なる第 2 の平衡電極電位を有する第 2 の金属又は金属化合物を含有し、前記第 1 の導電部に電氣的に接続された第 2 の導電部とを有する第 1 の基体、
前記第 1 の基体に形成された下地層、及び

前記下地層の表面に形成された、複数の凹部又は凸部を有する反射部、
を有する電子装置であって、

前記下地層が、

前記複数の凹部又は凸部に対応する位置に設けられた、酸化モリブデンクロムを有する被覆部、及び

感光性材料により形成された、前記被覆部を覆う下地層本体、
を有する電子装置。

【請求項 1 5】

前記第 1 の基体が、
支持体、
前記支持体上に形成された第 1 の導電部、及び
前記第 1 の導電部に一部重なるように形成された前記第 2 の導電部、
を有する請求項 1 4 に記載の電子装置。

【請求項 1 6】

前記第 1 の導電部が絶縁膜上に形成された請求項 1 5 に記載の電子装置。

【請求項 1 7】

前記第 1 の基体が、
支持体、
前記支持体上に形成された前記第 1 の導電部、
前記第 1 の導電部と前記第 2 の導電部とを電氣的に接続するための孔を有する絶縁膜、
及び

前記孔を通じて前記第 1 の導電部に電氣的に接続された前記第 2 の導電部、
を有する請求項 1 4 に記載の電子装置。

【請求項 1 8】

前記絶縁膜が窒化シリコン又は二酸化シリコンを有することを特徴とする請求項 1 6 又は 1 7 に記載の電子装置。

【請求項 1 9】

第 1 の平衡電極電位を有する第 1 の金属又は金属化合物を含有する第 1 の導電部、
前記第 1 の平衡電極電位とは異なる第 2 の平衡電極電位を有する第 2 の金属又は金属化合物を含有し、前記第 1 の導電部に電氣的に接続された第 2 の導電部、及び

前記第 1 及び第 2 の導電部に電氣的に接続された犠牲電極、
を有し、前記犠牲電極の平衡電極電位は、前記第 1 及び第 2 の平衡電極電位より大きい電子装置。

【請求項 2 0】

前記犠牲電極が前記第 1 及び第 2 の導電部のうちの一方に直に接続されている請求項 1 9 に記載の電子装置。

【請求項 2 1】

前記犠牲電極が前記第 1 及び第 2 の導電部のうちの一方に一体成形されている請求項 1

10

20

30

40

50

9に記載の電子装置。

【請求項22】

前記犠牲電極が前記第1及び第2の金属又は金属化合物を含有する請求項19乃至21のうちのいずれか1項に記載の電子装置。

【請求項23】

前記第1の導電部に前記第2の導電部が一部重なるように形成されている請求項19乃至22のうちのいずれか1項に記載の電子装置。

【請求項24】

前記第1及び第2の導電部の組み合わせが、ゲート電極、ゲートバス、ソース電極又はソースバスの少なくとも一部を構成する請求項15、16又は23に記載の電子装置。

10

【請求項25】

前記第1の導電部が前記第1の金属又は金属化合物としてモリブデンを有し、前記第2の導電部が前記第2の金属又は金属化合物としてアルミニウムを有する請求項24に記載の電子装置。

【請求項26】

前記第1の導電部が、絶縁膜の孔を通じて前記第2の導電部に電気的に接続されている請求項19乃至22のうちのいずれか1項に記載の電子装置。

【請求項27】

前記第1の導電部がゲート端子の少なくとも一部を構成し、前記第2の導電部がゲートバスの少なくとも一部を構成する請求項15、16又は26に記載の電子装置。

20

【請求項28】

前記第1の導電部がソース端子の少なくとも一部を構成し、前記第2の導電部がESDトランジスタのゲート電極の少なくとも一部を構成する請求項15、16又は26に記載の電子装置。

【請求項29】

前記第1の導電部が前記第1の金属又は金属化合物として酸化インジウムを含有し、前記第2の導電部が、前記第2の金属又は金属化合物としてアルミニウム又はモリブデンを含有する請求項27又は28に記載の電子装置。

【請求項30】

前記電子装置が第3の導電部を有し、
前記第1の導電部が前記第3の導電部の一部を覆う請求項19に記載の電子装置。

30

【請求項31】

前記第3の導電部がゲート端子の少なくとも一部を構成する請求項30に記載の電子装置。

【請求項32】

請求項14乃至31のうちのいずれか1項に記載の電子装置を備えた画像表示装置。

【発明の詳細な説明】

【技術分野】

本発明は、電気的に接続された複数の導電部を有する電子装置の製造方法及びその方法が適用された電子装置に関する。

40

【背景技術】

反射型液晶表示装置や半透過型液晶表示装置等の反射体が形成される液晶表示装置では、反射体に凹部又は凸部を持たせるために、反射体を形成する前に、多数の凹部又は凸部を有する下地層が形成される。下地層の材料には感光性材料が用いられている。下地層を形成する場合、支持体上に感光性材料を塗布し、ベーキングすることによって感光性膜を形成し、この感光性膜を露光し、現像することによって感光性膜がパターンニングされる。

感光性膜が塗布される支持体の表面には、通常、ゲートバスやゲート端子等を構成する種々の導電膜が露出している。従って、その感光性膜を露光、現像すると、感光性膜の現像時に感光性膜の不要な部分が現像液によって除去され、その結果、感光性膜で覆われていた種々の導電膜が露出し、現像液がこの露出した種々の導電膜に接触する。このように

50

、現像液が種々の導電膜に接触してしまうと、感光性膜が必要以上に除去されたり、現像液に接触した導電膜が損傷を受けてしまうという現象が生じる場合がある。

上記の例では、現像液が種々の導電膜に接触したときの様子について説明したが、例えば、金属膜をウェットエッチングするときエッチング液が種々の導電部に接触したときにも、金属膜が必要以上に除去されてしまうという現象が生じる場合がある。

【発明の開示】

本発明の目的は、感光性膜が必要以上に除去される現象を防止又は緩和する電子装置製造方法、及びこの方法が適用された電子装置を提供することにある。

本発明の他の目的は、現像液に接触した導電膜が損傷を受けてしまう現象を防止又は緩和する電子装置製造方法、及びこの方法が適用された電子装置を提供することにある。

本発明の更に他の目的は、金属膜が必要以上に除去されてしまうという現象を防止又は緩和する電子装置製造方法、及びこの方法が適用された電子装置を提供することにある。

上記目的を達成する本発明の第1の電子装置製造方法は、第1の平衡電極電位を有する第1の金属又は金属化合物を含有する第1の導電部と、第2の平衡電極電位を有する第2の金属又は金属化合物を含有し、前記第1の導電部に電気的に接続された第2の導電部とを有する第1の導電部所有体であって、前記第1及び第2の導電部が表面に露出した第1の導電部所有体を形成する工程、前記第1の導電部所有体の前記表面に被覆膜を形成する工程、前記被覆膜が形成された第1の導電部所有体上に感光性膜を形成する工程、前記感光性膜を所定の露光パターンに露光する工程、及び前記露光された感光性膜を現像する工程、を有する。

本発明の第1の導電部装置製造方法では、感光性膜を形成する前に、基板の表面に被覆膜が形成される。従って、感光性膜を現像することによって感光性膜の不要な部分が除去されても、被覆膜で覆われた導電部は、現像液には接触しない。この結果、この被覆膜で覆われた導電部はアノード又はカソードとして作用せず、電池反応を生じなくすることができる。このように電池反応を生じなくすることによって、感光性膜が必要以上に除去されたり、導電部が損傷を受けることを防止することができる。

ここで、前記第1の導電部所有体を形成する工程は、支持体上に、前記第1の導電部に前記第2の導電部が重なるように前記第1及び第2の導電部を形成する工程を有することができる。この場合、前記第1の導電部所有体を形成する工程は、前記第1及び第2の導電部を形成する工程の前に、前記支持体上に絶縁膜を形成する工程を有することができる。

また、前記第1の導電部所有体を形成する工程は、前記第1の導電部が絶縁膜の孔を通じて前記第2の導電部に電気的に接続されるように、前記第1及び第2の導電部を形成する工程を有することもできる。

また、本発明の第1の電子装置製造方法において、前記絶縁膜を形成する工程が、窒化シリコン又は二酸化シリコンを有する絶縁膜を形成する工程である場合、前記被覆膜を形成する工程が、酸化モリブデンクロムを含む被覆膜を形成する工程とすることが好ましい。

被覆膜が絶縁膜を覆っている場合、被覆膜をエッチングすることによって、絶縁膜の一部が露出する。このときに、被覆膜だけでなく絶縁膜も一緒にエッチングされてしまうと、絶縁膜が損傷を受け、絶縁膜の機能に悪影響を与える恐れがある。従って、被覆膜の材料のエッチング速度と、絶縁膜の材料のエッチング速度との比（エッチング選択比）は、十分大きいことが要求される。この目的を達成するためには、絶縁膜の材料に、例えば窒化シリコン又は二酸化シリコンが使用されている場合は、被覆膜の材料としては酸化モリブデンクロムを好適に使用することができる。エッチング選択比の違いのため、酸化モリブデンクロムを除去することによって窒化シリコン又は二酸化シリコンが露出しても、窒化シリコン又は二酸化シリコンはほとんどエッチングされない。従って、絶縁膜の機能を良好に保つことができる。

本発明の第2の電子装置製造方法は、第1の平衡電極電位を有する第1の金属又は金属化合物を含有する第1の導電部と、第2の平衡電極電位を有する第2の金属又は金属化合

10

20

30

40

50

物を含有し、前記第1の導電部に電氣的に接続された第2の導電部とを有する第2の導電部所有体であって、前記第1及び第2の導電部が表面に露出した第2の導電部所有体を形成する工程、前記第2の導電部所有体の前記表面に感光性膜を形成する工程、前記感光性膜を所定の露光パターンに露光する工程、及び前記露光された感光性膜を現像する工程、を有する電子装置製造方法であって、前記第2の導電部所有体を形成する工程が、前記第1及び第2の導電部に電氣的に接続された犠牲電極を有する前記第2の導電部所有体であって、前記犠牲電極が前記表面に露出した前記第2の導電部所有体を形成する工程である。

本発明の第2の導電部装置製造方法では、第2の導電部所有体の表面に露出している第1及び第2の導電部は、それぞれ第1及び第2の平衡電極電位を有する第1及び第2の金属又は金属化合物を含有している。更に、このような第1及び第2の導電部が表面に露出した導電部所有体に、感光性膜が形成される。従って、この感光性膜を現像することによって感光性膜の一部が除去され、この結果第1及び第2の導電部が現像液に接触してしまうと、これら第1及び第2の導電部がアノード又はカソードとして作用し電池反応が生じる。導電部においてこの電池反応が促進すると、導電部自体が損傷を受けたり、感光性膜が必要以上に除去される恐れがある。従って、導電部では、電池反応はできるだけ促進されないようにすることが望まれる。そこで、本発明の第2の導電部装置製造方法では、第2の導電部所有体は、第1及び第2の導電部に電氣的に接続された犠牲電極を備えており、この第2の導電部所有体の表面には犠牲電極が露出している。第2の導電部所有体の表面に犠牲電極が露出しているため、この第2の導電部所有体に感光性膜を形成し、この感光性膜を現像すると、第1及び第2の導電部だけでなく犠牲電極も露出し、犠牲電極が一時的に現像液に接触する。従って、感光性膜を現像することによって第1及び第2の導電部が現像液に接触したとしても、犠牲電極も現像液に接触しているため、この第1及び第2の導電部だけでなく犠牲電極もアノード又はカソードとして作用し、この結果、第1及び第2の導電部だけでなく犠牲電極でも電池反応が起きる。本発明の第2の導電部装置製造方法において、もし犠牲電極を形成しないと仮定すると、電池反応の起こる場所は第1及び第2の導電部にだけ集中するが、実際は犠牲電極を備えているため、電池反応の起こる場所を第1及び第2の導電部だけでなく犠牲電極にも分散させることができる。この結果、第1及び第2の導電部での電池反応は促進されにくくなり、感光性膜が必要以上に除去されたり、導電部が損傷を受けることを防止又は抑制することができる。

犠牲電極は、例えば、第1及び第2の導電部のうちの一方に直に接続されてもよく、又は第1及び第2の導電部のうちの一方に一体成形されていてもよい。

ここで、第2の導電部所有体を形成する工程は、例えば、第1の導電部に前記第2の導電部が重なるように前記第1及び第2の導電部を形成する工程を有したり、又は第1の導電部が絶縁膜の孔を通じて前記第2の導電部に電氣的に接続されるように、前記第1及び第2の導電部を形成する工程を有することができる。

本発明の第3の電子装置製造方法は、第1の平衡電極電位を有する第1の金属又は金属化合物を含有する第1の導電部と、第2の平衡電極電位を有する第2の金属又は金属化合物を含有し、前記第1の導電部に電氣的に接続された導電膜とを有する第3の導電部所有体であって、前記導電膜が表面に露出した第3の導電部所有体を形成する工程、及び前記第2の金属又は金属化合物を含有し前記第1の導電部に電氣的に接続された第2の導電部が形成されるように、前記導電膜をウエットエッチングする工程、を有する電子装置製造方法であって、前記ウエットエッチング工程が、前記第2の導電部の他に、前記第1の導電部に電氣的に接続された犠牲電極が形成されるように、前記導電膜をウエットエッチングする。

本発明の第3の導電部装置製造方法では、ウエットエッチング工程によって、第2の導電部だけでなく第1の導電部もエッチング液に接触し、第1及び第2の導電部がアノード又はカソードとなって電池反応が生じる場合がある。この電池反応が生じると、第2の導電部の材料のエッチング速度が速くなり、第2の導電部を所望の寸法にすることが困難になる。従って、第2の導電部が所望の寸法を有することができるように、電池反応はできる

10

20

30

40

50

だけ促進されないことが望まれる。そこで、本発明の第3の導電部装置製造方法では、上記ウエットエッチング工程が、上記第2の導電部の他に、上記第1の導電部に電氣的に接続された犠牲電極が形成されるように、上記導電膜をウエットエッチングしている。第2の導電部の他に犠牲電極を形成するため、導電膜をウエットエッチングすることによって、第1及び第2の導電部だけでなく犠牲電極も一時的にエッチング液に接触した状態となる。従って、第1及び第2の導電部だけでなく犠牲電極もアノード又はカソードとして作用するため、第1及び第2の導電部だけでなく犠牲電極でも電池反応が起き、電池反応の起こる場所を第1及び第2の導電部だけでなく犠牲電極にも分散させることができる。この結果、第2の導電部での電池反応は促進されにくくなり、導電膜を、所望の形状を有する第2の導電部が形成されるように容易にウエットエッチングすることができる。

10

本発明の第3の電子装置製造方法は、例えば、前記導電膜が前記第1の導電部を覆うように形成され、前記ウエットエッチング工程が、前記第1の導電部の少なくとも一部を露出するように、前記導電膜をウエットエッチングする場合に、特に有効である。ウエットエッチング工程の後、第1の導電部の一部は除去される場合もある。

本発明の第1の電子装置は、第1の平衡電極電位を有する第1の金属又は金属化合物を含有する第1の導電部と、第2の平衡電極電位を有する第2の金属又は金属化合物を含有し、前記第1の導電部に電氣的に接続された第2の導電部とを有する第1の基体、前記第1の基体に形成された下地層、及び前記下地層の表面に形成された、複数の凹部又は凸部を有する反射部、を有する電子装置であって、前記下地層が、前記複数の凹部又は凸部に対応する位置に設けられた被覆部、及び感光性材料により形成された、前記被覆部を覆う下地層本体、を有する。

20

また、本発明の第2の電子装置は、第1の平衡電極電位を有する第1の金属又は金属化合物を含有する第1の導電部、第2の平衡電極電位を有する第2の金属又は金属化合物を含有し、前記第1の導電部に電氣的に接続された第2の導電部、及び前記第1及び第2の導電部に電氣的に接続された犠牲電極、を有する。

また、本発明の画像表示装置は、上記の電子装置を備えている。

【図面の簡単な説明】

図1は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明の第1実施形態のTFTアレイ基板20の一部平面図である。

図2は、図1のI-I方向から見た断面図である。

30

図3は、ソースバス3及びゲートバスの端部51等が形成された基板の一部平面図である。

図4は、図3のII-II方向から見た断面図である。

図5は、a-Si層7及びゲート絶縁膜8が形成された基板の一部平面図である。

図6は、図5のIII-III方向の断面図である。

図7は、導電膜93が形成された基板の断面図である。

図8は、MoCr膜91とAlCu膜92とがパターニングされた直後の基板の一部平面図である。

図9は、図8に示すIV-IV方向の断面図である。

図10は、MoCr不要部26aがウエットエッチングされた後の基板を示す断面図である。

40

図11は、導電部所有体Aを示す断面図である。

図12は、従来のやり方で形成された下地層及びその下地層の上に形成された反射電極13が設けられた基板の断面図である。

図13は、感光性膜が形成された基板の断面図である。

図14は、図13に示す感光性膜を現像した直後の基板の断面図である。

図15は、図14に示す領域R1の拡大図である。

図16は、図14に示す領域R2の拡大図である。

図17は、被覆膜が形成された基板を示す断面図である。

図18は、感光性膜110が形成された基板の断面図である。

50

図19は、感光性膜110が現像された後の基板の断面図である。

図20は、突起110'がポストバークされた後の基板の断面図である。

図21は、被覆膜100がエッチングされた後の基板の断面図である。

図22は、平坦化膜12が形成された基板の断面図である。

図23は、ボトムゲート構造を有する反射型液晶表示装置に用いられる本発明の第2実施形態のTFTアレイ基板200の一部断面図である。

図24は、ゲート電極201、ゲート絶縁膜202、a-Si層203及び保護膜204が形成された基板を示す断面図である。

図25は、導電膜が形成された基板の断面図である。

図26は、ITO膜205とMoCr膜206とをウエットエッチングした後の基板の断面図である。 10

図27は、被覆膜209が形成された基板を示す断面図である。

図28は、多数の突起210が形成された基板を示す断面図である。

図29は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第3実施形態のTFTアレイ基板300の一部平面図である。

図30は、図29のI-I方向から見た断面図である。

図31は、図29のII-II方向から見た断面図である。

図32は、ゲートバス端部51及び犠牲電極60等が形成された基板の一部平面図である。

図33は、図32のIII-III方向から見た断面図である。 20

図34は、図32のIV-IV方向から見た断面図である。

図35は、基板1上にa-Si層7及びゲート絶縁膜8が形成された基板の一部平面図である。

図36は、図35のV-V方向から見た断面図である。

図37は、図35のVI-VI方向から見た断面図である。

図38は、導電膜93が形成された基板の断面図である。

図39は、導電膜93が形成された基板の断面図である。

図40は、MoCr膜91とAlCu膜92とがウエットエッチングされた後の基板の一部平面図である。

図41は、図40のVII-VII方向から見た断面図である。 30

図42は、図40のVIII-VIII方向から見た断面図である。

図43は、突起11が形成された直後の基板の一部平面図である。

図44は、ゲートバス端部51等が形成された基板の一部平面図である。

図45は、図44のI-I方向から見た断面図である。

図46は、図44のII-II方向から見た断面図である。

図47は、a-Si膜7及び絶縁膜8が形成された基板の一部平面図である。

図48は、図47のIII-III方向から見た断面図である。

図49は、図47のIV-IV方向から見た断面図である。

図50は、導電膜93が形成された基板の断面図である。

図51は、導電膜93が形成された基板の断面図である。 40

図52は、導電膜93がパターンニングされた後の基板の一部平面図である。

図53は、図52のV-V方向から見た断面図である。

図54は、図52のVI-VI方向から見た断面図である。

図55は、MoCr不要部26a及び26bがウエットエッチングされた後の基板を示す断面図である。

図56は、MoCr不要部26a及び26bがウエットエッチングされた後の基板を示す断面図である。

図57は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第4実施形態のTFTアレイ基板400の一部平面図である。

図58は、図57のI-I方向から見た断面図である。 50

図 59 は、図 57 の I I - I I 方向から見た断面図である。

図 60 は、ソースバス 191 及び犠牲電極 171 等が形成された基板の一部平面図である。

図 61 は、図 60 の I I I - I I I 方向から見た断面図である。

図 62 は、図 60 の I V - I V 方向から見た断面図である。

図 63 は、ガラス基板 1 上に a - S i 層 153 及び 163 とゲート絶縁膜 160 とが形成された基板の一部平面図である。

図 64 は、図 63 の V - V 方向から見た断面図である。

図 65 は、図 61 の V I - V I 方向から見た断面図である。

図 66 は、導電膜 177 が形成された基板の断面図である。

図 67 は、導電膜 177 が形成された基板の断面図である。

図 68 は、M o C r 膜 175 と A l C u 膜 176 とがパターンニングされた後の基板の一部平面図である。

図 69 は、図 68 の V I I - V I I 方向から見た断面図である。

図 70 は、突起 11 が形成された直後の基板の一部平面図である。

図 71 は、ソースバス 191 等が形成された基板の一部平面図である。

図 72 は、図 71 の I - I 方向から見た断面図である。

図 73 は、図 71 の I I - I I 方向から見た断面図である。

図 74 は、a - S i 層 153 及び 163 とゲート絶縁膜 160 とが形成された基板の一部平面図である。

図 75 は、図 74 の I I I - I I I 方向から見た断面図である。

図 76 は、図 74 の I V - I V 方向から見た断面図である。

図 77 は、導電膜 177 が形成された基板の断面図である。

図 78 は、導電膜 177 が形成された基板の断面図である。

図 79 は、導電膜 177 がパターンニングされた後の基板の一部平面図である。

図 80 は、図 79 の V - V 方向から見た断面図である。

図 81 は、図 79 の V I - V I 方向から見た断面図である。

図 82 は、M o C r 不要部 26a 及び 26b がウエットエッチングされた後の基板を示す断面図である。

図 83 は、M o C r 不要部 26a 及び 26b がウエットエッチングされた後の基板を示す断面図である。

図 84 は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第 5 実施形態の T F T アレイ基板 500 の一部平面図である。

図 85 は、図 84 の I - I 方向から見た断面図である。

図 86 は、図 84 の I I - I I 方向から見た断面図である。

図 87 は、ゲート端子 6 等が形成された基板の一部平面図である。

図 88 は、図 87 の I I I - I I I 方向から見た断面図である。

図 89 は、a - S i 層 7、ゲート絶縁膜 8、ゲート電極 9 及びゲートバス本体部 52 が形成された基板の一部平面図である。

図 90 は、図 89 の I V - I V 方向から見た断面図である。

図 91 は、下地層が形成された基板の一部平面図である。

図 92 は、図 91 の V - V 方向から見た断面図である。

図 93 は、図 91 の V I - V I 方向から見た断面図である。

図 94 は、ゲート絶縁膜 8 がドライエッチングされた後の基板を示す断面図である。

図 95 は、ゲート絶縁膜 8 がドライエッチングされた後の基板を示す断面図である。

図 96 は、A g 膜 130 が形成された基板の断面図である。

図 97 は、A g 膜 130 が形成された基板の断面図である。

図 98 は、A g 膜 130 をウエットエッチングした直後の基板の一部平面図である。

図 99 は、図 98 の基板の V I I - V I I 方向から見た断面図である。

図 100 は、図 98 の基板の V I I I - V I I I 方向から見た断面図である。

10

20

30

40

50

【発明を実施するための最良の形態】

以下、本発明の実施形態について、液晶表示装置に用いられるTFTアレイ基板を製造する場合を取り上げて説明するが、本発明は、液晶表示装置に用いられるTFTアレイ基板以外にも適用することができる。

[実施形態1]

図1は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明の第1実施形態のTFTアレイ基板20の一部平面図、図2は、図1のI-I方向から見た断面図である。尚、本実施形態では、反射型の液晶表示装置について説明しているが、例えば半透過型の液晶表示装置にも適用することができる。

図1及び図2の左側はTFT及び反射電極13等が形成される表示領域であり、図1及び図2の右側はゲート端子6が形成される周辺領域である。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

以下、図1及び図2に示すTFTアレイ基板20の製造方法について説明する。

まずガラス基板1上に、ソース電極2、ソースバス3、ドレイン電極4、ゲートバスの端部51及びゲート端子6を形成する(図3参照)。

図3は、ソースバス3及びゲートバスの端部51等が形成された基板の一部平面図、図4は、図3のII-II方向から見た断面図である。

図3に示すように、表示領域には、ソース電極2、ソースバス3及びドレイン電極4が形成されている。ソースバス3はy方向に延在するように形成されており、ソース電極2はこのソースバス3に繋がるように形成されている。また、周辺領域にはゲート端子6とゲートバスの端部(以下、「ゲートバス端部」という)51とが形成されている。ゲート端子6はゲートバス端部51に繋がるように形成されている。ゲートバス端部51は、後述するゲートバス5の本体部510(図10参照)に接続される接続部51aと、この接続部51aからゲート端子6にまで延在する延長部51bとを有する。ソース電極2、ソースバス3、ドレイン電極4及びゲートバス端部51は、ITOを含有するITO部25とMoCrを含有するMoCr部26との二層構造を有している。このような二層構造のソース電極2、ソースバス3、ドレイン電極4及びゲートバス端部51は、基板1上にMoCr膜/ITO膜の二層膜を形成し、この二層膜をパターニングすることにより形成されている。このように、これらゲートバス端部51等をITO部25の単層構造ではなく、ITO部25とMoCr部26との二層構造とすることによって、これらゲートバス端部51等の抵抗を低くすることができる。ここでは、ゲートバス端部51の接続部51a及び51cはITO部25とMoCr部26との二層構造を有しているが、接続部51a及び51cをITO部25のみの単層構造としてもよい。この場合、ゲートバス端部51の接続部51a及び51cがITO部25のみの単層構造であっても、ゲートバス端部51の延長部51bをITO部25とMoCr部26との二層構造とすることによって、ゲートバス端部51自体の抵抗値を十分に低くすることができる。ただし、十分に低い抵抗値が得られるのであれば、ゲートバス端部51等はITO部25のみの単層構造であってもよい。

また、ゲート端子6はゲートバス端部51に繋がるように形成されているが、このゲート端子6はMoCr部26の一部分26a(図3にクロスハッチングで示されている部分)で覆われていることに注意されたい。ゲート端子6にとってこのMoCr部26の一部分26a(以下、MoCr不要部26aと呼ぶ)は不要であり、このため、このMoCr不要部26aは除去されなければならない。しかしながら、図3及び図4に示す状態においてMoCr不要部26aを除去しようとする、MoCr不要部26aを除去するための専用のフォトリソ工程が必要となり、製造工程数が増大する。そこで、製造工程数を増大させずにTFTアレイ基板が製造できるように、MoCr不要部26aを直ぐに除去するのではなく、先にa-Si層及びゲート絶縁膜を形成する。尚、ITO部25とMoCr部26との二層体1(図4参照)は、ゲート端部51、ゲート端子6及びMoCr不要部26aを構成している。

図5は、a-Si層7及びゲート絶縁膜8が形成された基板の一部平面図、図6は、図

10

20

30

40

50

5のIII-III方向の断面図である。

a-Si層7を形成した後、ゲート絶縁膜8が形成される。このゲート絶縁膜8は、孔8a、8b及び8cを有する。孔8aはドレイン電極4を露出するための孔である。孔8bは、ゲートバス端部51の接続部51aを露出するための孔である。孔8cは、ゲート端子6を覆っているMoCr不要部26aを露出するための孔である。

ゲート絶縁膜8を形成した後、ゲート電極等の材料を用いて導電膜を形成する(図7参照)。

図7は、導電膜93が形成された基板の断面図である。

ここでは、導電膜93は、Crが添加されMoを主成分とする材料からなる膜(以下、MoCr膜と呼ぶ)91と、Cuが添加されAlを主成分とする材料からなる膜(以下、AlCu膜と呼ぶ)92とから構成される。このようにMoCr膜91とAlCu膜92とを形成した後、これらの膜91及び92はリソグラフィ技術によってパターニングされる(図8参照)。

10

図8は、MoCr膜91とAlCu膜92とがパターニングされた直後の基板の一部平面図、図9は、図8に示すIV-IV方向の断面図である。

図8及び図9には、導電膜93(図7参照)をパターニングするためのレジスト膜Resが図示されている。レジスト膜Resを形成した後に導電膜93をウエットエッチングすることによって、レジスト膜Resの下にはゲート電極9とゲートバスの本体部(以下、「ゲートバス本体部」と呼ぶ)510とが形成される。また、導電膜93(図7参照)をウエットエッチングすることによって、導電膜93の不要な部分が除去され、この結果、MoCr部26のMoCr不要部26aが露出する。先に説明したように、このMoCr不要部26aはゲート端子6には不要であるので、MoCr不要部26aが露出したら、レジスト膜Resを剥離する前に、このMoCr不要部26aも一緒にウエットエッチングする(図10参照)。

20

図10は、MoCr不要部26aがウエットエッチングされた後の基板を示す断面図である。

MoCr不要部26aをウエットエッチングすることにより、ゲート端子6を露出させることができる。また、MoCr不要部26aをウエットエッチングすることによって、このMoCr不要部26aと同じ材料であるゲート電極4のMoCr部26の一部もウエットエッチングされる。ウエットエッチングが終了した後、レジスト膜Resが剥離され、図11に示す導電部所有体Aが製造される。

30

尚、ここでは、ゲート端子6を露出するために、MoCr不要部26aを除去する前にゲート絶縁膜8を形成し(図5及び図6参照)、導電膜93をウエットエッチングする工程でMoCr不要部26aのウエットエッチングも一緒に行うことによって、ゲート端子6を露出させている。しかしながら、ゲート絶縁膜8を形成する前に、図4に示す二層体1のMoCr不要部26aを除去してゲート端子6を露出させておいてもよい。ただし、ゲート絶縁膜8を形成する前に、ゲート端子6を露出させる場合は、製造工程が増加するので、図3乃至図10を参照しながら説明したように、導電膜93をウエットエッチングする工程で、MoCr不要部26aのウエットエッチングも行うことが好ましい。

図11に示すように、レジスト膜Res2を剥離した後、反射電極を形成する前に、この反射電極に所望の反射特性を持たせるための下地層を形成する。しかしながら、この下地層を従来のやり方で形成すると以下のような問題が生じる。この問題について、図12乃至図16を参照しながら説明する。

40

図12は、従来のやり方で形成された下地層及びその下地層の上に形成された反射電極13が設けられた基板の断面図である。

下地層は、感光性樹脂を材料として形成された多数の突起11と、この突起11を覆うように形成された平坦化膜12とから構成される。平坦化膜12の下に多数の突起11が存在しているため、この平坦化膜12の表面に凹凸が設けられる。平坦化膜12の表面にこのような凹凸を設けておくことによって、反射電極13の表面にも凹凸を設けることができ、この結果、反射電極13の反射特性を向上させることが可能となる。以下に、突起

50

11をどのようにして形成しているかについて、図13及び図14を参照しながら説明する。

図13は、感光性膜が形成された基板の断面図、図14は、図13に示す感光性膜を現像した直後の基板の断面図である。

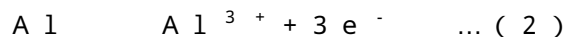
図12に示す突起11を形成するためには、先ず、ゲート電極9が形成された基板の表面に感光性樹脂を塗布し、塗布した感光性樹脂をプリベークすることによって感光性膜110を形成する。その後、感光性膜を突起11に対応する部分が残るように露光及び現像する。感光性膜110をこのように露光及び現像することにより、断面が略矩形の多数の突起110'が形成される(図14参照)。多数の突起110'の形成後、この突起110'をポストベークすることにより、突起110'の材料である感光性樹脂が溶融し、断面がドーム形状の多数の突起11(図12参照)が形成される。しかしながら、上記のやり方で突起11を形成しようとする、突起110'が所望の寸法よりも小さくなるという問題や、ゲート端子6の抵抗値が高くなってしまいう問題が生じる。以下に、突起110'が所望の寸法よりも小さくなる理由を図15を参照しながら考察し、次に、ゲート端子6の抵抗値が高くなってしまいう理由を図16を参照しながら考察する。

図15は、図14に示す領域R1の拡大図である。

感光性膜110(図13参照)から多数の突起110'(図14参照)を形成するためには、感光性膜110の不要な部分を除去する必要がある。この目的のため、感光性膜110の不要な部分は、現像工程において現像液により除去される。このように感光性膜110の不要な部分が現像液によって除去されると、ゲート電極9が露出し、ゲート電極9が一時的に現像液に浸された状態になる。ゲート電極9はMoCr膜91'及びAlCu膜92'から構成されているため、多量のAl及びMoを含有している。Al及びMoの平衡電極電位は式(1)の関係で表される。



MoCr膜91'及びAlCu膜92'が現像液に接触すると、現像液は電解質溶液であることから、反応式(2)及び(3)で表される電池反応が起きると考えられる。



Alの平衡電極電位はMoの平衡電極電位よりも小さいため、AlCu膜92'はアノードとして作用し、電子(e⁻)を放出する反応式(2)が優先的に生じると考えられる。一方、MoCr膜91'はカソードとして作用し、電子を受け取る反応式(3)が優先的に生じると考えられる。尚、反応式(3)の左辺のH₂Oは現像液の主成分であるH₂Oを表す。

反応式(2)の反応が起こることによって、Al³⁺が発生するとともに電子(e⁻)が発生する。発生した電子の一部は、AlCu膜92'からMoCr膜91'を経由して現像液中のH₂Oと反応し、この結果、反応式(3)に示すように、H₂とともにOH⁻が生じる。このように反応式(3)で表される反応が生じた場合、OH⁻が生じるため、MoCr膜91'の近傍はアルカリ濃度が高くなる。このようにアルカリ濃度が高くなると、現像液が感光性膜110を除去するスピードは速くなるため、MoCr膜91'の近傍では、感光性樹脂の除去が加速度的に進行する。この結果、MoCr膜91'の近傍に位置する突起110'の材料が必要以上に除去され、所望の寸法よりも小さくなると考えられる。

また、周辺領域では、以下のような現象が生じると考えられる。

図16は、図14に示す領域R2の拡大図である。

感光性膜110を現像すると、周辺領域では、突起110'が形成される一方で、ゲートバス本体部510及びゲート端子6が露出する。従って、周辺領域側では、ゲートバス本体部510とゲート端子6とが一時的に現像液に浸された状態になる。ゲートバス本体部510はMoCr膜91'及びAlCu膜92'(図8参照)から構成されているため多量のAl及びMoを含んでおり、一方、ゲート端子6の材料にはITOが用いられているためゲート端子6にはIn₂O₃が含まれている。これらAl、Mo及びIn₂O₃の

10

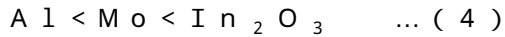
20

30

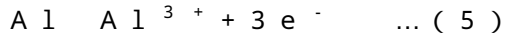
40

50

平衡電極電位の大きさは(4)式で表される。



(4)式で表されるように、平衡電極電位が最も小さいのはAlであり、平衡電極電位が最も大きいのは In_2O_3 である。従って、ゲートバス本体部510とゲート端子6とが現像液に浸された状態になることにより、反応式(5)及び(6)で表される電池反応が生じると考えられる。



平衡電極電位が最も小さいのはAlであり、平衡電極電位が最も大きいのは In_2O_3 であるため、AlCu膜92'側では反応式(5)が優先的に生じ、ITO側(即ち、ゲート端子6側)では反応式(6)が優先的に生じると考えられる。

(5)の反応が起こることによって、 Al^{3+} が発生するとともに電子(e^-)が発生する。この発生した電子の一部は、AlCu膜92'からMoCr膜91'を経由してゲート端子6に流入する。このゲート端子6に流入した e^- によって、ゲート端子6において、反応式(6)に示すように In_2O_3 からInが生成される反応が生じる。このようなInの生成はゲート端子6の損傷を引き起こし、この結果ゲート端子6の抵抗値が高くなると考えられる。

上記の考察から、本願発明者は、突起110'自体が剥離してしまう原因は反応式(2)及び(3)が起きるためであり、一方、ゲート端子6の抵抗値が高くなってしまう原因は反応式(5)及び(6)が起きるためであると考えた。そこで、第1実施形態では、反応式(2)、(3)、(5)及び(6)が起きないように、以下の様にして下地層を形成している。この下地層の形成方法について図17乃至図22を参照しながら説明する。

図17は、被覆膜が形成された基板を示す断面図である。

第1実施形態では、感光性膜110(図13参照)を形成する前に、被覆膜100を形成する。この被覆膜100は、ゲート電極9、ゲートバス本体部510及びゲート端子6が形成された基板1の全面を覆うように形成される。被覆膜100を形成した後に、感光性膜110を形成する(図18参照)。

図18は、感光性膜110が形成された基板の断面図である。

この感光性膜110は、感光性樹脂を塗布し、この塗布した感光性樹脂をプリバークすることによって形成される。感光性膜110を形成した後、この感光性膜110を露光及び現像する(図19参照)。

図19は、感光性膜110が現像された後の基板の断面図である。

感光性膜110は、略円柱形状の多数の突起110'が形成されるように露光及び現像される。ゲート電極9及びゲートバス本体部510は被覆膜100で覆われているため、感光性膜110を現像している間に、ゲート電極9及びゲートバス本体部510が含む金属Mo及びAlが現像液に浸されることが防止される。従って、反応式(2)及び(3)が起こることが確実に防止され、この結果、現像液によって突起110'の材料が必要以上に除去されることが確実に防止される。

また、ゲートバス本体部510及びゲート端子6は被覆膜100で覆われているため、感光性膜110を現像している間に、ゲートバス本体部510に含有されるMo及びAl並びにゲート端子6に含有される In_2O_3 が現像液に浸されることが防止される。従って、反応式(5)及び(6)が起こることが確実に防止され、この結果、ゲート端子6の抵抗値が高くなってしまふことが防止される。

突起110'を形成した後、これらの突起110'をポストバークする(図20参照)。

図20は、突起110'がポストバークされた後の基板の断面図である。

突起110'をポストバークすることにより、突起110'が溶融し、略円柱形状の突起110'から半球形状の突起11が形成される。尚、図20では、ドレイン電極4及びゲート端子6は被覆膜100で覆われているが、ドレイン電極4は後述する反射電極13(図1参照)に電氣的に接続される必要があり、一方、ゲート端子6はゲートドライバ(

図示せず)に電氣的に接続される必要がある。従って、ドレイン電極4及びゲート端子6が被覆膜100で覆われたままであると、ドレイン電極4と反射電極13との電氣的接続及びゲート端子6とゲートドライバとの電氣的接続を確保することができない。そこで、多数の突起11を形成した後、ドレイン電極4及びゲート端子6を露出させるために、これらの突起11をエッチングマスクとして、被覆膜100をエッチングする(図21参照)。

図21は、被覆膜100がエッチングされた後の基板の断面図である。

突起11をエッチングマスクとして被覆膜100をエッチングすることにより、突起11の各々の下に被覆膜100の膜片10が残るとともにドレイン電極4及びゲート端子6が露出する。ここで、注意しておきたいことは、被覆膜100の材料にどのような材料を選択するかということである。被覆膜100をエッチングする場合、ドレイン電極4及びゲート端子6に被覆膜100の残渣が残らないようにするために、通常、被覆膜100はオーバエッチングされる。従って、例えば、被覆膜100の材料を、この被覆膜100の直下に存在するゲート絶縁膜8の材料と同じ材料にしてしまうと、被覆膜100をエッチングすることによって、被覆膜100だけでなく、エッチングされてはならないゲート絶縁膜8もエッチングされてしまい、TFT等の信頼性が低下する恐れがある。従って、被覆膜100の材料のエッチング速度と、ゲート絶縁膜8の材料のエッチング速度との比(エッチング選択比)は、十分大きいことが要求される。このエッチング選択比が十分大きければ、被覆膜100をオーバエッチングしても、ゲート絶縁膜8がほとんどエッチングされないようにすることができる。例えば、ゲート絶縁膜8の材料がSiNx又はSiO₂の場合、被覆膜100の材料は例えば酸化モリブデンクロムが好ましい。

被覆膜100をエッチングした後、平坦化膜12を形成する(図22参照)。

図22は、平坦化膜12が形成された基板の断面図である。

この平坦化膜12は、ドレイン電極4の一部を露出させるための孔12aを有する。平坦化膜12の下には多数の突起11が存在しているため、この平坦化膜12の表面には、多数の突起11の形状を反映して多数の凹凸が形成される。

下地層を形成した後、Alを主成分とするAl膜を形成し、このAl膜をパターンニングすることにより、各画素領域に反射電極13を形成する(図1及び図2参照)。このようにしてTFTアレイ基板20が形成される。

以上説明したように、本実施形態では、感光性膜110を形成する前に被覆膜100を形成しているため(図17参照)、感光性膜110を現像している間、ゲート電極9、ゲートバス本体部510及びゲート端子6は被覆膜100によって現像液から保護されている。従って、感光性膜110を現像しても、反応式(2)及び(3)並びに反応式(5)及び(6)が起こることが確実に防止され、突起110'(又は突起11)の材料が必要以上に除去される問題及びゲート端子6の抵抗値が高くなるという問題を回避することができる。

尚、第1実施形態では、反応式(2)及び(3)が起きることを防止するために、被覆膜100は、ゲート電極9(及びゲートバス本体部510)を構成するMoCr膜91'とAlCu膜92'との両方を覆うように形成されている。しかしながら、MoCr膜91'とAlCu膜92'との両方を被覆膜100で覆わなくても、MoCr膜91'とAlCu膜92'とのうちのいずれか一方のみを覆えば、反応式(2)及び(3)が起きることを防止することに注意されたい。但し、MoCr膜91'とAlCu膜92'とのうちのいずれか一方のみを覆うように被覆膜100を形成するよりも、MoCr膜91'とAlCu膜92'との両方を覆うように被覆膜100を形成する方が容易に行えるため、第1実施形態では、被覆膜100を、MoCr膜91'とAlCu膜92'との両方を覆うように形成している。

また、第1実施形態では、反応式(5)及び(6)が起きることを防止するために、被覆膜100は、ゲートバス本体部510とゲート端子6との両方を覆うように形成されている。しかしながら、ゲートバス本体部510とゲート端子6との全てを被覆膜100で覆わなくても、ゲートバス本体部510とゲート端子6とのうちのいずれか一方のみを覆

10

20

30

40

50

えば、反応式(5)及び(6)が起きることを防止できることにも注意されたい。

更に、第1実施形態では、導電膜93をAlCu膜92/MoCr膜91の二層構造としているため、ゲート電極9及びゲートバス本体部510は、AlCu膜92'/MoCr膜91'の二層構造を有している。しかしながら、ゲート電極9及びゲートバス本体部510が、AlCu膜92'/MoCr膜91'の二層構造の代わりに、例えば、AlCu膜/MoCr膜/AlCu膜の三層構造であっても、本発明を適用することができる。このような三層構造であっても、被覆膜100でこの三層構造の積層膜を覆うことによって、やはり、上記の反応式(2)、(3)、(5)及び(6)が起きることを防止できる。

また、第1実施形態では、ゲート端子6の材料としてITOが使用された場合について説明したが、ITOに代えて例えばIZO使用された場合でも、本発明を適用することによって、上記の反応式(2)、(3)、(5)及び(6)が起きることを防止できる。

[実施形態2]

図23は、ボトムゲート構造を有する反射型液晶表示装置に用いられる本発明の第2実施形態のTF-Tアレイ基板200の一部断面図である。

以下、TF-Tアレイ基板200の製造方法について説明する。

まずガラス基板1上に、ゲート電極201、ゲート絶縁膜202、a-Si層203及び保護膜204を形成する(図24参照)。

図24は、ゲート電極201、ゲート絶縁膜202、a-Si層203及び保護膜204が形成された基板を示す断面図である。

保護膜204を形成した後、ソース電極等の材料を用いて導電膜を形成する。

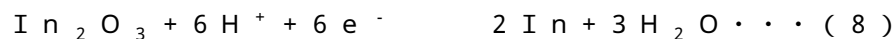
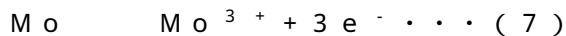
図25は、導電膜が形成された基板の断面図である。

ここでは、導電膜として、ITO膜205とMoCr膜206との二層膜が形成される。このようにITO膜205とMoCr膜206とを形成した後、これらの層205及び206をウエットエッチングする。

図26は、ITO膜205とMoCr膜206とをウエットエッチングした後の基板の断面図である。

ITO膜205とMoCr膜206とを連続的にウエットエッチングすることにより、ウエットエッチングされたITO膜205'とMoCr膜206'とからなるソース電極207、ドレイン電極208及びソースバス(図示せず)が形成される。

このようにソース電極207及びドレイン電極208等を形成した後、反射電極212を形成する前に、反射電極212(図23参照)の下地層を形成する。しかしながら、この下地層を従来のやり方で形成しようとする、下地層の材料である感光性樹脂を現像している間に、ITO膜205'とMoCr膜206'とが現像液に浸された状態となり、以下に示すような電池反応が生じると考えられる。



Moの平衡電極電位は、In₂O₃の平衡電極電位より小さいため(式(4)参照)、MoCr膜206'側において電子を生成する反応式(7)が優先的に起こると考えられる。反応式(7)の反応が起こることによって、Mo³⁺が発生するとともに電子(e⁻)が発生する。この発生した電子の一部は、MoCr膜206'からITO膜205'に到達し、ITO膜205'で反応式(8)に示すような化学反応が起き、この結果Inが生成すると考えられる。このようなInの発生はITO膜205'の抵抗を高くし、結局ソース電極207及びドレイン電極208等を高抵抗にするという問題がある。

そこで、第2実施形態では、ソース電極207及びドレイン電極208等を形成した後、感光性樹脂を塗布する前に、第1実施形態と同様に被覆膜を形成する。

図27は、被覆膜209が形成された基板を示す断面図である。

ゲート絶縁膜202の材料がSiNx又はSiO₂の場合、被覆膜209の材料として、例えば酸化モリブデンクロムが好ましい。被覆膜209を形成した後、図18乃至図20を参照しながら説明したやり方と同様のやり方で、多数の突起を形成する(図28参照

10

20

30

40

50

)。

図28は、多数の突起210が形成された基板を示す断面図である。

多数の突起210を形成した後、これらの多数の突起210をエッチングマスクとして被覆膜209をエッチングする。このエッチングによって、図23に示すように、突起210の下に被覆膜209の膜片209'が残る。被覆膜209をエッチングした後、平坦化膜211(図23参照)を形成し、反射電極212が形成される(図23参照)。このようにして、TFTアレ基板200が製造される。

第2実施形態においては、突起210の材料である感光性樹脂を塗布する前に、被覆膜209を形成しているため、突起210の材料である感光性樹脂を現像している間、MoCr膜206'及びITO膜205'が現像液に浸されることが確実に防止される。従って、反応式(7)及び(8)で表される反応は起きず、ITO膜205'が損傷を受けることが防止される。この結果、ソース電極207、ドレイン電極208及びソースバス(図示せず)を低抵抗に保持することができる。

また、第2実施形態では、反応式(7)及び(8)が起きることを防止するために、被覆膜209は、ソース電極207等を構成するITO膜205'とMoCr膜206'との両方を覆うように形成されている。しかしながら、ITO膜205'及びMoCr膜206'の両方を被覆膜209で覆わなくても、ITO膜205'とMoCr膜206'のうちのいずれか一方のみを覆えば、反応式(7)及び(8)が起きることを防止することができることに注意されたい。但し、ITO膜205'及びMoCr膜206'のうちのいずれか一方のみを覆うように被覆膜209を形成するよりも、ITO膜205'とMoCr膜206'との両方を覆うように被覆膜209を形成する方が容易に行えるため、第2実施形態では、被覆膜209を、ITO膜205'とMoCr膜206'との両方を覆うように形成している。

[実施形態3]

図29は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第3実施形態のTFTアレ基板300の一部平面図、図30は、図29のI-I方向から見た断面図、図31は、図29のII-II方向から見た断面図である。

図29の左側はTFT及び反射電極13等が形成される表示領域であり、右側はゲート端子6が形成される周辺領域である。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

以下、TFTアレ基板300の製造方法について説明する。

先ずガラス基板1上に、ソース電極2、ソースバス3、ドレイン電極4、ゲートバス端部51、ゲート端子6及び犠牲電極60を形成する(図32参照)。

図32は、ゲートバス端部51及び犠牲電極60等が形成された基板の一部平面図、図33は、図32のIII-III方向から見た断面図、図34は、図32のIV-IV方向から見た断面図である。

図32に示すように、表示領域には、ソース電極2、ソースバス3及びドレイン電極4が形成されている。ソースバス3はy方向に延在するように形成されており、ソース電極2はこのソースバス3に繋がるように形成されている。また、周辺領域には、ゲートバス端部51、ゲート端子6及び犠牲電極60が形成されている。ゲートバス端部51は、後述するゲートバス本体部510(図40及び図41参照)に直に接続される接続部51aと、この接続部51aからゲート端子6にまで延在する延長部51bとを有している。また、犠牲電極60は、犠牲電極本体部60aと、後述するゲートバス本体部510に接続される犠牲電極接続部60bとを有する。犠牲電極60は、ゲート端子6よりも表示領域に近い位置に形成されている。この犠牲電極60自体は、TFTアレ基板300の回路動作に寄与するものではない。しかしながら、この犠牲電極60は、TFTアレ基板300の製造中にゲート端子6が損傷してしまうことを防止する作用を有する。この犠牲電極60がTFTアレ基板300の製造中にどのようにしてゲート端子6の損傷を防止するかについては後に詳述する。

図33に示すように、ソース電極2、ソースバス3、ドレイン電極4、ゲートバス端部

51は、ITOを含有するITO部25とMoCrを含有するMoCr部26とからなる二層構造を有している。このように、これらゲートバス端部51等をITO部25の単層構造ではなく、ITO部25とMoCr部26との二層構造とすることによって、これらゲートバス端部51等の抵抗を低くすることができる。ここでは、ゲートバス端部51の接続部51aはITO部25とMoCr部26との二層構造を有しているが、接続部51aをITO部25のみの単層構造としてもよい。この場合、ゲートバス端部51の接続部51aがITO部25のみの単層構造であっても、ゲートバス端部51の延長部51bをITO部25とMoCr部26との二層構造とすることによって、ゲートバス端部51自体の抵抗値を十分に低くすることができる。ただし、十分に低い抵抗値が得られるのであれば、ゲートバス端部51等はITO部25のみの単層構造であってもよい。

10

また、図34に示すように、犠牲電極60は、犠牲電極接続部60bのみがITO部25とMoCr部26との二層構造を有しており、犠牲電極本体部60aは、ITO部25のみから構成されている。ゲート端子6はITO部25のみから構成されている。

これら犠牲電極60等を形成した後、a-Si層及びゲート絶縁膜を形成する(図35乃至図37参照)。

図35は、基板1上にa-Si層7及びゲート絶縁膜8が形成された基板の一部平面図、図36は、図35のV-V方向から見た断面図、図37は、図35のVI-VI方向から見た断面図である。

a-Si層7を形成した後、a-Si層7が形成された基板1にゲート絶縁膜8が形成される。このゲート絶縁膜8は孔8a、8b、8c、8d及び8eを有するようにパターンニングされている。孔8aはドレイン電極4を露出するための孔である。孔8bは犠牲電極接続部60bを露出するための孔である。孔8cは犠牲電極本体部60aを露出するための孔である。孔8dはゲートバス端部51の接続部51aを露出するための孔である。孔8eはゲート端子6を露出するための孔である。

20

このような孔8a乃至8eを有するゲート絶縁膜8を形成した後、ゲート電極及びゲートバス本体部の材料を用いて導電膜を形成する(図38及び図39参照)。

図38及び図39は、導電膜93が形成された基板の断面図である。図38は、図36に対応する断面図であり、図39は、図37に対応する断面図である。

導電膜93は、Moを主成分としCrが添加された材料からなるMoCr膜91と、Alを主成分としCuが添加された材料からなるAlCu膜92とを有する。このようにMoCr膜91とAlCu膜92とを形成した後、これらの膜91及び92をウエットエッチングする(図40乃至図42参照)。

30

図40は、MoCr膜91とAlCu膜92とがウエットエッチングされた後の基板の一部平面図、図41は、図40のVII-VII方向から見た断面図、図42は、図40のVIII-VIII方向から見た断面図である。

AlCu膜92とMoCr膜91とを連続的にウエットエッチングすることにより、図41に示すように、MoCr膜91'とAlCu膜92'との二層構造を有するゲート電極9及びゲートバス本体部510が形成される。ゲートバス本体部510は図40に示すようにx方向に延在するように形成されている。このゲートバス本体部510の末端510aは、ゲート絶縁膜8の孔8d(図36参照)を通じてゲートバス端部51の接続部51aに接続されている。ゲートバス端部51とゲートバス本体部510とによってゲートバス5が構成される。また、ゲートバス本体部510は、末端510aから表示領域に向かう途中位置に、幅が広がっている幅広部510bを有する。この幅広部510bは、ゲート絶縁膜8の孔8b(図36参照)を通じて犠牲電極接続部60bに接続されている。ゲート電極9はゲートバス本体部510に繋がるように形成されている。

40

また、AlCu膜92及びMoCr膜91をウエットエッチングすることにより、ゲート端子6及び犠牲電極本体部60aが露出する。

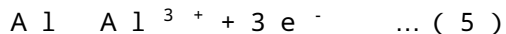
このようにしてゲート電極9及びゲートバス本体部510を形成した後、反射電極13の下地層を構成する突起11(図43参照)を形成する。

図43は、突起11が形成された直後の基板の一部平面図である。尚、突起11は白丸

50

で示されていることに注意されたい。

突起 11 は、ゲート電極 9 及びゲートバス本体部 510 が形成された基板に感光性膜を形成し、この感光性膜を突起 11 のパターンが残るように、露光、現像及びベーキングすることによって形成される。現像工程中、感光性膜の不要な部分は現像液により除去され、この結果、感光性膜で覆われていたゲート電極 9 及びゲートバス本体部 510 の各々の一部が露出する。従って、ゲート電極 9 及びゲートバス本体部 510 は一時的に現像液に浸された状態となる。また、感光性膜の、犠牲電極本体部 60a とゲート端子 6 とを覆っていた部分も、現像液により完全に除去され、この結果、犠牲電極本体部 60a 及びゲート端子 6 も一時的に現像液に浸された状態となる。ゲート電極 9 及びゲートバス本体部 510 は MoCu 膜 91' と AlCu 膜 92' とから構成されているため、Al 及び Mo を含有している。一方、ゲート端子 6 及び犠牲電極本体部 60a は In₂O₃ を含有している。これらの金属 Al、Mo 及び In₂O₃ の平衡電極電位は (4) 式で表されるため、平衡電極電位が最も小さいのは Al であり、一方、平衡電極電位が最も大きいのは In₂O₃ である。従って、露出したゲート電極 9 及びゲートバス本体部 510 等が現像液に浸されることにより、図 16 の説明において参照した反応式 (5) 及び (6) で表される電池反応が起きると考えられる。以下に、反応式 (5) 及び (6) を再度示す。



Al は In₂O₃ よりも平衡電極電位が小さいため、ゲート電極 9 及びゲートバス本体部 510 の AlCu 膜 92' では電子 (e⁻) を放出する反応式 (5) が優先的に起きると考えられる。ここで、ゲート電極 9 及びゲートバス本体部 510 を構成する AlCu 膜 92' を、図 43 に示すように、ゲート端子 6 の近傍部分 A、犠牲電極 60 の近傍部分 B、及び表示領域の部分 C の 3 つの部分に分け、各部分 A、B 及び C で生成する電子の挙動について以下に考察する。

部分 A はゲート端子 6 と犠牲電極 60 との間に形成されているため、この部分 A で生じる電子は、ゲート端子 6 及び犠牲電極 60 に流入すると考えられる。一方、部分 B 及び C で生じた電子の大部分は、ゲート端子 6 に向かって流れるが、このゲート端子 6 に向かう途中位置には、このゲート端子 6 と同じ材料で形成された犠牲電極 60 が形成されている。従って、部分 B 及び C で生じた電子の大部分は、ゲート端子 6 に流入する前に、ゲートバス本体部 510 の幅広部 510b を経由して犠牲電極 60 に流入すると考えられる。つまり、部分 B 及び C で生じた電子の大部分は犠牲電極 60 に流入し、ゲート端子 6 に流入する電子はわずかであると考えられる。また、部分 A 内の AlCu 膜 92' の長さは、部分 C 内の AlCu 膜 92' の長さに比べて十分に長い。従って、反応式 (5) によって部分 A で生じる電子の数は、部分 C で生じる電子の数よりも十分に多いと考えることができる。上記のことから、部分 A、B 及び C の全体で生じる電子の大部分は、犠牲電極 60 に流入すると考えることができる。従って、犠牲電極 60 では反応式 (6) は起きやすいが、ゲート端子 6 では反応式 (6) は起きにくく、その結果、犠牲電極 60 は大きな損傷を受けるが、一方、ゲート端子 6 では損傷を受けにくいと考えられる。

このように、第 3 実施形態では、感光性膜を現像したときに、ゲート端子 6 だけでなく犠牲電極本体部 60a も露出させているが、ここで、ゲート端子 6 のみが露出し、犠牲電極本体部 60a は露出しないと仮定してみる。この場合、犠牲電極本体部 60a は現像液に接触しないため、反応式 (6) は、ゲート端子 6 で集中して起き、その結果、ゲート端子 6 は多大な損傷を受けることが考えられる。

しかしながら、上記のように、第 3 実施形態では、ゲート端子 6 だけでなく犠牲電極本体部 60a も露出するため、犠牲電極 60 がゲート端子 6 の犠牲となって損傷を受ける。この犠牲電極 60 自体は TFT アレイ基板 300 の動作には全く関与しない電極である。従って、犠牲電極 60 が損傷を受けても TFT アレイ基板 300 の動作には影響がない。また、犠牲電極 60 がゲート端子 6 の犠牲となって損傷を受けるため、ゲート端子 6 はほとんど損傷を受けず、ゲート端子 6 の抵抗値は低く保持される。従って、犠牲電極 60 を形成しておくことによって、TFT アレイ基板 300 の動作に影響を与えずにゲート端子

10

20

30

40

50

6の抵抗値を低く保持することができる。尚、犠牲電極60の犠牲電極本体部60aの面積が小さすぎると、犠牲電極60は、ゲート端子6を電池反応から保護する機能を十分に発揮することができないので、犠牲電極60の犠牲電極本体部60aの面積は、広いことが好ましい。

上記の説明では、犠牲電極60の働きによって、AlCu膜92'とゲート端子6(In₂O₃)との間の電池反応が起きにくくなることについて記載したが、ここで、犠牲電極60が、AlCu膜92'とMoCu膜91'との間の電池反応に与える影響についても考察してみる。AlCu膜92'とMoCu膜91'の間では、反応式(2)及び(3)(AlとMoとの間の電池反応)が起こると考えられる。しかしながら、式(4)に表したように、Moの平衡電極電位は、In₂O₃の平衡電極電位よりも小さい値を有する。従って、AlCu膜92'とMoCu膜91'との間の電池反応(反応式(2)及び(3))は、AlCu膜92'と犠牲電極60(In₂O₃)との間の電池反応(反応式(5)及び(6))よりも起きにくい。つまり、MoCr膜91'及びAlCu膜92'が犠牲電極60に電氣的に接続されていることによって、MoCr膜91'とAlCu膜92'との間の反応式(2)及び(3)は生じにくくなっている。従って、反応式(2)及び(3)が原因で突起11の材料が必要以上に除去されるという現象を生じにくくすることもできる。

図43に示すように突起11を形成した後、平坦化膜12を形成する(図29乃至図31参照)。このようにして、突起11及び平坦化膜12からなる下地層が形成される。下地層を形成した後、反射電極13(図29乃至図31参照)が形成される。このようにして、TFTアレイ基板300が製造される。

第3実施形態では、TFTアレイ基板300の回路動作に全く寄与しない犠牲電極60をゲートバス本体部510に接続することにより、犠牲電極60がゲート端子6の犠牲となって反応式(6)による損傷を受ける。従って、ゲート端子6が損傷を受けることを効率よく防止でき、ゲート端子6を低抵抗に保持することが可能となる。

尚、上記の例では、突起11を形成する前に犠牲電極60の犠牲電極本体部60aを露出させることができるようにするため、図32乃至図42を参照しながら説明した手順で、犠牲電極60の犠牲電極本体部60aが露出した基板を製造している。しかしながら、別のやり方でも突起11を形成する前に犠牲電極60の犠牲電極本体部60aを露出させることができる。以下に、この別のやり方の一例について、図44乃至図56を参照しながら説明する。

図44は、ゲートバス端部51等が形成された基板の一部平面図、図45は、図44のI-I方向から見た断面図、図46は、図44のII-II方向から見た断面図である。

図44に示すように、表示領域には、ソース電極2、ソースバス3及びドレイン電極4が形成されている。ソースバス3はy方向に延在するように形成されており、ソース電極2はこのソースバス3に繋がるように形成されている。また、周辺領域には、ゲートバス端部51、ゲート端子6及び犠牲電極60が形成されている。これらソースバス3及びゲートバス端部51等は、基板1にITO膜/MoCr膜の二層膜を形成し、このITO膜とMoCr膜とを同一形状にパターンニングすることにより形成されている。このため、ゲート端子6はMoCr部26の一部分26a(図44にクロスハッチングで示されている部分)で覆われ、犠牲電極本体部60aはMoCr部26の一部分26b(図44にクロスハッチングで示されている部分)で覆われている。しかしながら、ゲート端子6及び犠牲電極本体部60aにとってMoCr部26の一部分26a及び26bは不要であり、このため、MoCr部26の一部分26a(以下、「MoCr不要部26a」と呼ぶ)及び26b(以下、「MoCr不要部26b」と呼ぶ)は、除去しなければならない。しかしながら、図44乃至図46に示す状態においてMoCr不要部26a及び26bを除去しようとする、MoCr不要部26a及び26bを除去するための専用のフォトリソ工程が必要となり、製造工程数が増大する。そこで、製造工程数を増大させずにTFTアレイ基板が製造できるように、MoCr不要部26a及び26bを直ぐに除去するのではなく、先にa-Si層及びゲート絶縁膜を形成する。

10

20

30

40

50

尚、ITO部25とMoCr部26との二層体3(図45参照)は、ゲート端部51、ゲート端子6及びMoCr不要部26aを構成している。また、ITO部25とMoCr部26との二層体1(図46参照)は、犠牲電極60及びMoCr不要部26bを構成している。

図47は、a-Si膜7及び絶縁膜8が形成された基板の一部平面図、図48は、図47のIII-III方向から見た断面図、図49は、図47のIV-IV方向から見た断面図である。

a-Si層7を形成した後、a-Si層7が形成された基板1の表面を覆うようにゲート絶縁膜8が形成される。このゲート絶縁膜8は孔8a、8b、8c、8d及び8eを有する。孔8aはドレイン電極4を露出するための孔である。孔8bは犠牲電極接続部60bを露出するための孔である。孔8cは犠牲電極本体部60aを覆うMoCr不要部26bを露出するための孔である。孔8dはゲートバス端部51の接続部51aを露出するための孔である。孔8eはゲート端子6を覆うMoCr不要部26aを露出するための孔である。

10

このような孔8a乃至8eを有するゲート絶縁膜8を形成した後、ゲート電極及びゲートバス本体部を形成するために、図38及び図39に示したような導電膜93を形成する(図50及び図51参照)。

図50及び図51は、導電膜93が形成された基板の断面図である。図50は、図48に対応する断面図であり、図51は、図49に対応する断面図である。

導電膜93は、MoCr膜91とAlCu膜92との二層構造を有する。このようにAlCu膜92/MoCr膜91の導電膜93を形成した後、この導電膜93をフォトリソグラフィ技術を用いてパターニングする(図52乃至図54参照)。

20

図52は、導電膜93がパターニングされた後の基板の一部平面図、図53は、図52のV-V方向から見た断面図、図54は、図52のVI-VI方向から見た断面図である。

導電膜93はウエットエッチングされ、レジスト膜Resで覆われている導電膜93の部分は除去されずに残るが、レジスト膜Resで覆われていない導電膜93の部分は除去される。この結果、レジスト膜Resの下にはゲート電極9及びゲートバス本体部510が形成されるとともに、MoCr不要部26a及び26bが露出する。ここで、ゲート端子6はMoCr不要部26aで覆われており、犠牲電極本体部60aはMoCr不要部26bで覆われていることに注意されたい。ゲート端子6にとってこのMoCr不要部26aは不要であるため、このMoCr不要部26aは除去される必要がある。一方、犠牲電極60がゲート端子6の損傷を抑制するように機能するには図43を参照しながら説明したように犠牲電極本体部60aは露出している必要があるため、MoCr不要部26bも除去される必要がある。そこで、導電膜93をウエットエッチングした後、MoCr不要部26a及び26bもウエットエッチングする(図55及び図56参照)。

30

図55及び図56は、MoCr不要部26a及び26bがウエットエッチングされた後の基板を示す断面図である。図55は、図53に対応する断面図であり、図56は、図54に対応する断面図である。

導電膜93のMoCr膜91をエッチングした後、MoCr不要部26a及び26bもエッチングすることによって、MoCr不要部26a及び26bが除去され、ゲート端子6及び犠牲電極本体部60aが表面に露出した導電部所有体Dが製造される。MoCr不要部26a及び26bを上記のようにしてエッチングすることにより、このMoCr不要部26a及び26bを除去するための専用のフォトリソグラフィ工程を行わなくてもゲート端子6及び犠牲電極本体部60aを露出させることができる。MoCr不要部26a及び26bを除去した後、レジスト膜Resを剥離する。

40

レジスト膜Resの剥離後、下地層及び反射電極が形成される。

この例では、導電膜93をエッチングした直後(即ち、ゲート電極9及びゲートバス本体部510が形成された直後)では、犠牲電極本体部60aはまだMoCr不要部26bで覆われている(図52参照)が、このMoCr不要部26bは、導電膜93のエッチン

50

グに続いて連続的にエッチングされる。従って、下地層の突起 11 を形成する前に、犠牲電極本体部 60a を露出させることができ、ゲート端子 6 が損傷を受けにくくなるようにすることができる。

また、第 3 実施形態では、ゲート端子 6 の材料として ITO が使用された場合について説明したが、ITO に代えて例えば IZO 使用された場合でも、本発明を適用することによって、突起 11 の材料が必要以上に除去されるという現象を生じにくくし、更にゲート端子 6 が損傷を受けにくくなるようにすることができる。

[実施形態 4]

図 57 は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第 4 実施形態の TFT アレイ基板 400 の一部平面図、図 58 は、図 57 の I - I 方向から見た断面図、図 59 は、図 57 の II - II 方向から見た断面図である。

10

図 57 の左側は TFT 及び反射電極等が形成される表示領域であり、右側は、ESD トランジスタ及びソース端子 181 等が形成される周辺領域である。この ESD トランジスタは、表示領域内の各画素毎に設けられる TFT トランジスタの静電破壊を防止するためのものである。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

以下、TFT アレイ基板 400 の製造方法について説明する。

先ずガラス基板 1 上に、ソースバス犠牲電極等を形成する（図 60 参照）。

図 60 は、ソースバス 191 及び犠牲電極 171 等が形成された基板の一部平面図、図 61 は、図 60 の III - III 方向から見た断面図、図 62 は、図 60 の IV - IV 方向から見た断面図である。

20

基板 1 の表示領域内には、TFT トランジスタのソース電極 151 及びドレイン電極 152 が形成されている。周辺領域には、ESD トランジスタのソース電極 161 及びドレイン電極 162 と、犠牲電極 171 と、ソース端子 181 とが形成されている。更に、表示領域から周辺領域に渡ってソースバス 191 が、x 方向に延在するように形成されている。TFT トランジスタのソース電極 151、ESD トランジスタのソース電極 161、犠牲電極 171 及びソース端子 181 は、ソースバス 191 に繋がるように形成されている。犠牲電極 171 は犠牲電極本体部 171a と犠牲電極接続部 171b とを有しており、犠牲電極本体部 171a は犠牲電極接続部 171b を通じてソースバス 191 に接続されている。

30

TFT トランジスタのソース電極 151 及びドレイン電極、ESD トランジスタのソース電極 161 及びドレイン電極 162、並びにソースバス 191 は、ITO 部 25 と MoCr 部 26 とからなる二層構造を有している。このように、これらソースバス 191 等を ITO 部 25 の単層構造ではなく、ITO 部 25 と MoCr 部 26 との二層構造とすることによって、これらソースバス 191 等の抵抗を低くすることができる。犠牲電極 171 は、犠牲電極接続部 171b のみが ITO 部 25 と MoCr 部 26 とからなる二層構造を有しており、犠牲電極本体部 171a は、ITO 部 25 のみから構成されている。ソース端子 181 は ITO 部 25 のみから構成されている。尚、ITO 部 25 と MoCr 部 26 との二層体 4（図 61 参照）は、ソースバス 191、ソース端子 181 及び犠牲電極 171 を構成している。

40

このような犠牲電極 171 等は、基板 1 上に MoCr 膜 / ITO 膜の二層膜を形成し、この二層膜を、図 60 乃至図 62 に示す形状にパターニングすることにより形成することができる。

犠牲電極 171 等を形成した後、a-Si 層及びゲート絶縁膜を形成する（図 63 乃至図 65 参照）。

図 63 は、ガラス基板 1 上に a-Si 層 153 及び 163 とゲート絶縁膜 160 とが形成された基板の一部平面図、図 64 は、図 63 の V - V 方向から見た断面図、図 65 は図 61 の VI - VI 方向から見た断面図である。

表示領域には、TFT トランジスタのソース電極 151 とドレイン電極 152 との間に a-Si 層 153 が形成され、周辺領域には、ESD トランジスタのソース電極 161 と

50

ドレイン電極 162 との間に a - Si 層 163 が形成される。このように a - Si 層 153 及び 163 を形成した後、a - Si 層 153 及び 163 が形成された基板 1 にゲート絶縁膜 160 が形成される。このゲート絶縁膜 160 は孔 160 a、160 b、160 c、160 d 及び 160 e を有するようにパターンニングされている。孔 160 a はドレイン電極 152 を露出するための孔である。孔 160 b は ESD トランジスタのドレイン電極 162 を露出するための孔である。孔 160 c はソースバス 191 を露出するための孔である。孔 160 d は犠牲電極本体部 171 a を露出するための孔である。孔 160 e はソース端子 181 を露出するための孔である。

このような孔 160 a、160 b、160 c、160 d 及び 160 e を有するゲート絶縁膜 160 を形成した後、ゲートバス及び ESD 配線等の材料を用いて導電膜を形成する (図 66 及び図 67 参照)。

10

図 66 及び図 67 は、導電膜 177 が形成された基板の断面図である。図 66 は、図 64 に対応する断面図であり、図 67 は、図 65 に対応する断面図である。

導電膜 177 は、Mo を主成分とし Cr が添加された材料からなる MoCr 膜 175 と、Al を主成分とし Cu が添加された材料からなる AlCu 膜 176 とを有する。このように MoCr 膜 175 と AlCu 膜 176 とを形成した後、これらの膜 175 及び 176 をパターンニングしてゲートバス等を形成する (図 68 及び図 69 参照)。

図 68 は、MoCr 膜 175 と AlCu 膜 176 とがパターンニングされた後の基板の一部平面図、図 69 は、図 68 の V I I - V I I 方向から見た断面図である。

AlCu 膜 176 及び MoCr 膜 175 はウエットエッチングされ、これによって、表示領域には TFT トランジスタのゲート電極 (以下、「TFT ゲート電極」と呼ぶ) 154 及びゲートバス 155 が形成され、周辺領域には、ESD トランジスタのゲート電極 (以下、単に「ESD ゲート電極」と呼ぶ) 164 及び ESD 配線 165 が形成される。これら TFT ゲート電極 154、ゲートバス 155、ESD ゲート電極 164 及び ESD 配線 165 は、エッチングされた MoCr 膜 175' と AlCu 膜 176' とからなる二層構造を有する (図 69 参照)。ゲートバス 155 は、図 68 に示すように、y 方向に延在するように形成されており、ゲート電極 154 はこのゲートバス 155 に繋がるように形成されている。ESD ゲート電極 164 は、ゲート絶縁膜 160 の孔 160 c (図 64 参照) を通じてソースバス 191 に接続されている。ESD 配線 165 は、ゲート絶縁膜 160 の孔 160 b (図 64 参照) を通じて ESD トランジスタのドレイン電極 162 に接続されている。

20

30

また、AlCu 膜 176 及び MoCr 膜 175 がウエットエッチングされることにより、ソース端子 181 及び犠牲電極本体部 171 a が露出する。

このように ESD ゲート電極 164 等を形成した後、反射電極に所望の反射特性を持たせるための下地層を構成する突起 (図 70 参照) を形成する。

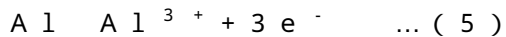
図 70 は、突起 11 が形成された直後の基板の一部平面図である。尚、突起 11 は白丸で示されていることに注意されたい。

突起 11 は、ESD ゲート電極 164 が形成された基板に感光性膜を形成し、この感光性膜を突起 11 のパターンが残るように、露光、現像及びベーキングすることによって形成される。現像工程中、感光性膜の不要な部分は現像液により除去され、この結果、感光性膜で覆われていた TFT ゲート電極 154、ゲートバス 155、ESD ゲート電極 164 及び ESD 配線 165 の各々の一部が露出する。従って、TFT ゲート電極 154、ゲートバス 155、ESD ゲート電極 164 及び ESD 配線 165 は、一時的に現像液に浸された状態となる。また、ソース端子 181 及び犠牲電極本体部 171 a を覆っていた感光性膜の部分は現像液により完全に除去されるため、ソース端子 181 及び犠牲電極本体部 171 a も一時的に現像液に浸された状態となる。TFT ゲート電極 154、ゲートバス 155 及び ESD 配線 165 はソース端子 181 に接続されていないが、ESD ゲート電極 164 はソースバス 191 を通じてソース端子 181 に接続されている。この ESD ゲート電極 164 は、MoCu 膜 175' と AlCu 膜 176' とから構成されているため (図 69 参照)、Al 及び Mo を含有している。また、この ESD ゲート電極 164 に

40

50

電氣的に接続されているソース端子181は In_2O_3 を含有している。これらのAl、Mo及び In_2O_3 の平衡電極電位は(4)式で表されるため、平衡電極電位が最も小さいのはAlであり、一方、平衡電極電位が最も大きいのは In_2O_3 である。従って、露出したESDゲート電極164及びソース端子181が一時的に現像液に浸されることにより、図16の説明において参照した反応式(5)及び(6)で表される電池反応が起きると考えられる。以下に、反応式(5)及び(6)を再度示す。



Alは In_2O_3 よりも平衡電極電位が小さいため、ESDゲート電極164を構成するAlCu膜176'では、電子(e^-)が発生する反応式(5)が優先的に起きると考えられる。この発生した電子の大部分はソースバス191を經由してソース端子181に向かって流れるが、このソース端子181に向かう途中位置には、ソース端子181と同じ材料で形成された犠牲電極171が形成されている。従って、電子の大部分はソース端子181に流入せずに犠牲電極171に流入し、この結果、犠牲電極171は反応式(6)が原因となって大きな損傷を受けるが、ソース端子181では損傷を受けにくいと考えられる。

このように、第4実施形態では、ソース端子181だけでなく犠牲電極本体部171aも露出するため、犠牲電極171がソース端子181の犠牲となって損傷を受ける。しかしながら、この犠牲電極171自体はTF Tアレイ基板400の動作には全く関与しない電極である。従って、犠牲電極171が損傷を受けてもTF Tアレイ基板400の動作には影響がない。また、犠牲電極171がソース端子181の犠牲となって損傷を受けるため、ソース端子181は損傷を受けにくく、ソース端子181の抵抗値は低く保持される。従って、犠牲電極171を形成しておくことによって、TF Tアレイ基板400の動作に影響を与えずにソース端子181の抵抗値を低く保持することができる。

上記の説明では、犠牲電極171の働きによって、ESDゲート電極164のAlCu膜176'とソース端子181(In_2O_3)との間の電池反応が起きにくくなることについて記載したが、ここで、犠牲電極171が、ESDゲート電極164のAlCu膜176'とMoCu膜175'との間の電池反応に与える影響についても考察してみる。AlCu膜176'とMoCu膜175'の間では、反応式(2)及び(3)(AlとMoとの間の電池反応)が起こると考えられる。しかしながら、式(4)に表したように、Moの平衡電極電位は、 In_2O_3 の平衡電極電位よりも小さい値を有する。従って、AlCu膜176'とMoCu膜175'との間の電池反応(反応式(2)及び(3))は、AlCu膜176'と犠牲電極171(In_2O_3)との間の電池反応(反応式(5)及び(6))よりも起きにくい。つまり、MoCr膜175'及びAlCu膜176'が犠牲電極171に電氣的に接続されていることによって、MoCr膜175'とAlCu膜176'との間の反応式(2)及び(3)は生じにくくなっている。従って、反応式(2)及び(3)が原因で突起11の材料が必要以上に除去されるという現象を生じにくくすることもできる。

図70に示すように突起11を形成した後、平坦化膜12(図57、図58及び図59参照)を形成する。このようにして、突起11及び平坦化膜12からなる下地層が形成される。下地層を形成した後、反射電極13(図57、図58及び図59参照)が形成される。このようにして、TF Tアレイ基板400が製造される。

第4実施形態では、TF Tアレイ基板400の回路動作に全く寄与しない犠牲電極171を、ソースバス191を通じてESDゲート電極164に電氣的に接続することにより、犠牲電極171がソース端子181の犠牲となって反応式(6)による損傷を受ける。従って、ソース端子181が損傷を受けることを効率よく防止でき、ソース端子181を低抵抗に保持することが可能となる。

尚、上記の例では、突起11を形成する前に犠牲電極171の犠牲電極本体部171aを露出させることができるようにするため、図60乃至図69を参照しながら説明した手順で、犠牲電極171の犠牲電極本体部171aが露出した基板を製造している。しかし

10

20

30

40

50

ながら、別のやり方でも突起 11 を形成する前に犠牲電極 171 の犠牲電極本体部 171 a を露出させることができる。以下に、この別のやり方の一例について、図 71 乃至図 56 を参照しながら説明する。

図 71 は、ソースバス 191 等が形成された基板の一部平面図、図 72 は、図 71 の I - I 方向から見た断面図、図 73 は、図 71 の II - II 方向から見た断面図である。

基板 1 の表示領域内には、TFT トランジスタのソース電極 151 及びドレイン電極 152 が形成されている。周辺領域には、ESD トランジスタのソース電極 161 及びドレイン電極 162 と、犠牲電極 171 と、ソース端子 181 とが形成されている。また、表示領域から周辺領域に渡ってソースバス 191 が形成されている。これらソースバス 191 等は、基板 1 に ITO 膜 / MoCr 膜の二層膜を形成し、この ITO 膜と MoCr 膜とを同一形状にパターニングすることにより形成されている。このため、ソース端子 181 は MoCr 部 26 の一部分 26 a (図 71 にクロスハッチングで示されている部分) で覆われ、犠牲電極本体部 171 a は MoCr 部 26 の一部分 26 b (図 71 にクロスハッチングで示されている部分) で覆われている。しかしながら、ソース端子 181 及び犠牲電極本体部 171 a にとって MoCr 部 26 の一部分 26 a 及び 26 b は不要であり、このため、MoCr 部 26 の一部分 26 a (以下、「MoCr 不要部 26 a」と呼ぶ) 及び 26 b (以下、「MoCr 不要部 26 b」と呼ぶ) は、除去しなければならない。しかしながら、図 71 乃至図 73 に示す状態において MoCr 不要部 26 a 及び 26 b を除去しようとすると、MoCr 不要部 26 a 及び 26 b を除去するための専用のフォトリソ工程が必要となり、製造工程数が増大する。そこで、製造工程数を増大させずに TFT アレイ基板が製造できるように、MoCr 不要部 26 a 及び 26 b を直ぐに除去するのではなく、先に a-Si 層及びゲート絶縁膜を形成する(図 74 乃至図 83 参照)。尚、ITO 部 25 と MoCr 部 26 との二層体 5 (図 72 参照) は、ソースバス 191、ソース端子 181、犠牲電極 171、MoCr 不要部 26 a 及び 26 b を構成している。

図 74 は、a-Si 層 153 及び 163 とゲート絶縁膜 160 とが形成された基板の一部平面図、図 75 は、図 74 の III - III 方向から見た断面図、図 76 は、図 74 の IV - IV 方向から見た断面図である。

表示領域には、TFT トランジスタのソース電極 151 とドレイン電極 152 との間に a-Si 層 153 が形成され、周辺領域には、ESD トランジスタのソース電極 161 とドレイン電極 162 との間に a-Si 層 163 が形成される。このように a-Si 層 153 及び 163 を形成した後、a-Si 層 153 及び 163 が形成された基板 1 にゲート絶縁膜 160 が形成される。このゲート絶縁膜 160 は孔 160 a、160 b、160 c、160 d 及び 160 e を有するようにパターニングされている。孔 160 a はドレイン電極 152 を露出するための孔である。孔 160 b は ESD トランジスタのドレイン電極 162 を露出するための孔である。孔 160 c はソースバス 191 を露出するための孔である。孔 160 d は犠牲電極本体部 171 a を覆っている MoCr 不要部 26 b を露出するための孔である。孔 160 e はソース端子 181 を覆っている MoCr 不要部 26 a を露出するための孔である。

このような孔 160 a、160 b、160 c、160 d 及び 160 e を有するゲート絶縁膜 160 を形成した後、ゲートバス等の材料を用いて導電膜を形成する(図 77 及び図 78 参照)。

図 77 及び図 78 は、導電膜 177 が形成された基板の断面図である。図 77 は、図 75 に対応する断面図であり、図 78 は、図 76 に対応する断面図である。

導電膜 177 は、MoCr 膜 175 と AlCu 膜 176 との二層構造を有する。このように AlCu 膜 176 / MoCr 膜 175 の導電膜 177 を形成した後、この導電膜 177 をフォトリソグラフィ技術を用いてパターニングする(図 79 乃至図 81 参照)。

図 79 は、導電膜 177 がパターニングされた後の基板の一部平面図、図 80 は、図 79 の V - V 方向から見た断面図、図 81 は、図 79 の VI - VI 方向から見た断面図である。

導電膜 177 はウエットエッチングされ、レジスト膜 Res で覆われている導電膜 17

10

20

30

40

50

7の部分は除去されずに残るが、レジスト膜Resで覆われていない導電膜177の部分は除去される。この結果、レジスト膜Resの下にはTFTゲート電極154、ゲートバス155、ESD配線165、ESDゲート電極164が形成されるとともに、MoCr不要部26a及び26bが露出する。ここで、ソース端子181はMoCr不要部26aで覆われており、犠牲電極本体部171aはMoCr不要部26bで覆われていることに注意されたい。ソース端子181にとってこのMoCr不要部26aは不要であるため、このMoCr不要部26aは除去される必要がある。一方、犠牲電極171がソース端子181の損傷を抑制するように機能するには図70を参照しながら説明したように犠牲電極本体部171aは露出している必要があるため、MoCr不要部26bも除去される必要がある。そこで、導電膜177をウエットエッチングした後、MoCr不要部26a及び26bもウエットエッチングする(図82及び図83参照)。

10

図82及び図83は、MoCr不要部26a及び26bがウエットエッチングされた後の基板を示す断面図である。図82は、図80に対応する断面図であり、図83は、図81に対応する断面図である。

導電膜177のMoCr膜175をエッチングした後、MoCr不要部26a及び26bもエッチングすることによって、MoCr不要部26a及び26bが除去され、ソース端子181及び犠牲電極本体部171aが露出した導電部所有体Fが製造される。MoCr不要部26a及び26bを上記のようにエッチングすることによって、このMoCr不要部26a及び26bを除去するための専用のフォトリソグラフィ工程を行わなくてもソース端子181及び犠牲電極本体部171aを露出させることができる。MoCr不要部26a及び26bを除去した後、レジスト膜Resが剥離される。

20

レジスト膜Resの剥離後、下地層及び反射電極が形成される。

この例では、導電膜177をエッチングした直後(即ち、ESDゲート電極164等が形成された直後)では、犠牲電極本体部171aはまだMoCr不要部26bで覆われている(図81参照)が、このMoCr不要部26bは、導電膜177のエッチングに続いて連続的にエッチングされる。従って、下地層の突起11を形成する前に、犠牲電極本体部171aを露出させることができ、ソース端子181の損傷を抑制することができる。

また、第4実施形態では、ソース端子181の材料としてITOが使用された場合について説明したが、ITOに代えて例えばIZO使用された場合でも、本発明を適用することによって、突起11の材料が必要以上に除去されるという現象を生じにくくし、更にソース端子181が損傷を受けにくくなるようにすることができる。

30

[実施形態5]

図84は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第5実施形態のTFTアレイ基板500の一部平面図、図85は、図84のI-I方向から見た断面図、図86は、図84のII-II方向から見た断面図である。

図84の左側はTFT及び反射電極13等が形成される表示領域であり、右側はゲート端子6が形成される周辺領域である。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

以下、TFTアレイ基板500の製造方法について説明する。

まずガラス基板1上に、ソース電極2、ソースバス3、ドレイン電極4、ゲートバス端部51及びゲート端子6を形成する(図87及び図88参照)。

40

図87は、ゲート端子6等が形成された基板の一部平面図、図88は、図87のIII-III方向から見た断面図である。

表示領域には、ソース電極2、ソースバス3及びドレイン電極4が形成される。ソースバス3はy方向に延在するように形成されており、ソース電極2はこのソースバス3に繋がるように形成されている。また、周辺領域には、ゲートバス端部51及びゲート端子6が形成される。ゲート端子6はゲートバス端部51に繋がるように形成されている。ゲートバス端部51は、後述するゲートバス架橋部53(図98及び図99参照)に接続される第1の接続部51aと、後述する犠牲電極14(図98及び図100参照)に接続される第2の接続部51cと、これら接続部51a及び51cからゲート端子6にまで延在す

50

る延在部 5 1 b とを有する。ソース電極 2、ソースバス 3、ドレイン電極 4 及びゲートバス端部 5 1 は、ITO を含有する ITO 部 2 5 と MoCr を含有する MoCr 部 2 6 との二層構造を有している。このような二層構造のソース電極 2、ソースバス 3、ドレイン電極 4 及びゲートバス端部 5 1 は、基板 1 上に MoCr 膜 / ITO 膜の二層膜を形成し、この二層膜をパターニングすることにより形成されている。このように、これらゲートバス端部 5 1 等を ITO 部 2 5 の単層構造ではなく、ITO 部 2 5 と MoCr 部 2 6 との二層構造とすることによって、これらゲートバス端部 5 1 等の抵抗を低くすることができる。ここでは、ゲートバス端部 5 1 の接続部 5 1 a は ITO 部 2 5 と MoCr 部 2 6 との二層構造を有しているが、接続部 5 1 a を ITO 部 2 5 のみの単層構造としてもよい。この場合、ゲートバス端部 5 1 の接続部 5 1 a が ITO 部 2 5 のみの単層構造であっても、ゲートバス端部 5 1 の延長部 5 1 b を ITO 部 2 5 と MoCr 部 2 6 との二層構造とすることによって、ゲートバス端部 5 1 自体の抵抗値を十分に低くすることができる。尚、十分に低い抵抗値が得られるのであれば、ゲートバス端部 5 1 等は ITO 部 2 5 のみの単層構造であってもよい。

10

また、ゲート端子 6 はゲートバス端部 5 1 に繋がるように形成されているが、このゲート端子 6 は MoCr 部 2 6 の一部分 2 6 a (図 8 7 にクロスハッチングで示されている部分) で覆われていることに注意されたい。ゲート端子 6 にとってこの MoCr 部 2 6 の一部分 2 6 a (以下、MoCr 不要部 2 6 a と呼ぶ) は不要であり、このため、この MoCr 不要部 2 6 a は除去されなければならない。しかしながら、図 8 7 及び図 8 8 に示す状態において MoCr 不要部 2 6 a を除去しようとする、MoCr 不要部 2 6 a を除去するための専用のフォトリソ工程が必要となり、製造工程数が増大する。そこで、製造工程数を増大させずに TFT アレイ基板が製造できるように、MoCr 不要部 2 6 a を直ぐに除去するのではなく、先に a - Si 層等を形成する。尚、ITO 部 2 5 と MoCr 部 2 6 との二層体 6 (図 8 8 参照) は、ゲートバス端部 5 1、ゲート端子 6 及び MoCr 不要部 2 6 a を構成している。

20

図 8 9 は、a - Si 層 7、ゲート絶縁膜 8、ゲート電極 9 及びゲートバス本体部 5 2 が形成された基板の一部平面図、図 9 0 は、図 8 9 の IV - IV 方向から見た断面図である。

ゲートバス端部 5 1 等を形成した後 (図 8 7 及び図 8 8 参照)、a - Si 層 7 及びゲート絶縁膜 8 が形成し、このゲート絶縁膜 8 上に、ゲート電極 9 及びゲートバス本体部 5 2 が形成される。ゲートバス本体部 5 2 は、図 8 9 に示すように x 方向に延在するように形成されている。このゲートバス本体部 5 2 は、後述するゲートバス架橋部 5 3 (図 9 8 及び図 9 9 参照) に接続される接続部 5 2 a を有する。このように、ゲート電極 9 及びゲートバス本体部 5 2 を形成した後、反射電極に所望の反射特性を持たせるための下地層を形成する。

30

図 9 1 は、下地層が形成された基板の一部平面図、図 9 2 は、図 9 1 の V - V 方向から見た断面図、図 9 3 は、図 9 1 の VI - VI 方向から見た断面図である。

ゲート電極 9 及びゲートバス本体部 5 2 を形成した後、多数の突起 1 1 (図 9 2 参照) と、この多数の突起 1 1 を覆う平坦化膜 1 2 とが形成される。このようにして、突起 1 1 と平坦化膜 1 2 とからなる下地層が形成される。この平坦化膜 1 2 は孔 1 2 a、1 2 b、1 2 c、1 2 d 及び 1 2 e を有する。孔 1 2 a はドレイン電極 4 に対応する位置に形成された孔である。孔 1 2 b はゲートバス本体部 5 2 の接続部 5 2 a を露出するための孔である。孔 1 2 c はゲートバス端部 5 1 の接続部 5 1 a に対応する位置に形成された孔である。孔 1 2 d はゲートバス端部 5 1 の接続部 5 1 c に対応する位置に形成された孔である。孔 1 2 e はゲート端子 6 を覆う MoCr 部 2 6 の MoCr 不要部 2 6 a に対応する位置に形成された孔である。

40

このようにして、突起 1 1 と平坦化膜 1 2 とを有する下地層が形成される。下地層の形成後、この下地層をエッチングマスクとして、ゲート絶縁膜 8 をドライエッチングする (図 9 4 及び図 9 5 参照) 。

図 9 4 及び図 9 5 は、ゲート絶縁膜 8 がドライエッチングされた後の基板を示す断面図

50

である。図 9 4 は図 9 2 に対応する断面図であり、図 9 5 は図 9 3 に対応する断面図である。

下地層をエッチングマスクとして、ゲート絶縁膜 8 をドライエッチングすることにより、このゲート絶縁膜 8 に、平坦化膜 1 2 の孔 1 2 a、1 2 c、1 2 d 及び 1 2 e それぞれに対応する孔 8 a、8 c、8 d 及び 8 e が形成される。孔 8 a はドレイン電極 4 を露出するための孔である。孔 8 c は、ゲートバス端部 5 1 の接続部 5 1 a を露出するための孔である。孔 8 d は、ゲートバス端部 5 1 の接続部 5 1 c を露出するための孔である。孔 8 e は、ゲート端子 6 を覆う MoCr 不要部 2 6 a を露出するための孔である。平坦化膜 1 2 の孔 1 2 b に対応するゲート絶縁膜 8 の部分は、ゲートバス本体部 5 2 の接続部 5 2 a で保護されているため、エッチングされない。

10

このようにゲート絶縁膜 8 をエッチングした後、反射電極 1 3 等を形成するための Ag 膜を形成する（図 9 6 及び図 9 7 参照）。

図 9 6 及び図 9 7 は、Ag 膜 1 3 0 が形成された基板の断面図である。図 9 6 は図 9 4 に対応する断面図であり、図 9 7 は図 9 5 に対応する断面図である。

Ag 膜 1 3 0 は、ドレイン電極 4、ゲートバス本体部 5 2 の接続部 5 2 a、ゲートバス端部 5 1 の接続部 5 1 a、ゲートバス端部 5 1 の接続部 5 1 c、及び MoCr 不要部 2 6 a に接続される。

以上のようにして、Ag 膜 1 3 0 を有する導電膜所有体 G が製造される。

このように Ag 膜 1 3 0 を形成した後、この Ag 膜 1 3 0 をフォトリソグラフィ工程を用いてウエットエッチングする（図 9 8 乃至 1 0 0 参照）。

20

図 9 8 は、Ag 膜 1 3 0 をウエットエッチングした直後の基板の一部平面図、図 9 9 は、図 9 8 の基板の V I I - V I I 方向から見た断面図、図 1 0 0 は、図 9 8 の基板の V I I I - V I I I 方向から見た断面図である。

Ag 膜 1 3 0 をウエットエッチングすることによって、レジスト膜 Res の下に反射電極 1 3、ゲートバス架橋部 5 3 及び犠牲電極 1 4 が形成される。ゲートバス架橋部 5 3 を形成することにより、ゲートバス端部 5 1 とゲートバス本体部 5 2 とが電氣的に接続される。ゲートバス端部 5 1、ゲートバス本体部 5 2 及びゲートバス架橋部 5 3 によって、ゲートバス 5 が構成される。犠牲電極 1 4 は、ゲートバス端部 5 1 の接続部 5 1 c を通じて、ゲート端子 6 に電氣的に接続されている。また、Ag 膜 1 3 0 をウエットエッチングすることによって、Ag 膜 1 3 0 の不要な部分は除去されるため、ゲート端子 6 を覆っている MoCr 不要部 2 6 a が露出する。

30

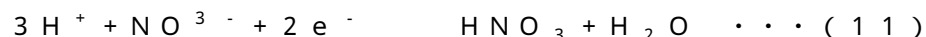
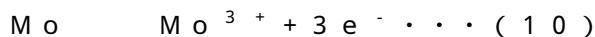
ここで注意しなければならないことは、Ag 膜 1 3 0 をウエットエッチングすることにより、反射電極 1 3 及びゲートバス架橋部 5 3 だけでなく、犠牲電極 1 4 も形成されることである。以下に、反射電極 1 3 及びゲートバス架橋部 5 3 だけでなく犠牲電極 1 4 も形成する理由について説明する。

上述したように、Ag 膜 1 3 0 をウエットエッチングすることによって、Ag 膜 1 3 0 で覆われていた MoCr 不要部 2 6 a が露出する。この MoCr 不要部 2 6 a が露出した直後では、反射電極 1 3 の側端面 1 3 a、ゲートバス架橋部 5 3 の側端面 5 3 a 及び犠牲電極 1 4 の側端面 1 4 a と、MoCr 不要部 2 6 a とがエッチング液に接触する。反射電極 1 3、ゲートバス架橋部 5 3 及び犠牲電極 1 4 の材料である Ag と、MoCr 不要部 2 6 a の材料である Mo との平衡電極電位の関係は (9) 式で表される。

40

$$\text{Mo} < \text{Ag} \quad \dots (9)$$

ゲートバス架橋部 5 3 及び犠牲電極 1 4 は、MoCr 不要部 2 6 a に電氣的に接続されており、エッチング液は電解質溶液である。従って、ゲートバス架橋部 5 3 及び犠牲電極 1 4 と MoCr 不要部 2 6 a とがエッチング液に接触すると、反応式 (1 0) 及び (1 1) で表される電池反応が生じると考えられる。



ここで、反応式 (1 1) の NO_3^{-} は、エッチング液に含まれているイオンである。

Mo の平衡電極電位は Ag の平衡電極電位よりも小さいため、MoCr 不要部 2 6 a 側

50

では、電子を放出する反応式(10)が優先的に生じると考えられる。発生した電子(e^-)の一部は、MoCr不要部26aからAgを主成分とするゲートバス架橋部53に流入し、この流入した電子は、エッチング液に含まれている NO_3^- と反応し、反応式(11)を促進する。Ag膜130のエッチングは、反応式(11)が生じることによって進行するものであり、このため、反応式(11)が促進されると、Ag膜130のエッチング速度が増大する。従って、もし、犠牲電極14が存在しないと仮定すると、反応式(11)の反応がゲートバス架橋部53の近傍で集中して起き、この結果、ゲートバス架橋部53のエッチング速度が増大し、ゲートバス架橋部53の寸法が所望の値よりも更に小さくなってしまふことが考えられる。このようにゲートバス架橋部53が所望の寸法よりも小さくなると、ゲートバス架橋部53が高抵抗になったり、最悪の場合、ゲートバス本体部52とゲートバス端部51との間の電氣的接続を確保することができない場合が生じる。

10

これに対して、第5実施形態では、Ag膜130をウエットエッチングするときゲートバス架橋部53の他に犠牲電極14も形成しているため、MoCr不要部26aは、ゲートバス架橋部53だけでなく犠牲電極14にも電氣的に接続されている。従って、反応式(11)が、ゲートバス架橋部53の近傍だけでなく、犠牲電極14の近傍でも生じ、この結果、反応式(11)がゲートバス架橋部53で集中して起こることが防止される。従って、犠牲電極14を備えることにより、ゲートバス架橋部53のエッチング速度の増加を緩和することができ、所望の寸法を有するゲートバス架橋部53を形成することが可能となる。

20

Ag膜130をウエットエッチングすることによって、MoCr部26のMoCr不要部26aが露出したら、MoCr不要部26aをドライエッチングする。MoCr不要部26aをドライエッチングすることによって、このMoCr不要部26aを除去するための専用のフォトリソ工程を行わなくてもゲート端子6を露出させることができる。MoCr部26のMoCr不要部26aをドライエッチングした後、レジスト膜Resを剥離する。このようにして、図84乃至図86に示すTFTアレイ基板500が製造される。

また、第5実施形態では、反射電極13及びゲートバス架橋部53を形成するために、Ag膜130を形成したが、Ag膜の代わりに、例えばAg合金を有するAg合金膜を形成することができる。Ag合金膜をウエットエッチングするとき、反射電極及びゲートバス架橋部の他に犠牲電極が形成されるように、Ag合金膜をウエットエッチングすることによって、所望の寸法を有するゲートバス架橋部を形成することが可能となる。

30

【産業上の利用の可能性】

本発明によれば、感光性膜が必要以上に除去される現象を防止又は緩和する電子装置製造方法、及びこの方法が適用された電子装置が得られる。

また、本発明によれば、現像液に接触した導電膜が損傷を受けてしまう現象を防止又は緩和する電子装置製造方法、及びこの方法が適用された電子装置が得られる。

更に、本発明によれば、金属膜が必要以上に除去されてしまうという現象を防止又は緩和する電子装置製造方法、及びこの方法が適用された電子装置が得られる。

【 図 1 】

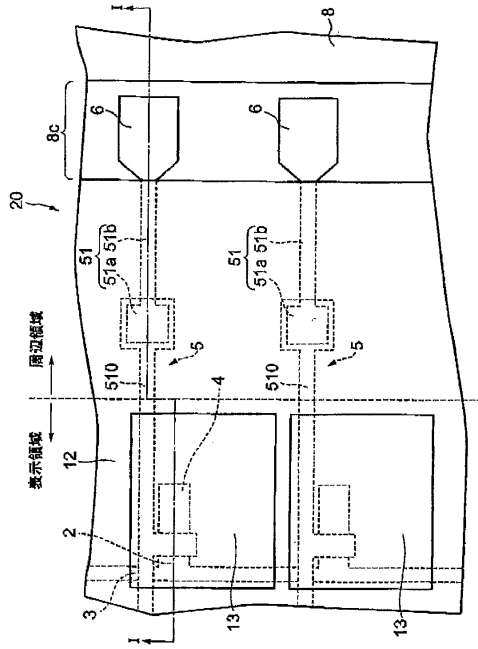


図 1

【 図 2 】

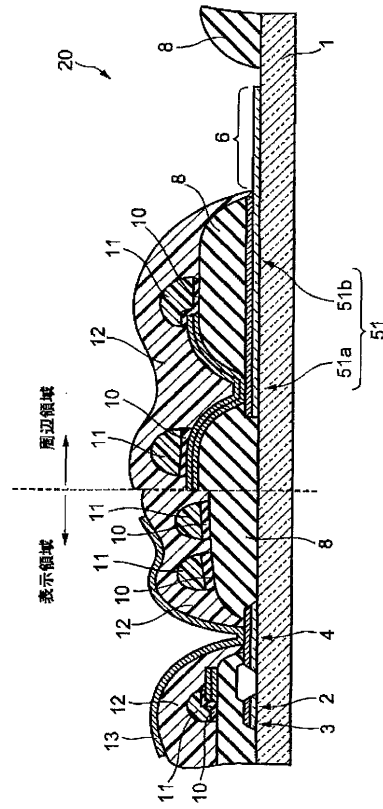


図 2

【 図 3 】

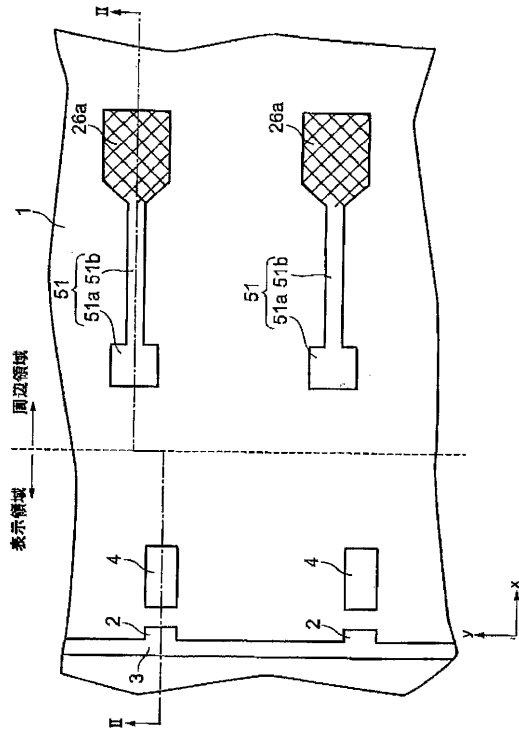


図 3

【 図 4 】

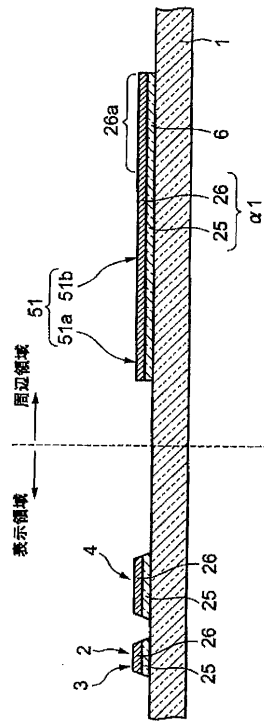


図 4

【 図 5 】

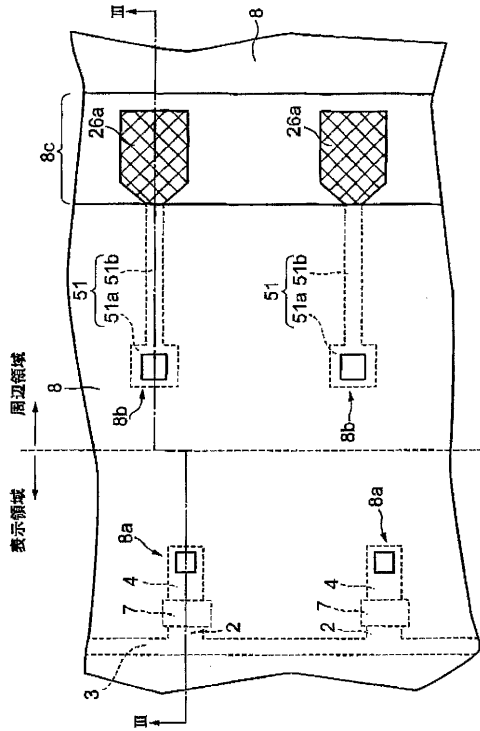


図 5

【 図 6 】

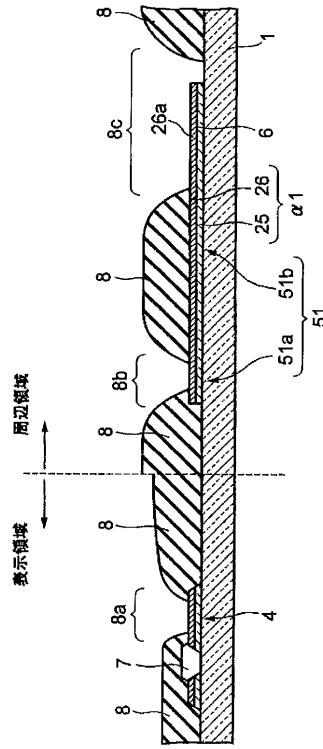


図 6

【 図 7 】

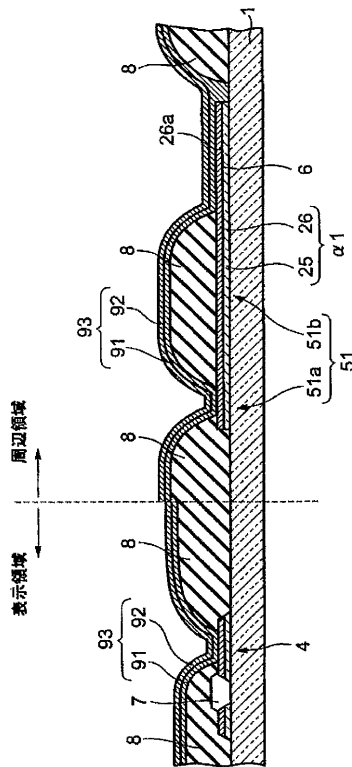


図 7

【 図 8 】

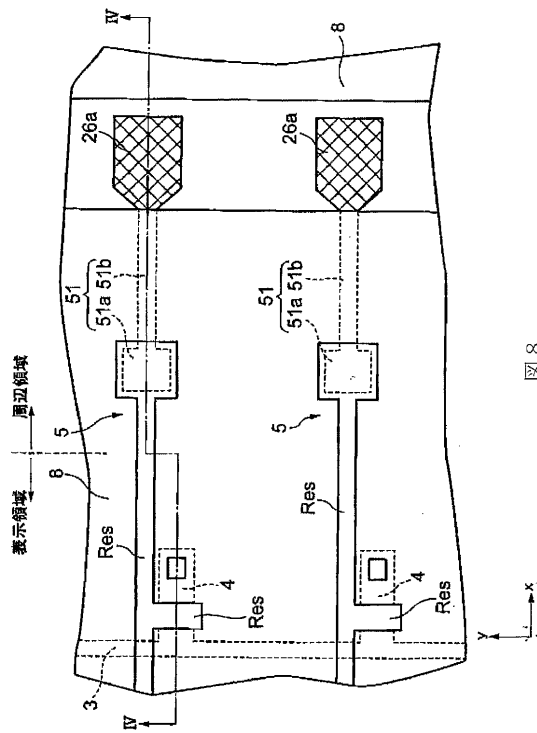


図 8

【 図 9 】

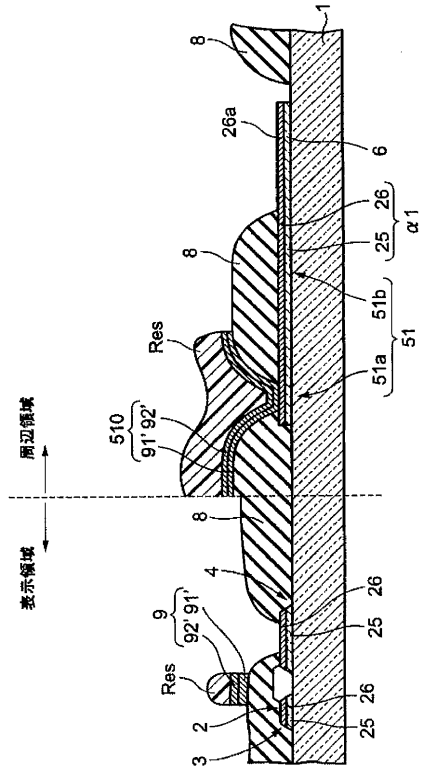


図 9

【 図 10 】

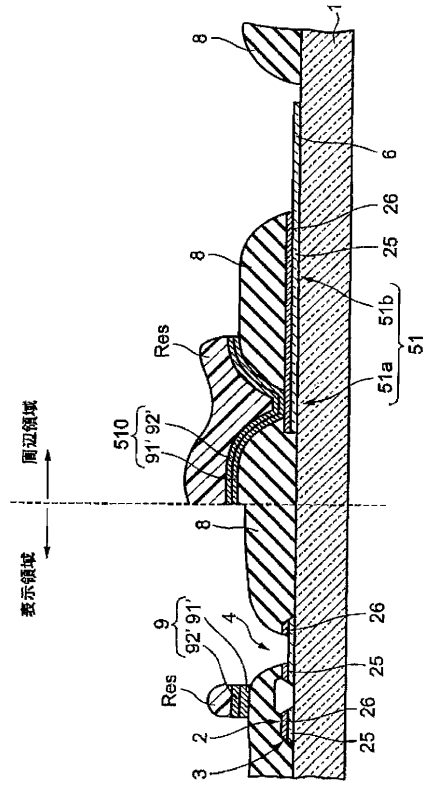


図 10

【 図 11 】

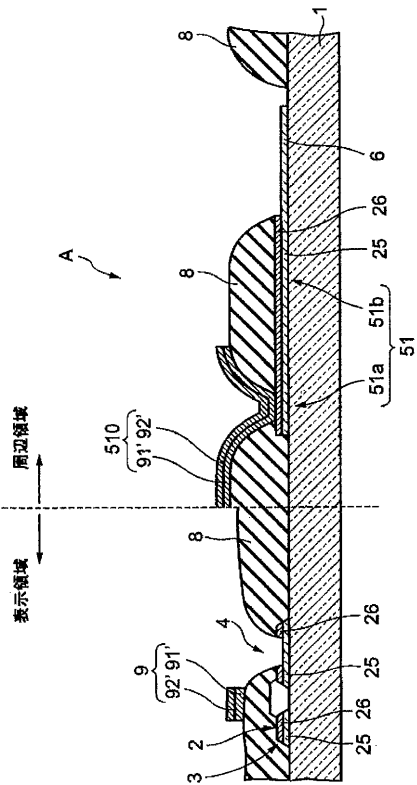


図 11

【 図 12 】

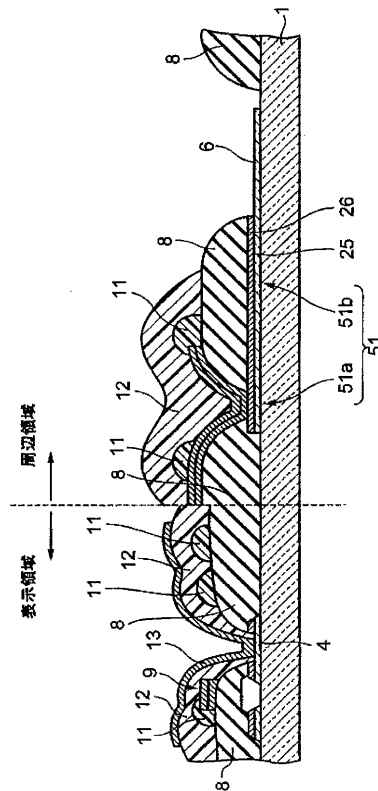


図 12

【 図 1 3 】

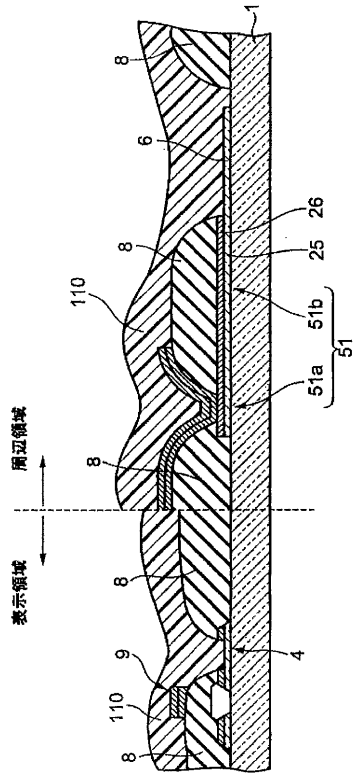


図 1 3

【 図 1 4 】

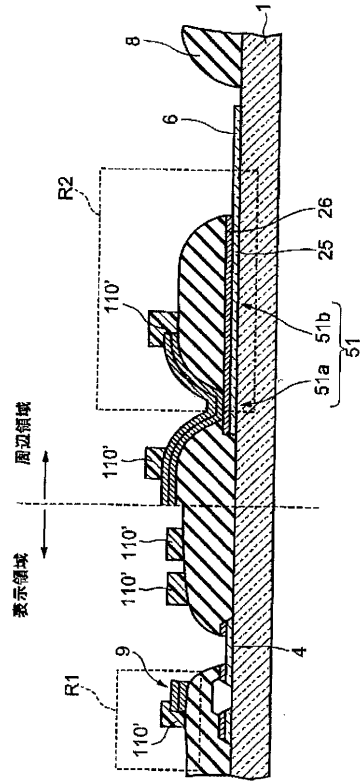


図 1 4

【 図 1 5 】

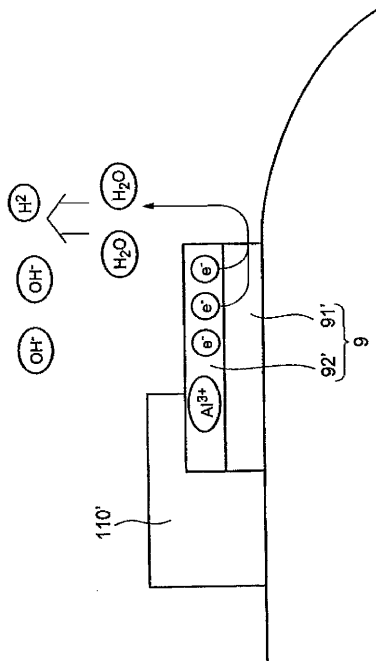


図 1 5

【 図 1 6 】

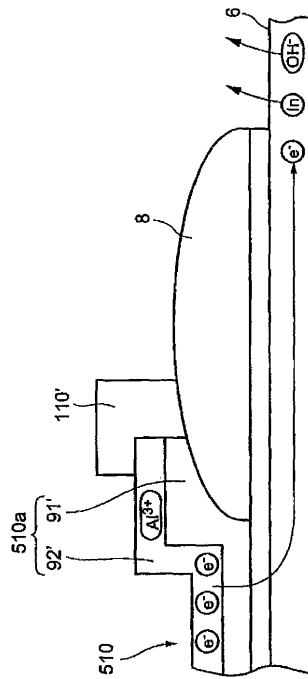


図 1 6

【 图 17 】

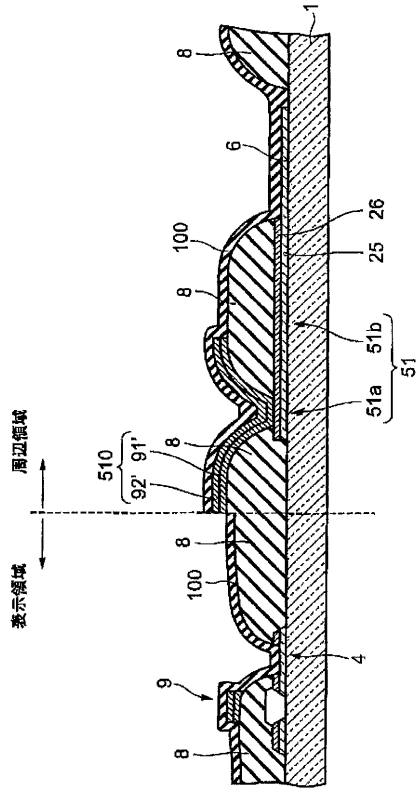


图 17

【 图 18 】

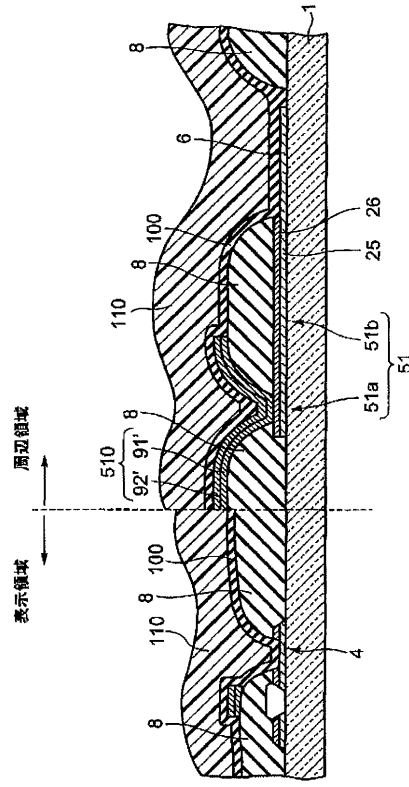


图 18

【 图 19 】

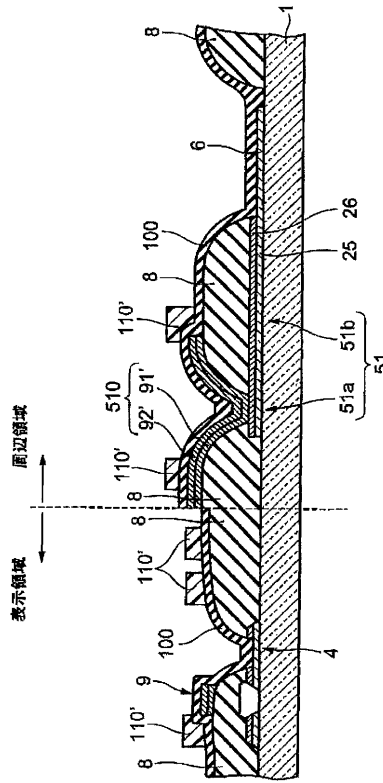


图 19

【 图 20 】

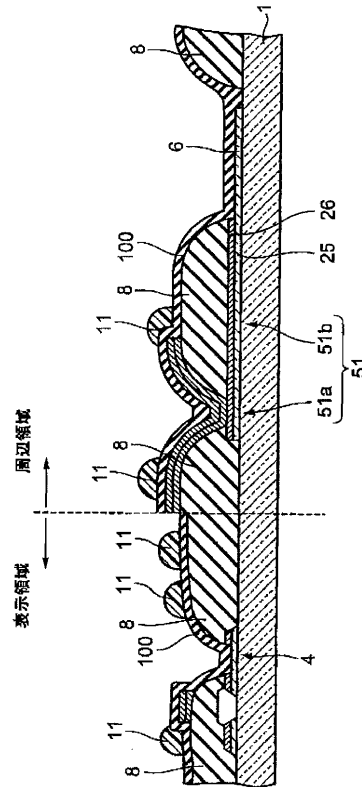


图 20

【 图 2 1 】

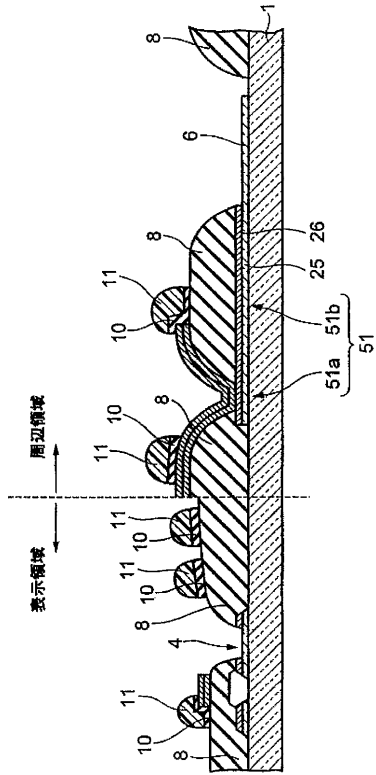


图 2 1

【 图 2 2 】

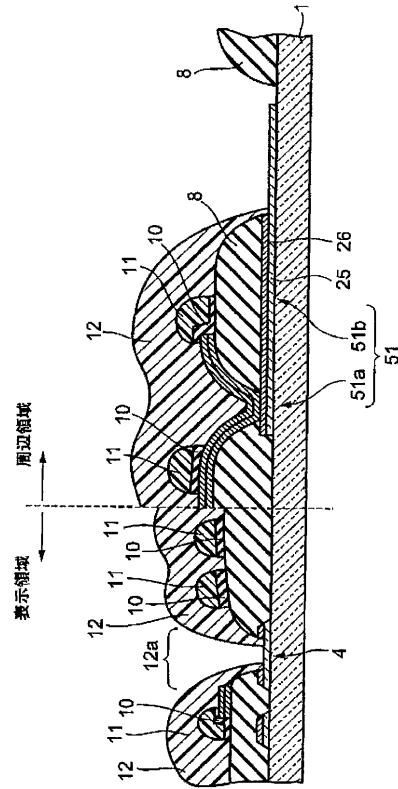


图 2 2

【 图 2 3 】

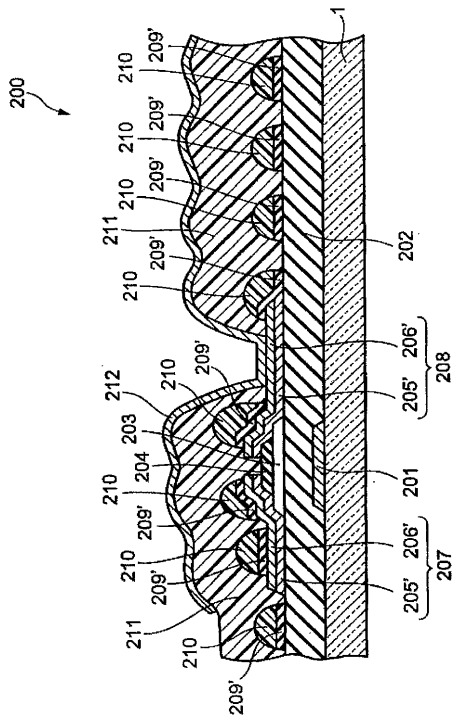


图 2 3

【 图 2 4 】

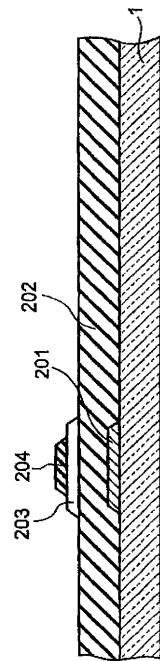


图 2 4

【 図 2 5 】

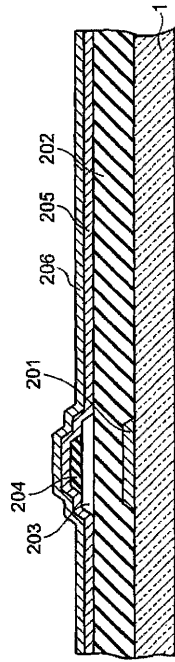


図 2 5

【 図 2 6 】

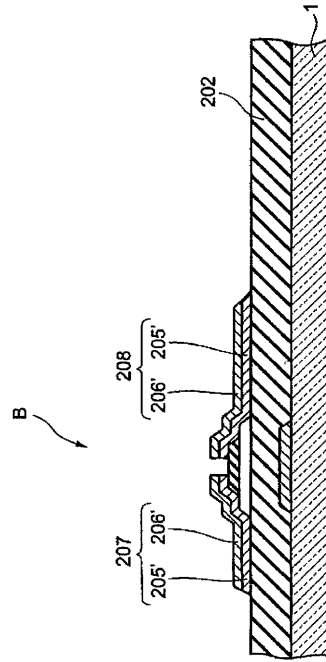


図 2 6

【 図 2 7 】

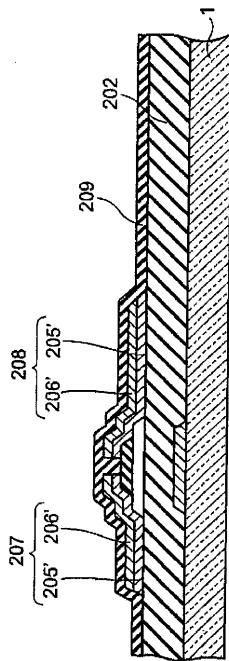


図 2 7

【 図 2 8 】

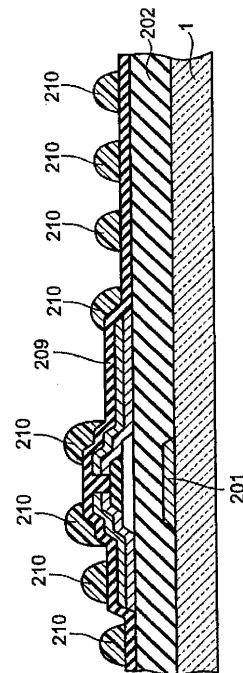


図 2 8

【 图 29 】

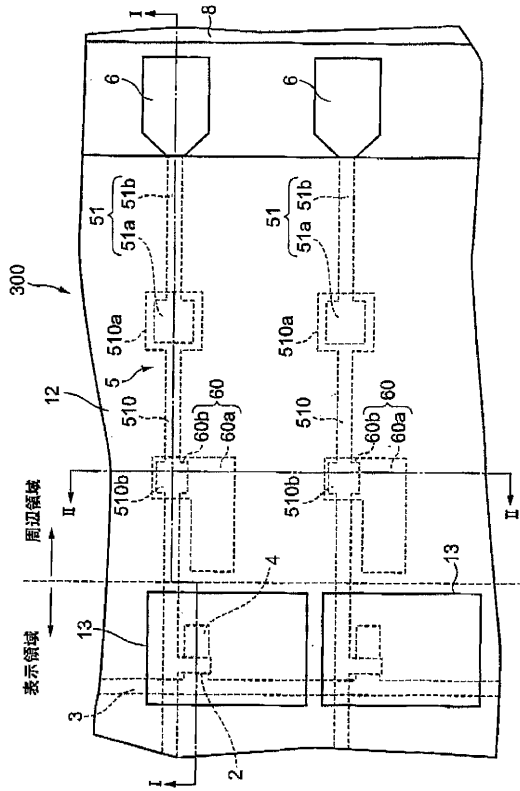


图 29

【 图 30 】

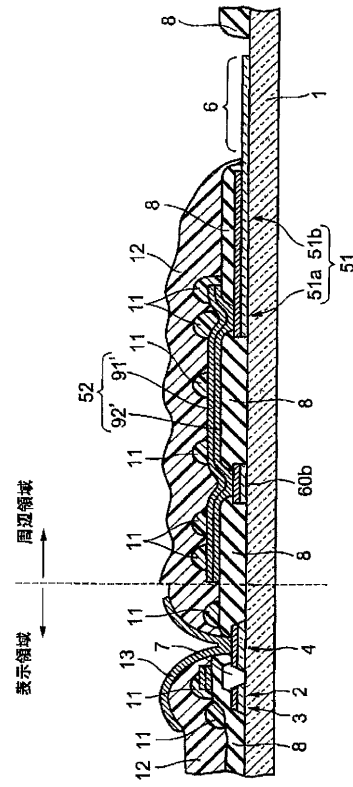


图 30

【 图 31 】

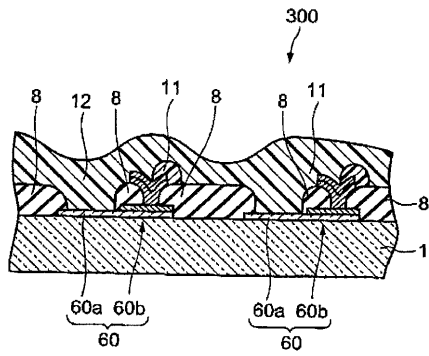


图 31

【 图 32 】

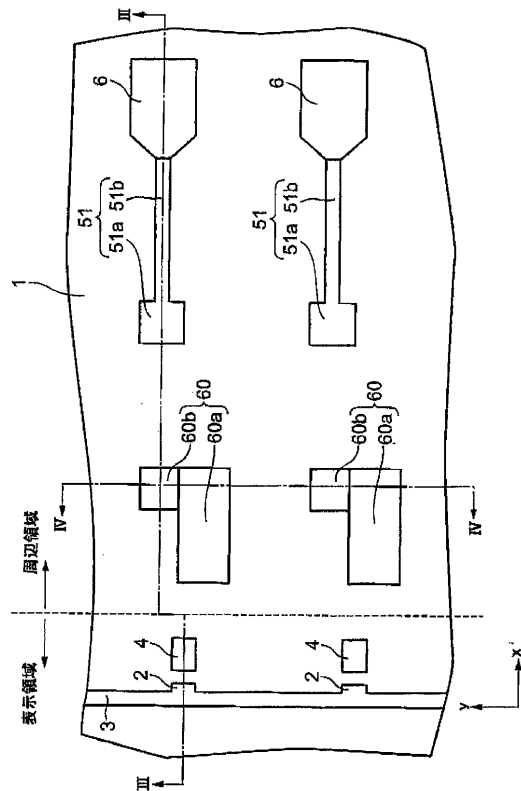


图 32

【 図 3 3 】

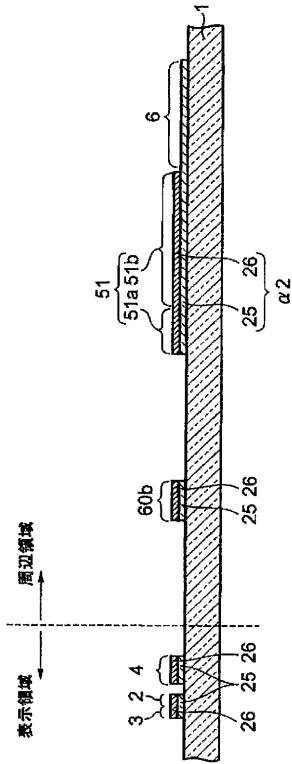


図 3 3

【 図 3 4 】

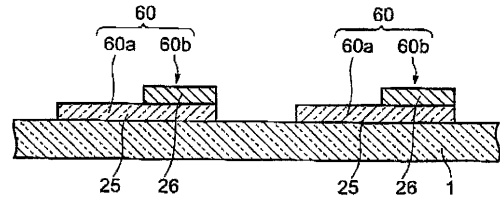


図 3 4

【 図 3 5 】

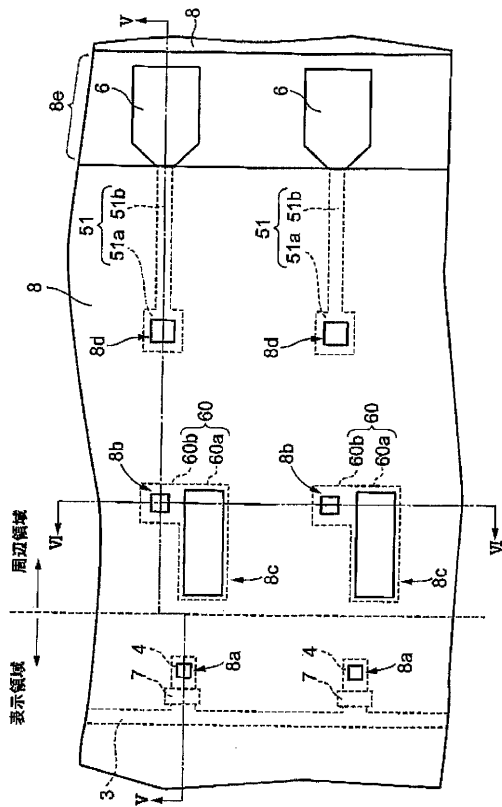


図 3 5

【 図 3 6 】

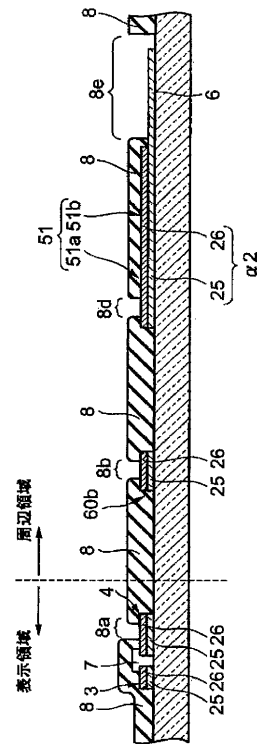


図 3 6

【 図 37 】

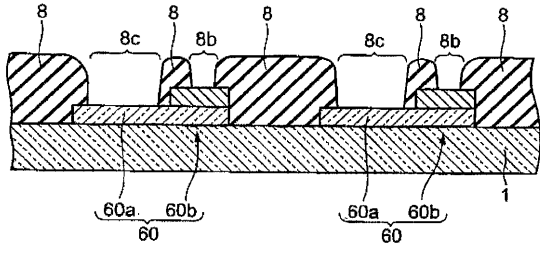


図 37

【 図 38 】

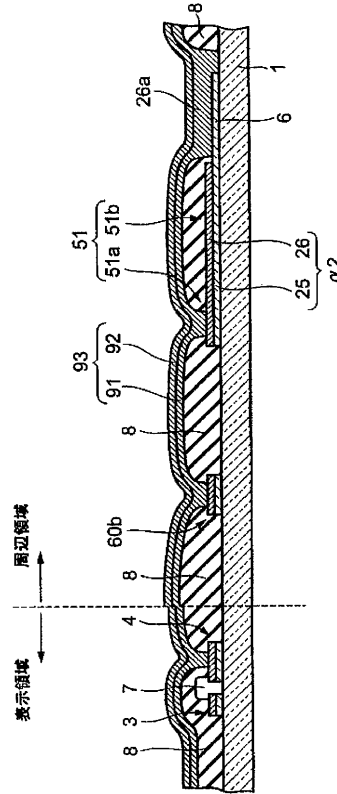


図 38

【 図 39 】

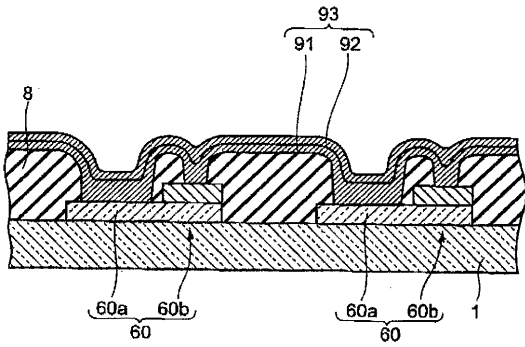


図 39

【 図 40 】

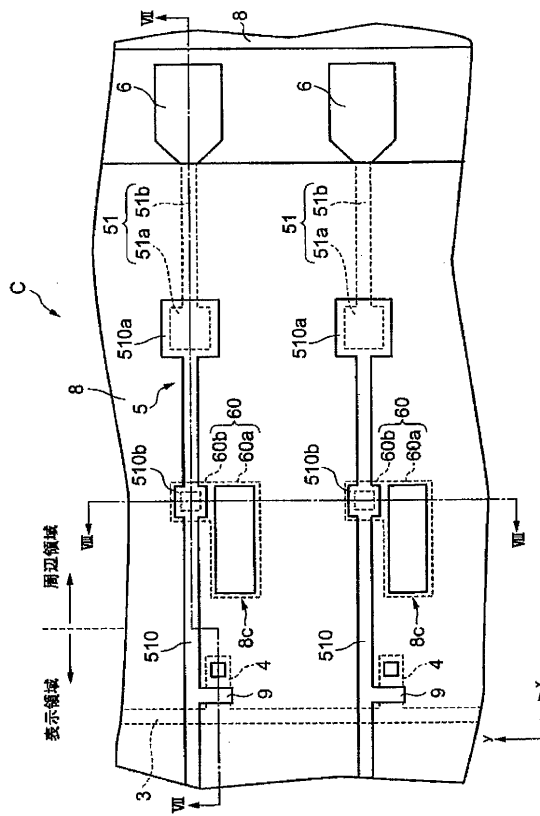


図 40

【 図 4 1 】

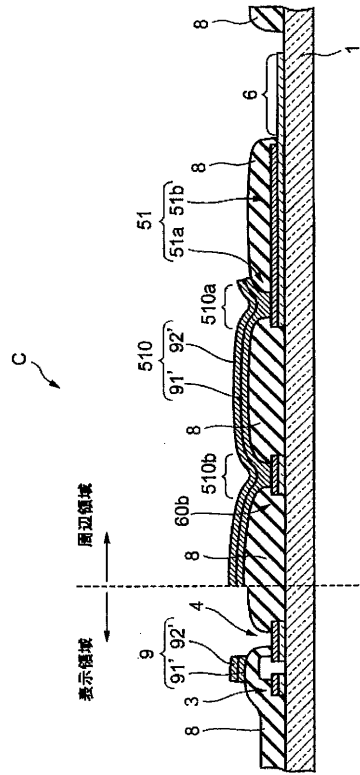


図 4 1

【 図 4 2 】

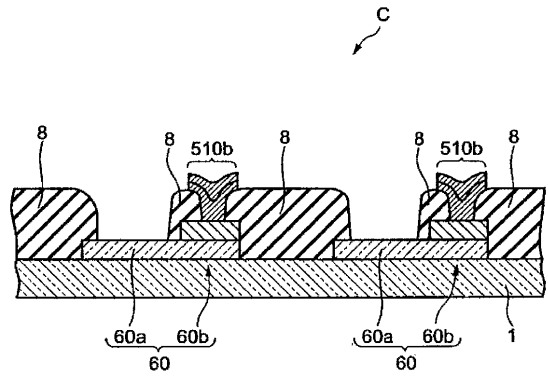


図 4 2

【 図 4 3 】

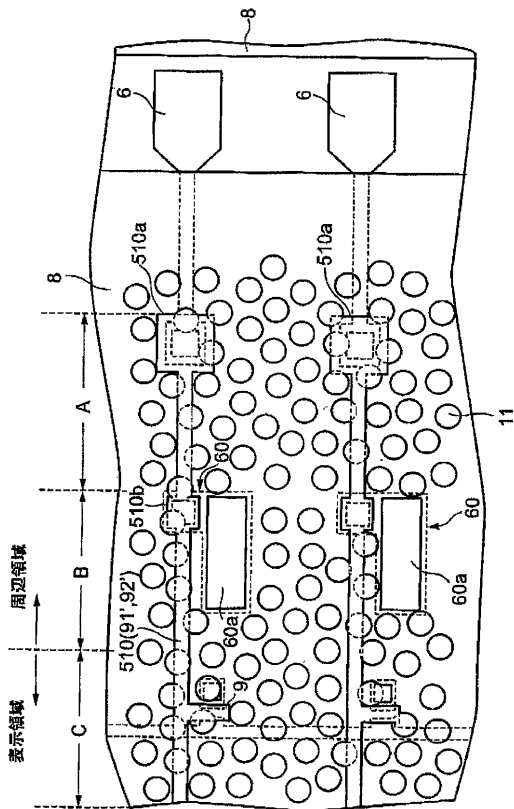


図 4 3

【 図 4 4 】

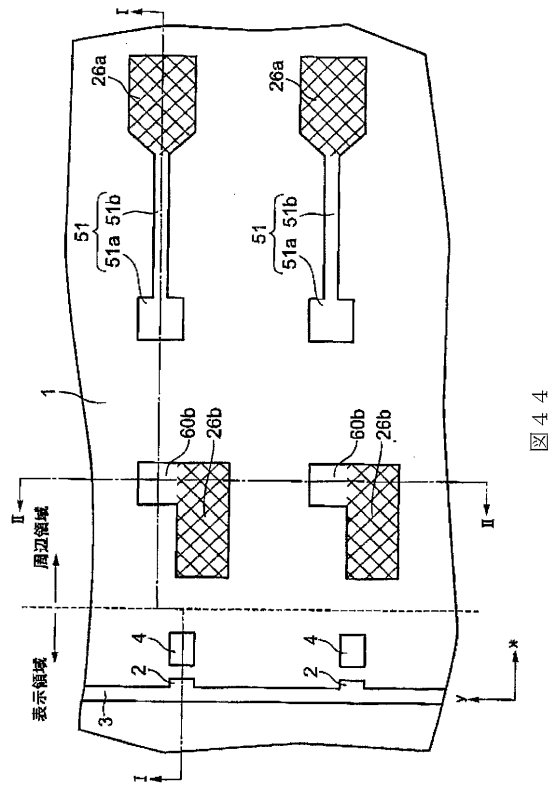


図 4 4

【 図 4 5 】

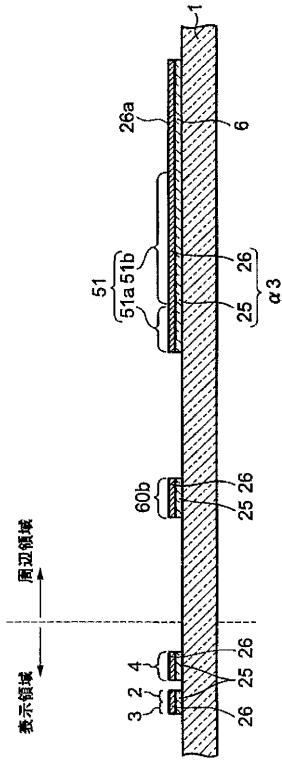


図 4 5

【 図 4 6 】

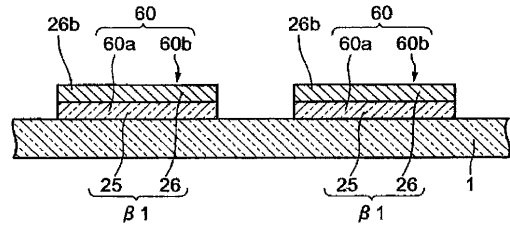


図 4 6

【 図 4 7 】

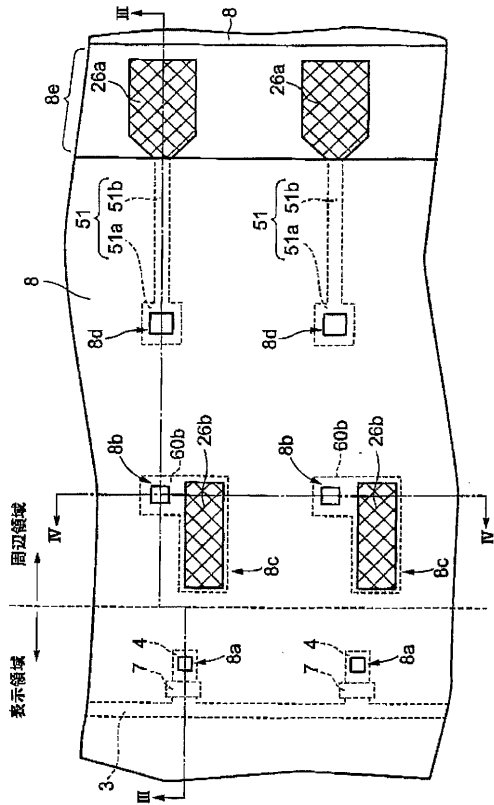


図 4 7

【 図 4 8 】

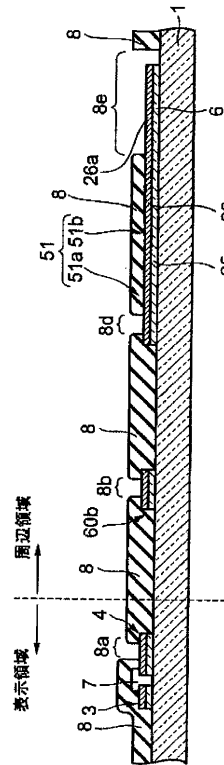
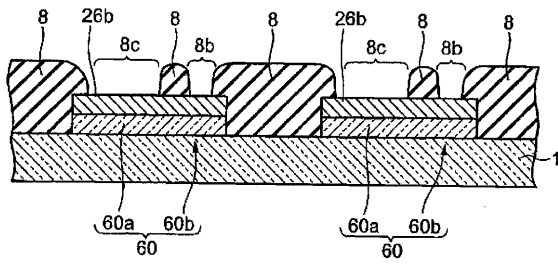


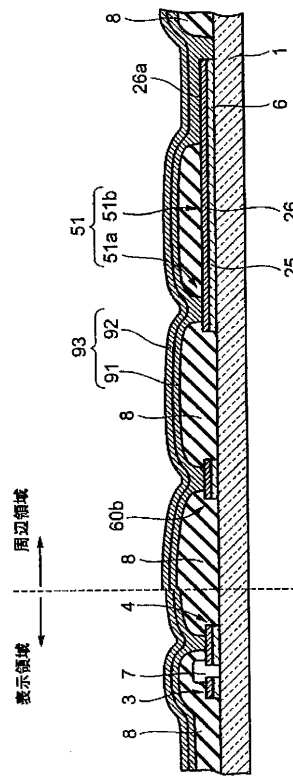
図 4 8

【 49】



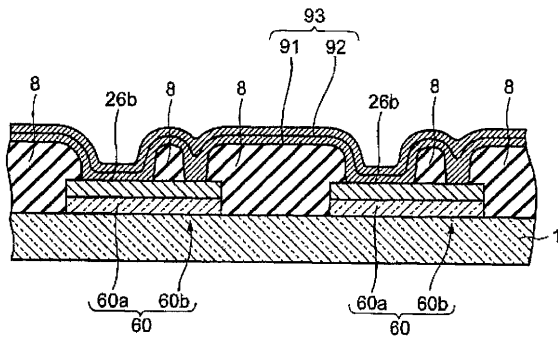
49

【 50】



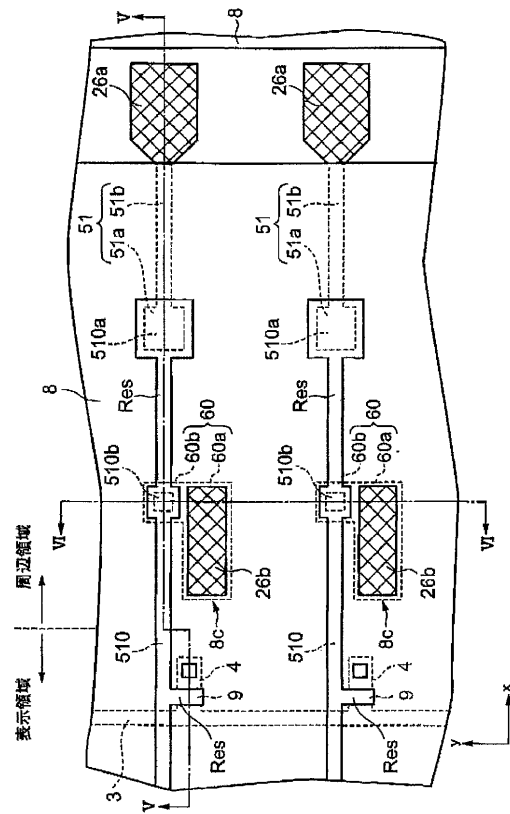
50

【 51】



51

【 52】



52

【 図 5 3 】

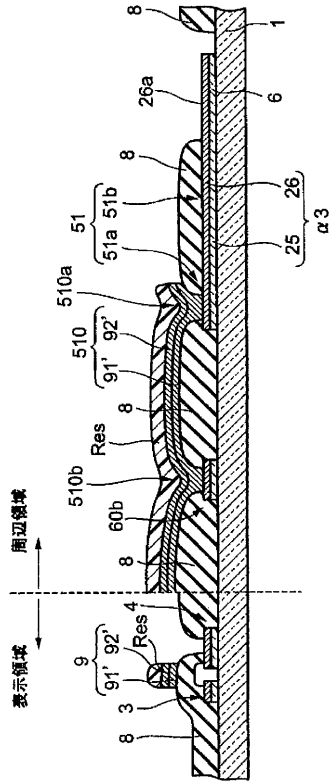


図 5 3

【 図 5 4 】

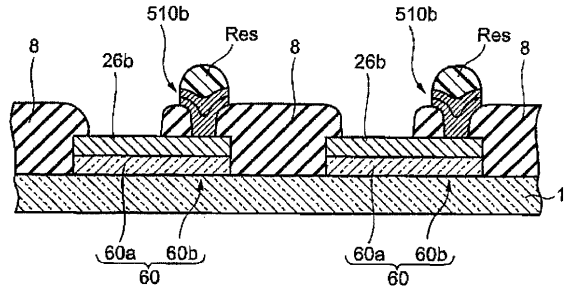


図 5 4

【 図 5 5 】

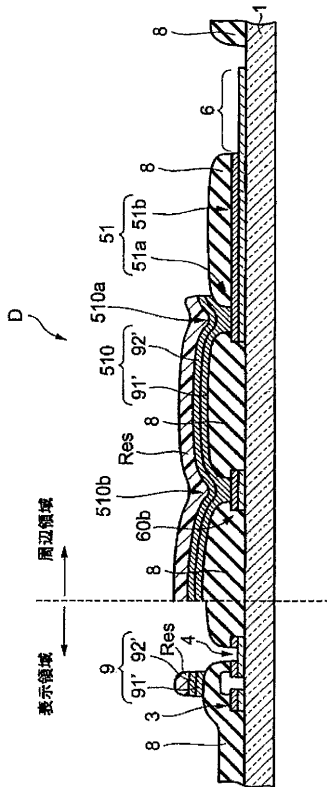


図 5 5

【 図 5 6 】

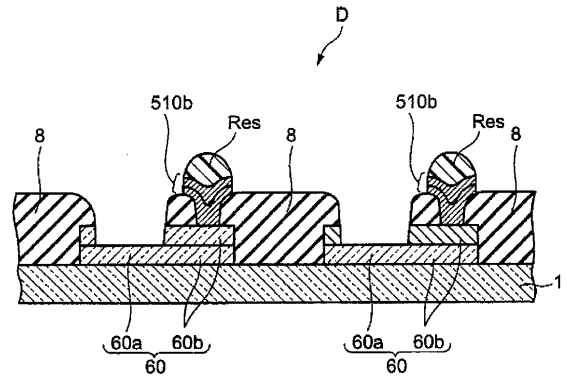


図 5 6

【图 57】

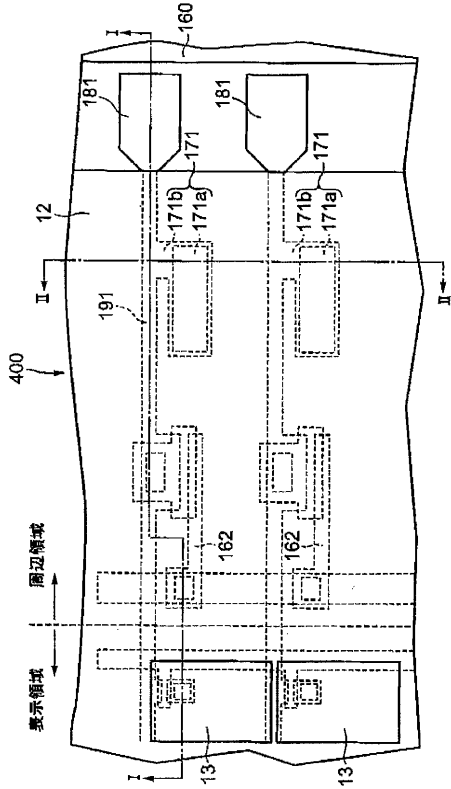


图 57

【图 58】

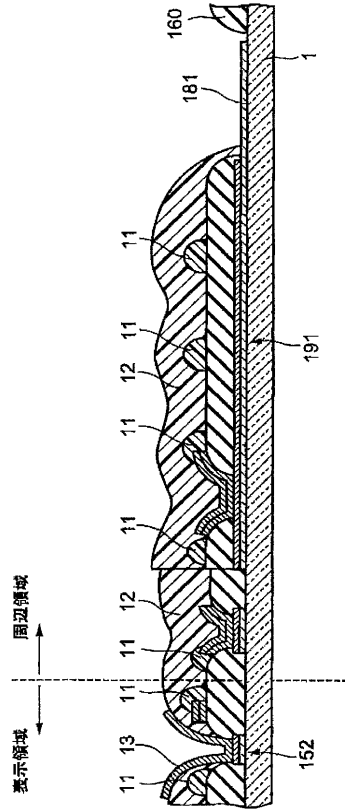


图 58

【图 59】

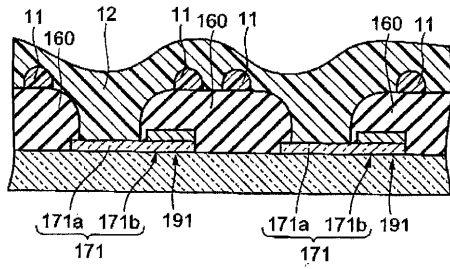


图 59

【图 60】

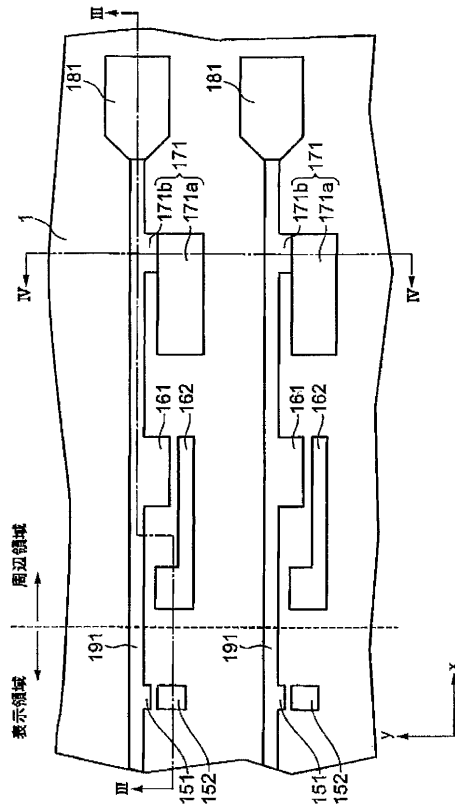
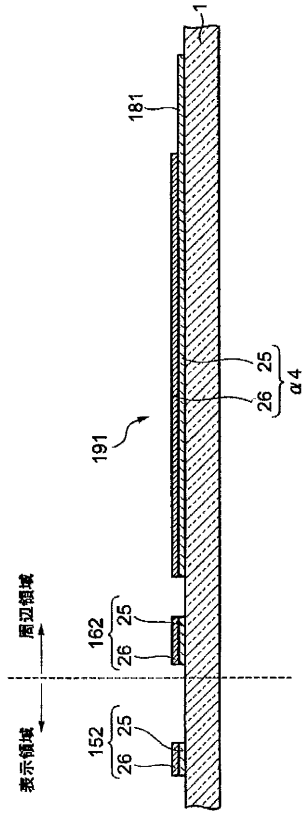


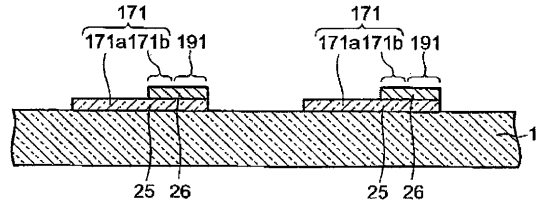
图 60

【 6 1 】



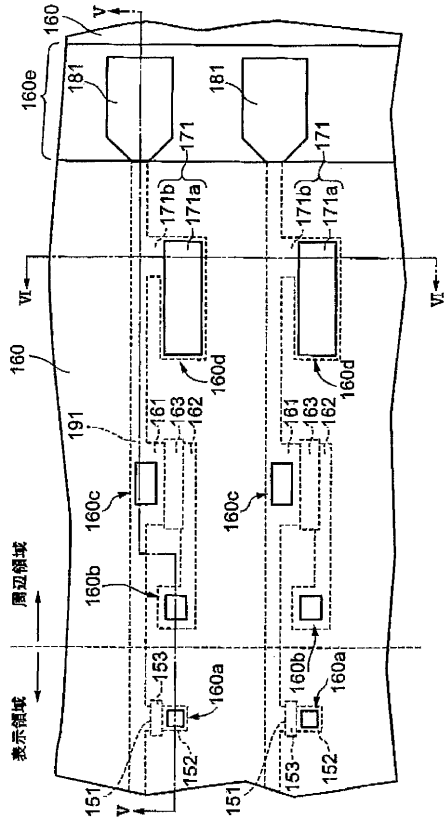
6 1

【 6 2 】



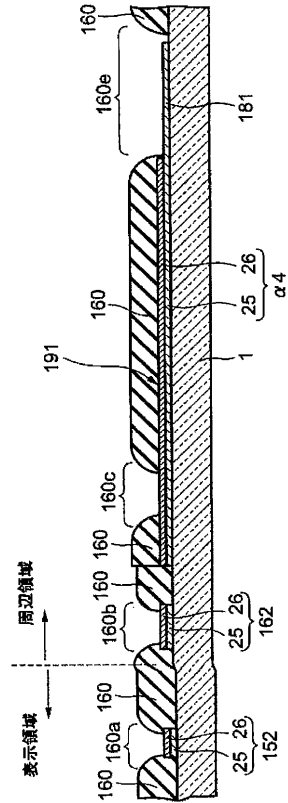
6 2

【 6 3 】



6 3

【 6 4 】



6 4

【图 6 5】

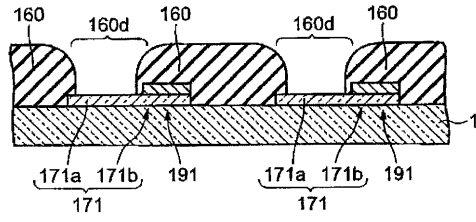


图 6 5

【图 6 6】

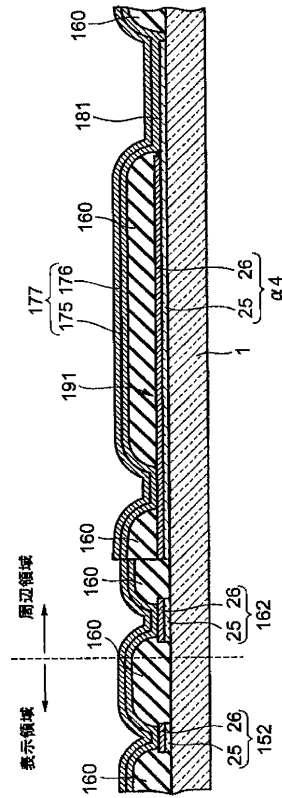


图 6 6

【图 6 7】

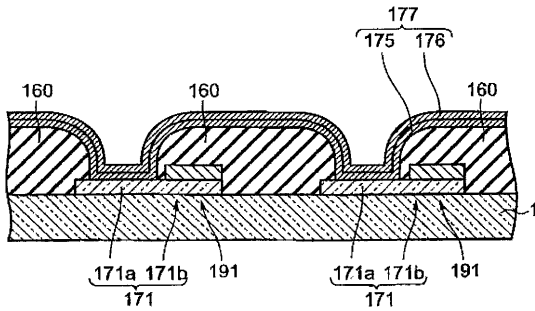


图 6 7

【图 6 8】

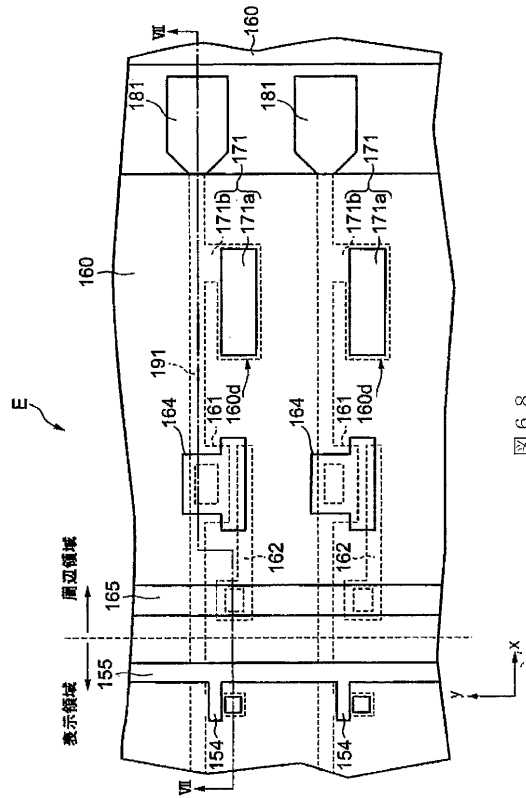


图 6 8

【 図 6 9 】

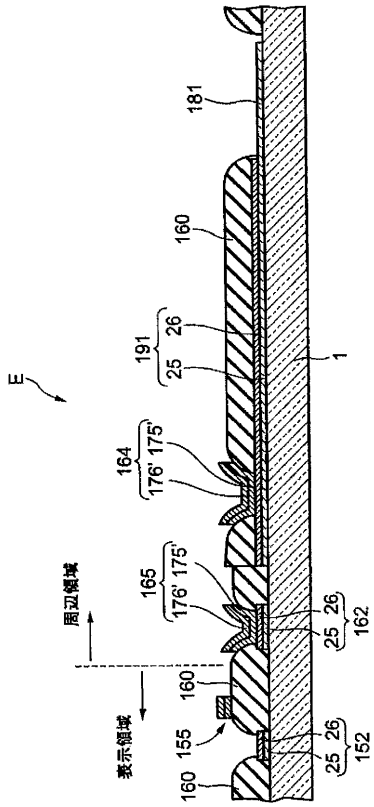


図 6 9

【 図 7 0 】

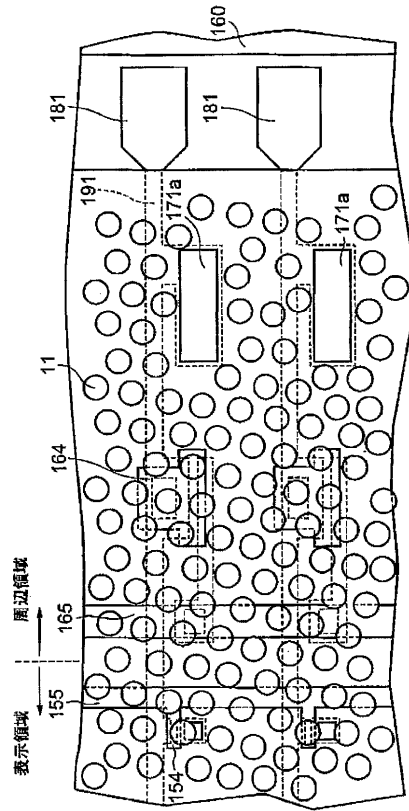


図 7 0

【 図 7 1 】

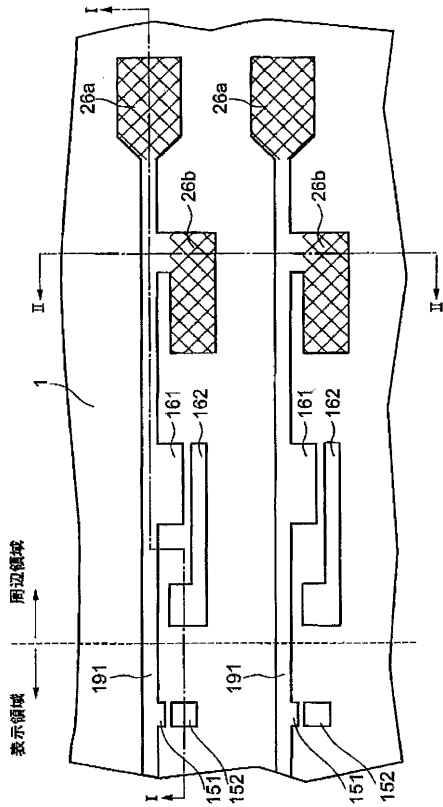


図 7 1

【 図 7 2 】

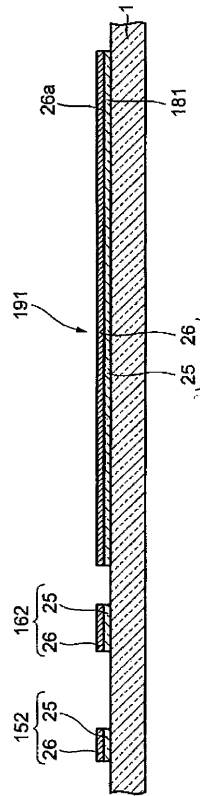


図 7 2

【 7 3 】

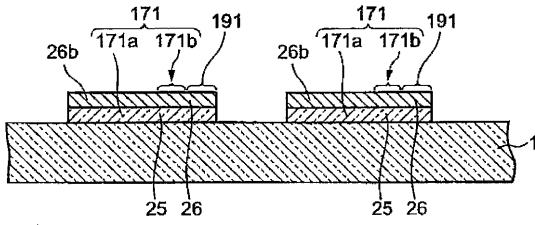


图 7 3

【 7 4 】

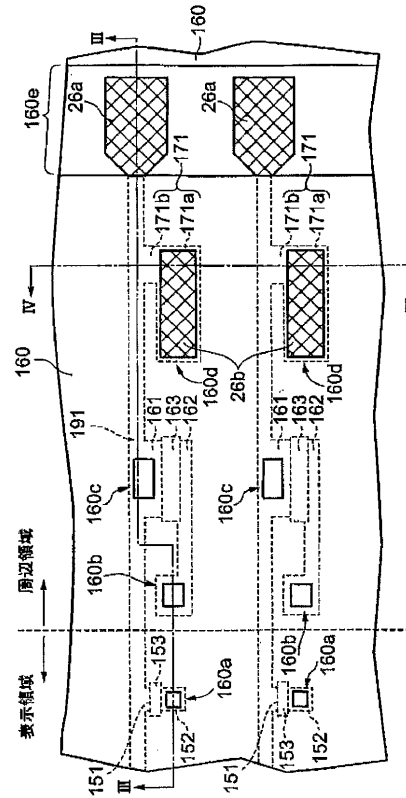


图 7 4

【 7 5 】

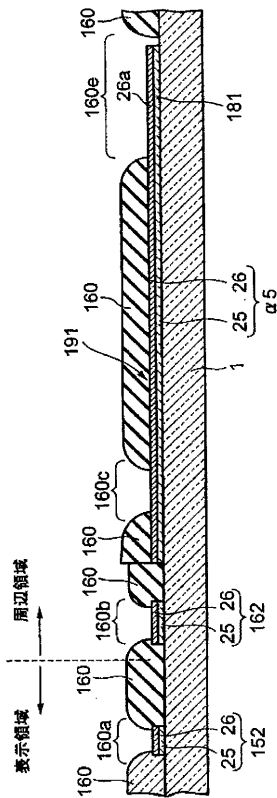


图 7 5

【 7 6 】

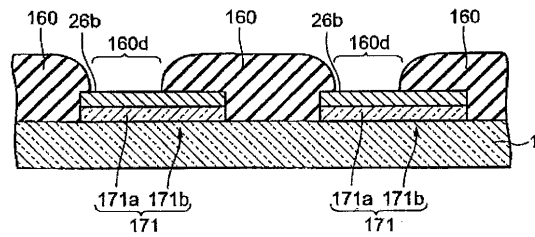
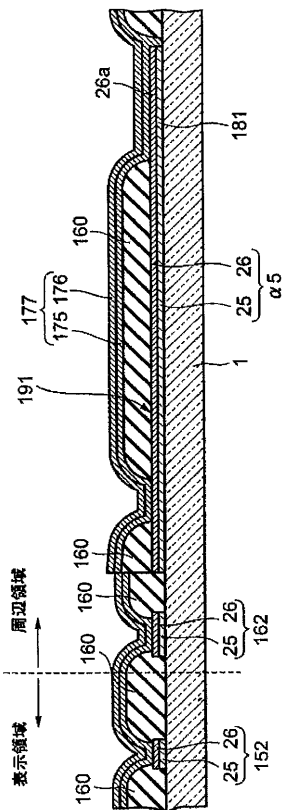


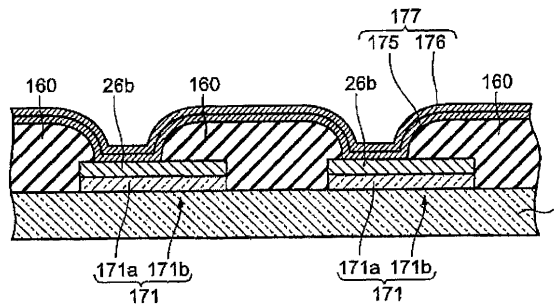
图 7 6

【 77 】



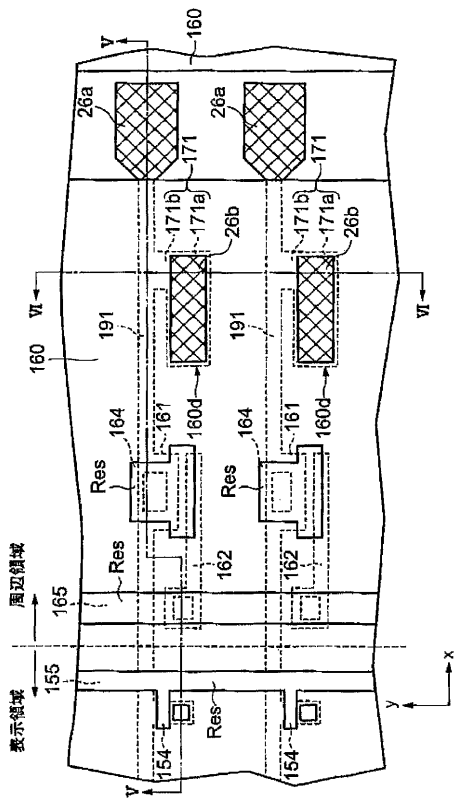
77

【 78 】



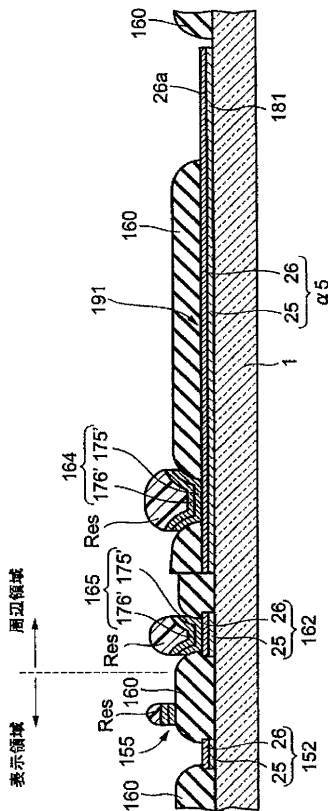
78

【 79 】



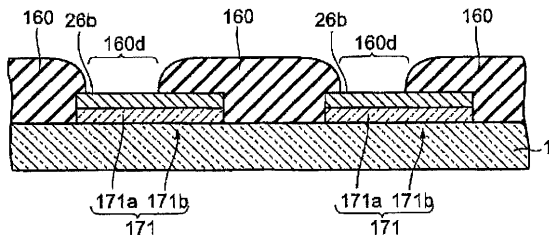
79

【 80 】



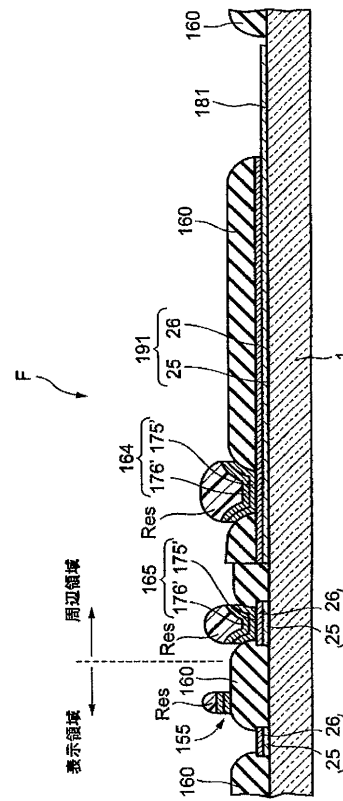
80

【 8 1 】



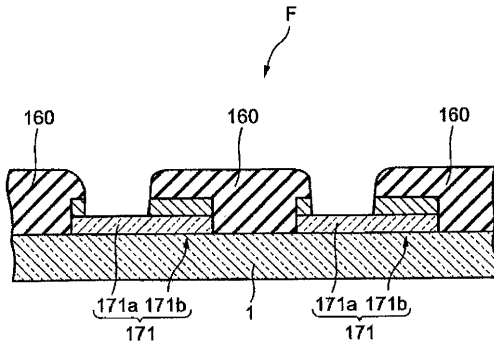
8 1

【 8 2 】



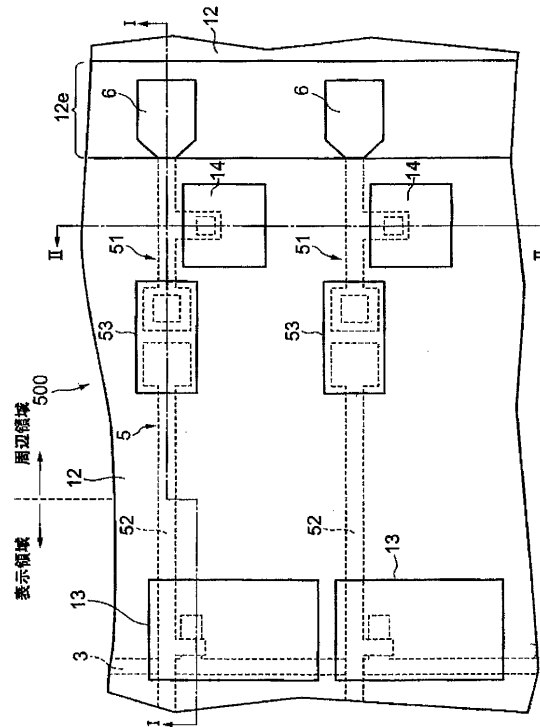
8 2

【 8 3 】



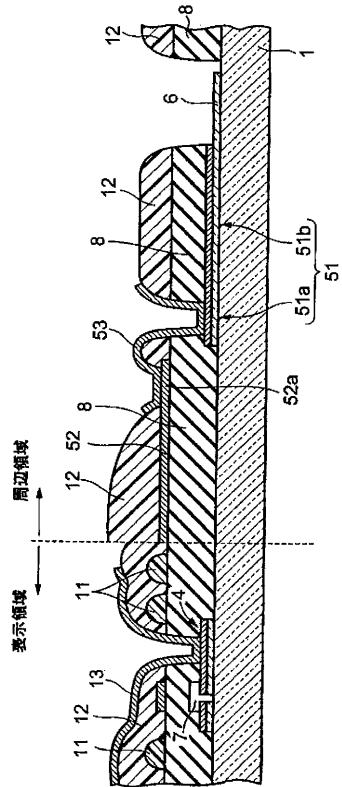
8 3

【 8 4 】



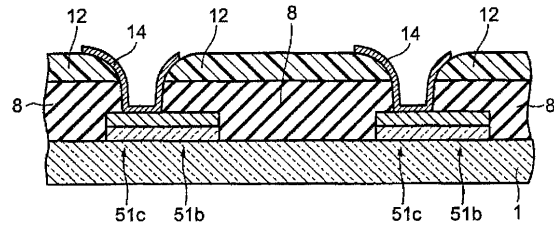
8 4

【 8 5 】



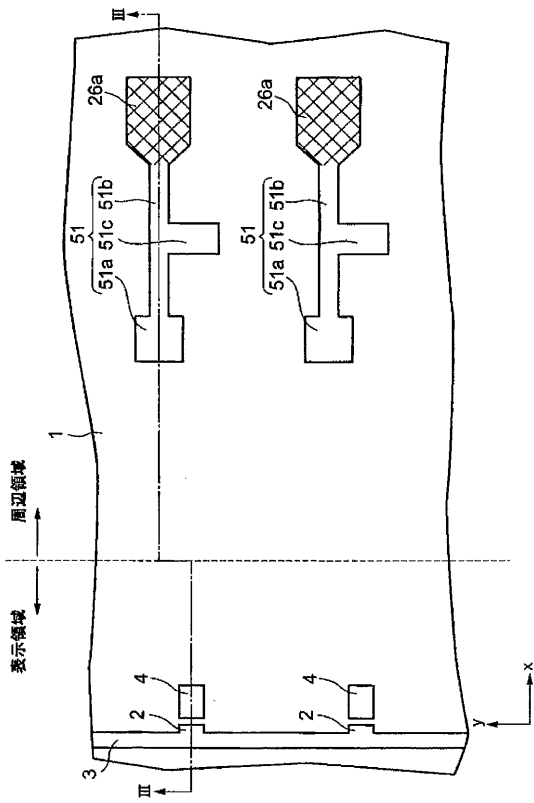
8 5

【 8 6 】



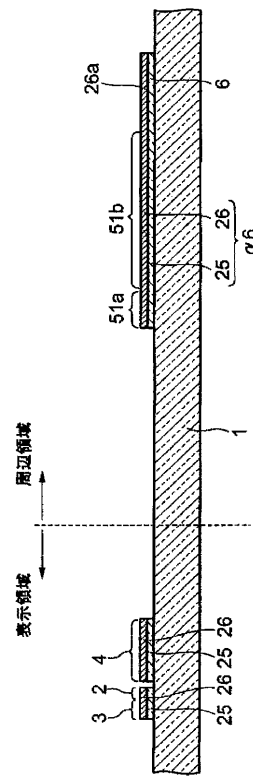
8 6

【 8 7 】



8 7

【 8 8 】



8 8

【 89 】

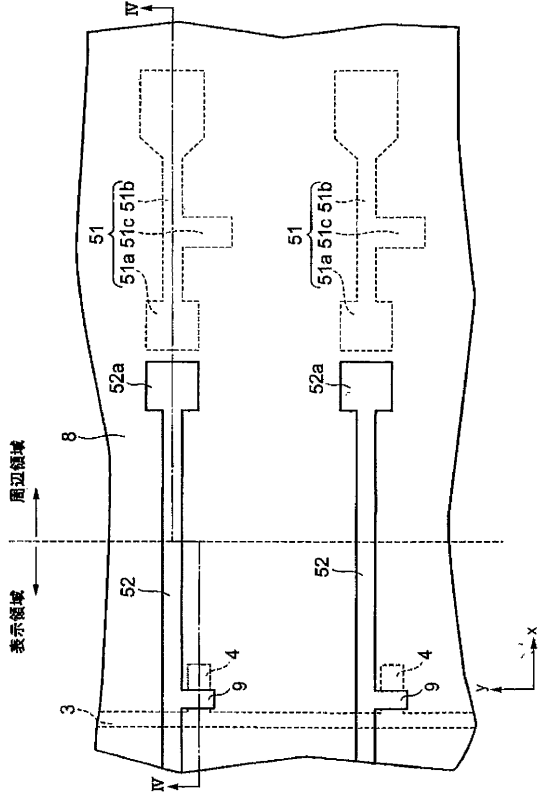


図 89

【 90 】

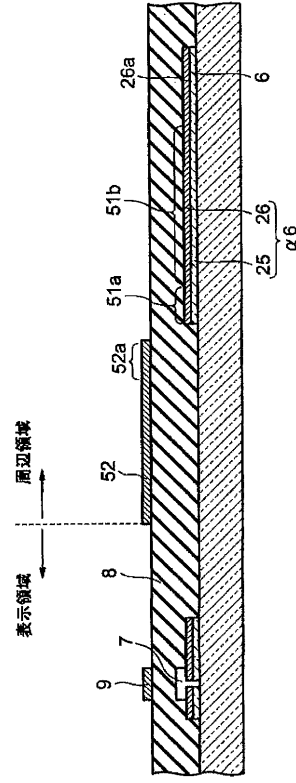


図 90

【 91 】

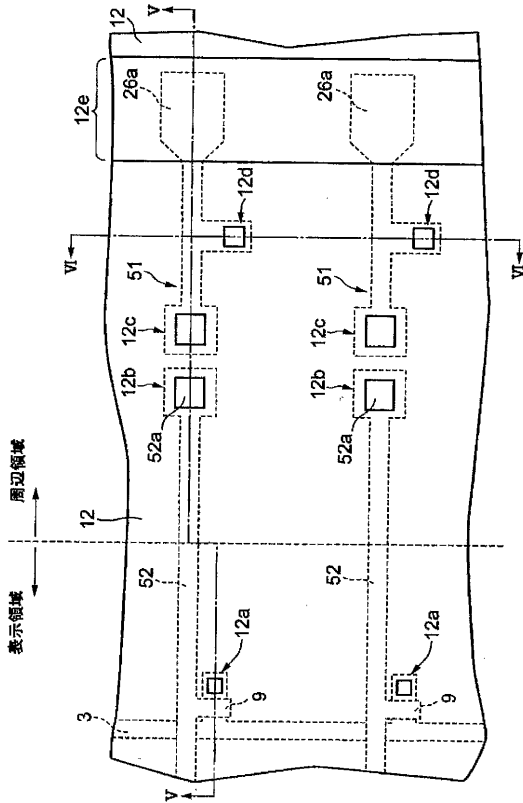


図 91

【 92 】

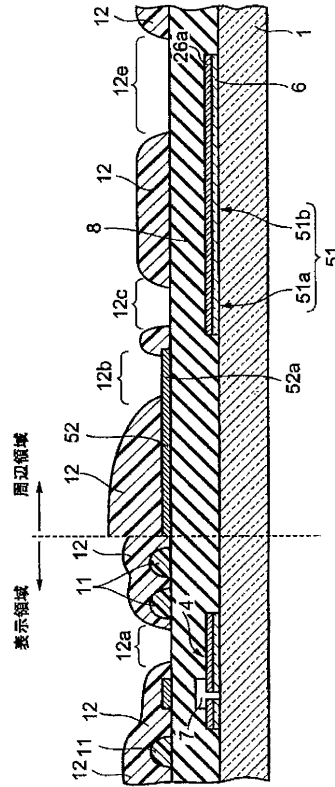


図 92

【 9 3 】

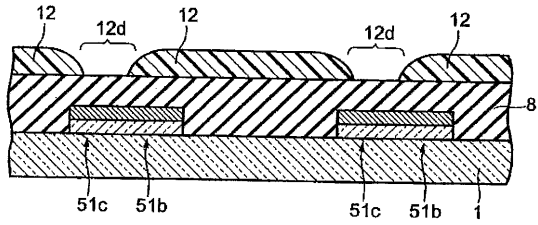


图 9 3

【 9 4 】

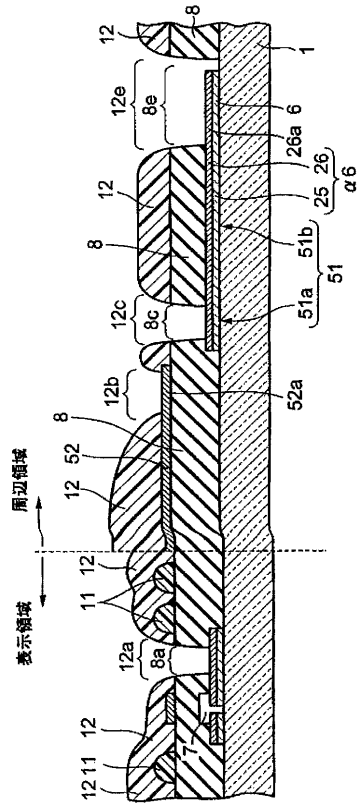


图 9 4

【 9 5 】

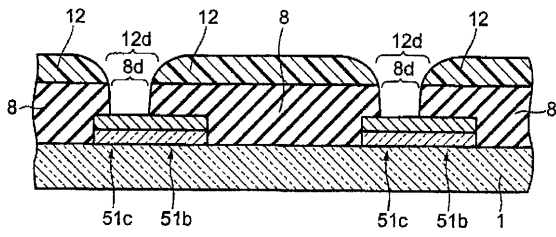


图 9 5

【 9 6 】

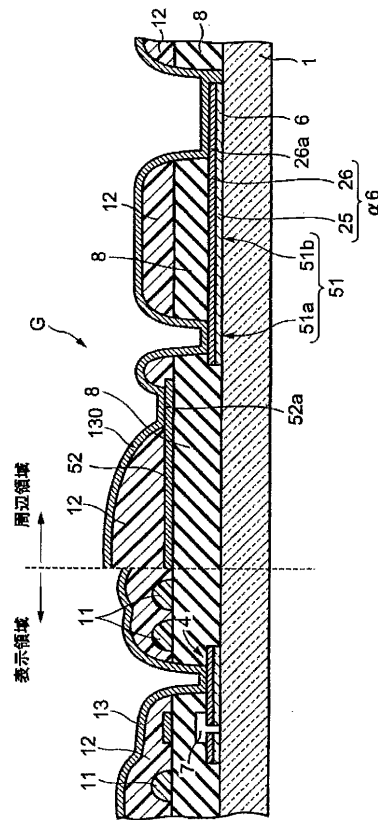
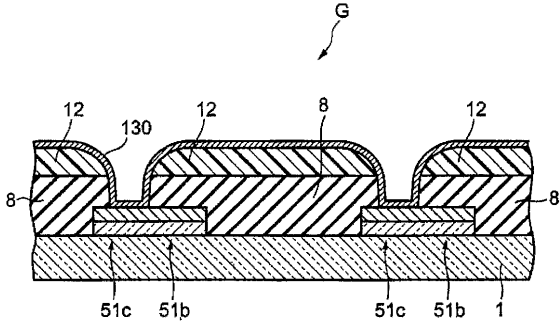


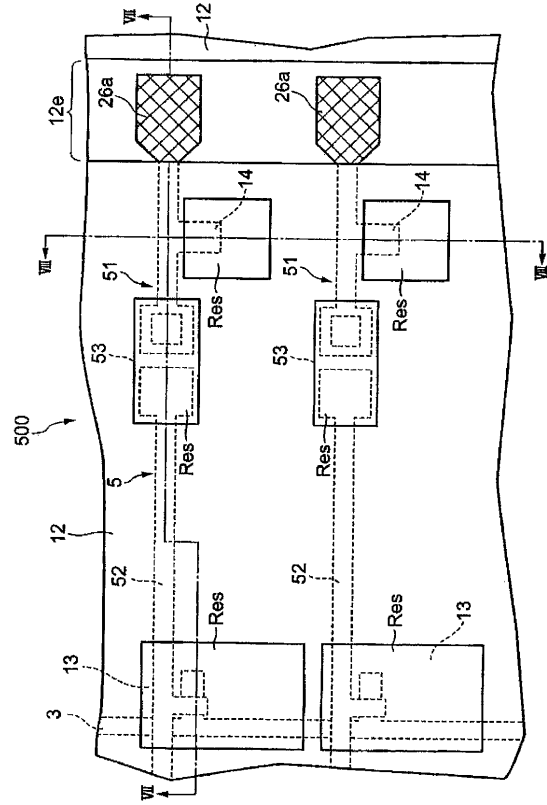
图 9 6

【 97 】



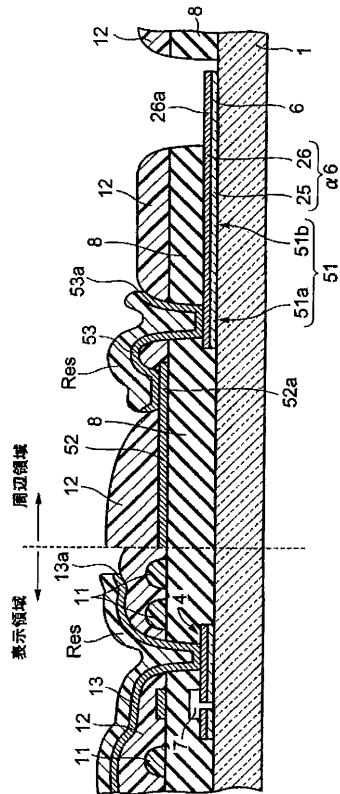
97

【 98 】



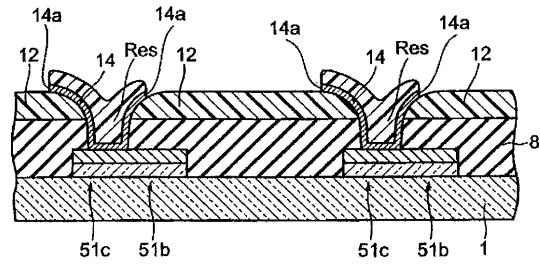
98

【 99 】



99

【 100 】



100

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/522 (2006.01)

(72)発明者 住 尚樹

1 0 8 - 8 5 0 7 東京都 港区 港南 2 - 1 3 - 3 7 フィリップスビル 日本フィリップス株式会社内

審査官 金高 敏康

(56)参考文献 特開平 0 4 - 1 9 9 6 8 1 (J P , A)

特開 2 0 0 1 - 1 9 4 6 7 7 (J P , A)

特開 2 0 0 0 - 1 8 0 8 8 2 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

G02F 1/1343

G02F 1/1345

G02F 1/1368

H01L 21/336

H01L 21/768

H01L 23/522

H01L 29/786