

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2007年5月31日 (31.05.2007)

PCT

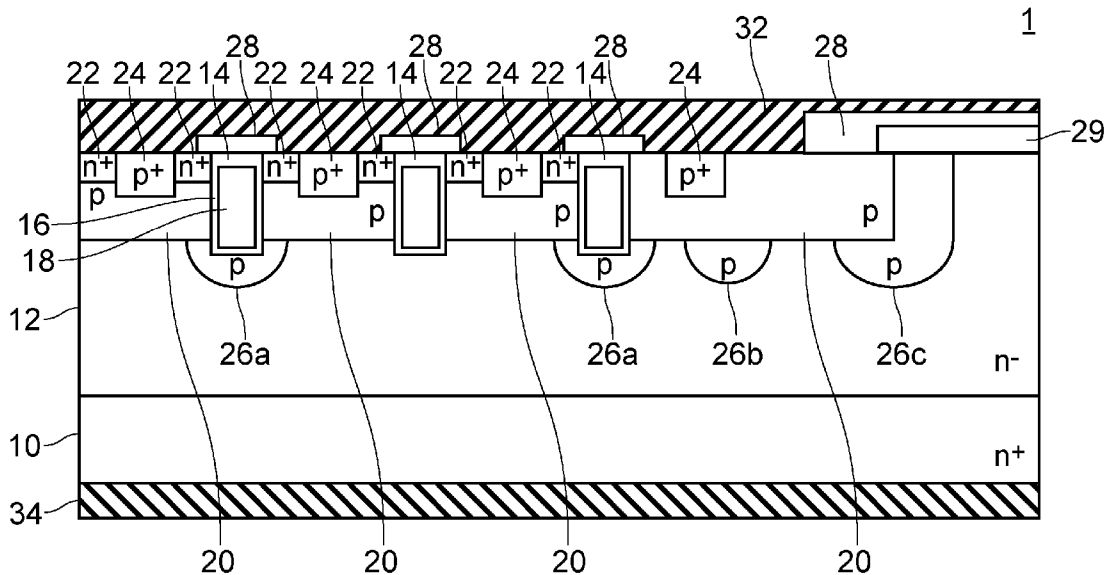
(10) 国際公開番号  
WO 2007/060716 A1

- (51) 国際特許分類:  
H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2005/021490
- (22) 国際出願日: 2005年11月22日 (22.11.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 竹森 俊之 (TAKEMORI, Toshiyuki) [JP/JP]; 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 渡辺 祐司 (WATANABE, Yuji) [JP/JP]; 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 松尾 誠剛, 外 (MATSUO, Nobutaka et al.); 〒3990214 長野県諏訪郡富士見町落合9862番地60 松尾江森国際特許事務所 長野ランチ Nagano (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: TRENCH GATE POWER SEMICONDUCTOR DEVICE

(54) 発明の名称: トレンチゲートパワー半導体装置



(57) Abstract: A trench gate power MOSFET (1) comprises: an n<sup>-</sup>-type epitaxial layer (12); a p-type body region (20) formed in the vicinity of the upper surface of the n<sup>-</sup>-type epitaxial layer (12); a plurality of trenches (14) formed so as to reach the n<sup>-</sup>-type epitaxial layer (12) from the upper surface of the p-type body region (20); and gates (18) formed in the trenches (14). In some of regions facing the p-type body region (20) in the n<sup>-</sup>-type epitaxial layer (12), p-type carrier extracting regions (26a, 26b, 26c) are formed. According to the trench gate power MOSFET (1), holes generated in a cell region can be effectively collected through the p-type carrier extracting regions (26a, 26b, 26c), so as to further increase the speed of the switching operation.

(57) 要約: 本発明のトレンチゲートパワーMOSFET 1は、n<sup>-</sup>型エピタキシャル層 12と、n<sup>-</sup>型エピタキシャル層 12における上面近傍に形成されたp型ボディ領域 20と、p型ボディ領域 20の上面側からn<sup>-</sup>型エピタキシャル層 12に達するように形成された複数本の溝 14と、

[続葉有]

WO 2007/060716 A1



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

複数本の溝14の中に形成されたゲート18とを含むトレンチゲートパワーMOSFETであって、n<sup>-</sup>型エピタキシャル層12におけるp型ボディ領域20に対向する領域のうち一部の領域には、p型キャリア引き抜き領域26a、26b、26cが形成されている。このため、本発明のトレンチゲートパワーMOSFET1によれば、セル領域に発生するホールを、p型キャリア引き抜き領域26a、26b、26cを介して効率よく回収することが可能になり、スイッチング動作のさらなる高速化を図ることが可能なトレンチゲートパワーMOSFETを提供することができる。

## 明 細 書

## トレンチゲートパワー半導体装置

## 技術分野

[0001] 本発明は、トレンチゲートパワー半導体装置に関する。

## 背景技術

[0002] 図17は、従来のトレンチゲートパワー半導体装置900の断面図である。

従来のトレンチゲートパワー半導体装置900は、図17に示すように、p型半導体基板910(図示せず。)及びp型半導体基板910の表面近傍に形成されたn<sup>+</sup>型エピタキシャル層911(図示せず。)と、n<sup>+</sup>型エピタキシャル層911上に配置されたn<sup>-</sup>型エピタキシャル層912(第1導電型の半導体層)と、n<sup>-</sup>型エピタキシャル層912における上面近傍に形成されたp型ボディ領域920(第2導電型のボディ領域)と、p型ボディ領域920の上面側からn<sup>-</sup>型エピタキシャル層912に達するように形成された複数本の溝914と、複数本の溝914の中にゲート絶縁膜916を介して形成されたゲート918とを含むトレンチゲートパワー半導体装置である。溝914と溝914とに挟まれた溝間領域におけるp型ボディ領域920の上面近傍にはエミッタ領域922が形成されている。溝914の上部には絶縁層928が形成され、その上層には、エミッタ電極932が形成されている。また、p型半導体基板910の下面には、カソード電極934(図示せず。)が形成されている。

[0003] このように構成された従来のトレンチゲートパワー半導体装置900において、最外周の溝914のさらに外側の周辺領域GRには、p型ボディ領域920と連結されこれを包囲するように、p型半導体領域920aが形成されている。p型半導体領域920aは、耐圧を高く保持するために、p型ボディ領域920よりも深く形成されている。p型半導体領域920a及びp型ボディ領域920は、サイド拡散領域SDの上面及びサイド拡散領域SDに近接するマージン領域MRの上面で、コンタクトホールCHを介してエミッタ電極932と接続されている。マージン領域MRの上面にはエミッタ領域922は形成されていない。なお、図17中、符号CRは、セル領域を示す。

[0004] このため、従来のトレンチゲートパワー半導体装置900によれば、ゲート電圧をオン

電圧からオフ電圧に戻したときにサイド拡散領域SDの付近で比較的大量に発生するホールHの大半はサイド拡散領域SDを通過してエミッタ電極932で回収されるようになるため、ゲート電圧をオフ電圧に戻したときのホールの回収が速やかに行われるようになり、スイッチング動作の高速化を図ることができる(例えば、特許文献1参照。 )。

[0005] 特許文献1:特開平9-270512号公報(図1及び図2)

発明の開示

発明が解決しようとする課題

[0006] しかしながら、従来のトレンチゲートパワー半導体装置900においては、最外周の溝914のさらに外側の周辺領域GRのサイド拡散領域SDの付近で比較的大量に発生するホールHを回収することはできるが、ゲート電圧をオン電圧からオフ電圧に戻したときには、セル領域CRにおいてもサイド拡散領域SDの付近ほどではないがある程度のホールは発生するため、このことがスイッチング動作のさらなる高速化を図るうえでの妨げとなってしまふという問題点があった。

[0007] そこで、本発明は上記のような問題を解決するためになされたもので、セル領域に発生するホールを効率よく回収してスイッチング動作のさらなる高速化を図ることが可能なトレンチゲートパワー半導体装置を提供することを目的とする。

課題を解決するための手段

[0008] (1)本発明のトレンチゲートパワー半導体装置は、第1導電型の半導体層と、前記第1導電型における上面近傍に形成され前記第1導電型とは反対型の第2導電型のボディ領域と、前記第2導電型のボディ領域の上面側から前記第1導電型の半導体層に達するように形成された複数本の溝と、前記複数本の溝の中に形成されたゲートとを含むトレンチゲートパワー半導体装置であつて、前記第1導電型の半導体層における前記第2導電型のボディ領域に対向する領域のうち一部の領域には、第2導電型のキャリア引き抜き領域が形成されていることを特徴とする。

[0009] このため、本発明のトレンチゲートパワー半導体装置によれば、第1導電型の半導体層における第2導電型のボディ領域に対向する領域のうち一部の領域に第2導電型のキャリア引き抜き領域を形成することとしたので、セル領域においてホールの回

収を行いたい部位に第2導電型のキャリア引き抜き領域を形成することが可能になる。このため、セル領域に発生するホールを、第2導電型のキャリア引き抜き領域を介して効率よく回収することが可能になり、スイッチング動作のさらなる高速化を図ることが可能なトレンチゲートパワー半導体装置を提供することができる。

[0010] (2) 上記(1)に記載のトレンチゲートパワー半導体装置においては、前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうち一部の溝における一部又は全部の領域を覆うように形成されていることが好ましい。

[0011] このように構成することにより、ホールの回収を行いたい部位における溝の一部又は全部の領域を覆うように第2導電型のキャリア引き抜き領域を形成することが可能になるため、ホールを効率よく回収することが可能になる。また、この場合、複数本の溝のうち必要な溝の一部又は全部の領域にのみ第2導電型のキャリア引き抜き領域を形成することが可能になるため、必要以上にオン抵抗を増大させてしまうこともない。

[0012] (3) 上記(2)に記載のトレンチゲートパワー半導体装置においては、前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうち最も外側に形成された溝における一部又は全部の領域を覆うように形成されていることが好ましい。

[0013] このように構成することにより、ホールが発生し易い部位における溝の一部又は全部の領域を覆うように第2導電型のキャリア引き抜き領域を形成することが可能になるため、ホールをさらに効率よく回収することが可能になる。

[0014] (4) 上記(1)に記載のトレンチゲートパワー半導体装置においては、前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうちの隣接する2本の溝に挟まれた溝間領域のうち一部の溝間領域における一部又は全部の領域に形成されていることが好ましい。

[0015] このように構成することによっても、ホールの回収を行いたい部位における溝間領域の一部又は全部の領域に第2導電型のキャリア引き抜き領域を形成することが可能になるため、ホールを効率よく回収することが可能になる。また、この場合、複数本の溝間領域のうち必要な溝間領域の一部又は全部の領域にのみ第2導電型のキャリア引き抜き領域を形成することが可能になるため、必要以上にオン抵抗を増大させて

しまうこともない。

- [0016] (5) 上記(4)に記載のトレンチゲートパワー半導体装置においては、前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうち最も外側に形成された溝と前記溝に隣接する溝とに挟まれた溝間領域のうち一部又は全部の領域に形成されていることが好ましい。
- [0017] このように構成することにより、ホールが発生し易い部位における溝間領域の一部又は全部の領域に第2導電型のキャリア引き抜き領域を形成することが可能になるため、ホールをさらに効率よく回収することが可能になる。
- [0018] (6) 上記(1)に記載のトレンチゲートパワー半導体装置においては、前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうちの隣接する2本の溝及びこれらに挟まれた溝間領域を覆うように形成されていることが好ましい。
- [0019] このように構成することにより、第2導電型のキャリア引き抜き領域の面積を広くすることが可能になるため、ホールを効率よく回収することが可能になる。
- [0020] (7) 上記(2)～(6)のいずれかに記載のトレンチゲートパワー半導体装置においては、前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうち最も外側に形成された溝のさらに外側の周辺領域にも形成されていることが好ましい。
- [0021] このように構成することにより、ホールが比較的大量に発生する領域である周辺領域にも第2導電型のキャリア引き抜き領域が形成されているため、ホールをさらに効率よく回収することが可能になる。
- [0022] (8) 上記(7)に記載のトレンチゲートパワー半導体装置においては、前記周辺領域に形成された前記第2導電型のキャリア引き抜き領域は、前記第2導電型のボディ領域の下面側に形成されていることが好ましい。
- [0023] このように構成することにより、ホールが比較的大量に発生する領域である周辺領域における、第2導電型のボディ領域の下面に第2導電型のキャリア引き抜き領域が形成されているため、ホールをさらに効果的に回収することが可能になる。
- [0024] (9) 上記(7)又は(8)に記載のトレンチゲートパワー半導体装置においては、前記周辺領域に形成された前記第2導電型のキャリア引き抜き領域は、前記第2導電型のボディ領域の側面を覆うように形成されていることが好ましい。

- [0025] このように構成することにより、ホールが比較的大量に発生する領域である周辺領域における、第2導電型のボディ領域の側面を覆うように第2導電型のキャリア引き抜き領域が形成されているため、ホールをさらに効果的に回収することが可能になる。
- [0026] (10) 上記(1)～(9)のいずれかに記載のトレンチゲートパワー半導体装置においては、前記第2導電型のキャリア引き抜き領域は、前記溝の深さよりも深い位置まで形成されていることが好ましい。
- [0027] このように構成することにより、溝の下面にホールが衝突することが抑制されるため、溝の底面近傍に形成されているゲート絶縁膜の損傷を抑制することが可能になる。
- [0028] (11) 本発明の他のトレンチゲートパワー半導体装置は、第1導電型の半導体層と、前記第1導電型の半導体層における上面近傍に形成され前記第1導電型とは反対型の第2導電型のボディ領域と、前記第2導電型のボディ領域の上面側から前記第1導電型の半導体層に達するように形成された複数本の溝と、前記複数本の溝の中に形成されたゲートとを含むトレンチゲートパワー半導体装置であって、前記第2導電型のボディ領域に、前記第2導電型のボディ領域の深さよりも浅く形成されるとともに、前記第1導電型の半導体層の上面に形成される電極のうちゲート電極と異なる電極に接続される金属層を内部に含む第2の溝をさらに含み、前記第2の溝の下面には、前記金属層に接続され、前記第1導電型の半導体層に達するように第2導電型のキャリア引き抜き領域が形成されていることを特徴とする。
- [0029] このため、本発明の他のトレンチゲートパワー半導体装置によれば、溝間領域に第2の溝を形成し、この第2の溝の下面にさらに第2導電型のキャリア引き抜き領域を形成することとしたので、セル領域においてホールの回収を行いたい部位に第2導電型のキャリア引き抜き領域を形成することが可能になる。このため、セル領域に発生するホールを、第2導電型のキャリア引き抜き領域を介して効率よく回収することが可能になり、スイッチング動作のさらなる高速化を図ることが可能なトレンチゲートパワー半導体装置を提供することができる。
- [0030] (12) 上記(11)に記載のトレンチゲートパワー半導体装置においては、前記第2の溝は、前記複数本の溝のうちの隣接する2本の溝に挟まれた溝間領域のうちすべての溝間領域に形成されていることが好ましい。

- [0031] このように構成することにより、セル領域の全面にわたって第2導電型のキャリア引き抜き領域を形成することが可能になるため、ホールを効率よく回収することが可能になる。この場合、セル領域の全面にわたって第2導電型のキャリア引き抜き領域が形成されたとしても、トランジスタ動作にあまり悪影響を与えないようにすることが可能であるため、必要以上にスイッチング性能を低下させてしまうこともない。
- [0032] (13) 上記(11)に記載のトレンチゲートパワー半導体装置においては、前記第2の溝は、前記複数本の溝のうちの隣接する2本の溝に挟まれた溝間領域のうちすべての溝間領域における一部の領域に形成されていることが好ましい。
- [0033] このように構成することにより、セル領域の必要な部位にのみ第2導電型のキャリア引き抜き領域を形成することが可能になるため、トランジスタ動作に与える影響を最小限のものにすることが可能になる。
- [0034] (14) 上記(11)に記載のトレンチゲートパワー半導体装置においては、前記第2の溝は、前記複数本の溝のうちの隣接する2本の溝に挟まれた溝間領域のうち一部の溝間領域における一部又は全部の領域に形成されていることが好ましい。
- [0035] このように構成することによっても、セル領域の必要な部位にのみ第2導電型のキャリア引き抜き領域を形成することが可能になるため、トランジスタ動作に与える影響を最小限のものにすることが可能になる。
- [0036] (15) 上記(11)に記載のトレンチゲートパワー半導体装置においては、前記第2の溝は、前記複数本の溝のうち最も外側の溝のさらに外側の周辺領域に形成されていることが好ましい。
- [0037] このように構成することにより、ホールが比較的大量に発生する領域である周辺領域に第2導電型のキャリア引き抜き領域が形成されているため、ホールをさらに効率よく回収することが可能になる。
- [0038] (16) 上記(12)～(14)のいずれかに記載のトレンチゲートパワー半導体装置においては、前記第2の溝は、前記複数本の溝のうち最も外側の溝のさらに外側の周辺領域にも形成されていることが好ましい。
- [0039] このように構成することにより、ホールが比較的大量に発生する領域である周辺領域にも第2導電型のキャリア引き抜き領域が形成されているため、ホールをさらに効



率よく回収することが可能になる。

- [0040] (17) 上記(16)に記載のトレンチゲートパワー半導体装置においては、前記周辺領域に形成された前記第2の溝は、前記溝間領域に形成された前記第2の溝よりも広い幅を有することが好ましい。
- [0041] このように構成することにより、ホールが比較的大量に発生する領域である周辺領域に大面積の第2導電型のキャリア引き抜き領域を設けることにより、比較的大量に発生するホールをさらに効率よく回収することが可能になる。
- [0042] (18) 上記(16)又は(17)に記載のトレンチゲートパワー半導体装置においては、前記周辺領域に形成された前記第2導電型のキャリア引き抜き領域は、前記溝間領域に形成された前記第2導電型のキャリア引き抜き領域よりも深い位置まで形成されていることが好ましい。
- [0043] このように構成することにより、ホールが比較的大量に発生する領域である周辺領域に、深い第2導電型のキャリア引き抜き領域を設けることにより、比較的大量に発生するホールをさらに効率よく回収することが可能になる。
- [0044] (19) 上記(11)～(18)のいずれかに記載のトレンチゲートパワー半導体装置においては、前記第2導電型のキャリア引き抜き領域は、前記溝の深さよりも深い位置まで形成されていることが好ましい。
- [0045] このように構成することにより、溝の下面にホールが衝突することが抑制されるため、溝の底面近傍に形成されているゲート絶縁膜の損傷を抑制することが可能になる。
- [0046] (20) 上記(11)～(19)のいずれかに記載のトレンチゲートパワー半導体装置においては、前記第2導電型のキャリア引き抜き領域における前記第2の溝と接触する部位には、前記第2の溝の内部に充填されている前記金属層とのコンタクト抵抗を低減するためのコンタクト層が形成されていることが好ましい。
- [0047] このように構成することにより、第2導電型のキャリア引き抜き領域で回収したホールを効率よく外部に排出することが可能になる。
- [0048] (21) 上記(1)～(20)のいずれかに記載のトレンチゲートパワー半導体装置は、パワーMOSFETであることができる。
- [0049] このように構成することにより、スイッチング動作のさらなる高速化を図ることが可能

なトレンチゲートパワーMOSFETとなる

[0050] (22) 上記(1)～(20)のいずれかに記載のトレンチゲートパワー半導体装置は、IGBTであることができる。

[0051] このように構成することにより、スイッチング動作のさらなる高速化を図ることが可能なトレンチゲートIGBTとなる。

#### 図面の簡単な説明

[0052] [図1]実施形態1に係るトレンチゲートパワーMOSFET1を説明するために示す断面図である。

[図2]実施形態1に係るトレンチゲートパワーMOSFET1を説明するために示す平面図である。

[図3]実施形態1に係るトレンチゲートパワーMOSFET1における深さ方向の不純物濃度プロファイルを示す図である。

[図4]実施形態2に係るトレンチゲートパワーMOSFET2を説明するために示す断面図である。

[図5]実施形態3に係るトレンチゲートパワーMOSFET3を説明するために示す断面図である。

[図6]実施形態5に係るトレンチゲートパワーMOSFET5を説明するために示す断面図である。

[図7]実施形態5に係るトレンチゲートパワーMOSFET5を説明するために示す平面図である。

[図8]実施形態5に係るトレンチゲートパワーMOSFET5における深さ方向の不純物濃度プロファイルを示す図である。

[図9]実施形態6に係るトレンチゲートパワーMOSFET6を説明するために示す平面図である。

[図10]実施形態7に係るトレンチゲートパワーMOSFETの製造方法における各製造工程を示す図である。

[図11]実施形態7に係るトレンチゲートパワーMOSFETの製造方法における各製造工程を示す図である。

[図12]実施形態7に係るトレンチゲートパワーMOSFETの製造方法における各製造工程を示す図である。

[図13]実施形態7の変形例に係るトレンチゲートパワーMOSFETの製造方法における各製造工程を示す図である。

[図14]実施形態8に係るトレンチゲートパワーMOSFETの製造方法における各製造工程を示す図である。

[図15]実施形態8に係るトレンチゲートパワーMOSFETの製造方法における各製造工程を示す図である。

[図16]実施形態8に係るトレンチゲートパワーMOSFETの製造方法における各製造工程を示す図である。

[図17]従来のトレンチゲートパワー半導体装置900の断面図である。

#### 発明を実施するための最良の形態

[0053] 以下、図面を用いて、本発明の実施の形態を詳しく説明する。

[0054] [実施形態1]

図1は、実施形態1に係るトレンチゲートパワーMOSFET1を説明するために示す断面図である。図2は、実施形態1に係るトレンチゲートパワーMOSFET1を説明するために示す平面図である。

実施形態1に係るトレンチゲートパワーMOSFET1は、図1及び図2に示すように、 $n^+$ 型シリコン基板10の上面に形成された $n^-$ 型エピタキシャル層(第1導電型の半導体層)12と、 $n^-$ 型エピタキシャル層12における上面近傍に形成されたp型ボディ領域(第2導電型のボディ領域)20と、p型ボディ領域20の上面側から $n^-$ 型エピタキシャル層12に達するように形成された複数本の溝14と、複数本の溝14の中に形成されたゲート18とを含むトレンチゲートパワーMOSFETである。そして、 $n^-$ 型エピタキシャル層12におけるp型ボディ領域20に対向する領域のうち一部の領域には、p型キャリア引き抜き領域26a、26b、26cが形成されている。なお、図1において、符号22は $n^+$ 型ソース領域を示し、符号24は $p^+$ 型コンタクト領域を示し、符号28及び符号29は絶縁層を示し、符号32はソース電極を示し、符号34はドレイン電極を示す。

[0055] このため、実施形態1に係るトレンチゲートパワーMOSFET1によれば、 $n^-$ 型エピタ

キシャル層12におけるp型ボディ領域20に対向する領域のうち一部の領域にp型キャリア引き抜き領域26a, 26b, 26cを形成することとしたので、セル領域においてホールの回収を行いたい部位にp型キャリア引き抜き領域26a, 26b, 26cを形成することが可能になる。このため、セル領域に発生するホールを、p型キャリア引き抜き領域26a, 26b, 26cを介して効率よく回収することが可能になり、スイッチング動作のさらなる高速化を図ることが可能なトレンチゲートパワーMOSFETを提供することができる。

[0056] p型キャリア引き抜き領域26a, 26b, 26cのうち、セル領域に存在するp型キャリア引き抜き領域26aは、図2に示すように、複数本の溝14のうち一部の溝における一部又は全部の領域を覆うように形成されている。

このため、ホールの回収を行いたい部位における溝の一部又は全部の領域を覆うようにp型キャリア引き抜き領域26aを形成することが可能になるため、ホールを効率よく回収することが可能になる。また、この場合、複数本の溝14のうち必要な溝の一部又は全部の領域にのみp型キャリア引き抜き領域26aを形成することが可能になるため、必要以上にオン抵抗を増大させてしまうこともない。

[0057] また、p型キャリア引き抜き領域26aは、図2に示すように、複数本の溝14のうち最も外側に形成された溝における全部の領域を覆うように形成されている。

このため、ホールが発生し易い部位における溝の全部の領域を覆うようにp型キャリア引き抜き領域26aを形成することにより、ホールをさらに効率よく回収することが可能になる。

[0058] p型キャリア引き抜き領域26a, 26b, 26cのうち、周辺領域に存在するp型キャリア引き抜き領域26b, 26cは、図1及び図2に示すように、複数本の溝14のうち最も外側に形成された溝のさらに外側の周辺領域に形成されている。

このため、ホールが比較的大量に発生する領域である周辺領域にp型キャリア引き抜き領域26b, 26cが形成されているため、ホールをさらに効率よく回収することが可能になる。

[0059] このうち、p型キャリア引き抜き領域26bは、p型ボディ領域20の下面側に形成されており、p型キャリア引き抜き領域26cは、pボディ領域20の側面を覆うように形成され

ている。

このため、ホールが比較的大量に発生する領域である周辺領域における、p型ボディ領域20の下面やp型ボディ領域20の側面にp型キャリア引き抜き領域26b、26cが形成されているため、ホールをさらに効果的に回収することが可能になる。

[0060] また、実施形態1に係るトレンチゲートパワーMOSFET1においては、p型キャリア引き抜き領域26a、26b、26cは、溝14の深さよりも深い位置まで形成されている。

このため、溝14の下面にホールが衝突することが抑制されるため、溝14の底面近傍に形成されているゲート絶縁膜16の損傷を抑制することが可能になる。

[0061] 図3は、実施形態1に係るトレンチゲートパワーMOSFET1における深さ方向の不純物濃度プロファイルを示す図である。

実施形態1に係るトレンチゲートパワーMOSFET1においては、p型キャリア引き抜き領域26aは、図3に示すように、p型ボディ領域20よりも深い位置まで形成されている。また、p型キャリア引き抜き領域26aの不純物濃度は、p型ボディ領域20の不純物濃度よりも薄い。これによって、効率的なキャリア引き抜きを行うことが可能になる。

[0062] [実施形態2]

図4は、実施形態2に係るトレンチゲートパワーMOSFET2を説明するために示す断面図である。

実施形態2に係るトレンチゲートパワーMOSFET2は、実施形態1に係るトレンチゲートパワーMOSFET1と基本的にはよく似た構造を有しているが、セル領域に存在するp型キャリア引き抜き領域の構成が、実施形態1に係るトレンチゲートパワーMOSFET1の場合とは異なっている。すなわち、実施形態2に係るトレンチゲートパワーMOSFET2においては、セル領域に存在するp型キャリア引き抜き領域26dは、図4に示すように、複数本の溝14のうちの隣接する2本の溝に挟まれた溝間領域のうち一部の溝間領域に形成されている。

[0063] このように、実施形態2に係るトレンチゲートパワーMOSFET2は、セル領域に存在するp型キャリア引き抜き領域の構成が実施形態1に係るトレンチゲートパワーMOSFET1の場合とは異なっているが、n<sup>-</sup>型エピタキシャル層12におけるp型ボディ領域20に対向する領域のうち一部の領域にp型キャリア引き抜き領域26d、26b、26c

を形成することとしたので、セル領域においてホールの回収を行いたい部位にp型キャリア引き抜き領域26d, 26b, 26cを形成することが可能になる。このため、セル領域に発生するホールをp型キャリア引き抜き領域26d, 26b, 26cを介して効率よく回収することが可能になり、スイッチング動作のさらなる高速化を図ることが可能なトレンチゲートパワーMOSFETとなる。

[0064] また、実施形態2に係るトレンチゲートパワーMOSFET2においては、複数本の溝14のうちの隣接する2本の溝に挟まれた溝間領域のうち一部の溝間領域におけるさらに一部又は全部の領域にp型キャリア引き抜き領域26dを形成することが可能である。このため、ホールの回収を行いたい部位における領域にのみp型キャリア引き抜き領域26dを形成することが可能になるため、必要以上にオン抵抗を増大させてしまうこともない。

[0065] また、実施形態2に係るトレンチゲートパワーMOSFET2においては、図4からは明らかでないが、p型キャリア引き抜き領域26dは、複数本の溝14のうち最も外側に形成された溝14と当該溝14に隣接する溝14とに挟まれた領域のうち全部の領域に形成されている。

このため、ホールが発生し易い部位においては、溝間領域の全部にp型キャリア引き抜き領域を形成することが可能になるため、ホールをさらに効率よく回収することが可能になる。

[0066] [実施形態3]

図5は、実施形態3に係るトレンチゲートパワーMOSFET3を説明するために示す断面図である。

実施形態3に係るトレンチゲートパワーMOSFET3は、実施形態1に係るトレンチゲートパワーMOSFET1と基本的にはよく似た構造を有しているが、セル領域に存在するp型キャリア引き抜き領域の構成が、実施形態1に係るトレンチゲートパワーMOSFET1の場合とは異なっている。すなわち、実施形態3に係るトレンチゲートパワーMOSFET3においては、セル領域に存在するp型キャリア引き抜き領域26eは、図5に示すように、複数本の溝14のうちの隣接する2本の溝14及びこれらに挟まれた溝間領域を覆うように形成されている。

[0067] このように、実施形態3に係るトレンチゲートパワーMOSFET3は、セル領域に存在するp型キャリア引き抜き領域の構成が実施形態1に係るトレンチゲートパワーMOSFET1の場合とは異なっているが、n<sup>-</sup>型エピタキシャル層12におけるp型ボディ領域20に対向する領域のうち一部の領域にp型キャリア引き抜き領域26e, 26b, 26cを形成することとしたので、セル領域においてホールの回収を行いたい部位にp型キャリア引き抜き領域26e, 26b, 26cを形成することが可能になる。このため、セル領域に発生するホールを、p型キャリア引き抜き領域26e, 26b, 26cを介して効率よく回収することが可能になり、スイッチング動作のさらなる高速化を図ることが可能なトレンチゲートパワーMOSFETとなる。

[0068] また、実施形態3に係るトレンチゲートパワーMOSFET3においては、上記したように、p型キャリア引き抜き領域26eは、複数本の溝14のうちの隣接する2本の溝14及びこれらに挟まれた溝間領域をともに覆うように形成されているため、p型キャリア引き抜き領域の面積を広くすることが可能になり、ホールをさらに効率よく回収することが可能になる。

[0069] [実施形態4]

実施形態4に係るトレンチゲートパワーMOSFET4(図示せず。)は、実施形態1に係るトレンチゲートパワーMOSFET1と基本的にはよく似た構造を有しているが、セル領域に存在するp型キャリア引き抜き領域の構成が、実施形態1に係るトレンチゲートパワーMOSFET1の場合とは異なっている。すなわち、実施形態4に係るトレンチゲートパワーMOSFET4においては、セル領域に存在するp型キャリア引き抜き領域は、実施形態1に係るトレンチゲートパワーMOSFET1、実施形態2に係るトレンチゲートパワーMOSFET2又は実施形態3に係るトレンチゲートパワーMOSFET3におけるp型キャリア引き抜き領域26a, 26b, 26c, 26d, 26eのすべてを有している。

[0070] このように、実施形態4に係るトレンチゲートパワーMOSFET4は、セル領域に存在するp型キャリア引き抜き領域の構成が実施形態1～3に係るトレンチゲートパワーMOSFET1, 2, 3の場合とは異なっているが、n<sup>-</sup>型エピタキシャル層12におけるp型ボディ領域20に対向する領域のうち一部の領域にp型キャリア引き抜き領域を形

成することとしたので、セル領域においてホールの回収を行いたい部位にp型キャリア引き抜き領域を形成することが可能になる。このため、セル領域に発生するホールをp型キャリア引き抜き領域を介して効率よく回収することが可能になり、スイッチング動作のさらなる高速化を図ることが可能なトレンチゲートパワーMOSFETとなる。

[0071] また、実施形態4に係るトレンチゲートパワーMOSFET4によれば、ホールの回収を行いたい部位に、上記したp型キャリア引き抜き領域のなかから適宜選択したp型キャリア引き抜き領域を配置することが可能になるため、ホールをさらに効率よく回収するようにp型キャリア引き抜き領域を配置することが可能になる。

[0072] [実施形態5]

図6は、実施形態5に係るトレンチゲートパワーMOSFET5を説明するために示す断面図である。図7は、実施形態5に係るトレンチゲートパワーMOSFET5を説明するために示す平面図である。

[0073] 実施形態5に係るトレンチゲートパワーMOSFET5は、 $n^-$ 型エピタキシャル層(第1導電型の半導体層)12と、 $n^-$ 型エピタキシャル層12における上面近傍に形成されたp型ボディ領域20(第2導電型のボディ領域)と、p型ボディ領域20の上面側から $n^-$ 型エピタキシャル層12に達するように形成された複数本の溝14と、複数本の溝14の中に形成されたゲート18とを含むトレンチゲートパワーMOSFETであって、p型ボディ領域20に、p型ボディ領域20の深さよりも浅く形成されるとともに、p型ボディ領域の上面に形成されるソース電極38を内部に含む第2の溝をさらに含み、第2の溝の下面には、ソース電極38に接続され、 $n^-$ 型エピタキシャル層12に達するようにp型キャリア引き抜き領域36a, 36bが形成されている。

[0074] このため、実施形態5に係るトレンチゲートパワーMOSFET5によれば、溝間領域に第2の溝を形成し、この第2の溝の下面にさらにp型キャリア引き抜き領域36a, 36bを形成することとしたので、セル領域においてホールの回収を行いたい部位にp型キャリア引き抜き領域36aを形成することが可能になる。このため、セル領域に発生するホールを、p型キャリア引き抜き領域36aを介して効率よく回収することが可能になり、スイッチング動作のさらなる高速化を図ることが可能なトレンチゲートパワーMOSFETを提供することができる。



[0075] 実施形態5に係るトレンチゲートパワーMOSFET5においては、第2の溝は、図6に示すように、複数本の溝14のうちの隣接する2本の溝14に挟まれた溝間領域のうちすべての溝間領域に形成されている。

このため、セル領域の全面にわたってp型キャリア引き抜き領域36aを形成することが可能になるので、ホールを効率よく回収することが可能になる。この場合、セル領域の全面にわたってp型キャリア引き抜き領域36aが形成されたとしても、トランジスタ動作にあまり悪影響を与えないようにすることが可能であるため、必要以上にスイッチング性能を低下させることもない。

[0076] また、実施形態5に係るトレンチゲートパワーMOSFET5においては、第2の溝は、図6に示すように、複数本の溝14のうち最も外側の溝のさらに外側の周辺領域にも形成されている。

このため、ホールが比較的大量に発生する領域である周辺領域にもp型キャリア引き抜き領域36bが形成されているので、ホールをさらに効率よく回収することが可能になる。

[0077] また、実施形態5に係るトレンチゲートパワーMOSFET5においては、周辺領域に形成された第2の溝は、セル領域に形成された第2の溝よりも広い幅を有している。

このため、ホールが比較的大量に発生する領域である周辺領域に大面積のp型キャリア引き抜き領域36bを設けることにより、比較的大量に発生するホールをさらに効率よく回収することが可能になる。

[0078] また、実施形態5に係るトレンチゲートパワーMOSFET5においては、周辺領域に形成されたp型キャリア引き抜き領域36bは、セル領域に形成されたp型キャリア引き抜き領域36aよりも深い位置まで形成されている。

このため、ホールが比較的大量に発生する領域である周辺領域に深いp型キャリア引き抜き領域36bを設けることにより、比較的大量に発生するホールをさらに効率よく回収することが可能になる。

[0079] また、実施形態5に係るトレンチゲートパワーMOSFET5においては、p型キャリア引き抜き領域36aは、溝14の深さよりも深い位置まで形成されている。

このため、溝14の下面にホールが衝突することが抑制されるようになり、溝14の底

面近傍に形成されているゲート絶縁膜16の損傷を抑制することが可能になる。

[0080] また、実施形態5に係るトレンチゲートパワーMOSFET5においては、p型キャリア引き抜き領域36a, 36bにおける第2の溝と接触する部位には、第2の溝の内部に充填されている金属層(ソース電極38)とのコンタクト抵抗を低減するためのp<sup>+</sup>型コンタクト層24が形成されている。

このため、p型キャリア引き抜き領域36a, 36bで回収したホールを効率よく外部に排出することが可能になる。

[0081] 図8は、実施形態5に係るトレンチゲートパワーMOSFET5における深さ方向の不純物濃度プロファイルを示す図である。

実施形態5に係るトレンチゲートパワーMOSFET5においては、p型キャリア引き抜き領域36aは、図8に示すように、p型ボディ領域20よりも深い位置まで形成されている。また、p型キャリア引き抜き領域36aの不純物濃度は、p型ボディ領域20の不純物濃度よりも薄い。但し、p<sup>+</sup>型コンタクト層24の部分では、p型ボディ領域20の不純物濃度よりも濃い。これによって、効率的なキャリア引き抜きを行うことが可能になる。

[0082] [実施形態6]

図9は、実施形態6に係るトレンチゲートパワーMOSFET6を説明するために示す平面図である。

実施形態6に係るトレンチゲートパワーMOSFET6は、実施形態5に係るトレンチゲートパワーMOSFET5と基本的にはよく似た構造を有しているが、溝14のレイアウトが、実施形態5に係るトレンチゲートパワーMOSFET5の場合とは異なっている。すなわち、実施形態6に係るトレンチゲートパワーMOSFET6においては、溝14は、図9に示すように、格子状に形成されている。

[0083] このように、実施形態6に係るトレンチゲートパワーMOSFET6は、溝14のレイアウトが実施形態5に係るトレンチゲートパワーMOSFET5の場合とは異なっているが、溝間領域に第2の溝を形成し、この第2の溝の下面にさらにp型キャリア引き抜き領域36a, 36bを形成することとしたので、セル領域においてホールの回収を行いたい部位にp型キャリア引き抜き領域36aを形成することが可能になる。このため、セル領域に発生するホールをp型キャリア引き抜き領域36aを介して効率よく回収することが可

能になり、スイッチング動作のさらなる高速化を図ることが可能なトレンチゲートパワー半導体装置となる。

[0084] [実施形態7]

実施形態7に係るトレンチゲートパワーMOSFETの製造方法は、上記した実施形態4に係るトレンチゲートパワーMOSFET4を製造するためのトレンチゲートパワーMOSFETの製造方法である。

[0085] 図10～図12は、実施形態7に係るトレンチゲートパワーMOSFETの製造方法における各製造工程を示す図である。

実施形態7に係るトレンチゲートパワーMOSFETの製造方法は、図10～図12に示すように、以下の(a)第1の工程～(i)第9の工程をこの順序で含んでいる。

[0086] (a)第1の工程

上面にn<sup>-</sup>型エピタキシャル層12が形成されたn<sup>+</sup>型シリコン基板10を準備する(図10(a)参照。)。n<sup>-</sup>型エピタキシャル層12の不純物濃度は、例えば $3 \times 10^{15}$ 個/cm<sup>3</sup>とする。

[0087] (b)第2の工程

次に、n<sup>-</sup>型エピタキシャル層12の表面に選択的にシリコン酸化膜Mを形成し、このシリコン酸化膜Mをマスクとして、例えばボロンイオンを打ち込み(例えば、 $2.6 \times 10^{13}$  cm<sup>-2</sup>)、ボロンイオン打ち込み層25a, 25d, 25b, 25cを形成する。(図10(b)参照。)

[0088] (c)第3の工程

次に、熱アニールを行い(例えば、1100℃、100分。)、p型キャリア引き抜き領域となるp型拡散層25a', 25d', 25b', 25c'を形成する(図10(c)参照。)

[0089] (d)第4の工程

次に、シリコン酸化膜Mを除去後、絶縁層29をマスクとして、例えばボロンイオンを打ち込み(例えば、 $1.5 \times 10^{13}$  cm<sup>-2</sup>、50keV。)、ボロンイオン打ち込み層19を形成する(図11(d)参照。)。なお、符号30は、20～40nm程度の厚みを有する熱酸化膜を示す。

[0090] (e)第5の工程

次に、熱アニールを行い(例えば、1100°C、45分。)、p型ボディ領域20を形成する(図11(e)参照。)。このとき、p型キャリア引き抜き領域26a, 26d, 26b, 26cが同時に形成される。

[0091] (f) 第6の工程

次に、シリコン酸化膜(図示せず。)をマスクとして溝14を形成する。シリコン酸化膜を除去後、熱酸化により溝14の内面にゲート絶縁膜16を形成し、その後、溝の内部をリンがドーパされたポリシリコンで埋め、上面をエッチングバックしさらに上面を熱酸化して、ゲート18を形成する(図11(f)参照。)

[0092] (g) 第7の工程

次に、p<sup>+</sup>型コンタクト領域24となる部分に、例えばボロンイオンを打ち込み(例えば、 $2 \times 10^{14} \text{ cm}^{-2}$ 。)、その後、熱アニールを行い(例えば、900°C、30分。)、p<sup>+</sup>型コンタクト領域24を形成する(図12(g)参照。)

[0093] (h) 第8の工程

次に、n<sup>+</sup>型ソース領域22に対応する部分に、例えば砒素イオンを打ち込み(例えば、 $4 \times 10^{15} \text{ cm}^{-2}$ 。)、その後、熱アニールを行い(例えば、1000°C、10分。)、n<sup>+</sup>型ソース領域22を形成する(図12(h)参照。)

[0094] (i) 第9の工程

次に、溝の上方に絶縁層28を形成するとともに不要な絶縁層を除去し、その後、絶縁層28の上方にソース電極32を形成する。また、裏面にドレイン電極34を形成する(図12(i)参照。)

[0095] 実施形態7に係るトレンチゲートパワーMOSFETの製造方法によれば、以上のような工程を経て実施形態4に係るトレンチゲートパワーMOSFET4を製造することができる。このため、実施形態7に係るトレンチゲートパワーMOSFETの製造方法によれば、比較的容易な方法で、実施形態4に係るトレンチゲートパワーMOSFET4を製造することができる。

[0096] [変形例]

図13は、実施形態7の変形例に係るトレンチゲートパワーMOSFETの製造方法における各製造工程を示す図である。

実施形態7の変形例に係るトレンチゲートパワーMOSFETの製造方法は、実施形態7に係るトレンチゲートパワーMOSFETの製造方法とよく似た製造方法であるが、第2の工程～第3の工程が異なっている。すなわち、実施形態7の変形例に係るトレンチゲートパワーMOSFETの製造方法における第2の工程～第3の工程は、以下のような工程である。

[0097] (b')第2の工程

$n^-$ 型エピタキシャル層12の表面に選択的にシリコン酸化膜Mを形成し、このシリコン酸化膜Mをマスクとして、例えばボロンイオンを多段的に打ち込み(例えば、50keV $\sim$ 2MeV。)、ボロンイオン打ち込み層25a'', 25d'', 25b'', 25c''を形成する(図13(b')参照。)

[0098] (c')第3の工程

次に、熱アニールを行い(例えば、1000 $^{\circ}$ C、10分。)、p型キャリア引き抜き領域となるp型拡散層25''', 25d''', 25b''', 25c'''を形成する(図13(c')参照。)

[0099] このため、実施形態7の変形例に係るトレンチゲートパワーMOSFETの製造方法によれば、第2の工程で、ボロンイオンを多段的に打ち込むこととしているため、第3の工程における熱アニールによって、p型拡散層25a''', 25d''', 25b''', 25c'''が深い位置まで形成される。このため、p型ボディ領域20よりも深いp型キャリア引き抜き領域26a, 26d, 26b, 26cを容易に形成することができるという効果がある。

[0100] [実施形態8]

実施形態8に係るトレンチゲートパワーMOSFETの製造方法は、上記した実施形態5に係るトレンチゲートパワーMOSFET5を製造するためのトレンチゲートパワーMOSFETの製造方法である。

[0101] 図14～図16は、実施形態8に係るトレンチゲートパワーMOSFETの製造方法における各製造工程を示す図である。

実施形態8に係るトレンチゲートパワーMOSFETの製造方法は、図14～図16に示すように、以下の(a)第1の工程～(i)第9の工程をこの順序で含んでいる。

[0102] (a)第1の工程

上面に $n^-$ 型エピタキシャル層12が形成された $n^+$ 型シリコン基板10を準備する(図1

4(a)参照。)。n<sup>-</sup>型エピタキシャル層12の不純物濃度は、例えば $3 \times 10^{15}$ 個/cm<sup>3</sup>とする。

[0103] (b)第2の工程

次に、選択的に絶縁層29を形成し、その後、絶縁層29をマスクとしてn<sup>-</sup>型エピタキシャル層12の表面から、例えばボロンイオンを打ち込み(例えば、 $1.5 \times 10^{13}$  cm<sup>-2</sup>)、その後、熱アニールを行い(例えば、1100°C、45分。)、p型ボディ領域20を形成する(図14(b)参照。)

[0104] (c)第3の工程

次に、n<sup>-</sup>型エピタキシャル層12の表面に選択的にシリコン酸化膜(図示せず。)を形成し、このシリコン酸化膜をマスクとして溝14を形成する。シリコン酸化膜を除去後、熱酸化により溝14の内面にゲート絶縁膜16を形成し、その後、溝の内部をリングドープされたポリシリコンで埋め、上面をエッチングバックしさらに上面を熱酸化して、ゲート18を形成する(図14(c)参照。)

[0105] (d)第4の工程

次に、溝14と溝14とに挟まれた溝間領域に、例えば砒素イオンを打ち込み(例えば、 $4 \times 10^{15}$  cm<sup>-2</sup>)、砒素イオン打ち込み層21を形成する(図15(d)参照。)

[0106] (e)第5の工程

次に、絶縁層28を形成し、この絶縁層28をマスクとして、溝14と溝14とに挟まれた溝間領域における中間領域及び周辺領域の所定位置に、第2の溝を形成する(図15(e)参照。)

[0107] (f)第6の工程

次に、第2の溝の底部に、例えばボロンイオンを打ち込み(例えば、 $2.6 \times 10^{15}$  cm<sup>-2</sup>)、ボロンイオン打ち込み層35a、35bを形成する(図15(f)参照。)

[0108] (g)第7の工程

次に、熱アニールを行い(例えば、1000°C、10分。)、n<sup>+</sup>型ソース領域22及びp型キャリア引き抜き領域36a、36bを形成する(図16(g)参照。)

[0109] (h)第8の工程

次に、絶縁層28の上方にソース電極38を形成する(図16(h)参照。)。このとき、第

2の溝の内部は、ソース電極38を構成する金属で埋められている。

[0110] (i) 第9の工程

次に、裏面にドレイン電極34を形成する(図16(i)参照。)

[0111] 実施形態8に係るトレンチゲートパワーMOSFETの製造方法によれば、以上のような工程を経て実施形態5に係るトレンチゲートパワーMOSFET5を製造することができる。このため、実施形態8に係るトレンチゲートパワーMOSFETの製造方法によれば、比較的容易な方法で、実施形態5に係るトレンチゲートパワーMOSFET5を製造することができる。

[0112] 以上、本発明のトレンチゲートパワー半導体装置を上記の各実施形態に基づいて説明したが、本発明は上記の各実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

[0113] (1) 上記した実施形態8においては、実施形態5に係るトレンチゲートパワーMOSFET5を製造する方法を説明したが、本発明はこれに限定されるものではなく、実施形態6に係るトレンチゲートパワーMOSFET6を製造する方法にも同様に適用可能である。

[0114] (2) 上記した各実施形態においてはトレンチゲートパワーMOSFETを例にとって本発明を説明したが、本発明はこれに限定されるものではなく、トレンチゲートIGBTにも同様に適用可能である。

#### 符号の説明

[0115] 1, 2, 3, 4, 5, 6…トレンチゲートパワーMOSFET、10… $n^+$ 型シリコン基板、12… $n^-$ 型エピタキシャル層、14…溝、16…ゲート絶縁膜、18…ゲート、20…p型ボディ領域、22… $n^+$ 型ソース領域、24… $p^+$ 型コンタクト領域、26a, 26b, 26c, 26d, 26e, 36a, 36b…p型キャリア引き抜き領域、28, 29…絶縁層、30…熱酸化膜、32, 38…ソース電極、34…ドレイン電極、900…トレンチゲートパワー半導体装置

## 請求の範囲

- [1] 第1導電型の半導体層と、前記第1導電型の半導体層における上面近傍に形成され前記第1導電型とは反対型の第2導電型のボディ領域と、前記第2導電型のボディ領域の上面側から前記第1導電型の半導体層に達するように形成された複数本の溝と、前記複数本の溝の中に形成されたゲートとを含むトレンチゲートパワー半導体装置であって、
- 前記第1導電型の半導体層における前記第2導電型のボディ領域に対向する領域のうち一部の領域には、第2導電型のキャリア引き抜き領域が形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [2] 請求項1に記載のトレンチゲートパワー半導体装置において、
- 前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうち一部の溝における一部又は全部の領域を覆うように形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [3] 請求項2に記載のトレンチゲートパワー半導体装置において、
- 前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうち最も外側に形成された溝における一部又は全部の領域を覆うように形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [4] 請求項1に記載のトレンチゲートパワー半導体装置において、
- 前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうちの隣接する2本の溝に挟まれた溝間領域のうち一部の溝間領域における一部又は全部の領域に形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [5] 請求項4に記載のトレンチゲートパワー半導体装置において、
- 前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうち最も外側に形成された溝と前記溝に隣接する溝に挟まれた溝間領域のうち一部又は全部の領域に形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [6] 請求項1に記載のトレンチゲートパワー半導体装置において、
- 前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうちの隣接する2本の溝及びこれらに挟まれた溝間領域を覆うように形成されていることを特徴とするト



ンチゲートパワー半導体装置。

- [7] 請求項2～6のいずれかに記載のトレンチゲートパワー半導体装置において、  
前記第2導電型のキャリア引き抜き領域は、前記複数本の溝のうち最も外側に形成された溝のさらに外側の周辺領域にも形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [8] 請求項7に記載のトレンチゲートパワー半導体装置において、  
前記周辺領域に形成された前記第2導電型のキャリア引き抜き領域は、前記第2導電型のボディ領域の下面側に形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [9] 請求項7又は8に記載のトレンチゲートパワー半導体装置において、  
前記周辺領域に形成された前記第2導電型のキャリア引き抜き領域は、前記第2導電型のボディ領域の側面を覆うように形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [10] 請求項1～9のいずれかに記載のトレンチゲートパワー半導体装置において、  
前記第2導電型のキャリア引き抜き領域は、前記溝の深さよりも深い位置まで形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [11] 第1導電型の半導体層と、前記第1導電型の半導体層における上面近傍に形成され前記第1導電型とは反対型の第2導電型のボディ領域と、前記第2導電型のボディ領域の上面側から前記第1導電型の半導体層に達するように形成された複数本の溝と、前記複数本の溝の中に形成されたゲートとを含むトレンチゲートパワー半導体装置であって、  
前記第2導電型のボディ領域に、前記第2導電型のボディ領域の深さよりも浅く形成されるとともに、前記第1導電型の半導体層の上面に形成される電極のうちゲート電極と異なる電極に接続される金属層を内部に含む第2の溝をさらに含み、  
前記第2の溝の下面には、前記金属層に接続され、前記第1導電型の半導体層に達するように第2導電型のキャリア引き抜き領域が形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [12] 請求項11に記載のトレンチゲートパワー半導体装置において、

前記第2の溝は、前記複数本の溝のうちの隣接する2本の溝に挟まれた溝間領域のうちすべての溝間領域に形成されていることを特徴とするトレンチゲートパワー半導体装置。

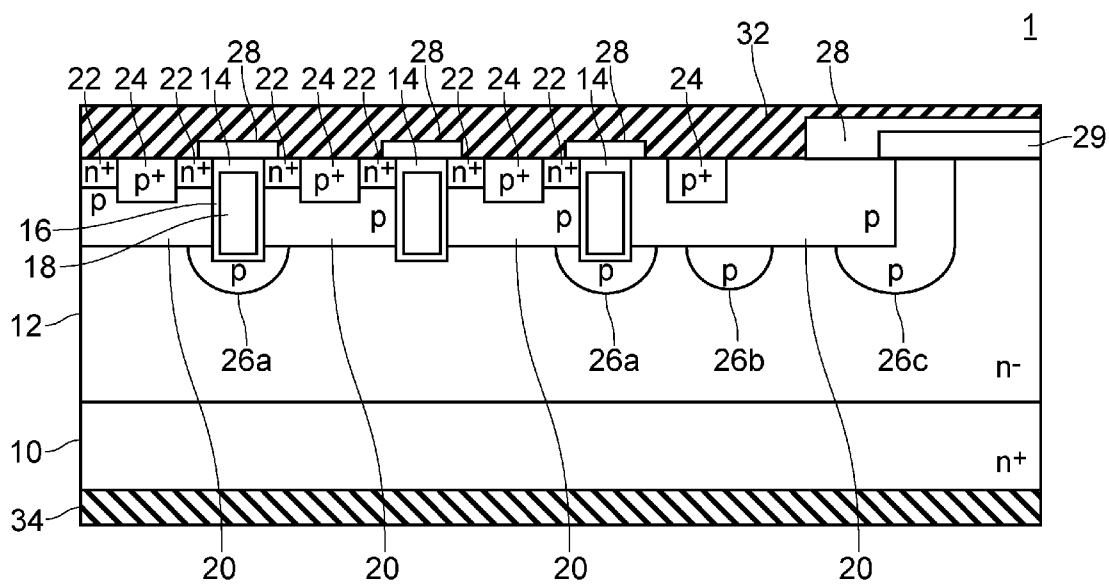
- [13] 請求項11に記載のトレンチゲートパワー半導体装置において、  
前記第2の溝は、前記複数本の溝のうちの隣接する2本の溝に挟まれた溝間領域のうちすべての溝間領域における一部の領域に形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [14] 請求項11に記載のトレンチゲートパワー半導体装置において、  
前記第2の溝は、前記複数本の溝のうちの隣接する2本の溝に挟まれた溝間領域のうち一部の溝間領域における一部又は全部の領域に形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [15] 請求項11に記載のトレンチゲートパワー半導体装置において、  
前記第2の溝は、前記複数本の溝のうち最も外側の溝のさらに外側の周辺領域に形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [16] 請求項12～14のいずれかに記載のトレンチゲートパワー半導体装置において、  
前記第2の溝は、前記複数本の溝のうち最も外側の溝のさらに外側の周辺領域にも形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [17] 請求項16に記載のトレンチゲートパワー半導体装置において、  
前記周辺領域に形成された前記第2の溝は、前記溝間領域に形成された前記第2の溝よりも広い幅を有することを特徴とするトレンチゲートパワー半導体装置。
- [18] 請求項16又は17に記載のトレンチゲートパワー半導体装置において、  
前記周辺領域に形成された前記第2導電型のキャリア引き抜き領域は、前記溝間領域に形成された前記第2導電型のキャリア引き抜き領域よりも深い位置まで形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [19] 請求項11～18のいずれかに記載のトレンチゲートパワー半導体装置において、  
前記第2導電型のキャリア引き抜き領域は、前記溝の深さよりも深い位置まで形成されていることを特徴とするトレンチゲートパワー半導体装置。
- [20] 請求項11～19のいずれかに記載のトレンチゲートパワー半導体装置において、

前記第2導電型のキャリア引き抜き領域における前記第2の溝と接触する部位には、前記第2の溝の内部に充填されている前記金属層とのコンタクト抵抗を低減するためのコンタクト層が形成されていることを特徴とするトレンチゲートパワー半導体装置

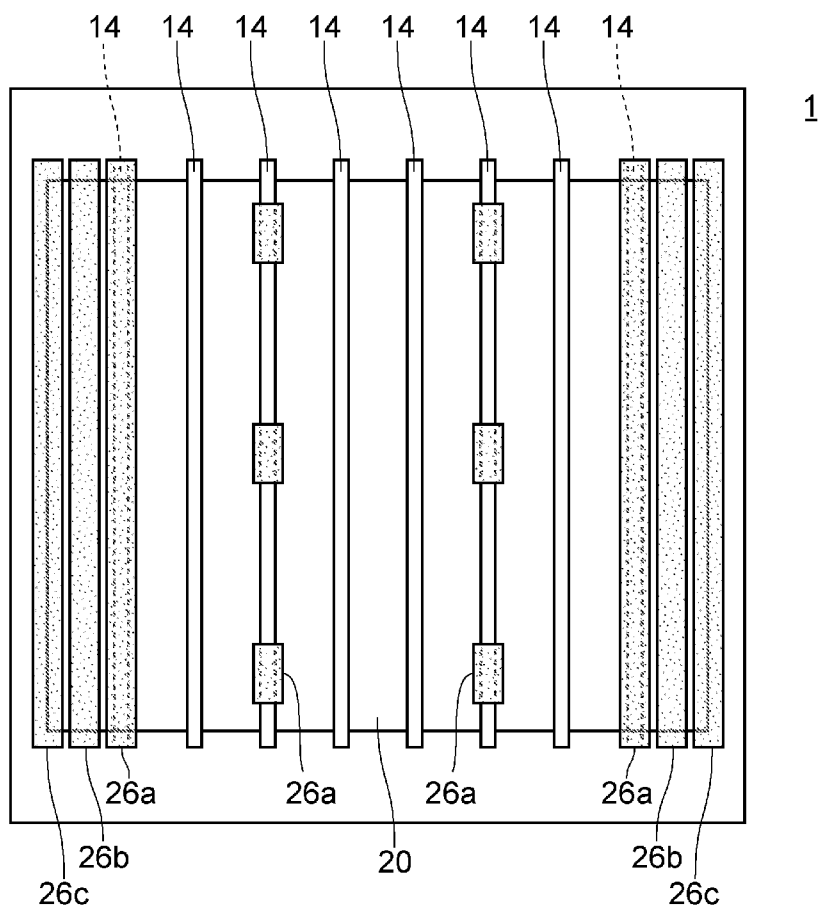
。

- [21] 請求項1～20のいずれかに記載のトレンチゲートパワー半導体装置において、前記トレンチゲートパワー半導体装置は、パワーMOSFETであることを特徴とするトレンチゲートパワー半導体装置。
- [22] 請求項1～20のいずれかに記載のトレンチゲートパワー半導体装置において、前記トレンチゲートパワー半導体装置は、IGBTであることを特徴とするトレンチゲートパワー半導体装置。

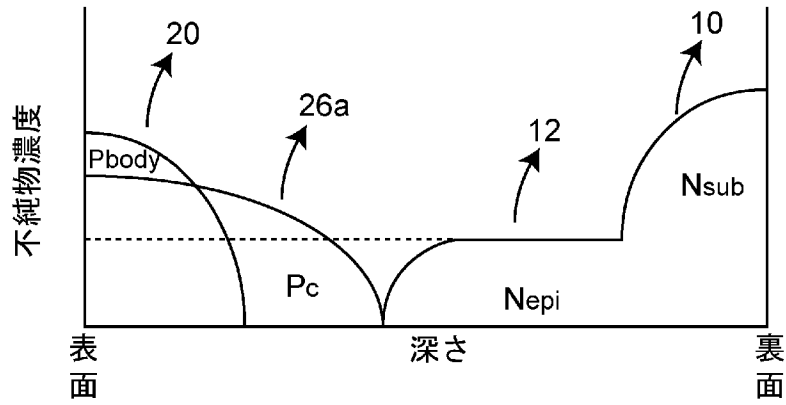
[図1]



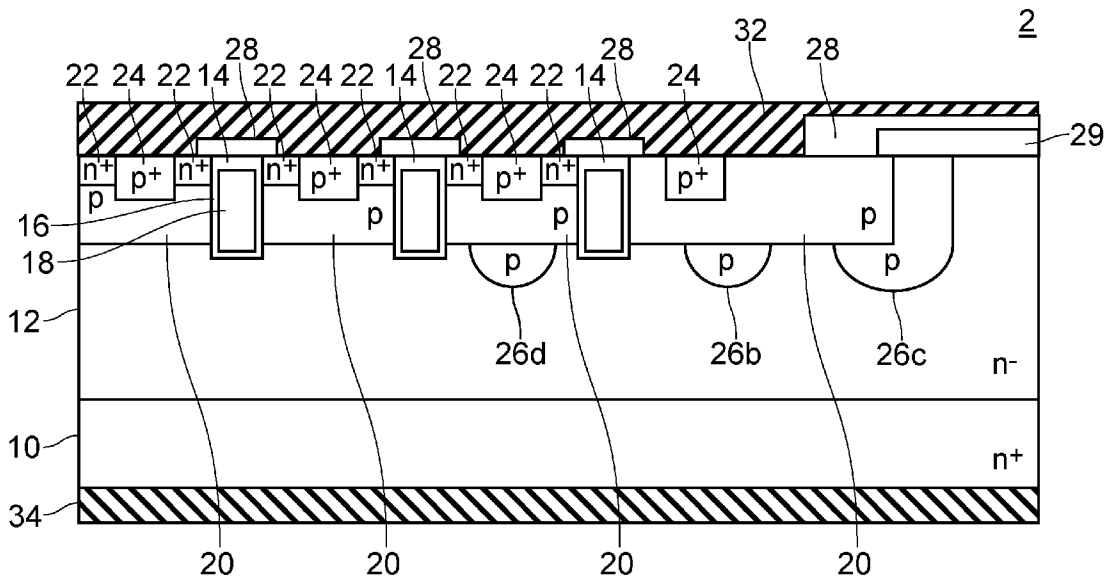
[図2]



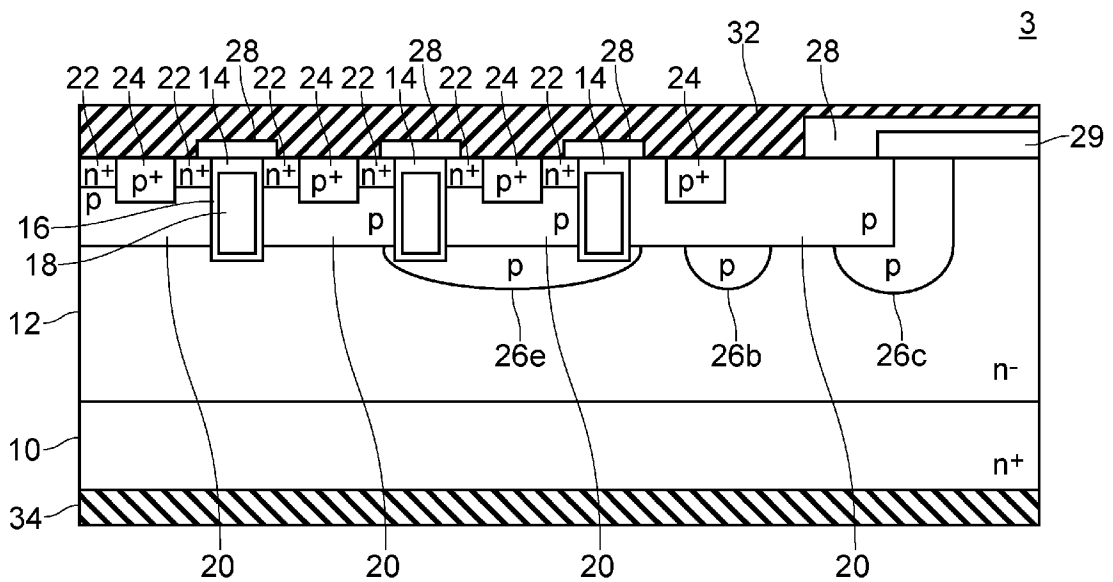
[図3]



[図4]

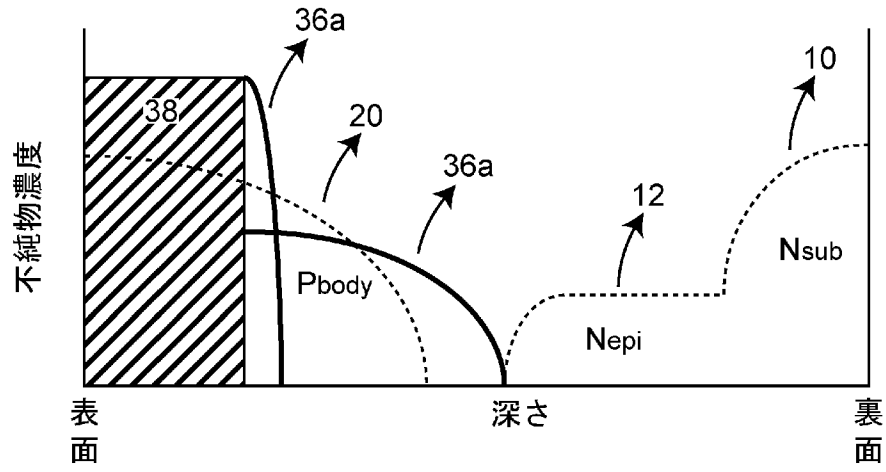


[図5]

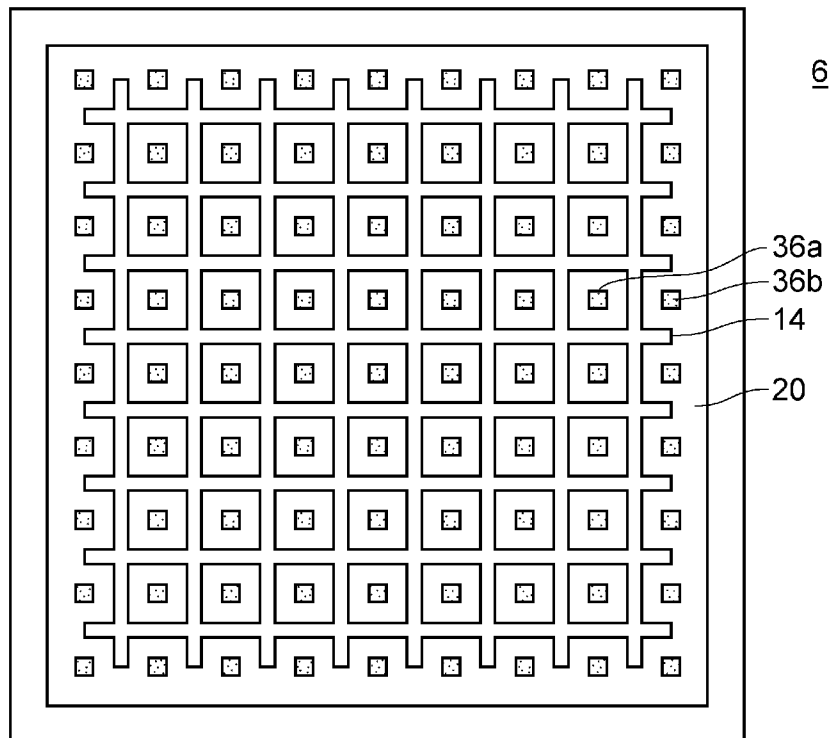




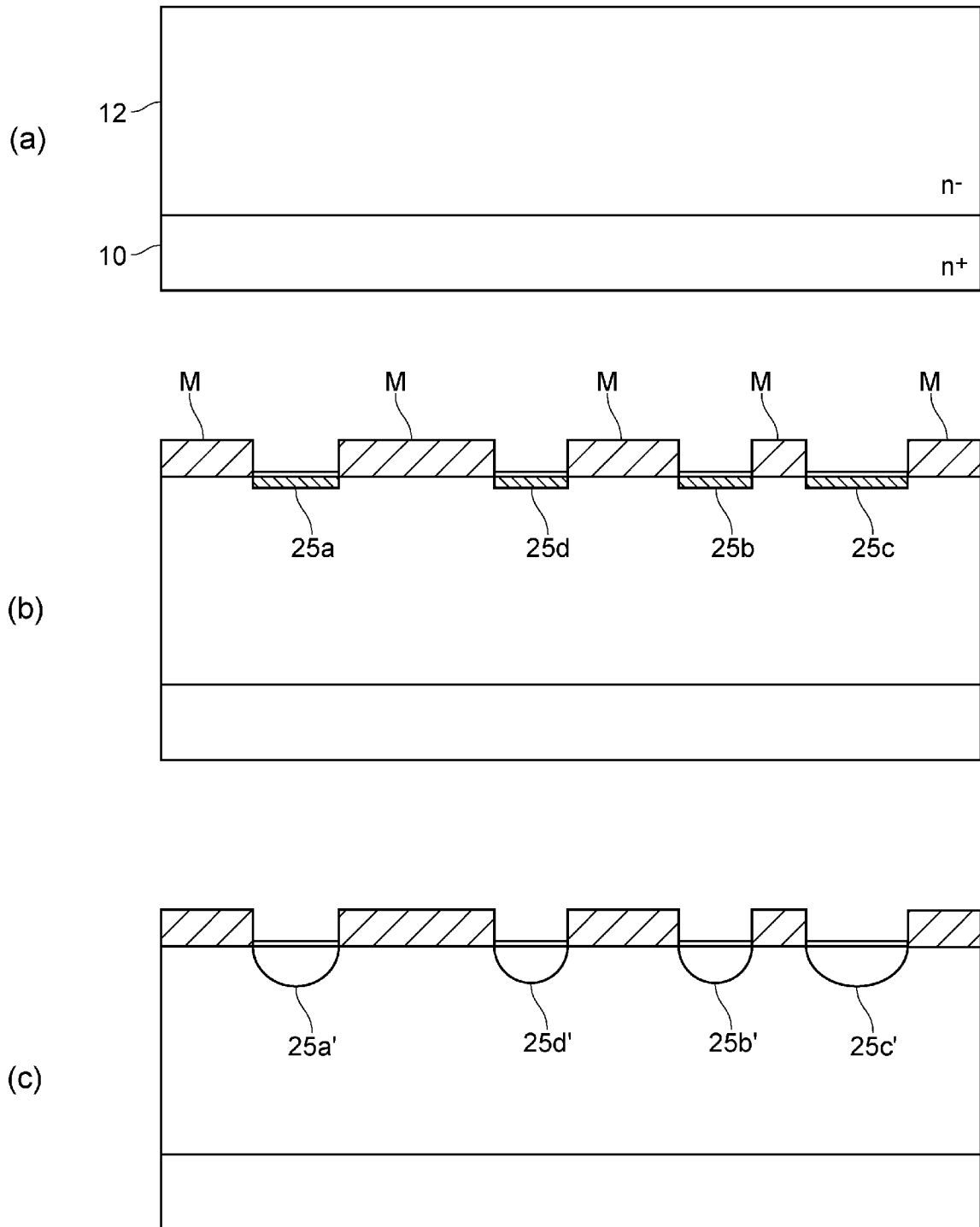
[図8]



[図9]

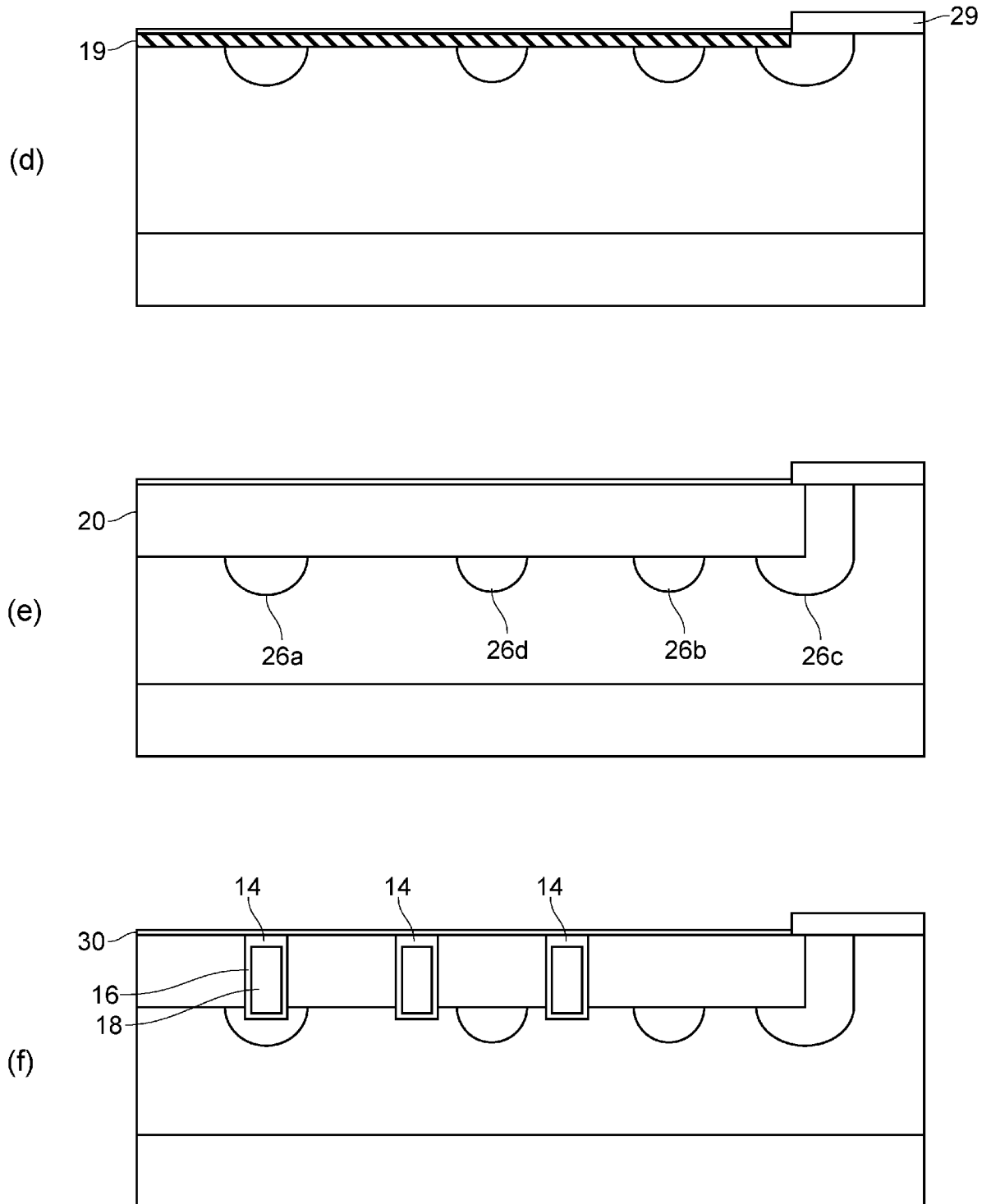


[図10]

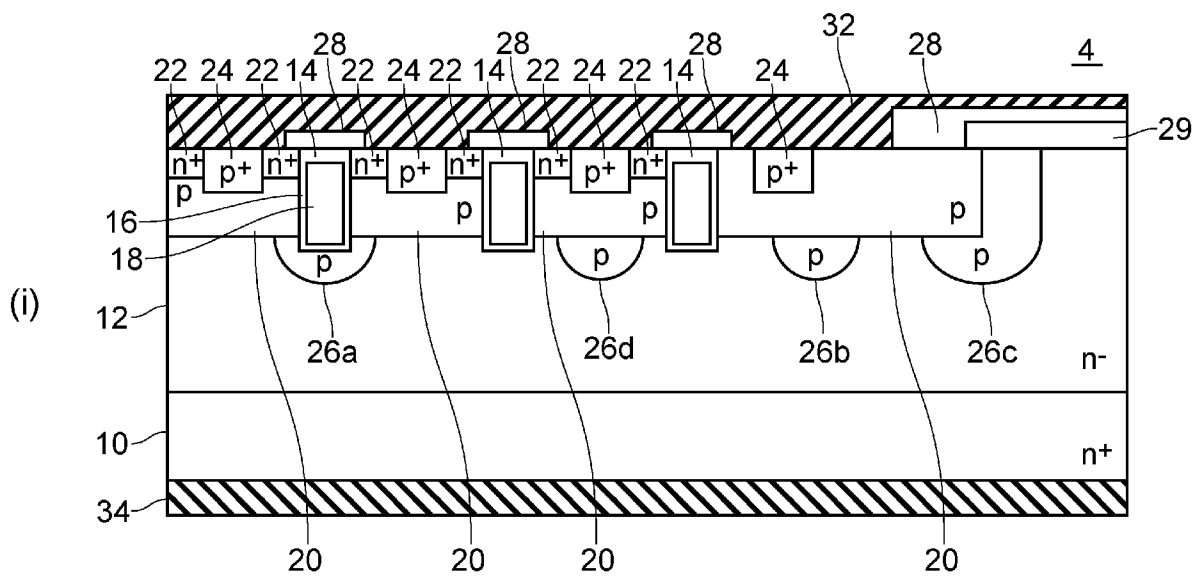
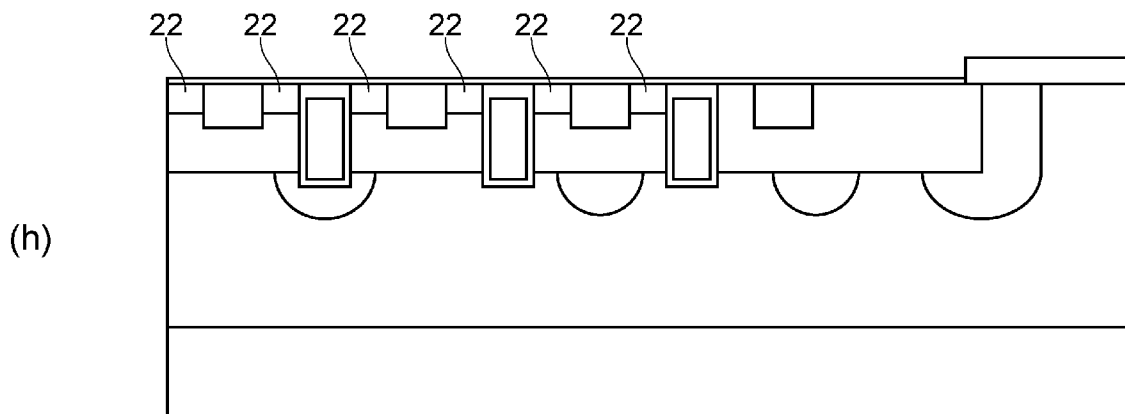
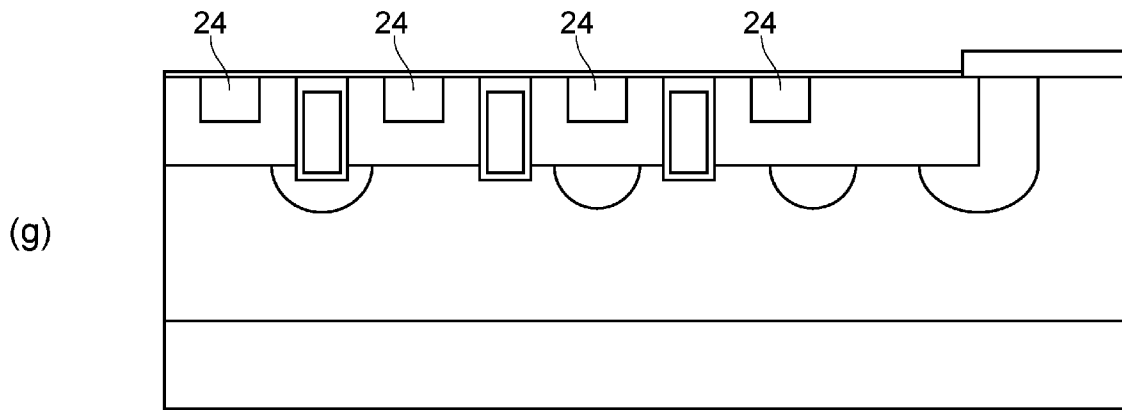




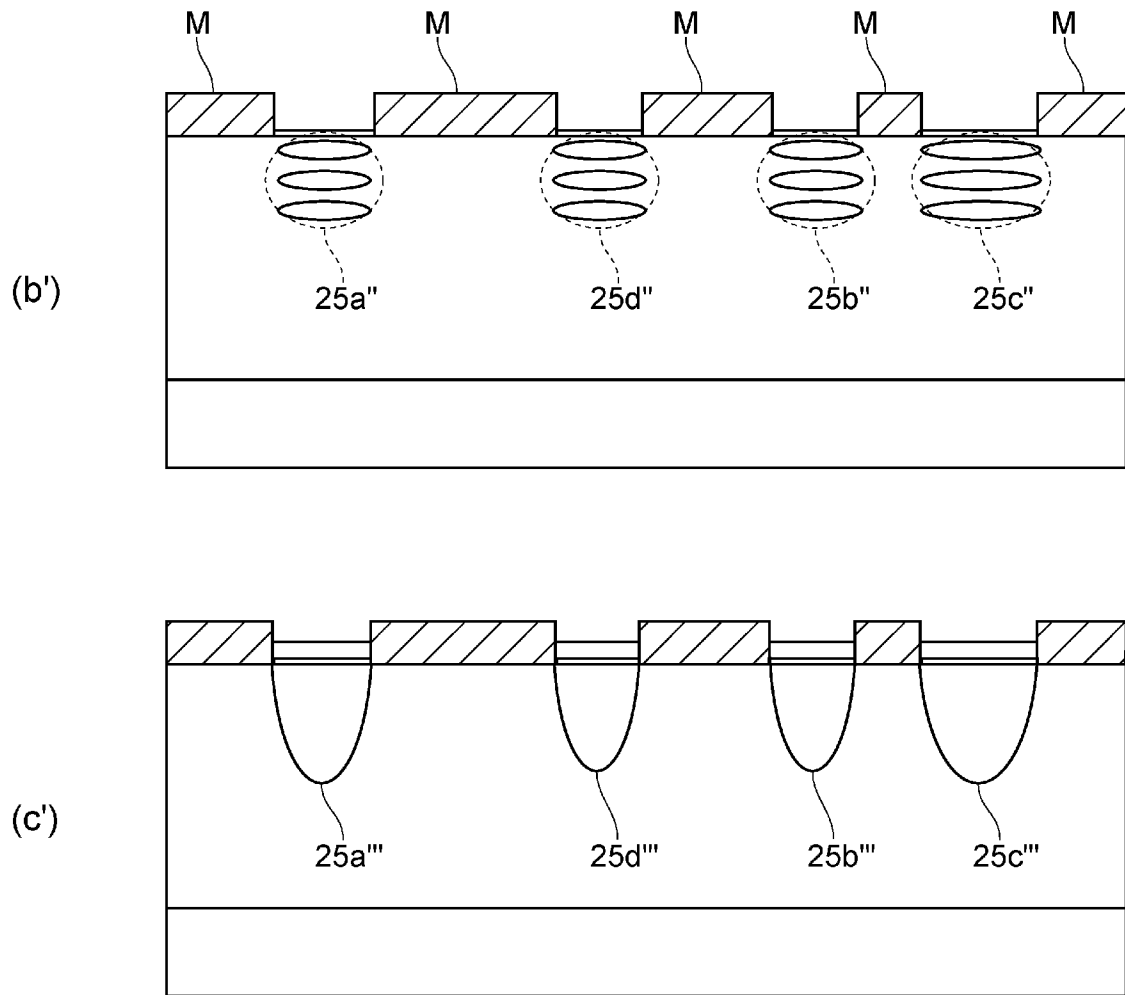
[図11]



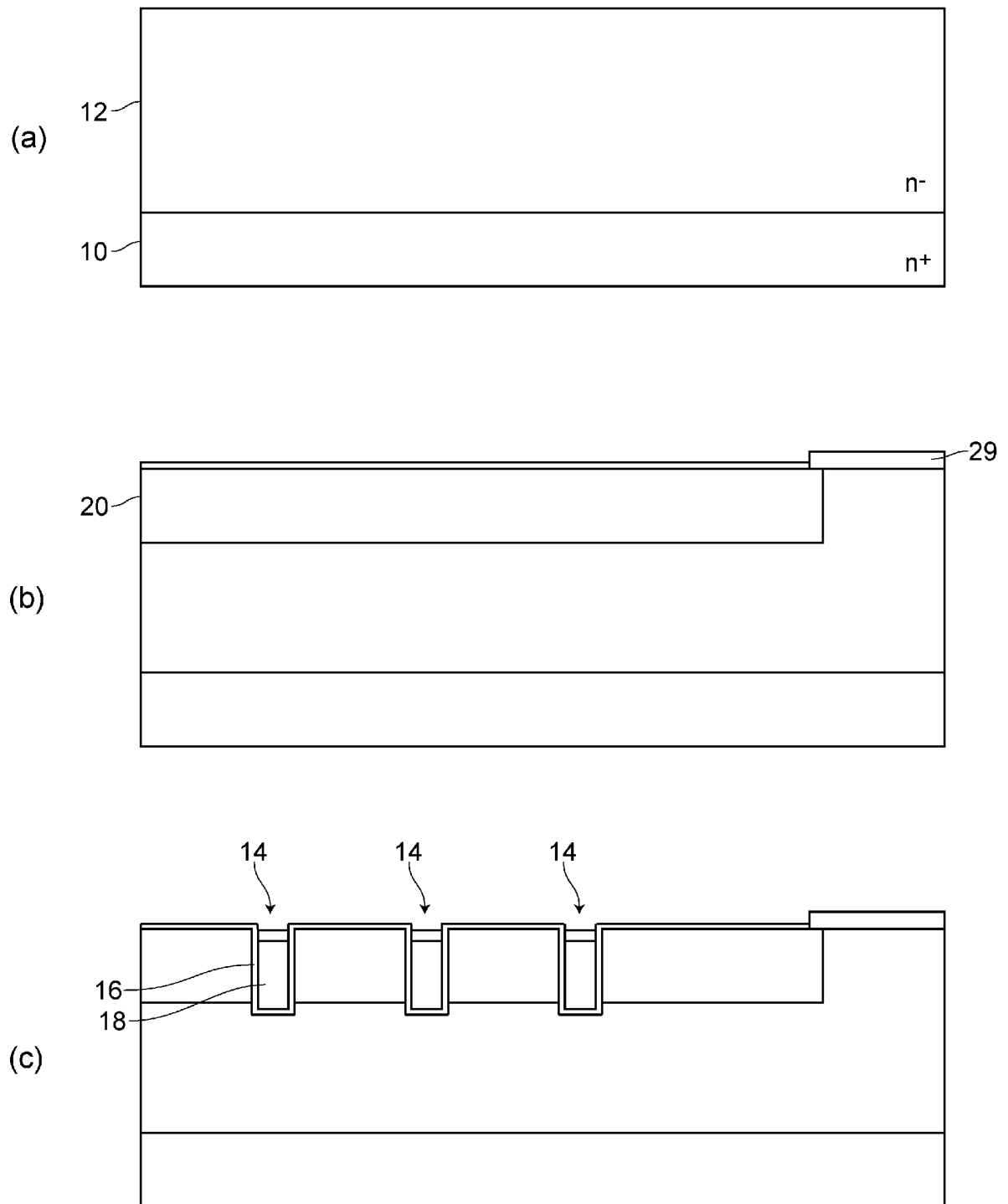
[図12]



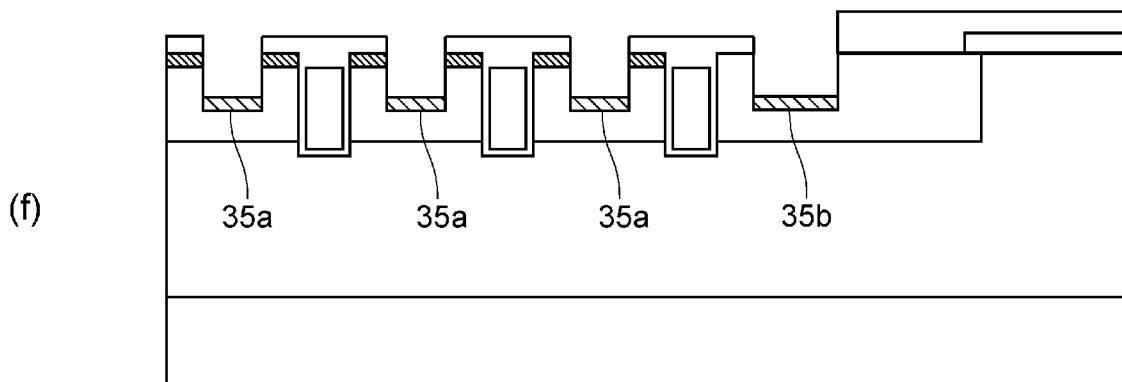
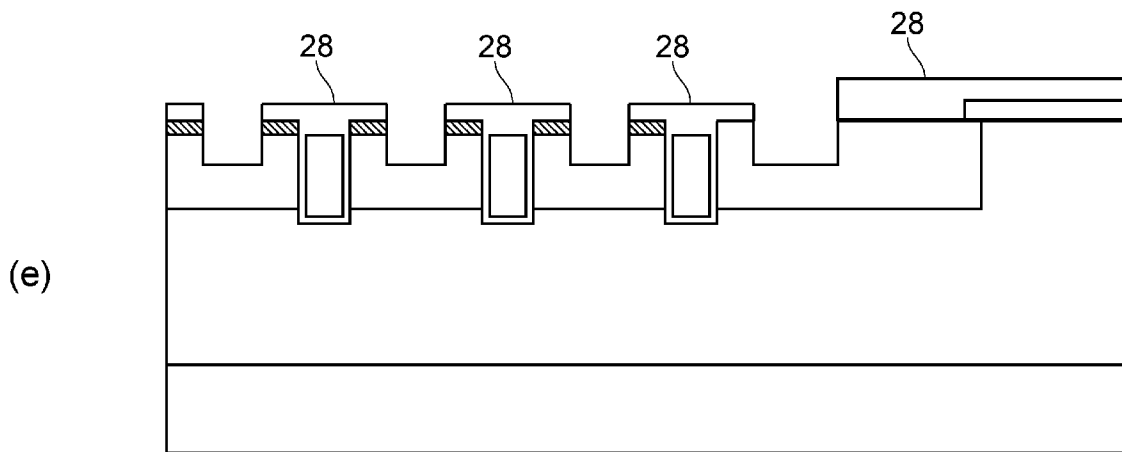
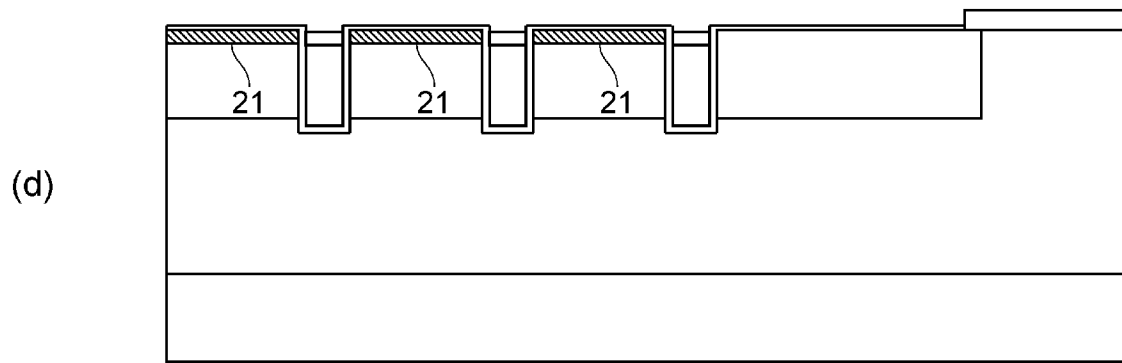
[図13]



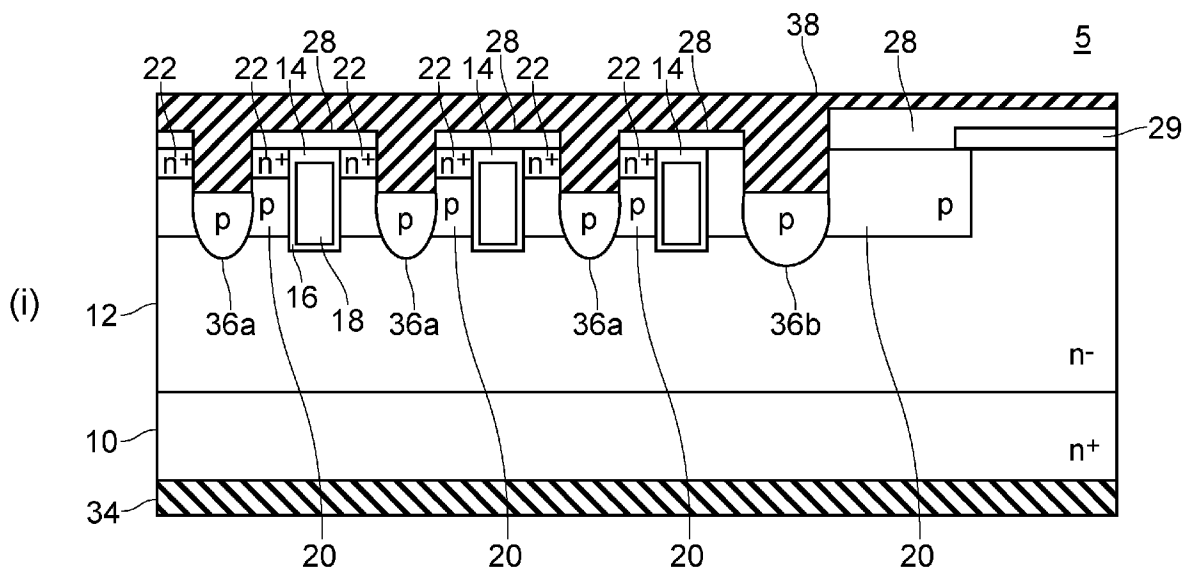
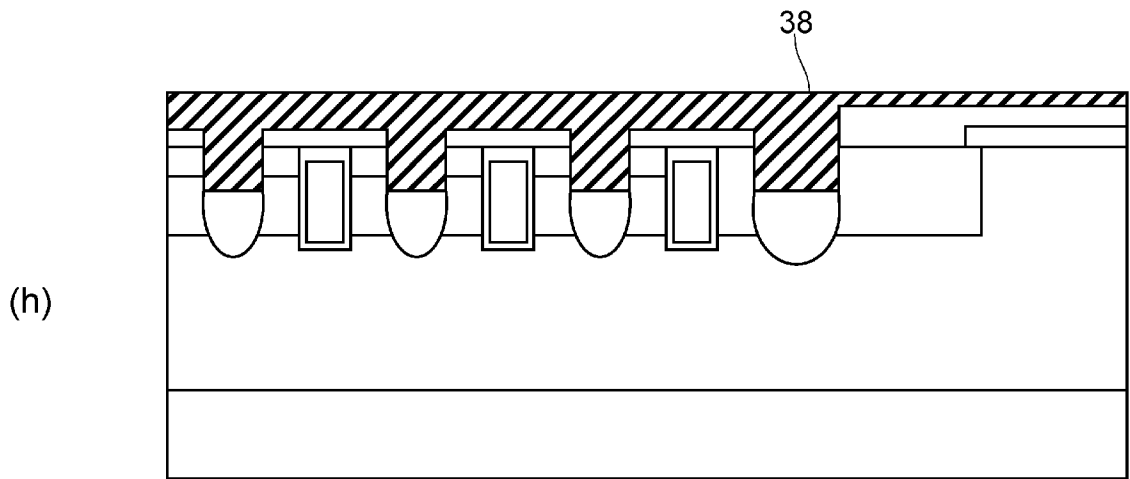
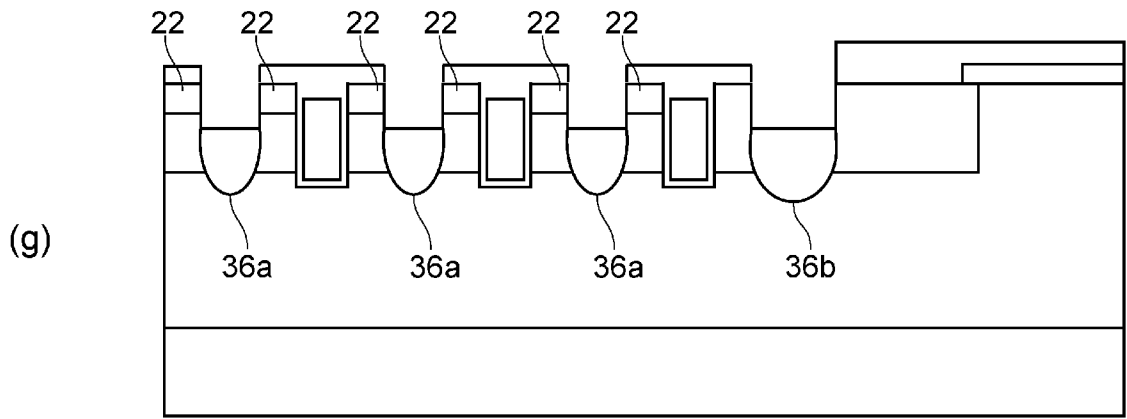
[図14]



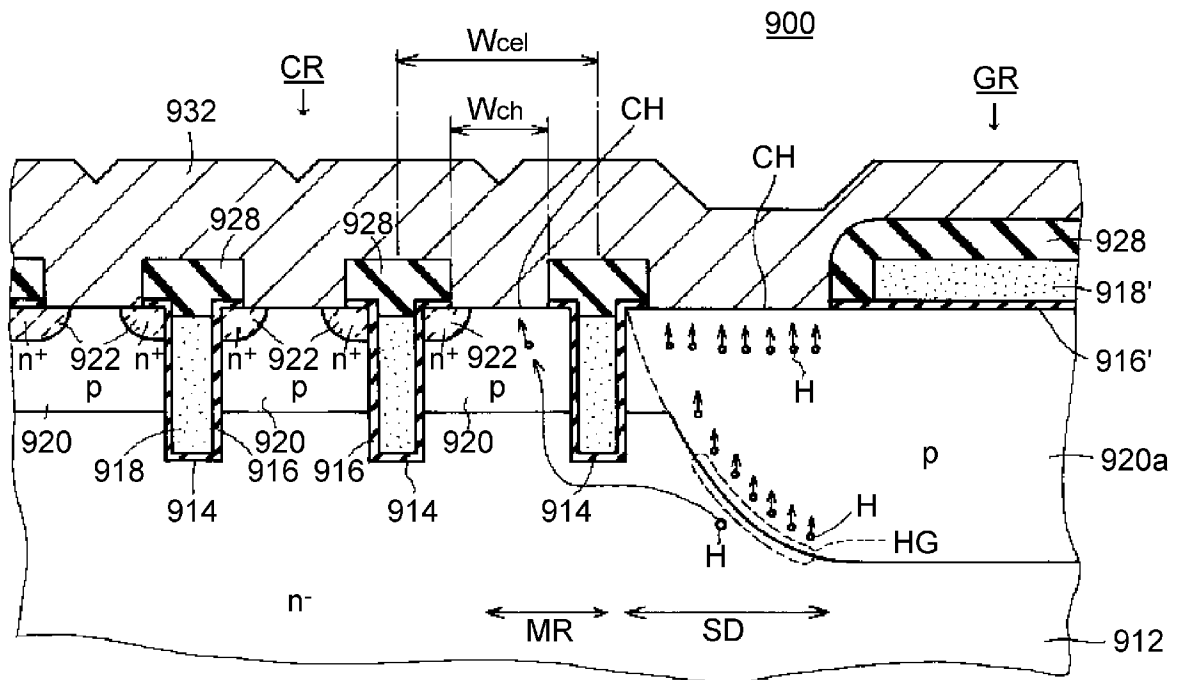
[図15]



[図16]



[図17]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/021490

**A. CLASSIFICATION OF SUBJECT MATTER**

**H01L29/78** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

**H01L29/78** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-311716 A (Toshiba Corp.), 04 November, 2004 (04.11.04), Full text; all drawings & US 2004/0195618 A1	1-3, 10, 21, 22 4-9, 11-20
X A	JP 2002-164542 A (Kabushiki Kaisha Hojo Seiansho), 06 June, 2002 (06.06.02), Full text; all drawings & US 6534828 B1                      & DE 10145045 A1 & FR 2814282 A1	1-3, 6, 10, 21, 22 4, 5, 7-9, 11-20

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 February, 2006 (10.02.06)	Date of mailing of the international search report 21 February, 2006 (21.02.06)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/021490

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 11-501459 A (Siliconix, Inc.), 02 February, 1999 (02.02.99), Full text; all pages & US 5689128 A                      & EP 0958611 A1 & WO 1997/007547 A1	1, 4, 5, 7-10, 21, 22 2, 3, 6, 11-20
X A	JP 2000-101073 A (Denso Corp.), 07 April, 2000 (07.04.00), Full text; all pages & US 6603173 B1	1, 4, 5, 7-10, 21, 22 2, 3, 6, 11-20
X A	JP 2004-153112 A (Toshiba Corp.), 27 May, 2004 (27.05.04), Full text; all drawings & US 2004/0084722 A1              & US 2004/0207009 A1	1, 4, 5, 7-10, 21, 22 2, 3, 6, 11-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2004-311716 A (株式会社東芝) 2004.11.04, 全文, 全図	1-3, 10, 21, 22
A	& US 2004/0195618 A1	4-9, 11-20
X	JP 2002-164542 A (フェアチャイルド <sup>®</sup> セミコンダクター コーポレーション), 2002.06.06, 全文, 全図	1-3, 6, 10, 21, 22
A	& US 6534828 B1 & DE 10145045 A1 & FR 2814282 A1	4, 5, 7-9, 11-20

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日  
10.02.2006

国際調査報告の発送日  
21.02.2006

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 小野田 誠  
 電話番号 03-3581-1101 内線 3498

4L 8427

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 11-501459 A (シリコンクス・インコーポレイテッド) 1999.02.02, 全文, 全頁	1, 4, 5, 7-10, 21, 22
A	&US 5689128 A &EP 0958611 A1 &WO 1997/007547 A1	2, 3, 6, 11-20
X	J P 2000-101073 A (株式会社デンソー) 2000.04.07, 全文, 全頁	1, 4, 5, 7-10, 21, 22
A	&US 6603173 B1	2, 3, 6, 11-20
X	J P 2004-153112 A (株式会社東芝) 2004.05.27, 全文, 全図	1, 4, 5, 7-10, 21, 22
A	&US 2004/0084722 A1 &US 2004/0207009 A1	2, 3, 6, 11-20