

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H01L 27/108  
H01L 27/102

(45) 공고일자 1993년 10월 07일  
(11) 공고번호 특 1993-0009594

(21) 출원번호	특 1991-0001590	(65) 공개번호	특 1992-0015576
(22) 출원일자	1991년 01월 30일	(43) 공개일자	1992년 08월 27일
(71) 출원인	삼성전자 주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		

(72) 발명자 안지홍  
서울특별시 송파구 삼전동 11-12  
(74) 대리인 이영필, 최덕용

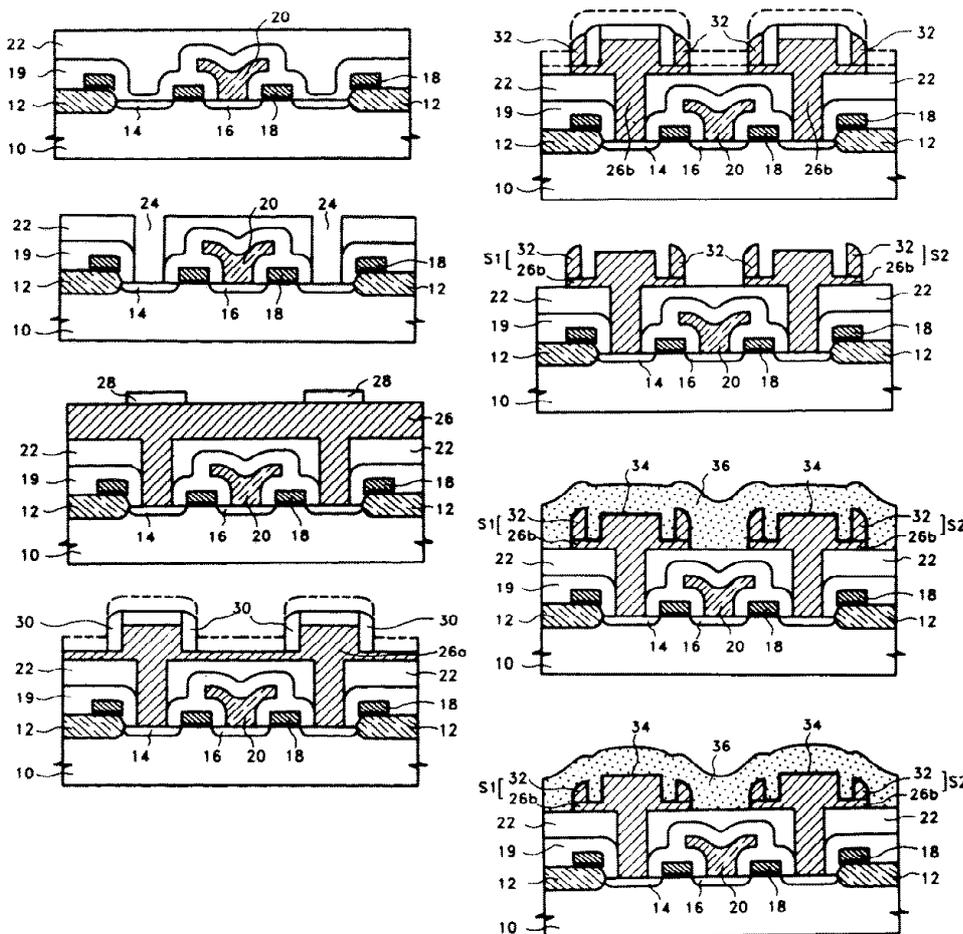
심사관 : 유환열 (책자공보 제3426호)

(54) 고집적 반도체 메모리장치 및 그 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

고집적 반도체 메모리장치 및 그 제조방법

[도면의 간단한 설명]

제 1a 도 내지 제 1g 도는 종래의 고집적 반도체 메모리장치의 공정순서를 나타낸 단면도.

제 1h 도는 제 1a 도 내지 제 1g 도에 도시된 제조공정에 따라 제조된 반도체 메모리장치에 있어서 웨이퍼 전체적으로 에칭이 불균일하게 이루어졌을 경우의 효과를 나타낸 단면도.

제 2 도는 본 발명에 의한 고집적 반도체 메모리장치의 개략적인 사시도.

제 3 도는 본 발명에 의한 고집적 반도체 메모리장치의 레이아웃도.

제 4a 도 내지 제 4g 도는 상기 제 3 도의 AA'선 단면구조를 통하여 본 발명에 의한 고집적 반도체 메모리장치의 제조방법의 바람직한 일 실시예를 나타낸 단면도.

제 5a 도 내지 제 5e 도는 제 4a 도 내지 제 4g 도의 상기 일 실시예의 공정중 일부공정을 달리한 본 발명에 의한 고집적 반도체 메모리장치 제조방법의 다른 실시예를 나타낸 단면도.

제 6 도는 제 4a 도 내지 제 4g 도의 상기 일 실시예의 공정중 일부공정을 달리한 본 발명에 의한 반도체 메모리장치 제조방법의 또 다른 실시예를 나타낸 단면도.

제 7 도는 본 발명에 의한 고집적 반도체 메모리장치 제조방법의 또 다른 실시예를 나타낸 수직단면도.

제 8 도는 본 발명에 의한 고집적 반도체 메모리장치 제조방법의 또 다른 실시예를 나타낸 수직단면도.

제 9 도는 본 발명에 의한 고집적 반도체 메모리장치 제조방법의 또 다른 실시예를 나타낸 수직단면도.

제 10 도는 본 발명에 의한 고집적 반도체 메모리장치의 또 다른 실시예에 의한 개략적인 사시도.

제 11 도는 본 발명에 의한 고집적 반도체 메모리장치의 또 다른 실시예에 의한 개략적인 사시도.

\* 도면의 주요부분에 대한 부호의 설명

- |                |                 |
|----------------|-----------------|
| T1, T2 : 트랜지스터 | S1, S2 : 스토리지전극 |
| C1, C2 : 커패시터  | 100a : 외곽전극부    |
| 100b : 기동전극부   | 100c : 밀판전극부    |
| 10 : 반도체기판     | 20 : 비트라인       |
| 50 : 제 1 도전층   | 50b : 스토리지전극    |
| 52 : 제 1 물질    | 54 : 제 2 물질     |
| 56 : 측벽스페이서    | 58 : 포트레지스트패턴   |
| 60 : 유전체막      | 62 : 플레이이트전극    |
| 80 : 제 4 물질    | 82 : 제 5 물질     |
| 90 : 평탄화층      | 92 : 식각저지층      |
| 94 : 절연증       |                 |

[발명의 상세한 설명]

본 발명은 반도체 메모리장치 및 그 제조방법에 관한 것으로, 특히 고신뢰도 및 고용량의 커패시터를 구비하는 고집적 반도체 메모리장치 및 그 제조방법에 관한 것이다.

메모리셀 면적의 감소에 따른 셀커패시턴스 감소는 DRAM(Dynamic Random Access Memory)의 집적도 증가에 심각한 장애요인이 되는데, 이는 메모리셀의 독출능력을 저하시키고 스프레드 에라울을 증가시킬뿐만 아니라, 저전압에서의 소자동작을 어렵게 하여 작동시 전력소모를 과다하게 하기 때문에 반도체 메모리장치의 고집적화를 위해서는 반드시 해결해야 할 과제이다.

통상, 약  $1.5\mu\text{m}^2$ 의 메모리셀 면적을 가지는 64Mb급 DRAM에 있어서는, 일반적인 2차원적인 스택형 메모리셀을 사용한다면  $\text{Ta}_2\text{O}_5$ 와 같은 고유전율의 물질을 사용하더라도 충분한 셀커패시턴스를 얻기가 힘들기 때문에 3차원적 구조의 스택형 커패시터를 제안하여 커패시턴스 향상을 도모하고 있다. 이중 스택(Double stack)구조, 핀(Fin)구조, 원통형전극(Cylindrical electrode)구조, 스프레드 스택(Spread stack)구조, 및 박스(Box)구조는 메모리셀의 셀커패시턴스 증가를 위해 제안된 3차원적 구조의 스토리지전극들이다.

3차원적 스택형 구조 커패시터에 있어서, 특히 원통구조는 원통의 외면뿐만 아니라 내면까지 유효커패시터 영역으로 이용할 수 있어 64Mb급 메모리셀이나 그 이상급으로 고집적되는 메모리셀에 적합한 구조로 채택되고 있는데, 현재는 단순한 원통구조에서 더욱 더 개선하여 원통내부에 원기둥을 첨가함으로써 원통의 외면 및 내면뿐만 아니라 원통의 내부에 포함되는 원기둥의 외면까지 유효커패시터 영역으로 이용할 수 있게 한 링구조를 구비한 스택형 커패시터(A Stacked Capacitor Cell With Ring Structure ; 1990, 22nd conference on SSDM, Part II, Page 833~836 참조)가 제안되고 있다.

제 1a 도 내지 제 1g 도는 그 내부에 한개의 원기둥전극을 포함하는 원통형 스토리지전극 형성을 위한 공정 순서를 나타낸 단면도들이다.

소오스(14), 드레인(16) 및 게이트전극(18)을 구비한 트랜지스터와 상기 트랜지스터의 드레인영역과 접촉하는 매몰형 비트라인(20)이 형성되어 있는 반도체기판 상에 층간절연막(19) 및 질화막(22)을 순차적층후(제 1a 도), 상기 소오스영역 상에 침전된 상기 층간절연막 및 질화막을 식각에 의해 부분적으로 제거하여 콘택홀(24)를 형성한다(제 1b 도). 이어서 상기 콘택홀(24)의 구멍을 메우면서 상기 질화막(22) 상에 소정의 두께를 가지도록 제 1 다결정실리콘층(26)을 침적하고, 그 위에 산화막을 적층하여 원통내부에 형성되는 기둥을 만들기 위해 상기 산화막을 패터닝하므로 산화막패턴(28)을 만들고(제 1c 도), 상기 산화막패턴(28)을 마스크로 하여 제 1 다결정실리콘층(26)을 소정 깊이까지 에치백하여 제거함으로써 기둥전극(26a)을 형성한 후, 상기 제 1 다결정실리콘층 상에 상기 산화막패턴(28)과 그 식각선택비가 다른 절연층을 적층한다. 이어서 상기 절연층을 이방성식각에 의해 제거하는데, 이때 상기 산화막패턴(28) 및 기둥전극(26a)의 측벽에는 상기 절연층의 일부가 제거되지 않고 남아 스페이서(30)를 형성한다(제 1d 도). 산화막패턴(28), 스페이서(30) 및 기둥전극(26a)이 형성된 상기 반도체기판 전면에 제 2 다결정실리콘층을 도포한후, 상기 제 1 및 제 2 다결정실리콘층에 이방성식각을 행하여 상기 스페이서(30) 측벽에 제 2 다결정실리콘층으로 구성된 또 다른 스페이서를 형성함으로써 원통전극(32)을 완성하고(제 1e 도), 습식식각을 하여 상기 산화막패턴(28) 및 스페이서(30)를 제거함으로써 기둥전극(26b)과 원통전극(32)을 구비한 스토리지전극(S1,S2)을 완성한다(제 1f 도).

이어서, 상기 스토리지전극 전면에 유전체막(34)을 도포하고, 제 3 다결정실리콘을 상기 반도체기판 전면에 침적함으로써 링구조를 구비한 스택형 커패시터를 완성한다(제 16 도).

상술한 종래의 고집적 반도체 메모리장치는 원통전극 내부에 기둥전극을 형성하므로써, 원통전극의 외면 및 내면뿐만 아니라 기둥전극의 외면까지 유효커패시터 영역으로 이용할 수 있어 64Mb급 DRAM 셀을 실현하는 유력한 모델로 채택되고 있다. 그러나, 원통전극과 기둥전극으로 형성되는 상기 메모리장치는 상기 원통전극 및 기둥전극이 동일층의 도전물질로 구성되지 않고 각각의 전극을 구성하는 도전물질이 층을 달리하여 형성되기때문에 공정에 불편함이 있다는 문제점과, 상기 원통전극은 제 2 다결정실리콘층에 이방성식각을 하여 상기 스페이서(30)의 측벽에 이층의 스페이서를 만들어 형성하는데, 이는 다결정실리콘의 식각정도가 웨이퍼내에서 균일하게 나타나지 않아, 상기 웨이퍼 가장자리부와 중앙부에서의 상기 원통전극(32)의 높이가 다르게 나타나기 때문에 동일한 웨이퍼내에서도 셀커패시턴스의 값이 다르게 나타날 수가 있다. 통상 식각대상물이 다결정실리콘일 경우에는 식각을 이 웨이퍼의 가장자리부와 중앙부에서 다르게 때문에 상기 웨이퍼의 중앙부에서의 스토리지전극은 제 1h 도의 단면도와 같이 나타날 수가 있어 예상하는 셀커패시턴스 값보다 더 낮은 값을 얻게 되는 문제점이 있다. 그리고 상기 원통전극(32)은 상기 스페이서(30)의 측벽에 또 다른 스페이서를 형성하여 만들어지므로 이층의 이방성식각에 의해 상기 원통전극의 끝(top) 부분이 뾰족하게 형성되어 상기 끝부분에 도포되는 유전체막이 브레이크다운(Breakdown)되는 현상을 일으키기 쉬우므로 소정의 전기적 특성, 수율 및 신뢰성을 저하시키게 된다.

본 발명의 목적은 상술한 종래 기술의 여러가지 문제점들을 해결하여 64Mb급 이상의 DRAM에서 요구되는 셀커패시턴스를 충분히 만족시킬 수 있는 스토리지전극 구조를 가진 고집적 반도체 메모리장치를 제공하는데 있다.

본 발명의 다른 목적은 신뢰성있는 고집적 반도체 메모리장치를 제공하는데 있다.

본 발명의 또 다른 목적은 상기 고집적 반도체 메모리장치를 제조하는데 있어서 적합한 그 제조방법을 제공하는데 있다.

본 발명의 상기 목적 및 다른 목적은, 하나의 트랜지스터와 하나의 커패시터로 이루어진 메모리셀들을 매트릭스 모양으로 반도체기판에 구비한 고집적 반도체 메모리장치에 있어서, 상기 커패시터는, 하나 이상의 막대들로 구성된 기둥전극부, 이들을 완전히 둘러싸는 외곽전극부, 및 상기 외곽전극부 및 기둥전극부를 연결하는 밀판전극부로 이루어지고 상기 트랜지스터의 소오스영역과 접하는 스토리지전극, 상기 스토리지전극 전면에 도포된 유전체막, 및 상기 유전체막 상에 형성되는 플레이트전극을 구비하는 것을 특징으로 하는 고집적 반도체 메모리장치에 의해 달성된다.

본 발명의 상기 또 다른 목적은, 반도체기판 상에 제 1 도전층을 형성하는 공정, 상기 제 1 도전층 상에 제 2 물질로 된 제 2 패턴을 형성하는 공정, 결과물 상에 제 3 물질로 된 측벽 스페이서를 형성하는 공정, 상기 측벽 스페이서를 식각마스크로 하여 상기 제 1 도전층을 식각함으로써 스토리지전극을 형성하는 공정, 상기 스토리지전극 상에 유전체막을 형성하는 공정, 및 상기 유전체막이 형성되어 있는 반도체기판 상에 제 2 도전층을 침적하여 플레이트전극을 형성하는 공정을 포함하는 고집적 반도체 메모리장치의 제조방법에 의해 달성된다.

이하, 첨부한 도면을 참조하여 본 발명을 더욱 더 자세하게 설명하고자 한다.

제 2 도는 본 발명에 의한 고집적 반도체 메모리장치 제조방법의 일실시예에 의해 제조된 반도체 메모리장치를 보여주는 개략적인 사시도이다.

상기 제 2 도에서 반도체기판(10) 상의 필드산화막(12) 사이에는 한쌍의 트랜지스터(T1,T2)가 형성되는데, 상기 한쌍의 트랜지스터는 드레인영역(16)을 서로 공유하고, 각각이 하나씩의 소오스영역(14) 및 게이트전극(18)을 구비한다. 이때 상기 게이트전극들은 워드라인(Word line)으로 제공되고, 상기 드레인영역(16)에는 비트라인(20)이 연결되며, 상기 트랜지스터(T1,T2)의 각 소오스영역(14)에는 스토리지전극(S1,S2)이 각각 연결된다.

상기 각 스토리지전극은 밀판전극부(100c), 외곽전극부(100a) 및 기둥전극부(100b)로 이루어지는데, 이때 상기 밀판전극부는 각각의 메모리셀 영역으로 고립되고 각 메모리셀을 구성하는 트랜지스터의 소오스영역(14)과 연결되며 일측 횡방향으로는 필드산화막(12) 위까지 확장되고 타측 횡방향으로는 비트라인(20) 위까지 확장되고, 상기 기둥전극부(100b)는 상기 밀판전극부의 중앙 부분에서 상기 밀판전극부와 수직으로 연결되며 적어도 하나 이상의 막대들로 구성되며, 상기 외곽전극부(100a)는 상

기 밀판전극부 수직으로 연결되고 기동전극부를 완전히 감싸는 모양으로 형성된다.

따라서, 상기 스토리지전극(S1,S2)은 한정된 메모리셀 영역내에서 외곽전극부(100a)의 외면 및 내면, 기동전극부(100b)의 외면, 그리고 밀판전극부의 외면에 의해 전하를 축적할 수 있는 표면적을 확장시킬 수 있으므로, 셀커패시턴스는 상기 외곽전극부 및 기동전극부의 높이와 상기 기동전극부를 구성하고 있는 막대들의 갯수를 조절함으로써 원하는 값으로 얻을 수 있다.

제 3 도는 본 발명에 따른 고집적 반도체 메모리장치의 평면도로서, 짧은 파선으로 한정되고 횡방향으로 달리는 영역은 활성영역을 한정하기 위한 마스크패턴(P1)이고, 긴 파선으로 한정되고 대칭된 부분은 워드라인을 형성하기 위한 마스크패턴(P2)이며, 실선으로 한정되고 그 내부에 두개의 대각선이 그려진 것은 콘택홀을 형성하기 위한 마스크패턴(P3)이고, 일점쇄선으로 한정되고 횡방향으로 달리며 상기 마스크패턴(P3)을 포함하도록 그 중앙부가 돌출된 영역은 비트라인 형성을 위한 마스크패턴(P4)이며, 실선으로 한정되고 그 내부가 사선으로 그려지며 두개씩 쌍으로 형성된 영역은 스토리지전극의 기동전극부를 형성하기 위한 마스크패턴(P5)이고, 이점쇄선으로 한정되고 그 내부에 상기 마스크패턴(P5)과 상반되는 방향으로 사선이 그려지며 상기 마스크패턴(P5)을 포함하는 영역은 스토리지전극을 한정하기 위한 마스크패턴(P6)이다.

상기 제 3 도의 AA' 선을 자른 수직단면 구조에 따라 그 제조공정 순서를 도시한 제 4a 도 내지 제 4g 도를 참조하여, 본 발명에 의한 고집적 반도체 메모리장치의 일 실시예의 제조공정을 더욱 더 자세히 설명하고자 한다.

먼저, 제 4a 도를 참조하면, 반도체기판(10) 상에 트랜지스터 및 비트라인(20)을 형성한 후 제 1 도전층(50)을 침적하는 공정을 도시한 것으로서, 반도체기판(10) 상에 상기 마스크패턴(P1)을 적용하여 소자가 만들어질 영역을 한정하기 위한 필드산화막(12)을 형성하고, 상기 필드산화막에 의해 정의되어진 반도체기판의 활성영역에 소오스영역(14), 드레인영역(16) 및 게이트 산화막을 게재한 게이트전극(18)을 형성한후 기판 전면에 층간절연층을 형성하고, 소오스영역(14) 및 드레인영역(16) 상에 스토리지전극(이후 공정에 의해 형성됨) 및 비트라인(20)을 전기적으로 연결하기 위한 콘택홀을 형성한다.

이어서, 결과물 전면에 예컨대 불순물이 도우프된 다결정실리콘이나 상기 다결정실리콘과 실리콘이 드가 적층된 형태의 도전물질을 증착한후 상기 마스크패턴(P4)을 이용한 사진식각 공정을 행함으로써 상기 드레인영역(16)과 접촉하는 비트라인(20)을 형성하고, 기판 전면에 스토리지전극 형성을 위하여 소정두께로 제 1 도전층(50)을 침적한다. 이때, 상기 제 1 도전층(50)은, 예컨대 불순물이 도우프된 다결정실리콘과 같은 도전물질을 사용하여 형성하는데, 상기 제 1 도전층의 두께는 스토리지전극의 최종 높이를 결정하므로 원하는 셀커패시턴스를 계산하여 상기 두께를 결정한다. 본 발명의 상기 일 실시예에서는 상기 두께를 5000Å 정도 하하여 실시한다.

제 4b 도를 참조하면, 제 1 도전층 상에 제 1 물질(52)을 도포한후 패터닝하여 제 1 패턴을 형성하는 공정을 도시한 것으로서, 상기 제 1 물질(52)로, 임의의 이방성식각에 대해 상기 제 1 도전층을 구성하는 물질과는 그 식각율(Etch Rate)이 다른(통상, 임의의 식각공정에 대해 A물질의 식각율을 1로 했을때, B물질의 식각율은 4~5 이상이다.) 물질, 예컨대 산화물(SiO<sub>2</sub> 등을 사용) 및 질화물(Si<sub>3</sub>N<sub>4</sub> 등을 사용)중 어느 한 물질을 사용한다. 이때, 상기 제 1 패턴을 하나 이상의 패턴들이 서로 걸리되게 형성되어 상기 기동전극부를 구성하는 막대들의 모양 및 갯수를 결정한다. 상기 제 1 패턴에 의해 만들어지는 막대의 수에 비례하여 셀커패시턴스가 증가한다는 것은 본 발명이 속한 기술분야에서 통상의 지식을 가진자에 의해 명백하다.

제 4c 도를 참조하면, 상기 제 1 물질(52)이 형성된 기판 전면에 제 2 물질(54)을 도포하는 공정을 도시한 것으로서, 상기 제 2 물질로, 임의의 이방성식각에 대해 상기 제 1 도전층과는 그 식각율이 같고(통상, 임의의 식각공정에 대해 A물질의 식각율을 1로 했을때 B물질의 식각율은 4~5이하이다.) 상기 제 1 물질과는 그 식각율이 다른 물질, 예컨대 상기 제 1 도전층을 구성하는 물질과 같은 물질(본 발명에서는 다결정실리콘을 사용)을 사용한다. 이때 상기 제 2 물질의 두께는 상기 스토리지전극의 기동전극부와 외곽전극부 사이의 간격을 결정하는 요인이 되며, 상기 제 2 물질로 불순물이 도우프된 다결정실리콘을 사용할 경우엔 스토리지 전극의 외곽전극부 높이는 상기 제 2 물질의 두께를 포함하게 되므로(제 7 도 참조) 상기 제 2 물질에 의한 셀커패시턴스의 증가를 꾀할 수도 있다.

그 표면이 평탄한 물질층 위에 상기 제 2 물질을 도포하면 상기 제 2 물질 또한 그 표면이 평탄한 모양으로 형성되지만, 본 발명에서는 제 1 패턴(52)이 형성되어 있는 상태에서 제 2 물질을 도포함으로써 상기 제 2 물질은 상기 제 1 패턴의 모양을 본 뜬 모양으로 형성되고 이 모양을 제 2 패턴(제 1 패턴에 의해 볼록하게 솟은 부분)이라 칭한다.

상기 제 2 패턴은 본 발명의 실시예(제 4b 도 및 제 4c 도)에서 처럼 상기 제 1 패턴에 의해 자연적으로 형성될 수도 있으나 상기 제 1 패턴이 없을 경우엔 소정의 사진식각공정을 행하여 임의로 형성할 수도 있음은 물론이다.

제 4d 도를 참조하면, 제 2 물질(54) 전면에 제 3 물질을 도포한후 이방성식각 공정을 행함으로써 상기 제 2 패턴의 측벽에 측벽 스페이서(56)를 형성하는 공정을 도시한 것으로서, 상기 제 3 물질로 임의의 이방성식각에 대해 상기 제 2 물질과는 그 식각율이 다른 물질, 예컨대 상기 제 1 물질과 같은 물질(산화물 및 질화물)을 사용한다. 상기 스페이서(56)의 두께는 스토리지전극의 외곽전극부(원통모양으로 형성된다.)의 두께를 결정하므로 상기 두께를 변화시켜 셀커패시턴스를 조절할 수도 있다. 예컨대, 상기 두께가 얇아질수록 셀커패시턴스는 증가한다. 이때 제 2 패턴이 제 2 물질로만 형성되었을 경우 측벽 스페이서는 상기 제 2 물질로 된 제 2 패턴의 측벽에 형성된다.

제 4e 도를 참조하면, 측벽 스페이서(56) 및 제 1 패턴(52)을 식각마스크로 하여 제 1 도전층을 식각함으로써 외곽전극부 및 기동전극부를 형성하는 공정을 도시한 것으로서, 측벽 스페이서가 형성되어 있는 결과물 전면에 상기 제 2 물질을 식각대상물로 하고 제 1 도전층의 표면을 식각종료점으로 한 1차 이방성식각을 행하여 제 1 도전층 상에 상기 측벽 스페이서 및 제 1 패턴을 남긴후, 상기 제

1 도전층을 식각 대상으로 한 2차 이방성식각을 결과물 전면에 행함으로써 상기 측벽 스페이서에 의해서는 외곽전극부를 형성하고 상기 제 1 패턴에 의해서는 기동전극부를 형성한다. 이때, 셀패시턴스는 상기 제 1 도전층의 식각깊이를 조절하는 것에 의해 변화시킬 수 있다.

1차 및 2차 이방성식각 공정을 행하여 외곽 및 기동전극부를 형성하는 상술한 경우는, 임의의 이방성식각 공정에 대해 상기 제 2 물질과 제 1 도전층을 구성하는 물질의 식각율이 서로 다른 경우의 방법이고, 본 발명에서는, 상기 제 2 물질과 제 1 도전층을 구성하는 물질로 상기 이방성식각 공정에 대해 같은 식각율을 갖는 물질(다결정실리콘)을 사용하였기 때문에 상술한 경우처럼 1차 및 2차에 걸친 이방성식각 공정이 필요하지 않고 상기 제 2 물질 및 제 1 도전층을 식각대상물로 한 한번의 이방성식각 공정만 행한다. 이때, 제 1 패턴을 형성하지 않은 경우(제 4c 도에서 설명), 상기 기동전극부 또한 형성되지 않는다는 것은 본 발명이 속한 기술분야에서 통상의 지식을 가진자는 명백하게 알 수 있다.

제 4f 도를 참조하면, 상기 외곽전극부 및 기동전극부를 각 메모리셀 단위로 한정하여 스토리지전극 패턴(50a)을 형성하는 공정을 도시한 것으로서, 외곽전극부 및 기동전극부들이 형성된 소자 전면에 포토레지스트를 도포한후 상기 마스크패턴(P6)을 이용하여 제 1 도전층을 부분적으로 제거함으로써 외곽전극부, 기동전극부 및 밀판전극부를 구비하는 스토리지전극패턴(50a)을 완성한다.

스토리지전극을 각 셀 단위로 한정하는 상기 공정은, 반도체기판 전면에 평탄화층을 형성한후 상기 제 1 도전층을 형성하는 경우에는(제 6 도 참조) 필요하지 않은데, 이는 측벽 스페이서 및 제 1 패턴을 식각마스크로 하여 제 1 도전층을 식각하는 공정 시(제 4e 도 참조) 상기 평탄화층의 표면을 식각종료점으로 하여 상기 이방성식각을 행하면 자연적으로 각 셀 단위로 스토리지전극이 한정되기 때문이다.

또한, 제 1 패턴을 형성하지 않고 상기 공정들(제 4d 도 및 제 4e 도)을 진행할 경우, 제 2 패턴을 제거한후 제 1 도전층을 식각하는 제 1 방법, 제 2 패턴을 제거하지 않을 상태에서 상기 제 1 도전층을 식각하는 제 2 방법, 제 2 물질과 제 1 도전층을 구성하는 물질이 같은 상태에서 상기 제 2 방법을 행하는 경우, 및 제 2 물질과 제 1 도전층을 구성하는 물질이 다른 상태에서 상기 제 2 방법을 행하는 경우등 여러가지 방법으로 상기 스토리지전극을 형성할 수도 있는데, 이는 소정의 패턴 측벽에 측벽 스페이서를 형성한후, 상기 측벽 스페이서를 식각마스크로 이용한 식각공정을 행하여 스토리지전극을 형성하는 본 발명의 주된 공정이 포함된 이상, 그 외의 모든 공정은 임의로 변형하여 실시할 수 있음을 의미한다.

제 4g 도를 참조하면, 상기 스토리지전극 전면에 유전체막(60) 및 플레이트전극(62)을 형성하는 공정을 도시한 것으로서, 측벽 스페이서, 제 1 패턴 및 상기 측벽 스페이서 하부에 남겨진 제 2 물질을 제거한후(제 2 물질이 제 1 도전층을 구성하는 물질과 같은 물질일 경우엔 상기 제 2 물질은 제거하지 않는다(제 7 도 참조)) 상기 스토리지전극(50b) 전면에, 예컨대 O/N/O(SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>) 또는 Ta<sub>2</sub>O<sub>5</sub> 와 같은 유전물질을 도포하여 유전체막(60)을 형성하고, 이어서 결과물 전면에, 예컨대 불소물이 도우프된 다결정실리콘과 같은 제 2 도전층을 침적하여 플레이트전극(62)을 형성함으로써 스토리지전극(50b), 유전체막(60) 및 플레이트전극(62)을 구비하는 고집적 반도체 메모리장치의 커패시터를 완성한다.

제 5a 도 내지 제 5e 도는 본 발명에 의한 다른 실시예의 일부 공정만을 도시한 것으로서, 제 1 물질, 제 2 물질 및 제 3 물질을 마스크로 하여 상기 제 1 도전층을 식각한후(제 4e 도 참조), 기판 전면에 제 4 물질을 도포하고(제 5a 도), 이방성식각을 행하여 상기 제 4 물질이 각 메모리셀 단위로 분리되어 형성되게 한다(제 5b 도). 이때, 상기 제 4 물질로, 임의의 식각공정에 대해 상기 제 1 도전층을 구성하는 물질과는 그 식각율이 다른 물질을 사용하며, 상기 이방성식각(제 5b 도에서 실시)에 의해 외곽전극부의 외측벽에 스페이서가 형성되고 상기 외곽전극부 및 기동전극부 등을 덮는 모양으로 형성된다.

이어서, 상기 제 4 물질을 식각마스크로 하여 상기 제 1 도전층을 부분적으로 제거하는데, 상기 식각공정은 이방성식각과 등방성식각을 혼합하여 진행하며, 통상 이방성식각을 먼저 행한후 등방성식각을 행한다. 이는 고집적화될수록 메모리셀 사이의 간격이 좁아져 셀 사이를 구분하는 골을 형성하기 위한 식각공정시, 상기 골에서 제거되지 않고 남겨지는 물질들을 완벽하게 제거함으로써 소자의 전기적 특성 향상을 도모하기 위해서이다. 이어서, 상기 제 4 물질과 상기 혼합식각공정에 의해 제 1 도전층이 부분적으로 제거된 부분에 제 5 물질을 채워넣는데, 이는 상기 제1, 2, 3 및 4물질을 제거하기 위한 후속 공정에서 상기 비트라인 상부에 형성된 절연막의 손상을 방지하기 위해서이며, 통상 상기 제 5 물질로서 포토레지스트를 사용한다(제 5c 도).

상기 제 5 물질을 격리벽으로 하여 상기 제1, 2, 3 및 4물질을 습식식각에 의해 제거한후 상기 제 5 물질을 제거하여 스토리지전극(50b)을 완성하고(제 5d 도), 상기 스토리지전극 전면에 유전체막(60)을 도포하고 플레이트전극을 형성함으로써 커패시터를 완성한다(제 5e 도).

상술한 다른 실시예는, 상기 스토리지전극을 각각의 메모리셀 단위로 한정하기 위하여 제 4 물질 및 제 5 물질을 사용하여 실시하는데, 이는 메모리셀의 사이즈가 줄어들수록 사진식각 공정을 위해 패터닝된 포토레지스트 패턴들 사이의 간격이 좁아져서 상기 패턴들의 일부분이 건조가 덜 된 포토레지스트에 의해 붙어버리게 되는 현상을 방지하기 위한 것이다. 이때, 상기 제 4 물질은 스토리지전극을 각 셀 단위로 한정하는 역할을 하고, 상기 제 5 물질은 스토리지전극 한정후에 나머지 물질들을 제거하는데 있어서 상기 제 4 물질 사이로 드러나는 기판의 최상부가 상기 제거공정에 의해 손상되는 것을 방지하는 역할을 한다.

제 6 도는 본 발명에 의한 또 다른 실시예에 의해 제조된 반도체 메모리장치를 도시한 수직단면도로서, 스토리지전극의 밀판전극부의 하면까지 커패시터의 유효면적으로 확보하기 위한 것으로 상술한 일 실시예보다 약간 더 큰 케테시턴스를 확보할 수 있다.

상기 또 다른 실시예는, 트랜지스터가 형성되어 있는 반도체기판의 전면에 평탄화층(90), 식각저지층(92) 및 절연층(도시되지 않음)을 차례대로 적층하고, 상기 제 4a 도 내지 제 4e 도에서 설명한 공정을 진행한후, 상기 절연층을 제거하는 공정으로 진행된다.

상기 또 다른 실시예에 의해 제조된 반도체 메모리장치에 의하면, 밀판전극부 하부까지 셀커패시턴스 증가를 위한 유효면적으로 이용할 수 있기 때문에 상기 제 4a 도 내지 제 4g 도의 방법보다 약간 더 큰 셀커패시턴스를 얻을 수 있을뿐만 아니라, 밀판전극부를 평탄한 모양으로 형성할 수 있기 때문에 스토리지전극을 각 셀 단위로 한정하는 공정이 별도로 필요하지 않다(제 4f 도의 설명 참조).

제 7 도는 본 발명에 의한 또 다른 실시예에 의해 제조된 반도체 메모리장치를 도시한 수직단면도로써, 상기 일 실시예에서 제 1 도전층으로만 스토리지전극을 형성하던 것을 제 2 물질의 종류를 상기 제 1 도전층을 구성하는 물질(예컨대, 본 발명에서는 다결정실리콘)과 같게 하여 공정을 진행함으로써 상기 제 2 물질의 두께에 해당하는 만큼의 셀커패시턴스 증가를 꾀할 수 있다.

제 8 도는 본 발명에 의한 또 다른 실시예에 의해 제조된 반도체 메모리장치를 도시한 수직단면도로써, 비트라인을 평탄한 모양으로 형성함으로써 상기 비트라인의 저항을 줄일 수 있어 소자동작 특성을 개선하였다.

제 9 도는 본 발명에 의한 또 다른 실시예에 의해 제조된 반도체 메모리장치를 도시한 수직단면도로써, 스토리지전극의 밀판전극이 그 하부구조물의 굴곡을 따라 형성되는 것을 특징으로 하는데, 이는 평탄화층(제 6 도의 도면부호 90)을 형성하지 않고 상기 제 6 도에서 설명한 공정을 행하여 얻어지며, 상기 제 6 도의 반도체 메모리장치의 커패시터보다 약간 더 큰 셀커패시턴스를 얻을 수 있다.

제 10 도 및 제 11 도는 본 발명에 의한 또 다른 실시예에 의해 제조된 반도체 메모리장치의 개략적인 사시도로서, 스토리지전극의 기동전극부를 구성하는 막대들의 수가 한개 혹은 세개일때를 구분하여 도시한 것으로서, 본 발명에 의하면 상기 기동전극의 갯수를 자유롭게 조절할 수 있다는 것을 보여준다. 이때 상기 막대들의 갯수 및 모양은 제 1 물질을 패터닝하는 방법에 따라 달라질 수 있다.

따라서, 임의의 패턴 측벽에 측벽 스페이서를 형성한후 상기 측벽 스페이서를 식각마스크로 이용한 식각공정을 행하여 형성된 본 발명에 의한 고집적 반도체 메모리장치 및 그 제조방법에 의하면, 스페이서 자체가 스토리지전극을 구성하기 때문에 상기 스페이서의 날카로운 끝부분에서 누설전류가 발생하여 메모리특성을 저하시키던 종래 발명의 문제점을 방지할 수 있으며, 스토리지전극이 하나의 도전층으로 만들어지므로 종래의 식각 불균일에 의한 동일 웨이퍼에서의 셀커패시턴스 불균일성을 줄일 수 있을뿐만 아니라, 하나의 도전층으로 전극을 구성함으로써 다층의 연결에서 오는 공정의 번거로움을 피할 수 있고 기동전극의 갯수를 제 1 패턴에 의해 조절할 수 있으므로 셀커패시턴스 증가를 꾀할 수 있어 64Mb급 및 그 이상급의 DRAM셀에 적합한 셀커패시턴스를 확보할 수 있다.

본 발명이 상기 실시예에 한정되지 않으며 많은 변형이 본 발명의 기술적 사상내에서 당분야에서 통상의 지식을 가진자에 의하여 가능함은 명백하다.

**(57) 청구의 범위**

**청구항 1**

하나의 트랜지스터와 하나의 커패시터로 이루어진 메모리셀들을 매트릭스 모양으로 반도체기판에 구비한 고집적 반도체 메모리장치에 있어서, 상기 커패시터는, 복수개의 막대들로 구성된 기동전극부, 이들을 완전히 둘러싸는 외곽전극부, 및 상기 외곽전극부 및 기동전극부를 연결하는 밀판전극부로 이루어지고 상기 트랜지스터의 소오스영역과 접하는 스토리지전극, 상기 스토리지전극 전면에 도포된 유전체막, 및 상기 유전체막 상에 형성되는 플레이트전극을 구비하는 것을 특징으로 하는 고집적 반도체 메모리장치.

**청구항 2**

제 1 항에 있어서, 상기 외곽전극부는 실리던 모양인 것을 특징으로 하는 고집적 반도체 메모리장치.

**청구항 3**

제 1 항에 있어서, 상기 스토리지전극은 한 층 혹은 한 층 이상의 도전층으로 구성된 것을 특징으로 하는 고집적 반도체 메모리장치.

**청구항 4**

제 1 항에 있어서, 상기 밀판전극부는 평탄하게 형성된 것을 특징으로 하는 고집적 반도체 메모리장치.

**청구항 5**

제 1 항에 있어서, 상기 밀판전극부는 그 하부구조물의 굴곡을 따른 모양으로 형성된 것을 특징으로 하는 고집적 반도체 메모리장치.

**청구항 6**

제 1 항에 있어서, 상기 밀판전극부의 하면에도 상기 유전체막을 개재하여 상기 플레이트전극이 형성된 것을 특징으로 하는 고집적 반도체 메모리장치.

**청구항 7**

제 1 항에 있어서, 상기 고집적 반도체 메모리장치의 비트라인은 상기 커패시터 하부에 형성된 것을 특징으로 하는 고집적 반도체 메모리장치.

#### 청구항 8

제 1 항에 있어서, 상기 비트라인은 그 표면이 평탄하도록 형성된 것을 특징으로 하는 고집적 반도체 메모리장치.

#### 청구항 9

제 1 항에 있어서, 상기 고집적 반도체 메모리장치의 비트라인은 상기 커패시터 상부에 형성된 것을 특징으로 하는 고집적 반도체 메모리장치.

#### 청구항 10

반도체기판 상에 제 1 도전층을 형성하는 공정, 상기 제 1 도전층 상에 제 2 물질로 된 제 2 패턴을 형성하는 공정, 결과물 상에 제 3 물질로 된 측벽 스페이서를 형성하는 공정, 상기 측벽 스페이서를 식각마스크로 하여 상기 제 1 도전층을 식각함으로써 스토리지전극을 형성하는 공정, 상기 스토리지전극 상에 유전체막을 형성하는 공정, 및 상기 스토리지전극이 형성된 반도체기판 상에 제 2 도전층을 침적하여 플레이트전극을 형성하는 공정을 포함하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 11

제 10 항에 있어서, 상기 측벽 스페이서는 상기 제 2 패턴의 측벽에 형성되는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 12

제 10 항에 있어서, 상기 제 3 물질로, 임의의 이방성식각에 대해 상기 제 1 도전층을 구성하는 물질과는 그 식각율이 다른 물질을 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 13

제 12 항에 있어서, 상기 제 2 물질로, 임의의 이방성식각에 대해 상기 제 1 도전층을 구성하는 물질과는 그 식각율이 다른 물질을 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 14

제 13 항에 있어서, 상기 측벽 스페이서를 형성하는 공정 이후에, 상기 제 2 패턴을 제거하는 공정을 추가하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 15

제 12 항에 있어서, 상기 제 2 물질로, 상기 임의의 이방성식각에 대해 상기 제 1 도전층을 구성하는 물질과는 그 식각율이 같은 물질을 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 16

제 15 항에 있어서, 상기 제 2 물질 및 제 1 도전층을 구성하는 물질로 다결정실리콘을 사용하고 상기 제 3 물질로 산화물 및 질화물중 어느 한 물질을 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 17

제 16 항에 있어서, 상기 산화물로  $\text{SiO}_2$ 를 사용하고, 상기 질화물로  $\text{Si}_3\text{N}_4$ 를 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 18

제 10 항에 있어서, 상기 제 2 패턴은, 상기 제 1 도전층 상에 제 1 물질을 도포하는 제 1 공정, 상기 제 1 물질을 패터닝하여 제 1 패턴을 형성하는 제 2 공정, 및 제 1 패턴이 형성되어 있는 결과물 전면에서 제 2 물질을 도포하는 제 3 공정에 의해 형성되는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 19

제 18 항에 있어서, 상기 제 1 물질 및 제 3 물질로 임의의 이방성식각에 대해 상기 제 1 도전층을 구성하는 물질과는 그 식각율이 다른 물질을 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 20

제 19 항에 있어서, 제 2 물질은 상기 임의의 이방성식각에 대해 상기 제 1 도전층을 구성하는 물질과는 그 식각율이 같은 물질을 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 21

제 20 항에 있어서 상기 제 1 도전층 및 제 2 물질로 다결정실리콘을 사용하고, 상기 제 1 물질 및 제 3 물질로 산화물 및 질화물층 어느 한 물질을 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 22

제 21 항에 있어서, 상기 산화물로  $\text{SiO}_2$ 를 사용하고, 상기 질화물로  $\text{Si}_3\text{N}_4$ 를 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 23

제 20 항에 있어서, 제 1 도전층을 식각하여 스토리지전극을 형성하는 상기 공정은, 상기 제 2 물질 및 제 1 도전층을 식각대상물로 하는 한번의 식각공정으로 진행되는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 24

제 19 항에 있어서, 상기 제 2 물질로 임의의 이방성식각에 대해 상기 제 1 도전층을 구성하는 물질과 다른 식각율을 갖는 물질을 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 25

제 24 항에 있어서, 제 1 도전층을 식각하여 스토리지전극을 형성하는 상기 공정은, 상기 제 2 물질을 식각대상물로 하는 제 1 이방성식각공정과 상기 제 1 도전층을 식각대상물로 하는 제 2 이방성식각공정으로 진행되는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 26

제 18 항에 있어서, 상기 제 1 패턴은, 하나 이상의 패턴들이 서로 격리되도록 형성되는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 27

제 10 항에 있어서, 상기 측벽 스페이서를 식각마스크로 하여 제 1 도전층을 식각함으로써 스토리지전극을 형성하는 상기 공정은, 상기 측벽 스페이스를 식각마스크로 하여 제 1 도전층을 소정깊이까지 식각하는 제 1 공정, 결과물 전면에 제 4 물질을 도포하는 제 2 공정, 상기 제 4 물질을 식각하여 각 셀 단위로 상기 제 4 물질을 한정하는 제 3 공정, 각 셀 단위로 한정된 상기 제 4 물질을 식각마스크로 하여 제 1 도전층을 식각함으로써 각 셀 단위로 상기 스토리지전극을 한정하는 제 4 공정, 상기 제 1 도전층이 부분적으로 제거된 공간에 제 5 물질을 채우는 제 5 공정, 및 상기 제 5 물질을 보호막으로 하여 스토리지전극 상에 남겨진 물질들을 제거한후 제 5 물질을 제거하는 제 6 공정으로 진행되는 것을 특징으로 하는 고집적 반도체 메모리의 제조방법.

#### 청구항 28

제 27 항에 있어서, 상기 제 4 물질로 임의의 식각공정에 대해 상기 제 1 도전층을 구성하는 물질과는 그 식각율이 다른 물질을 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 29

제 27 항에 있어서, 상기 제 5 물질로, 임의의 식각공정에 대해 제 1 도전층 및 상기 제 1 도전층 상에 적층되어 있는 물질들과는 그 식각율이 다른 물질을 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 30

제 29 항에 있어서, 상기 제 5 물질로 포토레지스트를 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 31

제 10 항에 있어서, 제 1 도전층을 형성하기 전에 상기 반도체기판 상에 식각저지층 및 절연층을 순차적으로 적층하는 공정을 진행하고, 측벽 스페이서를 식각마스크로 하여 상기 제 1 도전층을 식각한후 상기 절연층을 부분적으로 제거하는 공정을 진행하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 32

제 31 항에 있어서, 상기 식각저지층을 구성하는 물질로, 질화물을 사용하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 33

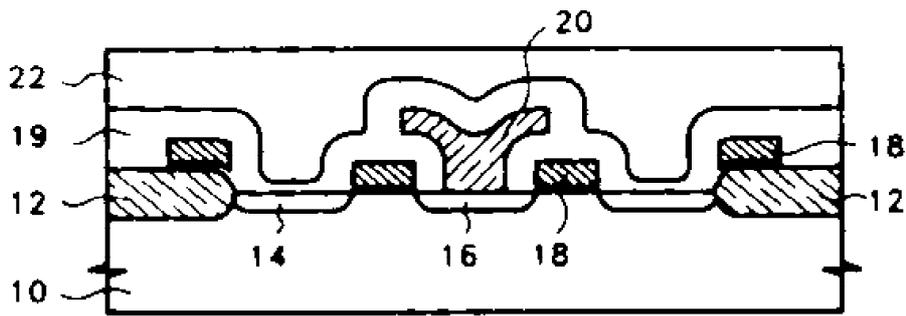
제 31 항에 있어서, 상기 식각저지층 하부에 그 표면이 평탄한 평탄화층을 추가로 형성하는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

#### 청구항 34

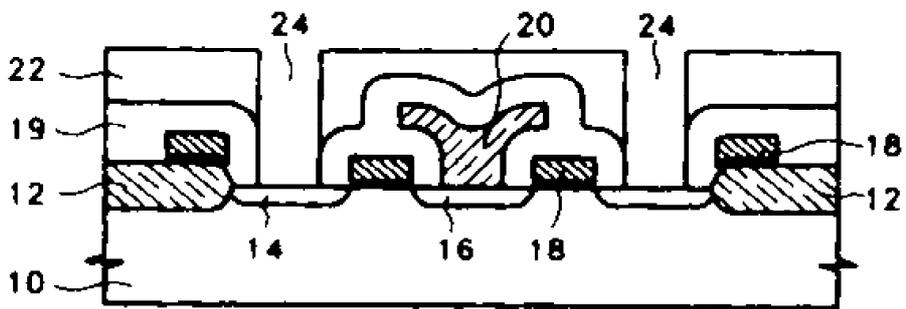
제 31 항에 있어서, 상기 절연층은 이방성식각 공정을 행하여 제거되는 것을 특징으로 하는 고집적 반도체 메모리장치의 제조방법.

도면

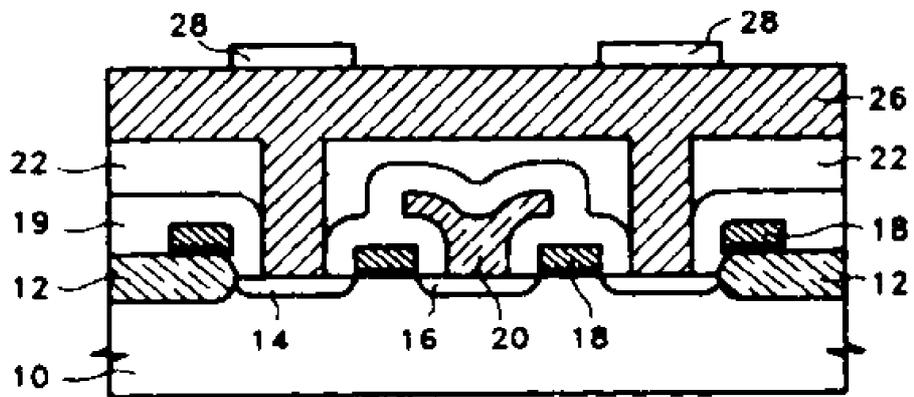
도면1A



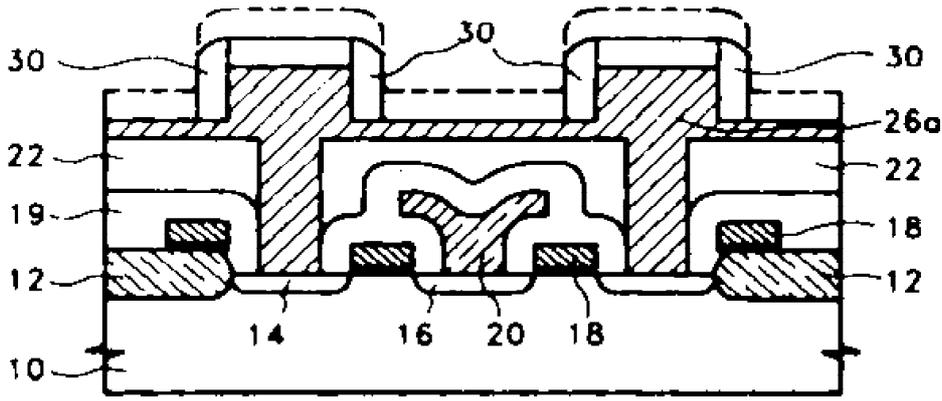
도면1B



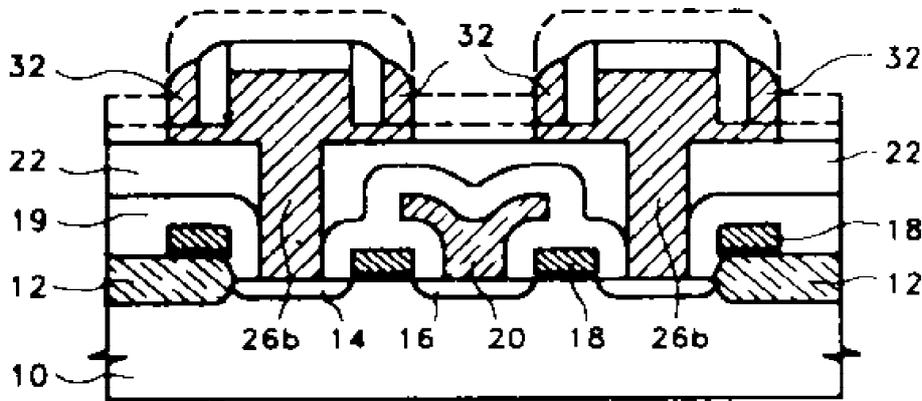
도면1C



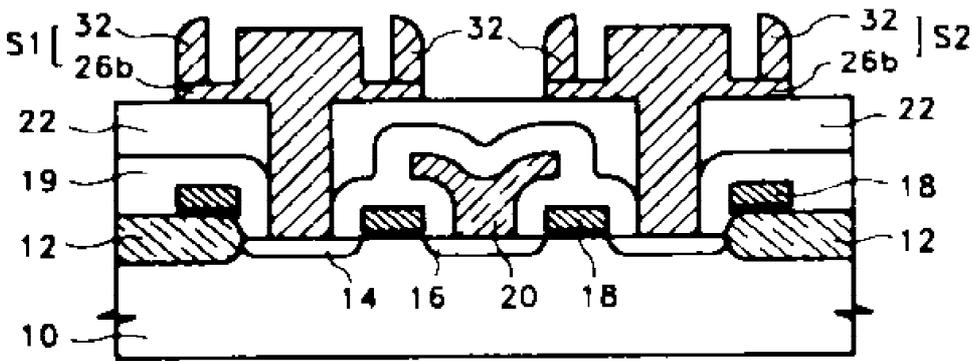
도면 10



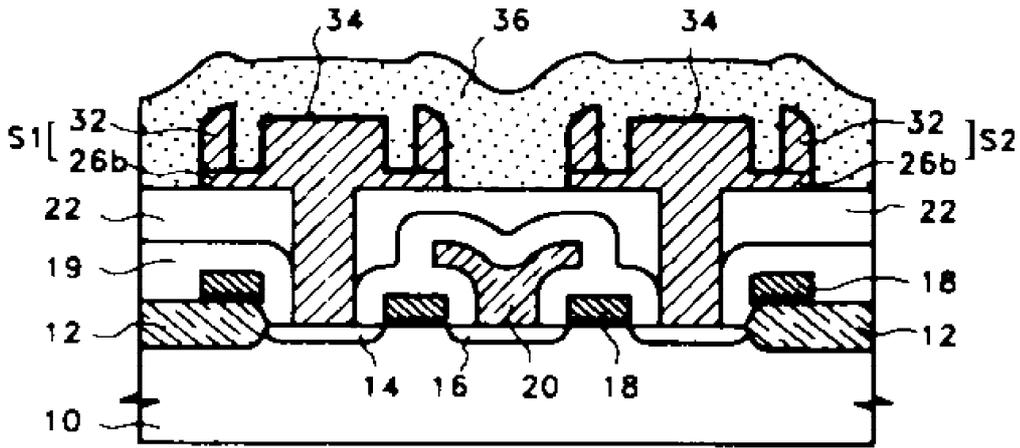
도면 1E



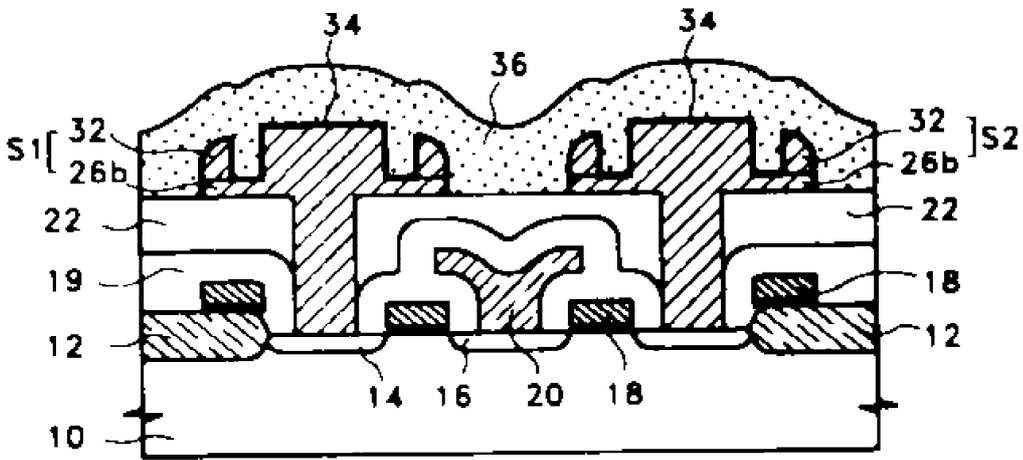
도면 1F



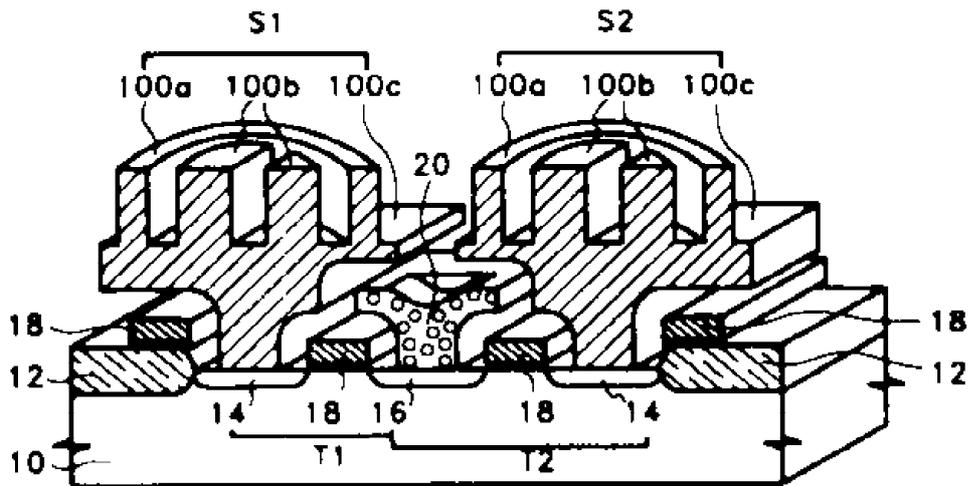
도면1G



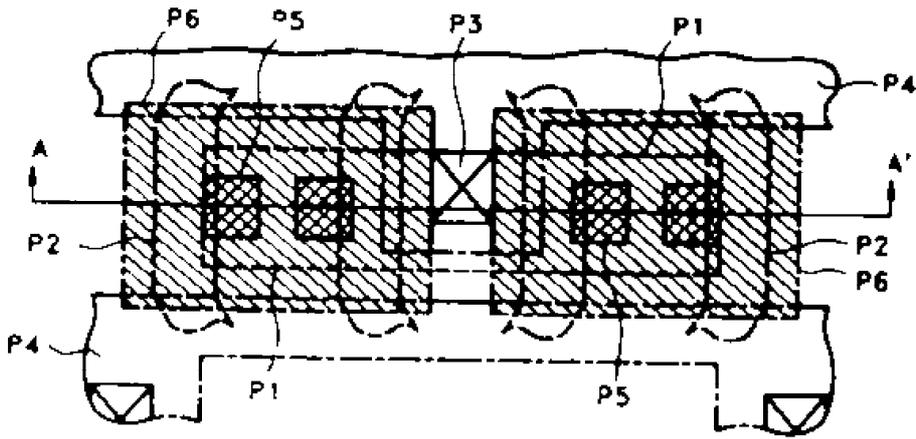
도면1H



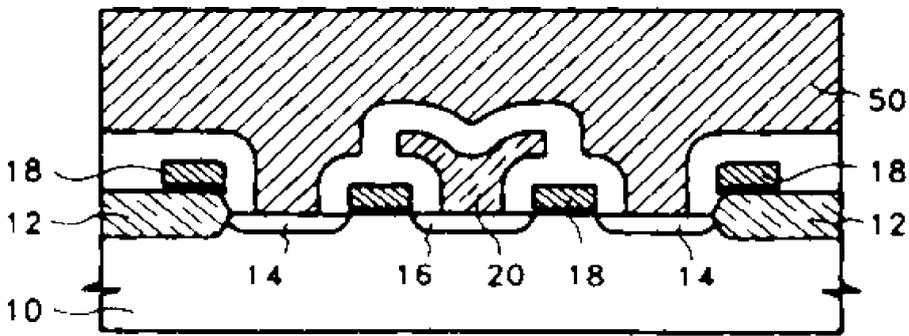
도면2



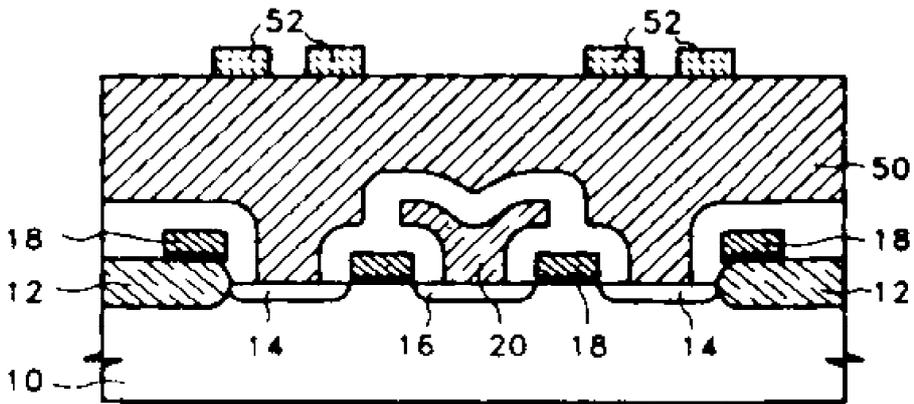
도면3



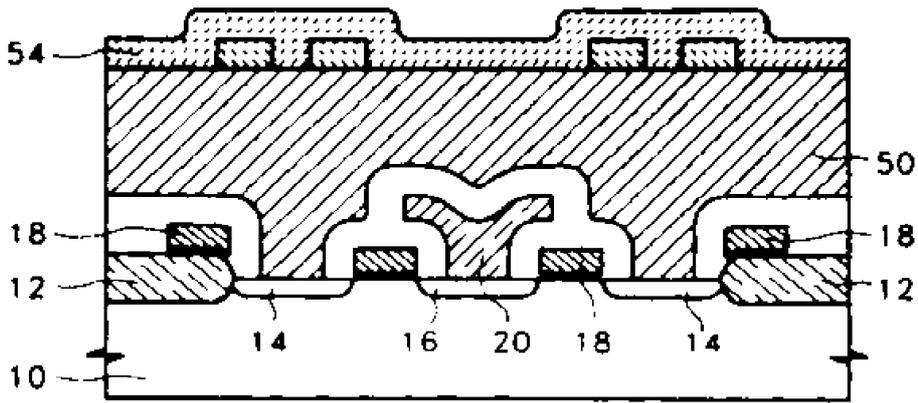
도면4A



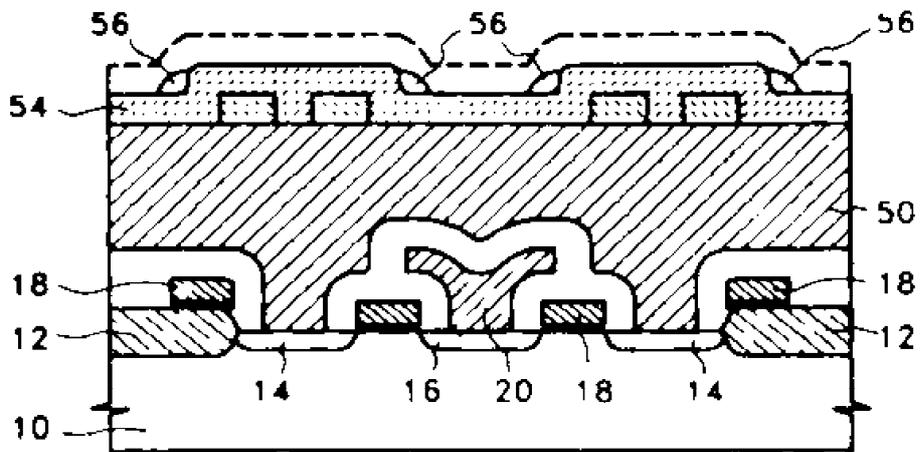
도면4B



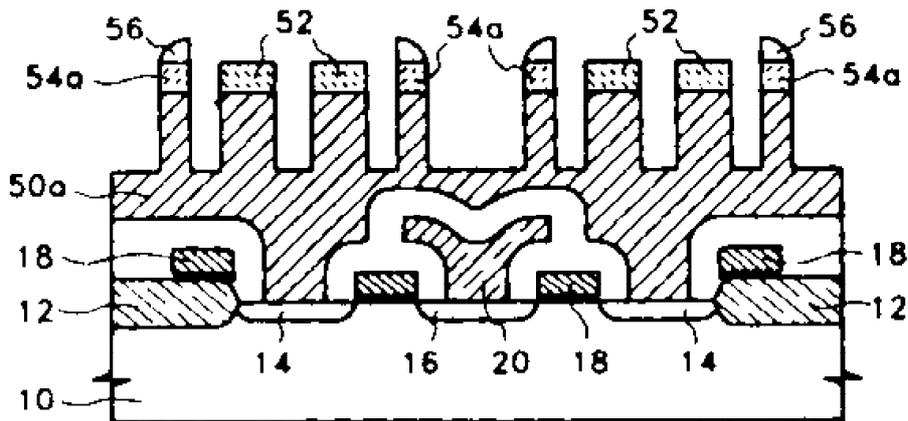
도면4C



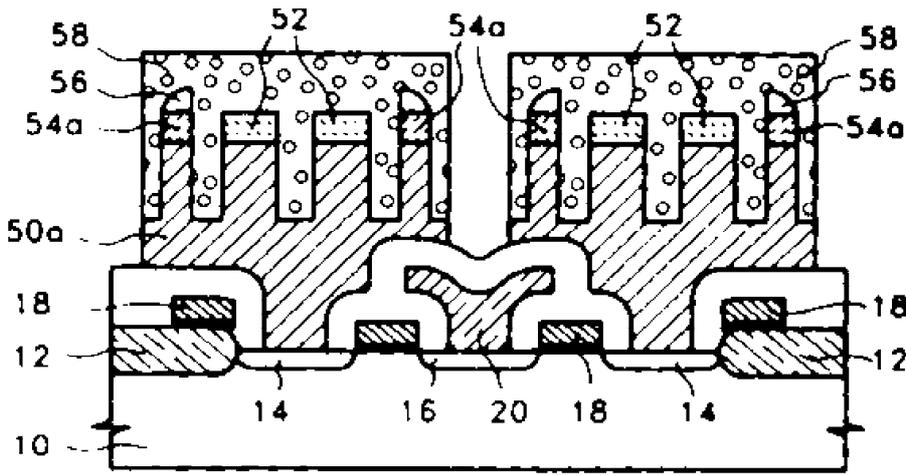
도면4D



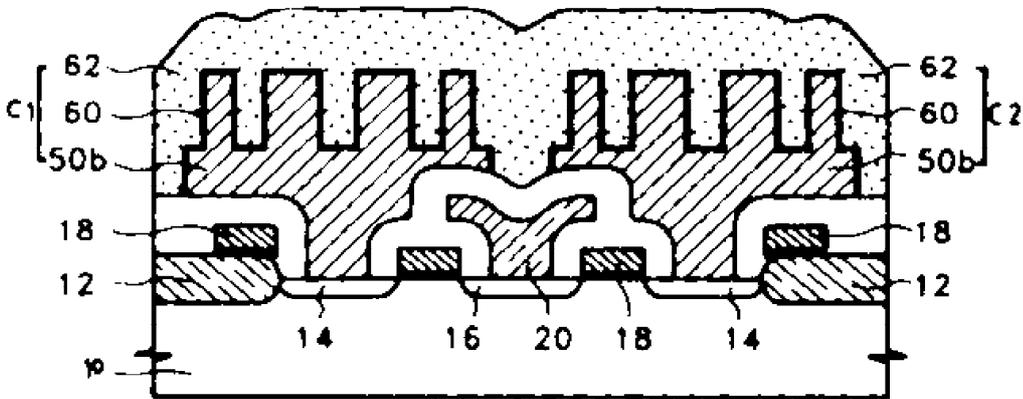
도면4E



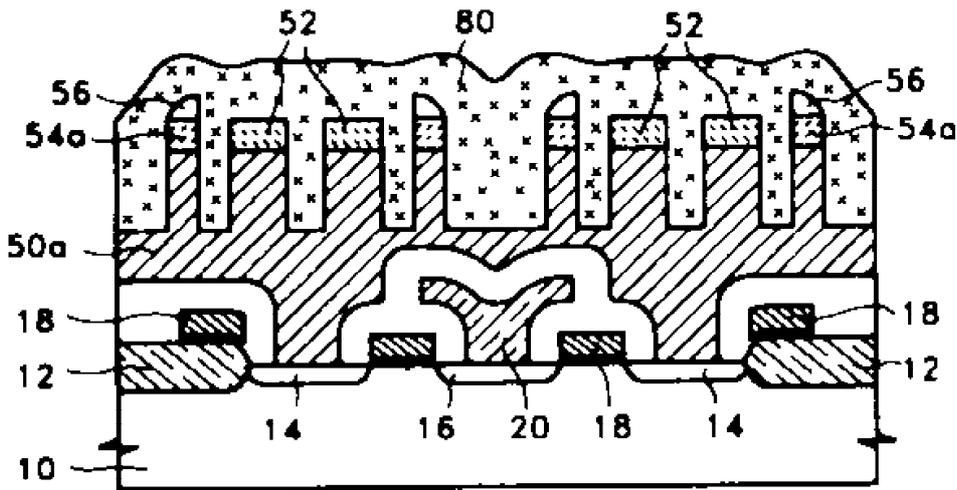
도면4F



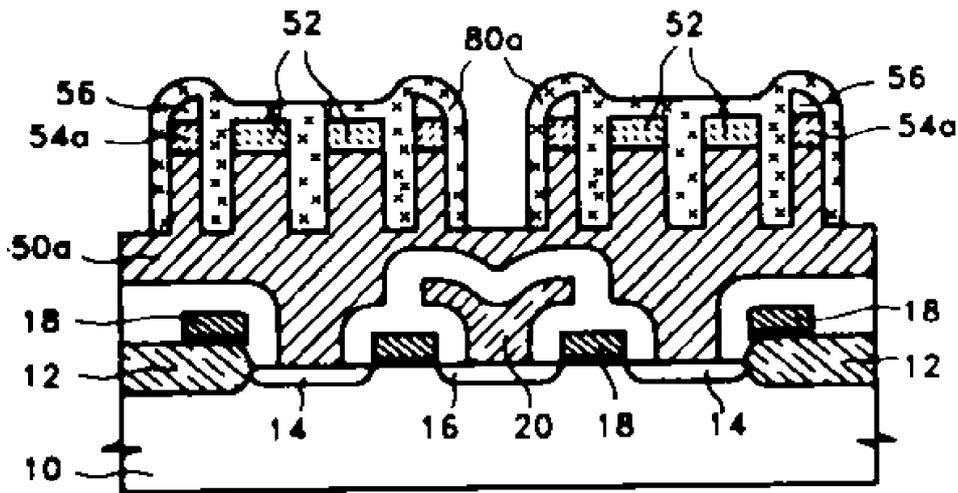
도면4G



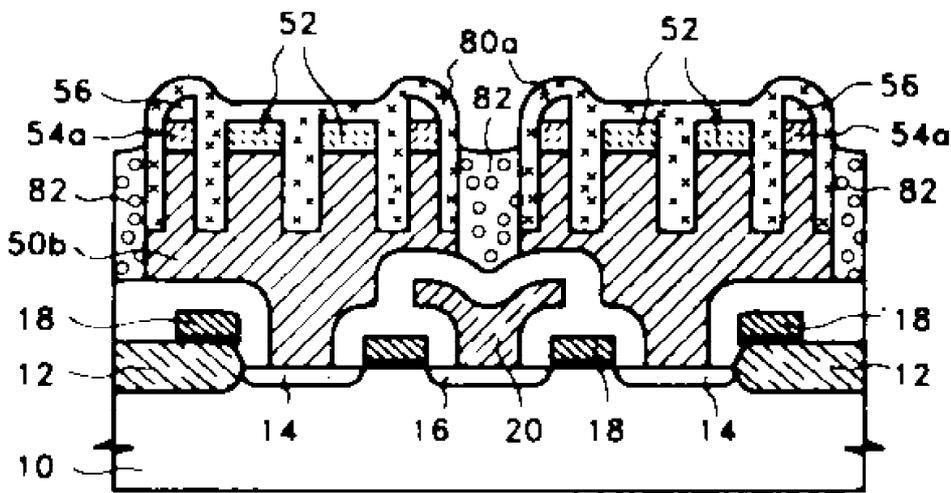
도면5A



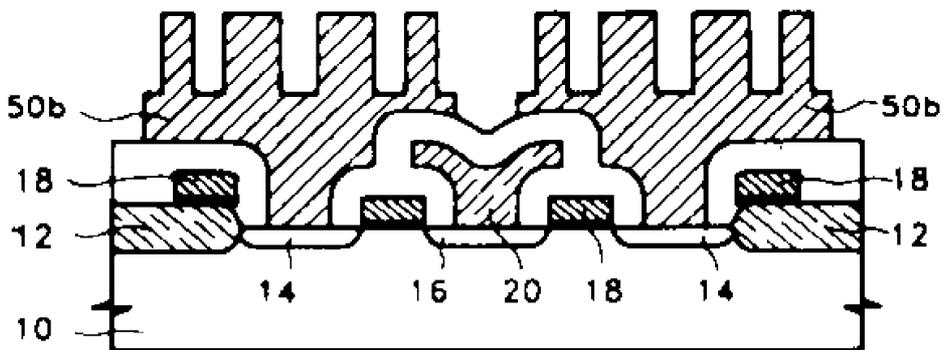
도면58



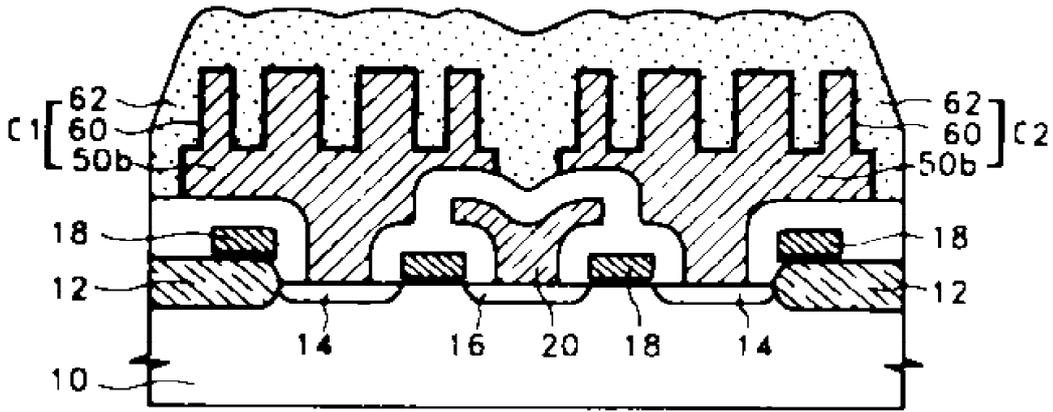
도면59



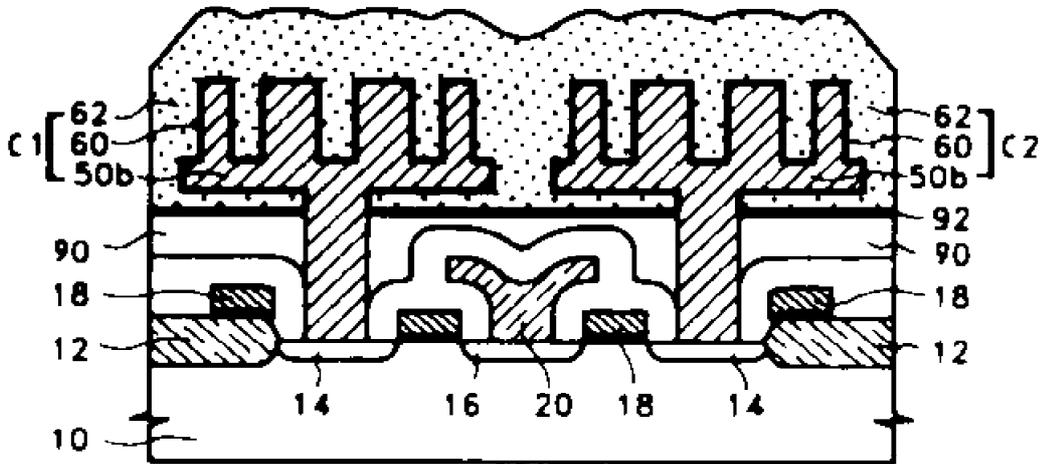
도면50



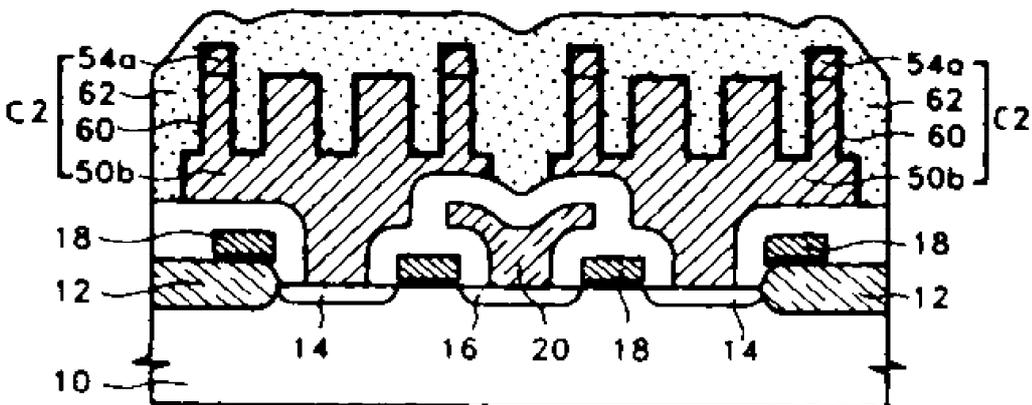
도면5E



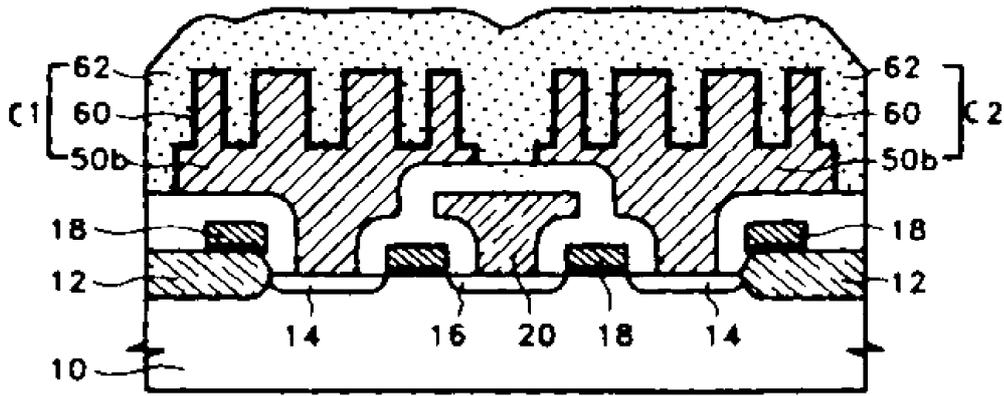
도면6



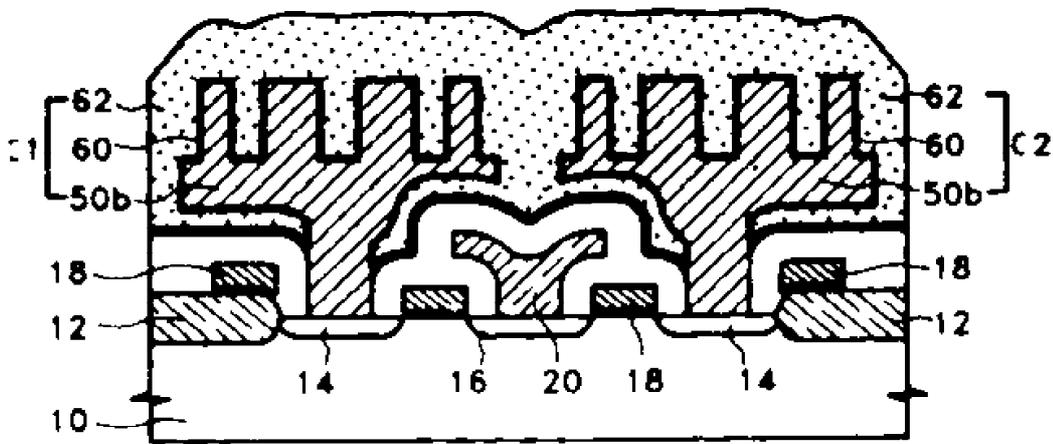
도면7



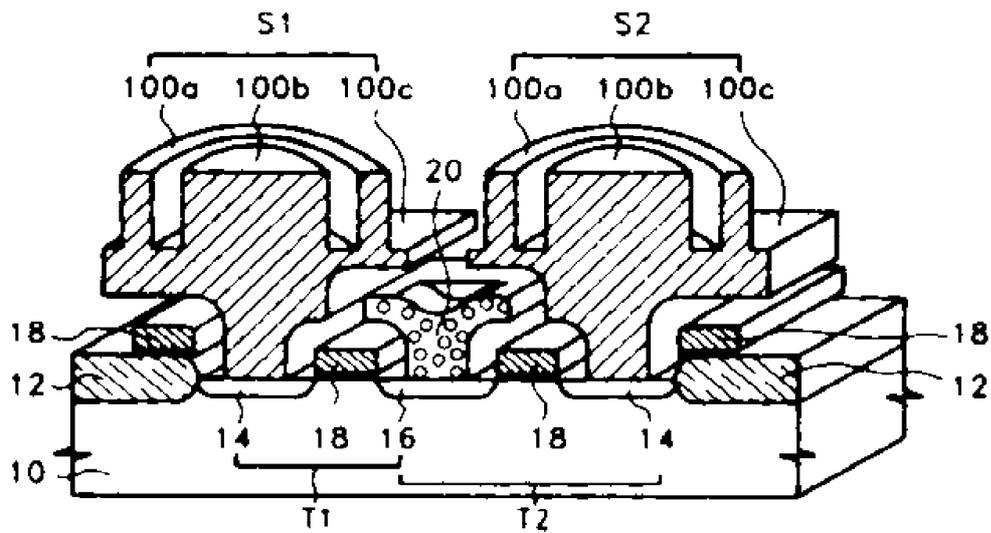
도면8



도면9



도면10



도면11

