



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I416613 B

(45) 公告日：中華民國 102 (2013) 年 11 月 21 日

(21) 申請案號：099116501

(22) 申請日：中華民國 99 (2010) 年 05 月 24 日

(51) Int. Cl. : H01L21/304 (2006.01)

H01L23/544 (2006.01)

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.

(TW)

新竹市新竹科學工業園區力行路 16 號

(72) 發明人：葉巧雯 YEH, CHIAO WEN (TW)；黃志豪 HUANG, CHIH HAO (TW)

(74) 代理人：詹銘文；蕭錫清

(56) 參考文獻：

TW 395015

TW 418459

TW 466678

US 2002/0005594A1

US 2005/0101107A1

US 2009/0146325A1

審查人員：王安邦

申請專利範圍項數：17 項 圖式數：14 共 0 頁

(54) 名稱

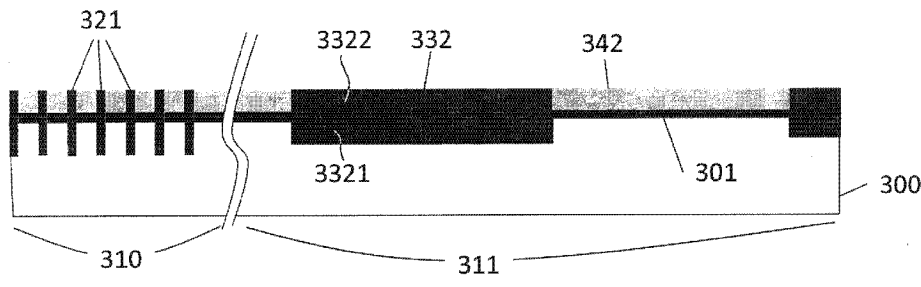
保護對準標記的方法及以此方法形成的半導體元件

METHOD OF ALIGNMENT MARK PROTECTION AND SEMICONDUCTOR DEVICE FORMED THEREBY

(57) 摘要

一種在平坦化製程中防止對準標記受損的方法包括：提供一基板，在基板中形成多個對準標記溝渠，在基板上形成第一介電層，在第一介電層上形成第二介電層，圖案化第二介電層以暴露出相對於對準標記溝渠的第一介電層，以形成一圖案化的第二介電層，其中對準標記溝渠及圖案化的第二介電層界定出多個開口，在圖案化的第二介電層上形成一第三介電層，且第三介電層填滿開口，以及利用圖案化的第二介電層做為終止層，將第三介電層平坦化，在開口中形成殘留的第三介電層。

A method of protecting alignment marks from damage in a planarization process includes providing a substrate, forming alignment mark trenches in the substrate, forming a first dielectric layer on the substrate, forming a second dielectric layer on the first dielectric layer, patterning the second dielectric layer to expose the first dielectric layer associated with the alignment mark trenches, resulting in a patterned second dielectric layer, wherein openings are defined by the alignment mark trenches and the patterned second dielectric layer, forming a third dielectric layer on the patterned second dielectric layer, the third dielectric layer filling the openings, and planarizing the third dielectric layer by using the patterned second dielectric layer as a stop layer, resulting in residual third dielectric in the openings.



- 300 . . . 基板
- 301 . . . 第一介電層
- 310 . . . 第一區域
- 311 . . . 第二區域
- 321 . . . STI 特徵
- 332 . . . 第三介電層
- 342 . . . 導體層

圖 3g

六、發明說明：

【發明所屬之技術領域】

本發明一般是關於半導體的製造方法，特別是關於一種在平坦化製程中防止對準標記受損的方法以及以此方法形成的半導體元件。

【先前技術】

製造積體電路(integrated circuit, IC)的重點之一是在半導體構件的製造中將多個層(layer)互相對準(align)。也就是，將每一層精確地對準，以使得形成於其中的電路與設計相符並能正常地運作。然而，隨著半導體元件的尺寸縮減，對準每一層的精確度是製程中相當重要的關鍵。

層與層的對準通常會搭配使用被稱為步進器(stepper)的工具。藉由步進器，可自裝載於步進器的光罩(mask)或標線(reticle)將電路圖案投影至半導體晶圓上的膜層上。通常，已被圖案化的晶圓係相對於光罩來放置或對準。利用先前製程中已被界定於晶圓上的對準標記(alignment mark)，可完成對準，且可執行隨後的步驟，例如投影圖案(pattern)至半導體晶圓上。

圖 1 繪示在基板 10 中的對準標記區域 11 的上視圖。主動區域 13、對準標記區域 11 及多個對準標記溝渠(alignment mark trench)12 可覆蓋在基板 10 上。對準標記溝渠 12 可以任選的十字(cross)圖案排列並形成於對準標記區域 11 中。此外，鄰近的對準標記溝渠 12 之間可界定

出對準標記的平頂(flattop)14。

當晶圓上形成更多層時，為了在中段的製程中 將晶圓的表面構形(topography)平坦化，可使用全面性(global)平坦化技術，例如化學機械研磨(chemical and mechanical polish, CMP)，化學機械研磨包括將表面化學蝕刻及/或機械拋光/研磨。然而，化學機械研磨或其他平坦化製程，可能會損害晶圓上的對準標記，而造成負載效應(loading effect)，其將於圖 2a 至 2f 討論。

請參照圖 2a，提供基板 200，基板 200 可為 p 型(p-type)或 n 型(n-type)。基板 200 可區分為主動區域(active area)210 及預定義的(predefined)對準標記區域 211。主動區域 210 上可用來形成電子元件特徵；預定義的對準標記區域 211 則具有對準標記溝渠 207。對準標記溝渠 207 可利用電漿(plasma)蝕刻來形成。對準標記溝渠 207 具有一所需深度，其與對準輻射波長(alignment radiation wavelength)的函數，例如 $\lambda/4$ 有關。

然後，在基板 200 上長出薄氧化層 201。接著，在氧化層 201 上形成氮化矽(Si_3N_4)層 202。

請參照圖 2b，藉由微影(photolithographic)圖案化及蝕刻，在主動區域 210 形成圖案化的氮化矽層 208，以定義出淺溝渠隔離(shallow trench isolation, STI)區域 220。

請參照圖 2c，將氧化層 230 沉積在氮化矽層 202 及 208 上，以填滿 STI 區域 220，形成 STI 特徵 221。

請參照圖 2d，以蝕刻製程將部份的氧化層 230 移除，

留下對準標記溝渠 207 上的氧化層 231，之後，再進行平坦化製程。平坦化可包括一殘留物移除製程，例如 CMP 製程，藉由鹼性溶劑(basic solvent)、研磨粒及懸浮液(suspension fluid)混合所形成的研磨液(slurry)濕潤研磨墊來研磨晶圓的表面，完成 CMP 製程。CMP 製程可進行至到達終止層，例如氮化矽層 202。

請參照圖 2e，然後將殘留的氧化物 231 及氮化矽層 202 移除。接著，沉積多晶矽層(polysilicon layer)240。

請參照圖 2f，以 STI 氧化物 221 做為終止層，進行另一平坦化製程例如 CMP 時，由於氧化物 221 比多晶矽 240 堅硬很多，可能因而發生負載效應而損害對準標記。

【發明內容】

本發明之實施例可提供一種在平坦化(planarization)製程中防止對準標記(alignment mark)受損的方法。此方法包括提供一基板(substrate)，此基板包括第一區域及第二區域，在第二區域的基板中形成多個對準標記溝渠(alignment mark trench)，在基板上形成第一介電層，在第一介電層上形成第二介電層，移除在對準標記溝渠上方的第二介電層，並在基板的第一區域中形成一圖案化的(patterned)區域，以形成一圖案化的第二介電層，其中對準標記溝渠及圖案化的第二介電層界定出多個開口，且圖案化的區域暴露出基板的多個部分，通過暴露的部分蝕刻基板，在圖案化的第二介電層上形成一第三介電層，以圖案化的第二介

電層做為終止層(stop layer)，平坦化第三介電層，以在第一區域形成多個隔離特徵(isolation feature)，並在第二區域的開口中形成殘留的(residual)第三介電層。

本發明之實施例可提供一種在平坦化製程中防止對準標記受損的方法。此方法包括提供一基板，在基板中形成多個對準標記溝渠，在基板上形成一第一介電層，在第一介電層上形成一第二介電層，圖案化第二介電層，以暴露出相對於對準標記溝渠的第一介電層，以形成一圖案化的第二介電層，其中對準標記溝渠及圖案化的第二介電層界定出多個開口，在圖案化的第二介電層上形成一第三介電層，第三介電層填滿開口，以圖案化的第二介電層做為終止層，平坦化第三介電層，在開口中形成殘留的第三介電層。

本發明之實施例可提供一種半導體元件。此半導體元件具有一結構。此結構用以在平坦化製程中保護對準標記，防止其受損。此半導體元件包括一基板、多個隔離特徵及多個對準標記。此基板包括一第一區域及一第二區域，第一區域及第二區域彼此分隔。隔離特徵位於第一區域上，以及多個對準標記位於第二區域上，其中對準標記及隔離特徵在基板之上彼此齊平。

在隨後的說明書之一部分中，將闡明本發明之額外的特徵及優點，且說明書的此部分是很明顯的，或可從實現本發明而得。藉由隨後的申請專利範圍中所特別指出的元素或組合的方式，將可實現或得到本發明之額外的特徵及

優點。

可瞭解的是，上述的概略說明及下列的詳細說明僅為示範性及解釋性質，並不會對本發明之申請專利範圍有所限制。

【實施方式】

下文特舉實施例，並配合所附圖式對本發明之實施例作詳細說明如下。在可能之處，圖式中相同的標號表示相同或類似的部件。

圖 3a 至 3g 繪示為本發明之實施例之保護對準標記的方法之剖面圖。請參照圖 3a，提供基板 300，基板 300 可為 p 型(p-type)或 n 型(n-type)。基板 300 可包括第一區域 310 及一個或多個第二區域 311，第一區域 310 上有元件特徵(device feature)，而第二區域 311 具有對準標記溝渠 307。第一區域 310 及第二區域 311 可彼此分隔。此外，對準標記溝渠 307 可藉由圖案化及蝕刻製程或其他適用的製程來形成。在 75-奈米(nanometer, nm)快閃記憶體(flash memory)製程之實施例中，每一溝渠 307 的深度約為 1200 埃(angstrom, Å)。

然後，藉由例如是熱氧化(thermal oxidation)製程，在基板 300 上形成第一介電層 301。在一實施例中，第一介電層 301 可包括氧化矽，例如二氧化矽(SiO₂)或氮氧化矽(SiON)。此外，在 75-奈米製程之實施例中，第一介電層 301 的厚度可約為 50 至 150 埃。

接著，藉由沉積(deposition)製程，在第一介電層 301 上形成第二介電層 302。在一實施例中，第二介電層 302 可包括氮化矽(Si_3N_4)並其厚度約為 1400 至 1800 埃。

請參照圖 3b，藉由微影(photolithographic)圖案化及蝕刻製程，可形成圖案化的第二介電層 312。圖案化的第二介電層 312 可包括圖案化的區域 308，圖案化的區域 308 位於第一區域 310，其暴露出基板 300 的部分 320。再者，在蝕刻製程中，對準標記溝渠 307 上方的第二介電層 312 可被移除，以暴露出對準標記溝渠 307 中的第一介電層 301。因此，第二區域 311 上的圖案化的第二介電層 312 以及對準標記溝渠 307 可界定出開口 309。

接著，通過暴露的部分 320 蝕刻基板 300，來形成淺溝渠隔離(shallow trench isolation, STI)特徵。

請參照圖 3c，在圖案化的第二介電層 312 上形成第三介電層 330，以在第一區域 310 形成 STI 特徵 321。在本發明之一實施例中，第三介電層 330 可包括氧化矽或氮氧化矽，且其厚度約為 3000 至 4000 埃。

請參照圖 3d，以圖案化的第二介電層 312 為終止層，透過第一平坦化製程，例如化學機械研磨(CMP)製程，移除部分第三介電層 330，保留開口 309 中的第三介電層 332。

請參照圖 3e，可移除圖 3d 中的圖案化的第二介電層 312。殘留的第三介電層 332 可因此作為對準標記。

接著，請參照圖 3f，藉由例如是沉積製程，在第一介電層 301、STI 特徵 321 及殘留的第三介電層 332 上形成導

體層 340，例如是多晶矽層。在一實施例中，導體層 340 的厚度約為 3000 至 4000 埃。

請參照圖 3g，以 STI 特徵 321 或殘留的第三介電層 332 至少其中之一做為終止層，透過第二平坦化製程，例如 CMP 製程，來形成圖案化的導體層 342。在第二平坦化製程之後，殘留的第三介電層 332、STI 特徵 321 及圖案化的導體層 342 在基板 300 上彼此齊平。此外，殘留的第三介電層 332 可包括第一部份 3321 及第二部份 3322，其中第一部份 3321 在基板 300 之中，第二部份 3322 在基板 300 之上。

所屬技術領域中具有通常知識者可瞭解的是，在不脫離本發明之廣泛且深入的概念內，當可對實施例作些許之改變。可瞭解的是，因此，本發明不限於在此揭露的特定實施例，本發明意旨涵蓋在不脫離隨後的申請專利範圍所界定的本發明之精神和範圍內的更動。

此外，在描述本發明之示範性實施例時，實施方式以特定的步驟次序來說明本發明之方法或製程。然而，該方法或製程無須依循在此闡明的特定的步驟次序，該方法或製程不應限於上述的特定的步驟次序。所屬技術領域中具有通常知識者可瞭解的是，其他步驟次序亦是合理的。因此，在實施例中所闡明的特定的步驟次序不應被解釋為申請專利範圍上的限制。此外，針對本發明之方法或製程的申請專利範圍不應限於上述的步驟次序所達成的效果，所屬技術領域中具有通常知識者能夠理解，在不脫離申請專

本發明之精神和範圍內，此次序是可改變的。

【圖式簡單說明】

圖 1 繪示為在基板中的對準標記區域的上視圖。

圖 2a 至 2f 繪示為習知半導體製造方法的剖面圖，其中平坦化製程損害對準標記。

圖 3a 至 3g 繪示為根據本發明之實施例之保護對準標記之方法的剖面圖。

【主要元件符號說明】

- 10、200、300：基板
- 11、211：對準標記區域
- 13、210：主動區域
- 12、207、307：對準標記溝渠
- 14：對準標記平頂
- 201、230、231：氧化層
- 202、208：氮化矽層
- 220：淺溝渠隔離區域
- 221：STI 氧化物
- 240：多晶矽層
- 301：第一介電層
- 302、312：第二介電層
- 308：圖案化的區域
- 309：開口

310：第一區域

311：第二區域

320：暴露部分

321：STI 特徵

330、332、3321、3322：第三介電層

340、342：導體層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99/116501

H01L 21/304 (2006.01)

※ 申請日： 99. 5. 24

※IPC 分類：

(H01L 23/154) (2006.01)

一、發明名稱：

保護對準標記的方法及以此方法形成的半導體元件 /
METHOD OF ALIGNMENT MARK PROTECTION AND
SEMICONDUCTOR DEVICE FORMED THEREBY

二、中文發明摘要：

一種在平坦化製程中防止對準標記受損的方法包括：提供一基板，在基板中形成多個對準標記溝渠，在基板上形成第一介電層，在第一介電層上形成第二介電層，圖案化第二介電層以暴露出相關於對準標記溝渠的第一介電層，以形成一圖案化的第二介電層，其中對準標記溝渠及圖案化的第二介電層界定出多個開口，在圖案化的第二介電層上形成一第三介電層，且第三介電層填滿開口，以及利用圖案化的第二介電層做為終止層，將第三介電層平坦化，在開口中形成殘留的第三介電層。

三、英文發明摘要：

A method of protecting alignment marks from damage in a planarization process includes providing a substrate, forming alignment mark trenches in the substrate, forming a

first dielectric layer on the substrate, forming a second dielectric layer on the first dielectric layer, patterning the second dielectric layer to expose the first dielectric layer associated with the alignment mark trenches, resulting in a patterned second dielectric layer, wherein openings are defined by the alignment mark trenches and the patterned second dielectric layer, forming a third dielectric layer on the patterned second dielectric layer, the third dielectric layer filling the openings, and planarizing the third dielectric layer by using the patterned second dielectric layer as a stop layer, resulting in residual third dielectric in the openings.

四、指定代表圖：

- (一) 本案之指定代表圖：圖 3g
- (二) 本代表圖之元件符號簡單說明：
 - 300：基板
 - 301：第一介電層
 - 310：第一區域
 - 311：第二區域
 - 321：STI 特徵
 - 332：第三介電層
 - 342：導體層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

七、申請專利範圍：

1. 一種在平坦化製程中防止對準標記受損的方法，該方法包括：

提供一基板，其包括一第一區域及一第二區域；

形成多個溝渠，該些溝渠自該第二區域的一表面延伸至該基板中；

在該基板上形成一第一介電層；

在該第一介電層上形成一第二介電層；移除該第一介電層及該第二介電層的多個部分以暴露出該基板的該第一區域中的多個部分，並移除在該第二區域中的該些溝渠上方的該第二介電層，以形成一圖案化的第二介電層，該第二區域中的該些溝渠及該圖案化的第二介電層界定出多個開口；

通過該些暴露的部分，蝕刻該基板；

在該圖案化的第二介電層上形成一第三介電層；以及

以該圖案化的第二介電層做為終止層，平坦化該第三介電層，以在該第一區域形成多個隔離特徵，並在該第二區域的該些開口中形成殘留的第三介電層，其中該殘留的第三介電層包括一第一部份及一第二部份，該第一部份在該基板之中，該第二部份在該基板之上。

2. 如申請專利範圍第 1 項所述之在平坦化製程中防止對準標記受損的方法，在平坦化該第三介電層之後，更包括：

移除該圖案化的第二介電層；

在該些隔離特徵及該殘留的第三介電層上形成一導體層；以及

以該些隔離特徵及該殘留的第三介電層其中之一做為終止層，平坦化該導體層。

3. 如申請專利範圍第 2 項所述之在平坦化製程中防止對準標記受損的方法，其中該些隔離特徵及該殘留第三介電層的該第二部份彼此齊平。

4. 如申請專利範圍第 1 項所述之在平坦化製程中防止對準標記受損的方法，其中該第一介電層及該第三介電層分別包括氧化矽及氮氧化矽其中之一。

5. 如申請專利範圍第 1 項所述之在平坦化製程中防止對準標記受損的方法，其中該第二介電層包括氮化矽。

6. 一種在平坦化製程中防止對準標記受損的方法，該方法包括：

提供一基板，該基板包括一表面；

形成多個溝渠，該溝渠自該表面延伸至該基板中；

在該基板上形成一第一介電層；

在該第一介電層上形成一第二介電層；

移除該些溝渠上方的該第二介電層，以形成一圖案化

的第二介電層，該些溝渠及該圖案化的第二介電層界定出多個開口；

在該圖案化的第二介電層上形成一第三介電層，該第三介電層填滿該些開口；以及

以該圖案化的第二介電層做為終止層，平坦化該第三介電層，在該些開口中形成殘留的第三介電層，其中該殘留的第三介電層包括一第一部份及一第二部份，該第一部份在該基板之中，該第二部份在該基板之上。

7. 如申請專利範圍第 6 項所述之在平坦化製程中防止對準標記受損的方法：

移除該圖案化的第二介電層；

在該第一介電層及該殘留的第三介電層上形成一導體層；以及

以該殘留的第三介電層以做為終止層，平坦化該導體層。

8. 如申請專利範圍第 6 項所述之在平坦化製程中防止對準標記受損的方法，其中圖案化該第二介電層更包括：

移除在該些溝渠之上的一第二介電層；以及

在該基板的一主動區域上形成一圖案化的區域，其中該圖案化的區域暴露出該基板的多個部分。

9. 如申請專利範圍第 8 項所述之在平坦化製程中防

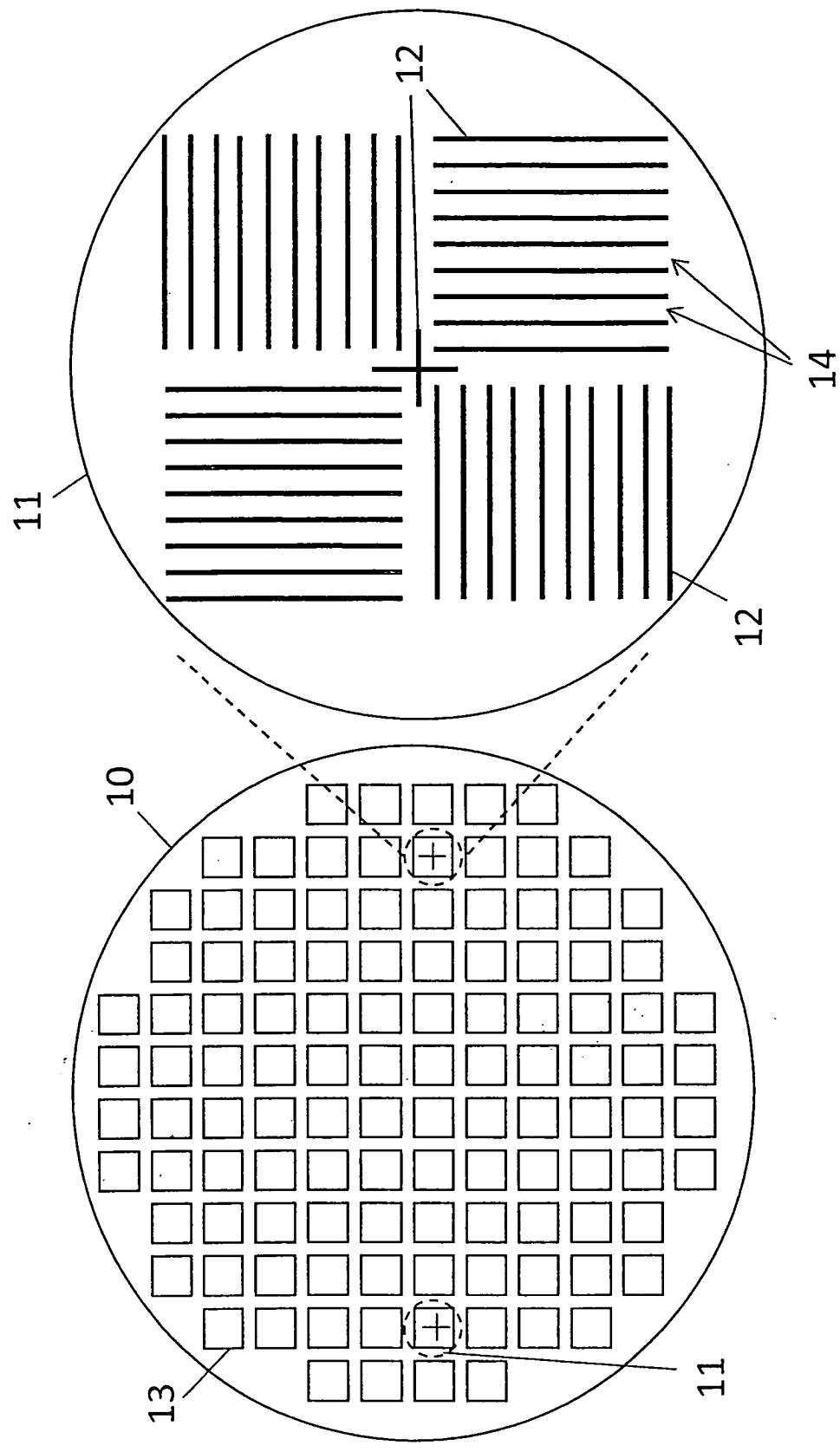


圖1

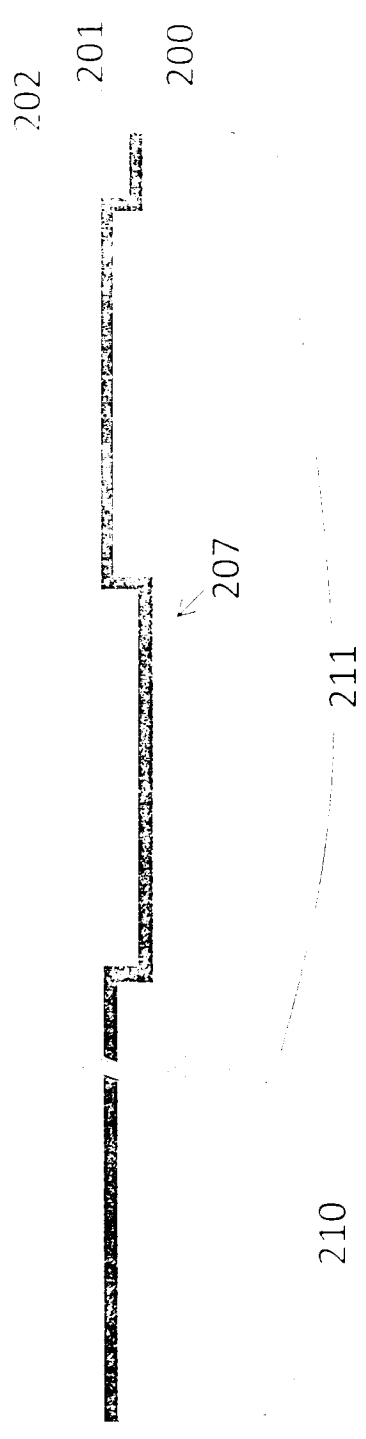


圖 2a

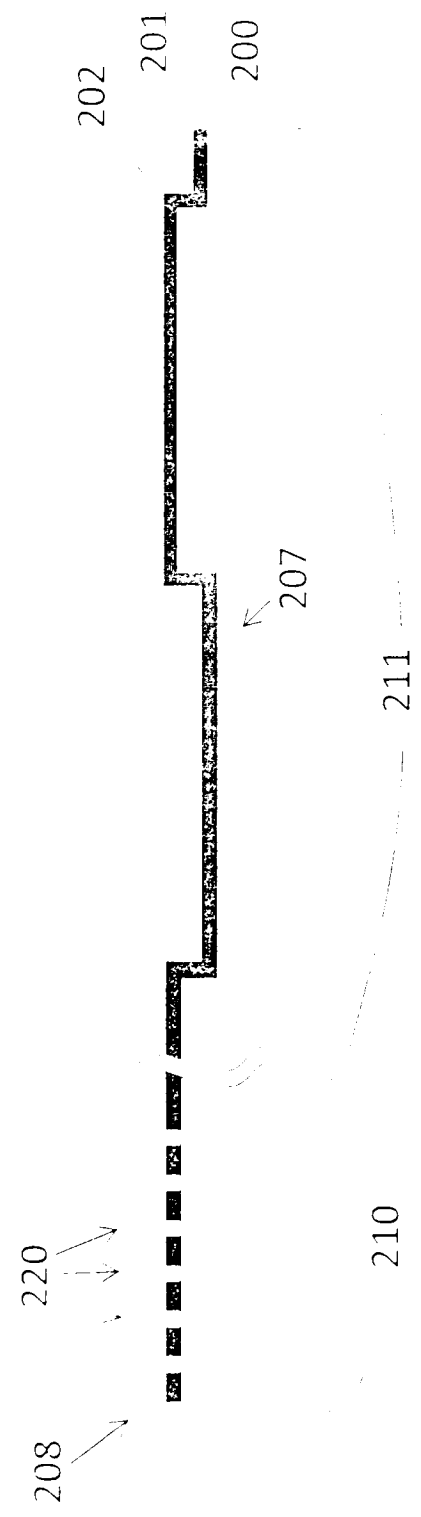


圖 2b

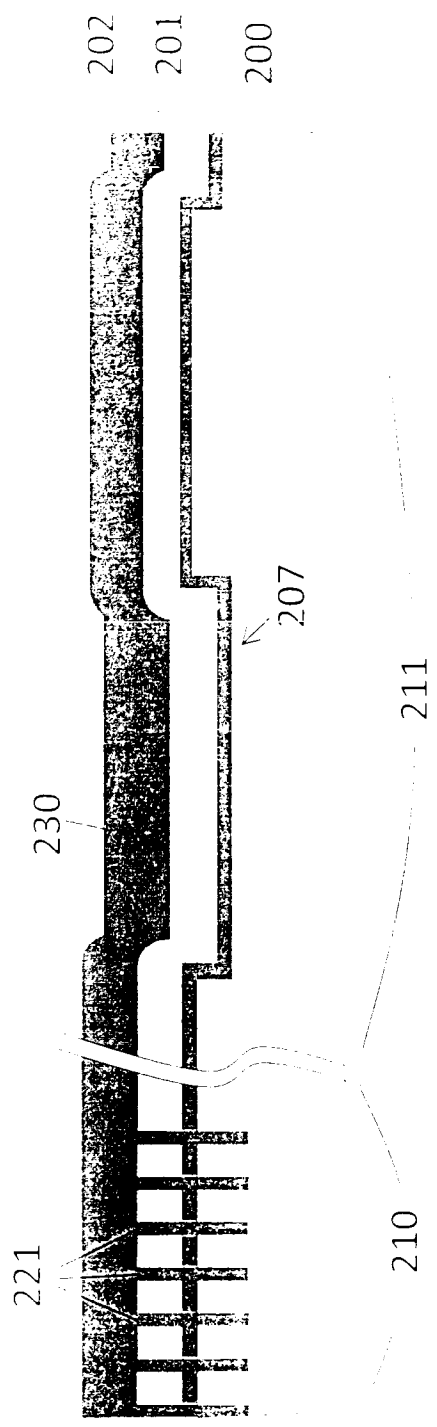


圖 2c

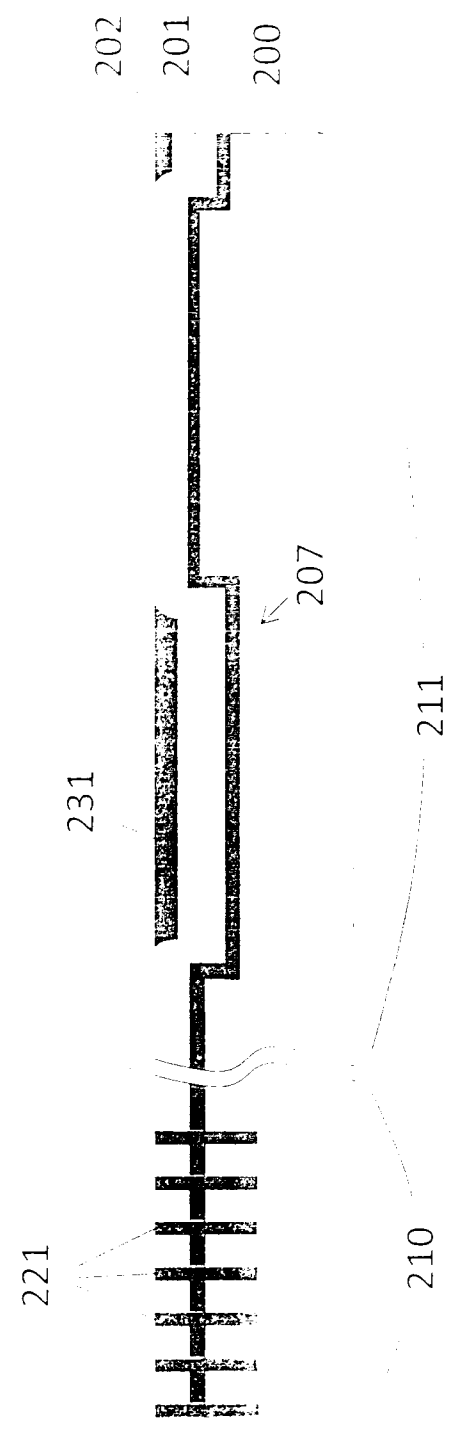


圖 2d

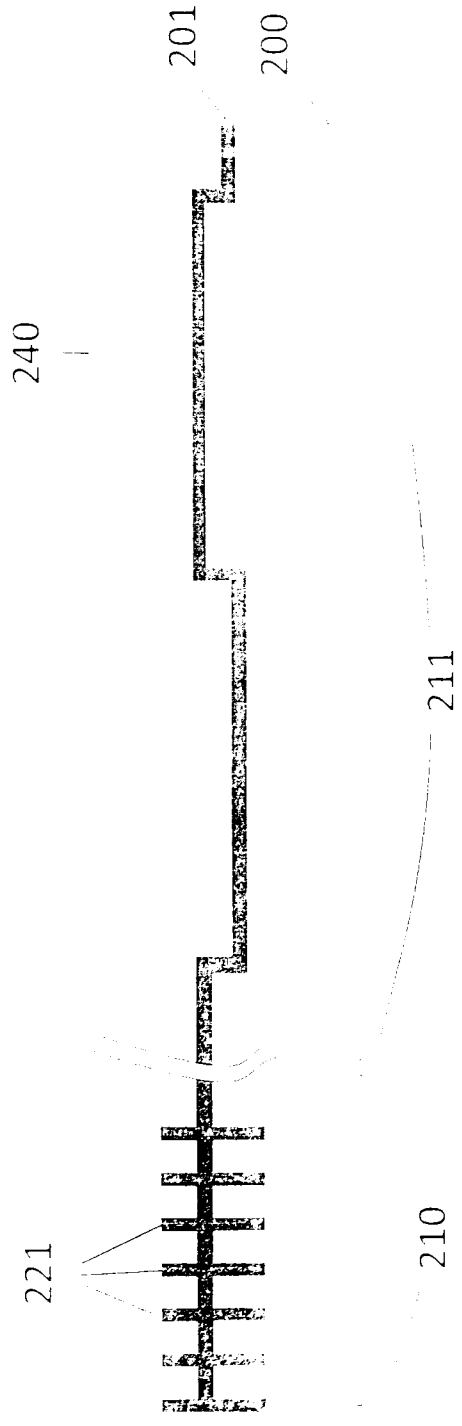


圖2e

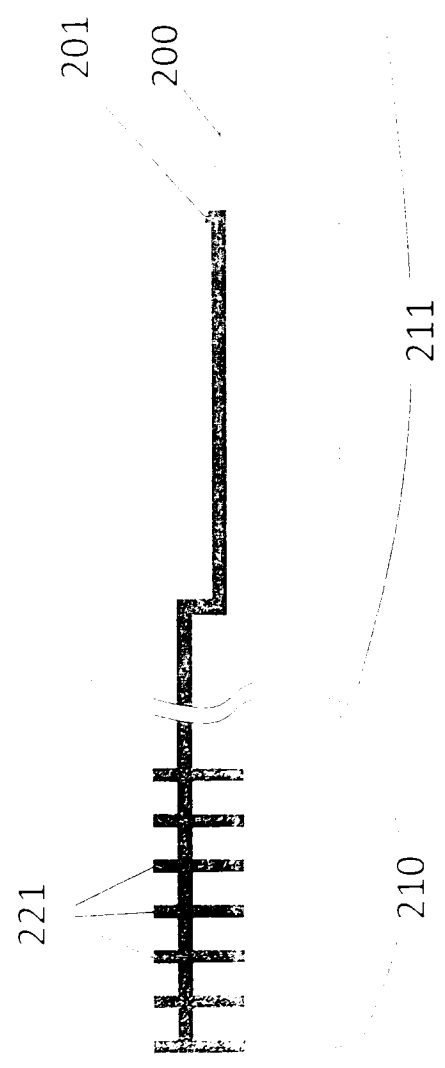


圖2f

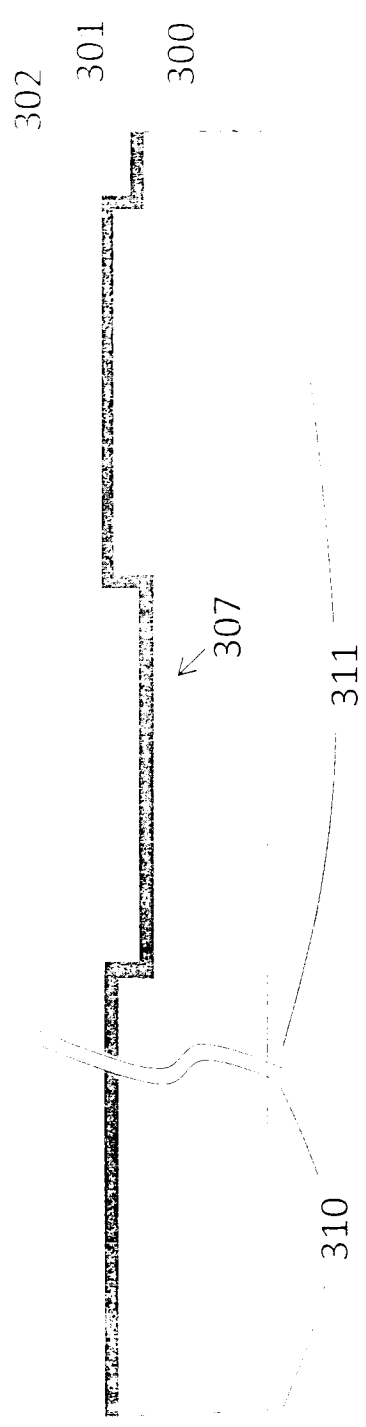


圖 3a

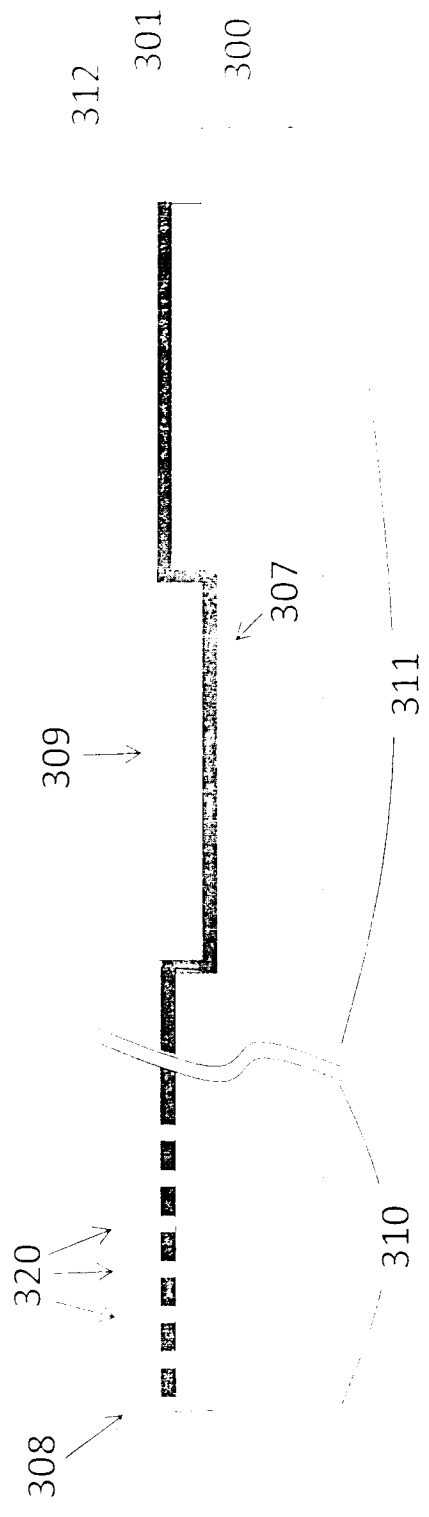


圖 3b

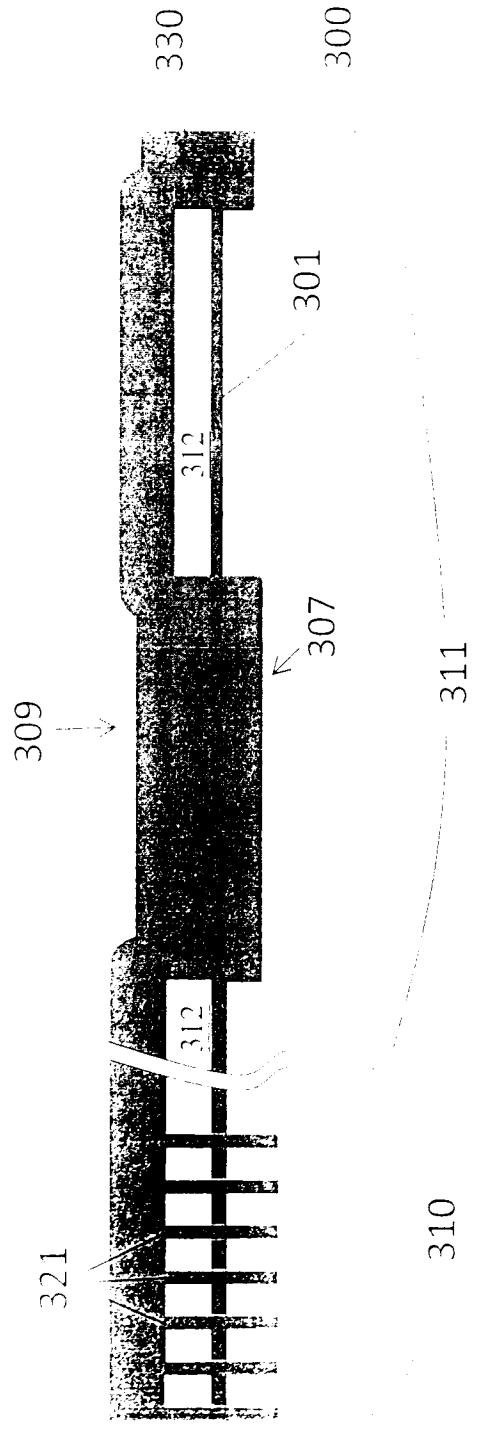


圖 3c

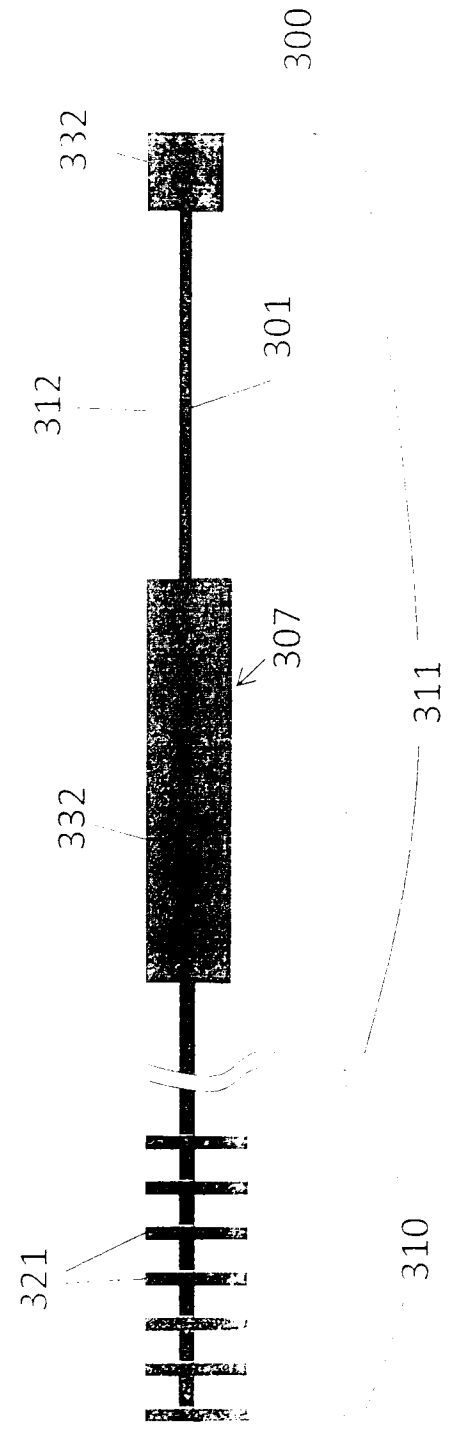


圖 3d

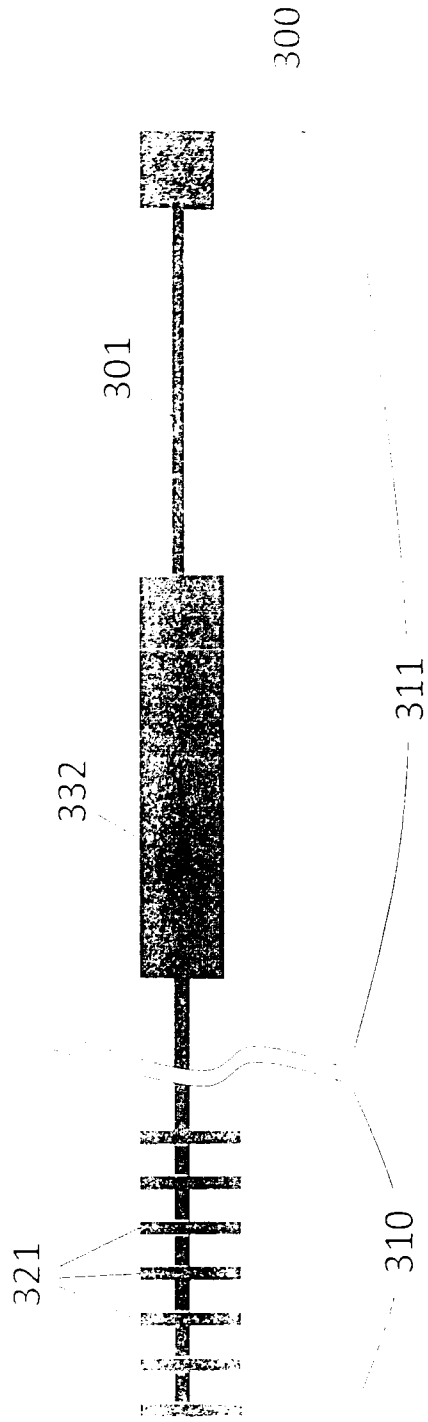


圖 3e

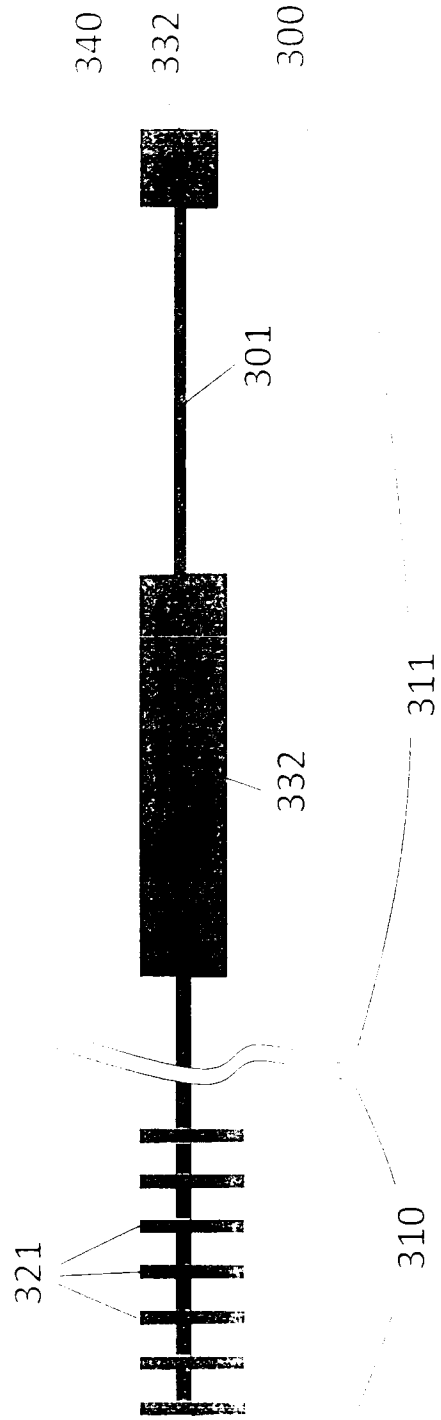


圖 3f

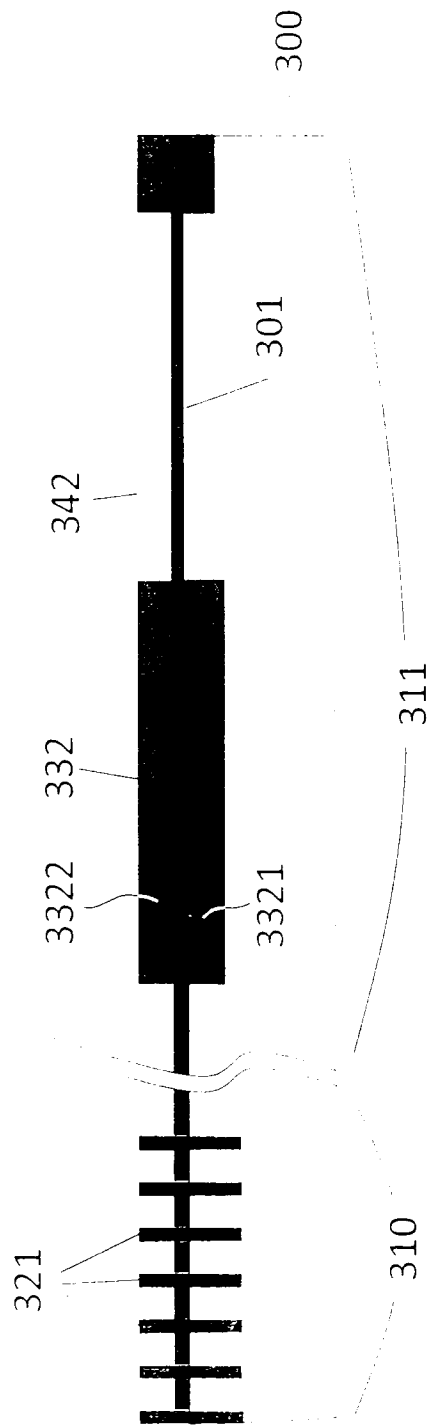


圖 3g

first dielectric layer on the substrate, forming a second dielectric layer on the first dielectric layer, patterning the second dielectric layer to expose the first dielectric layer associated with the alignment mark trenches, resulting in a patterned second dielectric layer, wherein openings are defined by the alignment mark trenches and the patterned second dielectric layer, forming a third dielectric layer on the patterned second dielectric layer, the third dielectric layer filling the openings, and planarizing the third dielectric layer by using the patterned second dielectric layer as a stop layer, resulting in residual third dielectric in the openings.

四、指定代表圖：

- (一) 本案之指定代表圖：圖 3g
- (二) 本代表圖之元件符號簡單說明：
 - 300：基板
 - 301：第一介電層
 - 310：第一區域
 - 311：第二區域
 - 321：STI 特徵
 - 332：第三介電層
 - 342：導體層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

止對準標記受損的方法，更包括：

通過該些暴露的部分，蝕刻該基板；以及
在該圖案化的第二介電層上形成該第三介電層以及
平坦化該第三介電層之後，形成多個隔離特徵。

10. 如申請專利範圍第 9 項所述之在平坦化製程中防止對準標記受損的方法，在平坦化該第三介電層之後，更包括：

移除該圖案化的第二介電層；

在該些隔離特徵及該殘留的第三介電層上形成一導體層；以及

以該些隔離特徵及該殘留第三介電層其中之一做為終止層，平坦化該導體層。

11. 如申請專利範圍第 9 項所述之在平坦化製程中防止對準標記受損的方法，其中該些隔離特徵及該殘留的第三介電層的該第二部分彼此齊平。

12. 如申請專利範圍第 6 項所述之在平坦化製程中防止對準標記受損的方法，其中該第一介電層及該第三介電層分別包括氧化矽及氮氧化矽之其一。

13. 如申請專利範圍第 6 項所述之在平坦化製程中防止對準標記受損的方法，其中該第二介電層包括氮化矽。

102年4月2日修正替換頁

14. 一種半導體元件，具有一結構，用以在平坦化製程中保護對準標記，防止其受損，該半導體元件包括：

一基板，包括一表面、一第一區域及一第二區域，該第一區域及該第二區域彼此分隔；

多個隔離特徵，於該第一區域上；

多個對準標記，於該第二區域上，其中每一對準標記包括一第一部份及一第二部份，該第一部份在該基板之中，該第二部份在該基板之上；以及

一圖案化的導體層，其與在該基板上的該些對準標記及該些隔離特徵彼此齊平。

15. 如申請專利範圍第 14 項所述之半導體元件，其中每一對準標記的該第二部分及該些隔離特徵彼此齊平。

16. 如申請專利範圍第 14 項所述之半導體元件，其中該些對準標記包括氧化矽及氮氧化矽其中之一。

17. 如申請專利範圍第 14 項所述之半導體元件，其中該些隔離特徵包括氧化矽及氮氧化矽其中之一。