

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4093819号  
(P4093819)

(45) 発行日 平成20年6月4日(2008.6.4)

(24) 登録日 平成20年3月14日(2008.3.14)

(51) Int. Cl.		F I		
<b>HO 1 L</b>	<b>21/822</b>	<b>(2006.01)</b>	HO 1 L	27/04 B
<b>HO 1 L</b>	<b>27/04</b>	<b>(2006.01)</b>	GO 5 F	3/24 B
<b>GO 5 F</b>	<b>3/24</b>	<b>(2006.01)</b>	HO 3 K	3/354 B
<b>HO 3 K</b>	<b>3/354</b>	<b>(2006.01)</b>		

請求項の数 12 (全 22 頁)

(21) 出願番号	特願2002-233361 (P2002-233361)	(73) 特許権者	503121103
(22) 出願日	平成14年8月9日(2002.8.9)		株式会社ルネサステクノロジ
(65) 公開番号	特開2004-79555 (P2004-79555A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成16年3月11日(2004.3.11)	(74) 代理人	100064746
審査請求日	平成17年7月8日(2005.7.8)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

入力電圧に応答して出力電圧を出力ノードに生成する電圧変換回路と、  
 温度変化に応じて望ましい動作特性が変化し、前記電圧変換回路の前記出力電圧に応じて  
 制御される内部回路とを備え、  
 前記電圧変換回路は、  
 第1の電圧と内部ノードとの間に設けられ、前記入力電圧の供給を受けるゲートを有する  
 第1のトランジスタ部と、  
 第2の電圧の供給を受ける電圧ノードと前記内部ノードとの間に設けられ、前記内部ノ  
 ードと接続されたゲートを有する第2のトランジスタ部と、  
 前記第2のトランジスタ部と前記電圧ノードとの間に配置される第1の抵抗部と、  
 前記第2のトランジスタ部とカレントミラーを構成するように前記電圧ノードと前記出力  
 ノードとの間に配置され、前記内部ノードと接続されたゲートを有する第3のトランジ  
 スタ部と、  
 前記出力ノードと前記第1の電圧との間に配置され、前記出力ノードと接続されたゲ  
 ートを有する第4のトランジスタ部と、  
 前記第4のトランジスタ部と前記第1の電圧との間に配置される第2の抵抗部とを含み、  
 前記第1および第2の抵抗部は、温度変化に応じて抵抗値が変化する抵抗特性を有する、  
 半導体集積回路。

【請求項2】

前記第 1 の抵抗部は、前記電圧ノードと前記第 2 のトランジスタ部との間に各々が互いに直列に接続された複数の抵抗素子と、  
前記複数の抵抗素子にそれぞれ対応して設けられ、対応する抵抗素子の短絡経路を制御する複数の短絡制御回路とを含む、請求項 1 記載の半導体集積回路。

【請求項 3】

前記第 2 の抵抗部は、前記第 1 の電圧と前記第 4 のトランジスタ部との間に各々が互いに直列に接続された複数の抵抗素子と、  
前記複数の抵抗素子にそれぞれ対応して設けられ、対応する抵抗素子の短絡経路を制御する複数の短絡制御回路とを含む、請求項 1 記載の半導体集積回路。

【請求項 4】

前記複数の抵抗素子の抵抗値は、互いに異なるように 2 のべき乗の値にそれぞれ設定される、請求項 2 または 3 記載の半導体集積回路。

【請求項 5】

前記第 2 のトランジスタ部は、  
前記第 1 の抵抗部と前記内部ノードとの間に互いに並列に設けられ、各々が前記内部ノードと接続されたゲートを有する複数のトランジスタ素子と、  
前記複数のトランジスタ素子にそれぞれ対応して設けられ、対応するトランジスタ素子を介して前記第 1 の抵抗部と前記内部ノードとの接続を制御する複数の接続制御回路とを含み、  
前記複数のトランジスタ素子は、それぞれが互いに異なるゲート幅を有する、請求項 1 記載の半導体集積回路。

【請求項 6】

前記第 3 のトランジスタ部は、  
前記電圧ノードと前記出力ノードとの間に互いに並列に設けられ、各々が前記内部ノードと接続されたゲートを有する複数のトランジスタ素子と、  
前記複数のトランジスタ素子にそれぞれ対応して設けられ、対応するトランジスタ素子を介して前記電圧ノードと前記出力ノードとの接続を制御するための複数の接続制御回路とを含み、  
前記複数のトランジスタ素子は、それぞれが互いに異なるゲート幅を有する、請求項 1 または 5 記載の半導体集積回路。

【請求項 7】

前記電圧変換回路は、前記電圧ノードと前記第 3 のトランジスタ部との間および前記第 1 のトランジスタ部と第 1 の電圧との間の少なくとも一方に配置されるダミー抵抗と、  
前記ダミー抵抗を短絡する短絡配線とをさらに含む、請求項 1 記載の半導体集積回路。

【請求項 8】

前記電圧変換回路は、前記電圧変換回路の前記電圧ノードと前記第 2 の電圧との間に結合され、前記第 2 の電圧の高周波成分を除去するための低域通過回路をさらに含む、請求項 1 記載の半導体集積回路。

【請求項 9】

前記半導体集積回路は、前記第 1 のトランジスタ部のゲートに入力される前記入力電圧の供給を制御する入力制御回路をさらに備え、  
前記入力制御回路は、スタンバイ時において前記第 1 のトランジスタ部のゲートへの前記入力電圧の供給を停止する、請求項 1 記載の半導体集積回路。

【請求項 10】

前記半導体集積回路は、前記入力電圧を生成する電圧生成回路をさらに備え、  
前記電圧生成回路が生成する前記入力電圧は、前記電圧変換回路の動作時とスタンバイ時とで異なる、請求項 1 記載の半導体集積回路。

【請求項 11】

前記第 1 のトランジスタ部は、  
前記入力電圧に応じて、前記内部ノードと前記第 1 の電圧との間を電氣的に結合する第 1

10

20

30

40

50

のトランジスタ素子と、  
前記第1のトランジスタ素子と前記第1の電圧との間に配置され、前記第1のトランジスタ素子を通過する電流量を制御するための通過電流制御回路とをさらに含み、スタンバイ時において前記通過電流制御回路は前記第1のトランジスタ素子を通過する電流量を動作時よりも低く設定する、請求項1記載の半導体集積回路。

【請求項12】

前記通過電流制御回路は、  
前記第1のトランジスタ素子と前記第1の電圧との間に配置され、前記入力電圧を供給を受けるゲートを有する第2のトランジスタ素子と、  
前記第2のトランジスタ素子と並列に前記第1のトランジスタ素子と前記第1の電圧との間に配置され、動作時に活性化される信号を受けるゲートを有する第3のトランジスタ素子とを有する、請求項1記載の半導体集積回路。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力電圧に応答した電圧を生成するための電圧変換回路を備えた半導体集積回路に関する。

【0002】

【従来の技術】

近年、情報通信分野の発展に伴い携帯電話機器等のモバイル通信機器の普及が著しく、これらに使用される半導体集積回路の低消費電力化の要求がますます高まってきている。とりわけ、モバイル通信機器において内蔵されるDRAM回路(Dynamic Random Access Memory)では入力のないスタンバイ状態の期間が長い。このスタンバイ状態の期間においてデータ保持のためのいわゆるセルフリフレッシュ動作の周期を調整することによりスタンバイ時における低消費電力化が図られている。

20

【0003】

このセルフリフレッシュ動作は、リフレッシュ対象となるアドレスが内部で自動発生され、アドレス選択がDRAM回路内部で自動的に行なわれる。さらに、内部のリフレッシュタイマによって周期的に発生されるリフレッシュクロック信号に応じて、リフレッシュ動作が所定のリフレッシュ周期ごとに順次実行される。

30

【0004】

図15は、リフレッシュクロック信号を生成するリングオシレータ回路の構成図である。

【0005】

リングオシレータ回路は、直列に結合された $(2n+1)$ 個( $n$ :自然数)のインバータIVを有する。図15においては、 $n=3$ の場合の構成について一例として示されている。これらのインバータは、環状に結合され、最終段のインバータの出力は初段のインバータの入力ノードに帰還される。このリングオシレータ回路は、インバータの動作電流に応じた発振周波数のリフレッシュクロック信号を内部回路へ供給する。

【0006】

ここでインバータIVは全て同一の構成であるので、代表的に初段のインバータIVについて説明する。インバータIVは、トランジスタPT、NTおよびNTTを含む。トランジスタPTは、電源電圧VCCとノードNdとの間に配置され、そのゲートは入力信号である外部クロック信号ext.CLKの入力を受ける。また、トランジスタNTは、トランジスタNTTを介して接地電圧GNDとノードNdとの間に配置され、そのゲートは入力信号である外部クロック信号ext.CLKの入力を受ける。トランジスタNTTは、ノードNdと接地電圧GNDとの間にトランジスタNTと直列に接続され、そのゲートは電圧変換回路300からの出力電圧を受ける。なお、トランジスタPTは、一例としてPチャンネルMOSトランジスタとする。また、トランジスタNTおよびNTTは、一例としてNチャンネルMOSトランジスタとする。

40

【0007】

50

インバータIVは、入力信号である外部クロック信号ext.CLKの入力に応じてトランジスタPTおよびNTを相補的にオンし、次段のインバータIVに入力信号に応じた電圧レベルを供給する。ここで、トランジスタNTTのゲートは上述したように電圧変換回路300により生成された出力電圧の入力を受ける。これに伴い、インバータIVの動作電流が電圧変換回路300により調整される。したがって、リングオシレータ回路は、この電圧変換回路300により生成された出力電圧の電圧レベルにตอบสนองした発振周波数のリフレッシュクロック信号を発生する。

【0008】

図16は、リングオシレータ回路で用いられる電圧変換回路300の回路構成図である。

【0009】

図16を参照して、電圧変換回路300はトランジスタ301~304を含む。

【0010】

トランジスタ301は、電源電圧VCCの供給を受ける電圧ノードとノードNaとの間に配置され、そのゲートはノードNaと電気的に結合される。トランジスタ302は、電源電圧VCCの供給を受ける電圧ノードと出力ノードNbとの間に配置され、そのゲートはノードNaと電気的に結合される。トランジスタ303は、接地電圧GNDとノードNaとの間に配置され、そのゲートは入力信号である入力電圧Vinの入力を受ける。トランジスタ304は、出力ノードNbと接地電圧GNDとの間に配置され、そのゲートは出力ノードNbの入力を受ける。ここでは、トランジスタ301および302は、一例としてPチャンネルMOSトランジスタとする。また、トランジスタ303および304は、一例としてNチャンネルMOSトランジスタとする。

【0011】

この電圧変換回路はトランジスタ301および302で構成されるカレントミラーにより入力電圧Vinの入力にตอบสนองして出力電圧である定電圧Voutを生成する。定電圧Voutの電圧レベルは、電圧変換回路を構成する各トランジスタのトランジスタサイズによって設定される。

【0012】

したがって、当該電圧変換回路の出力電圧を調整することにより正確な周期でリフレッシュ動作を正常に実行することができる。

【0013】

【発明が解決しようとする課題】

一方、リフレッシュ動作が実行されるリフレッシュ周期は、メモリセルがデータを保持することができる時間によって定められ、このデータ保持時間は、メモリセルのリーク電流に依存する。このメモリセルのリーク電流は、温度変化に敏感なメモリセルでは、100の温度増加で3桁弱も増加する。したがって、リフレッシュ周期は、温度に応じて適切に設定される必要がある。

【0014】

しかしながら、上記の電圧変換回路の出力電圧の電圧レベルは構成されるトランジスタサイズに応じて設定された電圧レベルの値となるため温度変化に応じて電圧レベルを調整することはできない。

【0015】

したがって、たとえばリングオシレータ回路に当該電圧変換回路を適用した場合には、リフレッシュ周期を適切に内部調整することができず、高温でのメモリセルのデータ保持特性を保証するため、高温時の実力に合わせたリフレッシュ周期となるように電圧変換回路を設計していた。それゆえ、室温時もしくは低温時において不必要な頻度でリフレッシュ動作が実行されることとなりリフレッシュ動作時の消費電力が必要以上に大きくなるという問題があった。

【0016】

本発明の目的は、温度変化に応じて電圧レベルを調整することが可能な電圧変換回路を備えた半導体集積回路を提供することである。

10

20

30

40

50

## 【 0 0 1 7 】

## 【課題を解決するための手段】

本発明のある局面に従う半導体集積回路は、入力電圧にตอบสนองして出力電圧を出力ノードに生成する電圧変換回路と、温度変化に応じて望ましい動作特性が変化し、電圧変換回路の出力電圧に応じて制御される内部回路とを備え、電圧変換回路は、第1の電圧と内部ノードとの間に設けられ、入力電圧の供給を受けるゲートを有する第1のトランジスタ部と、第2の電圧の供給を受ける電圧ノードと内部ノードとの間に設けられ、内部ノードと接続されたゲートを有する第2のトランジスタ部と、第2のトランジスタ部と電圧ノードとの間に配置される第1の抵抗部と、第2のトランジスタ部とカレントミラーを構成するように電圧ノードと出力ノードとの間に配置され、内部ノードと接続されたゲートを有する第3のトランジスタ部と、出力ノードと第1の電圧との間に配置され、出力ノードと接続されたゲートを有する第4のトランジスタ部と、第4のトランジスタ部と第1の電圧との間に配置される第2の抵抗部とを含み、第1および第2の抵抗部は、温度変化に応じて抵抗値が変化する抵抗特性を有する。

10

## 【 0 0 1 8 】

好ましくは、第1の抵抗部は、電圧ノードと第2のトランジスタ部との間に各々が互いに直列に接続された複数の抵抗素子と、複数の抵抗素子にそれぞれ対応して設けられ、対応する抵抗素子の短絡経路を制御する複数の短絡制御回路とを含む。

## 【 0 0 1 9 】

好ましくは、第2の抵抗部は、第1の電圧と第4のトランジスタ部との間に各々が互いに直列に接続された複数の抵抗素子と、複数の抵抗素子にそれぞれ対応して設けられ、対応する抵抗素子の短絡経路を制御する複数の短絡制御回路とを含む。

20

## 【 0 0 2 0 】

特に、複数の抵抗素子の抵抗値は、互いに異なるように2のべき乗の値にそれぞれ設定される。

## 【 0 0 2 1 】

好ましくは、第2のトランジスタ部は、第1の抵抗部と内部ノードとの間に互いに並列に設けられ、各々が内部ノードと接続されたゲートを有する複数のトランジスタ素子と、複数のトランジスタ素子にそれぞれ対応して設けられ、対応するトランジスタ素子を介して第1の抵抗部と内部ノードとの接続を制御する複数の接続制御回路とを含み、複数のトランジスタ素子は、それぞれが互いに異なるゲート幅を有する。

30

## 【 0 0 2 2 】

好ましくは、第3のトランジスタ部は、電圧ノードと出力ノードとの間に互いに並列に設けられ、各々が内部ノードと接続されたゲートを有する複数のトランジスタ素子と、複数のトランジスタ素子にそれぞれ対応して設けられ、対応するトランジスタ素子を介して電圧ノードと出力ノードとの接続を制御するための複数の接続制御回路とを含み、複数のトランジスタ素子は、それぞれが互いに異なるゲート幅を有する。

## 【 0 0 2 3 】

好ましくは、電圧変換回路は、電圧ノードと第3のトランジスタ部との間および第1のトランジスタ部と第1の電圧との間の少なくとも一方に配置されるダミー抵抗と、ダミー抵抗を短絡する短絡配線とをさらに含む。

40

## 【 0 0 2 4 】

好ましくは、電圧変換回路は、電圧変換回路の電圧ノードと第2の電圧との間に結合され、第2の電圧の高周波成分を除去するための低域通過回路をさらに含む。

## 【 0 0 2 5 】

好ましくは、半導体集積回路は、第1のトランジスタ部のゲートに入力される入力電圧の供給を制御する入力制御回路をさらに備え、入力制御回路は、スタンバイ時において第1のトランジスタ部のゲートへの入力電圧の供給を停止する。

## 【 0 0 2 6 】

好ましくは、半導体集積回路は、入力電圧を生成する電圧生成回路をさらに備え、電圧生

50

成回路が生成する入力電圧は、電圧変換回路の動作時とスタンバイ時とで異なる。

【 0 0 2 7 】

好ましくは、第 1 のトランジスタ部は、入力電圧に応じて、内部ノードと第 1 の電圧との間を電氣的に結合する第 1 のトランジスタ素子と、第 1 のトランジスタ素子と第 1 の電圧との間に配置され、第 1 のトランジスタ素子を通過する電流量を制御するための通過電流制御回路とをさらに含み、スタンバイ時において通過電流制御回路は第 1 のトランジスタ素子を通過する電流量を動作時よりも低く設定する。

【 0 0 2 8 】

特に、通過電流制御回路は、第 1 のトランジスタ素子と第 1 の電圧との間に配置され、入力電圧を供給を受けるゲート有する第 2 のトランジスタ素子と、第 2 のトランジスタ素子と並列に第 1 のトランジスタ素子と第 1 の電圧との間に配置され、動作時に活性化される信号を受けるゲート有する第 3 のトランジスタ素子とを有する。

【 0 0 2 9 】

【 発明の実施の形態 】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

【 0 0 3 0 】

( 実施の形態 1 )

図 1 は、本発明の実施の形態 1 に従う電圧変換回路の適用を示す半導体記憶装置 1 の全体構成図である。

【 0 0 3 1 】

図 1 を参照して、半導体記憶装置 1 は、外部からの行アドレス信号  $e x t . R A$  の入力をバッファ処理して行アドレスカウンタ 3 に出力する行アドレスバッファ 2 と、行アドレスバッファ 2 から受けた行アドレス信号  $e x t . R A$  を内部クロック信号  $C L K$  に同期してカウント動作を行い、内部行アドレス信号を生成して行デコーダ 4 に出力する行アドレスカウンタ 3 と、行アドレスカウンタ 3 の出力結果である内部行アドレス信号をデコードした内部行アドレスと後述するリフレッシュアドレスとのいずれか一方を選択してメモリアレイ部 5 における行選択を実行する行デコーダ 4 と、図示しないがデータを記憶するための行列状に配置された複数のメモリセルを有するメモリアレイ部 5 とを備える。

【 0 0 3 2 】

また、半導体記憶装置 1 は、さらに外部クロック信号  $e x t . C L K$  の入力に応答して内部クロック信号  $C L K$  を生成するクロック生成回路 6 と、セルフ/オートリフレッシュ選択信号  $S E$  に応答してリフレッシュ動作の実行周期を規定するためのリフレッシュクロック信号  $R C L K$  を生成するリフレッシュタイマ 7 と、リフレッシュ動作時において、リフレッシュクロック信号  $R C L K$  に同期して、リフレッシュ用行アドレスのカウントアップを行ない、リフレッシュアドレスを出力するリフレッシュカウンタ 8 と、外部からの列アドレス信号  $e x t . C A$  の入力および内部クロック信号  $C L K$  に同期してカウント動作を行なって内部列アドレスを生成する列アドレスカウンタ 10 と、列アドレスカウンタ 10 によって生成された内部列アドレスに応答してメモリアレイ部 5 の列選択を実行するとともに読出されたデータを増幅してデータ入出力制御回路 11 に出力する列デコーダ/センスアンプ 9 と、列デコーダ/センスアンプ 9 との間で外部データ  $D T$  のデータ授受を制御するデータ入出力制御回路 11 とを備える。

【 0 0 3 3 】

図 2 は、本発明の実施の形態 1 に従う電圧変換回路をリングオシレータ回路に適用した概念図である。

【 0 0 3 4 】

図 2 を参照して、本発明の実施の形態 1 に従うリングオシレータ回路は、図 15 のリングオシレータ回路と比較して電圧変換回路 300 を電圧変換回路 100 に置換した点がある。その他の点については図 15 で説明したリングオシレータ回路の構成と同様であるのでその詳細な説明は繰返さない。

## 【 0 0 3 5 】

図 3 は、本発明の実施の形態 1 に従う電圧変換回路 1 0 0 と電圧変換回路 1 0 0 によって駆動されるトランジスタ N T T の回路構成図である。

## 【 0 0 3 6 】

図 3 を参照して、本発明の実施の形態 1 に従う電圧変換回路 1 0 0 は、抵抗 2 0 および 2 5 と、トランジスタ 2 1 ~ 2 4 とを含む。

## 【 0 0 3 7 】

トランジスタ 2 3 は、接地電圧 G N D とノード N 1 との間に配置され、そのゲートは入力電圧  $V_{in}$  の入力を受ける。抵抗 2 0 およびトランジスタ 2 1 は、電源電圧  $V_{CC}$  の供給を受けるノード N 0 とノード N 1 との間に直列に接続されトランジスタ 2 1 のゲートはノード N 1 と電氣的に結合されている。トランジスタ 2 2 は、トランジスタ 2 1 とカレントミラーを構成するようにノード N 0 とノード N 2 との間に配置されそのゲートはノード N 1 と電氣的に結合される。トランジスタ 2 4 および抵抗 2 5 は、ノード N 2 と接地電圧 G N D との間に配置されトランジスタ 2 4 のゲートはノード N 2 と電氣的に結合される。また、トランジスタ N T T はソース側を接地電圧 G N D と電氣的に結合されそのゲートはノード N 2 と電氣的に結合されている。トランジスタ 2 1 および 2 2 とトランジスタ 2 3 および 2 4 との極性は互いに異なり、ここでは一例としてトランジスタ 2 1 および 2 2 は P チャネル M O S トランジスタとする。また、トランジスタ 2 3 および 2 4 は、一例として N チャネル M O S トランジスタとする。また、抵抗 2 0 および 2 5 は、温度に応じて抵抗値が変化する抵抗特性を有する。

## 【 0 0 3 8 】

ここで、電圧変換回路 1 0 0 から生成された出力電圧をゲートに受けるトランジスタ N T T には定電流  $i_2$  が流れる。

## 【 0 0 3 9 】

このトランジスタ N T T に流れる定電流  $i_2$  について考える。

たとえば、電圧変換回路 1 0 0 において、入力側の抵抗 2 0 には電流  $i_0$  が流れるものとし、出力側の抵抗 2 5 には電流  $i_1$  が流れるものとする。また、抵抗 2 0 および 2 5 は抵抗値  $R_0$  および  $R_1$  を有するものとする。また、トランジスタ 2 1 , 2 2 , 2 4 および N T T はそれぞれゲート幅  $W_0$  ,  $W_1$  ,  $W_2$  および  $W_3$  を有するものとする。

## 【 0 0 4 0 】

そうすると、トランジスタ 2 1 および 2 2 で構成されるカレントミラーにおいて、トランジスタ 2 2 を流れる電流  $i_1$  は上記の値に基づき以下の関係式を得ることができる。

## 【 0 0 4 1 】

【数 1】

$$V_{gs1}(i_1) = V_{gs0}(i_0) + i_0 \times R_0 \quad \dots(1)$$

## 【 0 0 4 2 】

ここで、 $V_{gs0}(i_0)$  および  $V_{gs1}(i_1)$  は、それぞれトランジスタ 2 1 および 2 2 にそれぞれ電流  $i_0$  および  $i_1$  が流れる場合のゲートソース間電圧を示す。

## 【 0 0 4 3 】

図 4 は、トランジスタ 2 1 および 2 2 のトランジスタ特性図である。

図 4 を参照して、縦軸は  $\log(i)$  の値を示し、横軸はゲートソース間電圧  $V_{gs}$  を示す。  $n$  は任意の数である。

## 【 0 0 4 4 】

たとえば、トランジスタ 2 1 に電流  $i_0$  が流れた場合、図 3 を参照してゲートソース間電圧は電圧  $V_{gs0}(i_0)$  を示す。また、電流  $i_1$  が流れた場合、このトランジスタ特性によりゲートソース間電圧は電圧  $V_{gs0}(i_1)$  を示す。

## 【 0 0 4 5 】

また、トランジスタ 2 2 に電流  $i_0$  が流れた場合、図 3 を参照してゲートソース間電圧は

電圧  $V_{gs1}(i_0)$  を示す。また、電流  $i_1$  が流れた場合、このトランジスタ特性によりゲートソース間電圧は電圧  $V_{gs1}(i_1)$  を示す。

【0046】

これにより、Sファクタ (=  $S_1$ ) を用いて以下の式を導出することができる。

【0047】

【数2】

$$\begin{aligned} V_{gs0}(i_0) - V_{gs1}(i_0) &= S_1 \times \{ \log(i_0) - \log(i_1) \} \\ &= S_1 \times \log \frac{i_0}{i_1} \end{aligned} \quad \dots (2) \quad 10$$

【0048】

また、上式の  $\log(i_0/i_1)$  はトランジスタ21および22のゲート幅の比  $\log(W_0/W_1)$  に近似することができる。したがって、上式は以下の式を満たす。

【0049】

【数3】

$$V_{gs0}(i_0) - V_{gs1}(i_0) = S_1 \times \log \frac{W_0}{W_1} \quad \dots (3) \quad 20$$

【0050】

このSファクタは、いわゆるトランジスタのスイッチング特性を示し、ゲート電圧に対する傾きの逆数であらわされる。このSファクタの値が小さいほどスイッチング特性に優れゲートリーク電流は小さい。

【0051】

また、トランジスタ21および22のSファクタはほぼ同値であり、以下の式を満たす。

【0052】

【数4】

$$S_1 = \frac{\log(i_0) - \log(i_1)}{V_{gs0}(i_0) - V_{gs0}(i_1)} = \frac{\log(i_0) - \log(i_1)}{V_{gs1}(i_0) - V_{gs1}(i_1)} \quad \dots (4) \quad 30$$

【0053】

これら式(1)、(2)および(4)を用いて、ゲートソース間電圧  $V_{gs}$  を消去すると次式(5)を得ることができる。

【0054】

【数5】

$$\log(i_1) = \log \left( i_0 \times \frac{W_1}{W_0} \right) + \frac{i_0 \times R_0}{S_1} \quad \dots (5) \quad 40$$

【0055】

また、同様にしてトランジスタ24およびトランジスタNTTで構成されるカレントミラーについてトランジスタNTTを流れる電流  $i_2$  について以下の関係式を導くことができる。ここでも上述したのと同様の方式に従って以下の関係式を導出することができる。なお、トランジスタ24およびトランジスタNTTのSファクタは、 $S_2$  として標記する。

【0056】

すなわち

【0057】



【数6】

$$V_{gs3}(i_2) = V_{gs2}(i_1) + i_1 \times R_1 \quad \dots (6)$$

【0058】

【数7】

$$V_{gs2}(i_1) - V_{gs3}(i_1) = S_2 \times \log\left(\frac{W_2}{W_3}\right) \quad \dots (7)$$

10

【0059】

【数8】

$$S_2 = \frac{\log(i_2) - \log(i_1)}{V_{gs2}(i_2) - V_{gs2}(i_1)} = \frac{\log(i_2) - \log(i_1)}{V_{gs3}(i_2) - V_{gs3}(i_1)} \quad \dots (8)$$

【0060】

これら(6)から(8)式に基づいて次式を導出することができる。

20

【0061】

【数9】

$$\log(i_2) = \log\left(i_1 \times \frac{W_3}{W_2}\right) + \frac{i_1 \times R_1}{S_2} \quad \dots (9)$$

【0062】

この(5)および(9)式に基づいて電流*i*<sub>2</sub>は以下の関係式を満たす。

【0063】

【数10】

$$\log(i_2) = \frac{i_0 \times R_1 \times W_1}{S_2 \times W_0} \times 10^{\frac{i_0 \times R_0}{S_1}} + \frac{i_0 \times R_0}{S_1} + \log\left(\frac{W_1 \times W_3 \times i_0}{W_0 \times W_2}\right) \quad \dots (10)$$

【0064】

このように(10)式に従い電流*i*<sub>2</sub>は、電流*i*<sub>0</sub>とデバイス構造で決定されるトランジスタのゲート幅および抵抗およびSファクタに応じた値に設定される。これに伴い、これら関係式を満たすようにゲート幅および抵抗ならびにSファクタを設定することにより所望の電流*i*<sub>2</sub>をトランジスタNTTに供給することができる。

40

【0065】

図5は、抵抗*R*<sub>0</sub>および*R*<sub>2</sub>を形成する抵抗材料と温度変化に基づいて変化する抵抗値を指し示す抵抗特性を示す表である。

【0066】

具体的には、抵抗材料としてn-poly Si(n型ポリシリコン)で形成された抵抗は、室温時から高温時へ遷移した場合、抵抗値が約2.5%上昇する。たとえば、n型ポリシリコンを抵抗材料とした場合には100の抵抗値に対して102.5の抵抗値に変動する。ここで「高温」とは、一般的に70~80あるいはそれ以上の温度を表わす

50

。また、抵抗材料としてN<sup>+</sup>拡散層で形成された抵抗は、室温時から高温時へ遷移した場合、抵抗値が10%上昇する。たとえば、N<sup>+</sup>拡散層を抵抗材料とした場合には100の抵抗値に対して110の抵抗値に変動する。また、抵抗材料としてP<sup>+</sup>拡散層で形成された抵抗は室温時から高温時へ遷移した場合、抵抗値が10%上昇する。たとえば、P<sup>+</sup>拡散層を抵抗材料とした場合には200の抵抗値に対して220の抵抗値に変動する。

【0067】

なお、ここでは温度が上昇するに従い、抵抗値が上昇するいわゆる正の抵抗特性を有する材料について例をあげて説明したが、これに限られず、温度が上昇するに従い、抵抗値が下降するいわゆる負の抵抗特性を有する抵抗材料を用いることも可能である。具体的には、ノンドープのケイ素(Si)やゲルマニウム(Ge)を抵抗材料とすることによりいわゆる負の抵抗特性を示す抵抗を実現することができる。

10

【0068】

一例として、トランジスタNTTを通過する電流*i*<sub>2</sub>を室温状態において10μAに設計するために抵抗R<sub>0</sub>を10k、抵抗R<sub>1</sub>を100kとした場合について考える。この場合におけるSファクタは0.1V/déc、電流*i*<sub>0</sub> = 1μA、ゲート幅W<sub>0</sub> = W<sub>1</sub>、W<sub>2</sub> = 10 × W<sub>3</sub>に設計されているものとする。

【0069】

ここで、高温時に遷移した場合、抵抗値が10%上昇したとする。

そうすると、上述の(10)式を用いて計算すると、電流*i*<sub>2</sub> = 30.5μAに設定することができる。

20

【0070】

したがって、本発明の実施の形態1に従う電圧変換回路100を用いることにより温度変化に応じて生成される電圧レベルを調整することができ、これに伴いトランジスタNTTを通過する電流量を調整することができる。すなわち、電圧変換回路を構成する抵抗を温度変化に基づいて変化する抵抗特性を有する抵抗材料で形成することにより、温度変化に応じて電圧レベルを所望の値に調整することができる。

【0071】

これに伴い、当該電圧変換回路100を用いてリングオシレータ回路を構成するインバータの動作電流量を温度変化に従い調整することができる。具体的には室温時と高温時とで電圧変換回路を構成する抵抗の抵抗値が変動するため、これに従い高温時には室温時よりもインバータの動作電流量を増加させることができる。したがって、高温時には室温時(低温時)よりもリフレッシュクロック信号の発振周波数を短く設定することができる。

30

【0072】

(実施の形態1の変形例1)

本発明の実施の形態1の変形例1は、電圧変換回路の生成する電圧レベルをチューニングする構成について説明する。

【0073】

図6は、図2の電圧変換回路100の抵抗20および25と置換可能な抵抗可変回路40の概念図である。

40

【0074】

図6を参照して、抵抗可変回路40は抵抗41~44と各抵抗素子を短絡する短絡経路を形成するスイッチング素子45~48とを含む。

【0075】

ここでは、一例として抵抗41~44はそれぞれ1, 2, 4および8に設定されているものとする。

【0076】

抵抗可変回路40は、スイッチング素子45~48を選択的に導通させることにより抵抗可変回路40の合成抵抗をチューニングすることができる。これに伴い、上述した(10

50

) 式の抵抗値を調整することができ所望の電圧レベルにチューニングすることができる。

【0077】

また、上記の例のように抵抗41～44の抵抗値をそれぞれ2のべき乗の値に互いに異なるように設定することにより等間隔で抵抗値をチューニングすることができる。具体的には、n個の抵抗が配置されている場合には、2のn乗とおりの合成抵抗値を等間隔でチューニングすることができる。たとえば、上記の例においては2の4乗とおりのすなわち16通りの合成抵抗値を等間隔でチューニングすることができる。これにより、合成抵抗のチューニングを簡易に実行することができる。

【0078】

なお、ここでは抵抗41～44の4個の抵抗素子を選択的に導通させてチューニングする構成について説明したが、特にこれらの個数に限定されるものではない。また、スイッチング素子45～48としてヒューズを用い、ヒューズブローを選択的に実行することにより合成抵抗をチューニングすることも可能である。またMOSトランジスタを用いてスイッチング素子を構成することによりゲートに与える制御信号にตอบสนองして選択的に短絡経路を形成することができる。これにより合成抵抗のチューニングを実行することも可能である。

10

【0079】

(実施の形態1の変形例2)

図7は、本発明の実施の形態1の変形例2に従う電圧変換回路110およびトランジスタNTTの回路構成図である。

20

【0080】

図7を参照して、本発明の実施の形態1の変形例2に従う電圧変換回路110は、電圧変換回路100と比較して、トランジスタ21を接続切換回路50に置換した点と、トランジスタ22を接続切換回路51に置換した点とが異なる。その他の点は、図3で示した実施の形態1の電圧変換回路100と同様であるのでその詳細な説明は繰り返さない。

【0081】

接続切換回路50は、抵抗20とノードN1との間に互いに並列に接続された複数の接続切換ユニットST0を有する。接続切換ユニットST0は直列に接続されたスイッチング素子55と、スイッチング素子55を介して抵抗20とノードN1との間に電気的に結合され、ノードN1と接続されたゲートを有するトランジスタ56とを含む。他の接続切換ユニットST0の構成についても同様であるのでその詳細な説明は繰り返さない。

30

【0082】

接続切換回路51は、ノードN0とノードN2との間に互いに並列に配置された複数の接続切換ユニットST1を有する。接続切換ユニットST1は、直列に接続されたスイッチング素子57と、スイッチング素子57を介してノードN0とノードN2との間に電気的に結合され、ノードN1と接続されたゲートを有するトランジスタ58とを含む。他の接続切換ユニットST1の構成についても同様であるのでその詳細な説明は繰り返さない。

【0083】

たとえば、接続切換回路50および51を構成するトランジスタをスイッチング素子を用いて選択的に切換える。これに伴い、ゲート幅W0およびW1の値を当該切換えによって調整することができる。すなわち、上述した(10)式のゲート幅W0およびW1の値を調整することができ出力電圧を所望の電圧レベルにチューニングすることができる。

40

【0084】

なお、スイッチング素子としてヒューズを用い、ヒューズブローを選択的に実行することによりトランジスタのゲート幅をチューニングすることも可能である。またMOSトランジスタを用いてスイッチング素子を構成し、当該MOSトランジスタのゲートに与える制御信号にตอบสนองして選択的に短絡経路を形成することができる。これに伴いトランジスタのゲート幅のチューニングを実行することも可能である。

【0085】

なお、上記においては、接続切換回路50および51をとともに配置した構成について説明

50

したがいずれか一方のみを配置した構成とすることも可能である。

【0086】

(実施の形態2)

本発明の実施の形態2は、電圧変換回路が受けるノイズを抑制する構成について説明する。

【0087】

図8は、本発明の実施の形態2に従う電圧変換回路120およびトランジスタNTTの回路構成図である。

【0088】

図8を参照して、本発明の実施の形態2の電圧変換回路120は電圧変換回路100と比較してノイズを抑制するためのノイズキャンセラ60を電圧ノードN0とトランジスタ22との間に配置した点が異なる。その他の点は、図3で示した実施の形態1の電圧変換回路100と同様であるのでその詳細な説明は繰り返さない。

10

【0089】

ノイズキャンセラ60は、抵抗20と同じ抵抗値を有するダミー抵抗61とダミー抵抗61を短絡する短絡経路を有する。

【0090】

本構成とすることによりノードN0からの電源ノイズや上層配線からのノイズを抵抗20および61の両方でも受ける。すなわち抵抗20および抵抗61をノードN0とトランジスタ21および22とのそれぞれに挿入した構成とすることにより回路の対称性を保つことができ、ノイズを相殺することが可能となる。これに伴い、電圧変換回路120に電源ノイズ等が与えられた場合においてもノイズを抑制し、精度よく所望の電圧レベルを生成することが可能となる。

20

【0091】

(実施の形態2の変形例1)

図9は、本発明の実施の形態2の変形例1に従う電圧変換回路130およびトランジスタNTTの回路構成図である。

【0092】

図9を参照して、本発明の実施の形態2の変形例1に従う電圧変換回路130は、図3で示した電圧変換回路100と比較して電源電圧VCCと電源電圧VCCの供給を受けるノードN0との間にフィルタ70をさらに設けた点が異なる。その他の点は、図3で示した実施の形態1の電圧変換回路100と同様であるのでその詳細な説明は繰り返さない。

30

【0093】

フィルタ70は、電源電圧VCCとノードN0との間に配置された抵抗素子71と抵抗素子71と並列にノードN0と接地電圧GNDとの間に配置されたキャパシタ72とを含む。このフィルタ70の回路構成は、高周波帯域の信号を減衰させるいわゆる低域通過フィルタである。

【0094】

本発明の実施の形態2の変形例1の電圧変換回路130の構成によりフィルタ70を用いることで高周波帯域信号である電源ノイズを抑制し、精度よく所望の電圧レベルを生成することができる。

40

【0095】

(実施の形態2の変形例2)

図10は、本発明の実施の形態2の変形例2に従う電圧変換回路140およびトランジスタNTTの回路構成図である。

【0096】

図10を参照して、本発明の実施の形態2の変形例2に従う電圧変換回路140は、図3に示す電圧変換回路100と比較してトランジスタ23と接地電圧GNDとの間にノイズキャンセラ80を設けた点が異なる。その他の点は、図3で示した実施の形態1の電圧変換回路100と同様であるのでその詳細な説明は繰り返さない。

50

## 【0097】

ノイズキャンセラ80は、抵抗25と同様のダミー抵抗81とダミー抵抗81を短絡する短絡経路を有する。本構成とすることにより実施の形態2で説明したのと同様に抵抗25と同様のダミー抵抗81とで構成される回路の対称性によりノイズを相殺することが可能となる。これに伴い、電圧変換回路140に接地電圧GNDからの接地電圧ノイズ等が与えられた場合においてもノイズを抑制し、精度よく所望の電圧レベルを生成することが可能となる。

## 【0098】

(実施の形態2の変形例3)

図11は、本発明の実施の形態2の変形例3に従う電圧変換回路150およびトランジスタNTTの回路構成図である。

10

## 【0099】

図11を参照して、本発明の実施の形態2の変形例3に従う電圧変換回路150は、実施の形態2の変形例2に従う電圧変換回路140と比較してさらにノードN0とトランジスタ22との間にノイズキャンセラ60を配置した点が異なる。その他の点は、図10で示した実施の形態2の変形例2に従う電圧変換回路140と同様であるのでその詳細な説明は繰り返さない。

## 【0100】

本構成とすることにより、上述したように電源電圧VCCからの電源ノイズおよび接地電圧GNDからの接地電圧ノイズを回路の対称性を担保することによりノイズを抑制し、精度よく所望の電圧レベルを生成することが可能となる。

20

## 【0101】

(実施の形態3)

本発明の実施の形態3は、スタンバイ時において消費電力を低減する電圧変換回路の構成について説明する。

## 【0102】

図12は、本発明の実施の形態3に従う電圧変換回路160およびトランジスタNTTの回路構成図である。

## 【0103】

図12を参照して、本発明の実施の形態3に従う電圧変換回路160は、実施の形態1の電圧変換回路100と比較して入力電圧Vinの入力を受けるトランジスタ23のゲート側と接続され、入力電圧Vinの電圧レベルを制御する入力電圧制御回路90をさらに備えた点が異なる。その他の点は、図3で示した実施の形態1の電圧変換回路100と同様であるのでその詳細な説明は繰り返さない。

30

## 【0104】

入力電圧制御回路90は、インバータ91とトランスファージェート92とトランジスタ93とを含む。

## 【0105】

トランスファージェート92は、制御信号CT0およびインバータ91を介する制御信号CT0の反転信号の入力を受けて入力電圧Vinをトランジスタ23のゲートに出力する。トランジスタ93は、トランジスタ23のゲートと接続されたノードN3と接地電圧GNDとの間に配置され、そのゲートはインバータ91を介する制御信号CT0の反転信号の入力を受ける。

40

## 【0106】

たとえば、一例として制御信号CT0が「H」レベルである場合にはトランスファージェート92がオンし、入力電圧Vinがトランジスタ23のゲートに入力される。一方、制御信号CT0が「L」レベルである場合にはトランスファージェート92はオフであり、トランジスタ93はインバータ91を介する制御信号CT0の反転信号の入力を受けてオンする。したがって、トランジスタ23のゲートと接続されているノードN3の電圧レベルは接地電圧GNDレベルとなる。

50

## 【 0 1 0 7 】

従って、スタンバイ時において入力電圧  $V_{in}$  の供給を停止し、トランジスタ 23 のゲートに供給される電圧を接地電圧  $GND$  (「L」レベル) レベルに設定する。これに伴い、電圧変換回路 160 を非活性化し、スタンバイ時における消費電力を低減することが可能となる。

## 【 0 1 0 8 】

(実施の形態3の変形例1)

本発明の実施の形態3の変形例1は実施の形態3とは異なり、スタンバイ時においてトランジスタ23に与える入力電圧  $V_{in}$  の電圧レベルを調整することによりスタンバイ時における消費電力を低減することを目的とする。

10

## 【 0 1 0 9 】

図13は、本発明の実施の形態3の変形例1に従う入力電圧  $V_{in}$  を生成する定電圧生成回路200および接続制御回路210の構成図である。

## 【 0 1 1 0 】

図13を参照して、定電圧生成回路200は、抵抗101とトランジスタ102~109とを含む。抵抗101は電源電圧  $V_{CC}$  の供給を受けるノード  $N4$  とトランジスタ103との間に配置される。トランジスタ102はノード  $N4$  とノード  $N5$  との間に配置され、そのゲートはノード  $N5$  と電氣的に結合される。トランジスタ103は、トランジスタ102とカレントミラーを構成するように抵抗101とノード  $N6$  との間に配置され、そのゲートはノード  $N5$  と電氣的に結合される。トランジスタ104は、ノード  $N5$  と接地電圧  $GND$  との間に配置され、そのゲートはノード  $N6$  と電氣的に結合される。トランジスタ105は、トランジスタ104とカレントミラーを構成するようにノード  $N6$  と接地電圧  $GND$  との間に配置され、そのゲートはノード  $N6$  と電氣的に結合される。トランジスタ103は抵抗101とノード  $N6$  との間に配置され、そのゲートはノード  $N5$  と電氣的に結合される。

20

## 【 0 1 1 1 】

トランジスタ106および107は電源電圧  $V_{CC}$  と接地電圧  $GND$  との間に直列に接続され、それぞれのゲートはノード  $N5$  とノード  $N7$  と電氣的に結合される。トランジスタ108および109は、電源電圧  $V_{CC}$  と接地電圧  $GND$  との間に直列に接続され、それぞれのゲートはノード  $N5$  とノード  $N8$  と電氣的に結合される。ここで、トランジスタ102, 103, 106および108は一例としてPチャネルMOSトランジスタとする。また、トランジスタ104, 105, 107および109はNチャネルMOSトランジスタとする。また、トランジスタ107および109のゲート幅はそれぞれ異なる。

30

## 【 0 1 1 2 】

定電圧生成回路200において、トランジスタ104および105はカレントミラー回路を構成する。このトランジスタ104および105が十分大きなチャネル抵抗を有する場合、トランジスタ102および103においてはカレントミラーを構成するトランジスタ104および105により同じ大きさの電流が流れる。また、トランジスタ106および108のゲートは、トランジスタ102および103のゲートと同様に同じノード  $N5$  と電氣的に結合されているためトランジスタ106および108についてもトランジスタ104および105と同じ大きさの電流が流れる。

40

## 【 0 1 1 3 】

したがって、定電圧生成回路200において、定電圧を生成する出力ノード  $N7$  およびノード  $N8$  の電圧レベルは、トランジスタ107および109のゲート幅にしたがって設定される。

## 【 0 1 1 4 】

接続制御回路210は、トランスファージェート111および112とインバータ113とを含む。トランスファージェート111は、ノード  $N7$  に伝達された信号を制御信号  $CT1$  に応じて入力電圧  $V_{in}$  として出力する。トランスファージェート112は、ノード  $N8$  に伝達された信号を制御信号  $CT1$  に応じて入力電圧  $V_{in}$  として出力する。

50

## 【0115】

これに伴い、制御信号CT1に応じて入力電圧Vinを切換えることができ、スタンバイ時においてトランジスタ23に入力する入力信号の電圧レベルを調整することができる。

## 【0116】

一般的に、Sファクタが0.1V/déc程度として、トランジスタ23を流れる電流i0 = 1μAである場合、入力電圧Vinを0.1V下げることにより約1/10の大きさに電流を低減することができる。

## 【0117】

したがって、本構成のようにスタンバイ時において、通常時よりも低い入力電圧Vinをトランジスタ23に供給することにより消費電力を低減することができる。また、上記の実施の形態3においては、スタンバイ時において完全に入力電圧Vinの電圧レベルを0Vとしてしまうために、電圧変換回路は非活性状態に設定される。一方、電圧変換回路の出力ノードは比較的大きな容量を有するため、完全に電圧変換回路が非活性状態となった場合には出力ノードを充電するために立ち上げに時間が掛かる場合がある。

10

## 【0118】

本構成の如く、スタンバイ時には完全に非活性化状態とするのではなく、スタンバイ時には低消費電力で駆動する構成とすることにより、スタンバイ時終了直後の電圧変換回路の立ち上げ速度を高速化させることができる。

## 【0119】

(実施の形態3の変形例2)

20

図14は、本発明の実施の形態3の変形例2に従う電圧変換回路170およびトランジスタNTTの回路構成図である。

## 【0120】

本発明の実施の形態3の変形例2に従う電圧変換回路170は、電圧変換回路100と比較してトランジスタ23を電流制御回路125に置換した点異なる。その他の点は、図3で示した実施の形態1の電圧変換回路100と同様であるのでその詳細な説明は繰り返さない。

## 【0121】

電流制御回路125は、トランジスタ121~123を含む。トランジスタ121および122はノードN1と接地電圧GNDとの間に直列に配置され、そのゲートは入力電圧Vinの入力を共に受ける。トランジスタ123は、トランジスタ122と並列にトランジスタ121と接地電圧GNDとの間に接続され、ゲートは制御信号CT2の入力を受ける。

30

## 【0122】

ここで、たとえば入力電圧Vinの入力を受けるトランジスタ121および122のトランジスタ幅を1対9にすると、制御信号CT2に  
応答してスタンバイ時にトランジスタ121および122を流れる実効的な電流量は動作時に比べて約1/10となる。

## 【0123】

このように入力電圧Vinを直接制御することなく入力電圧Vinの入力を受けるトランジスタ121および122のトランジスタ幅を調整することによりスタンバイ時における電流制御を行なうことができる。

40

## 【0124】

これに伴い動作モード時においては設計した温度特性に従う電圧変換回路の所望の電圧レベルを生成することが可能であるがスタンバイ時においては電圧変換回路170における動作電流量を調整することにより低消費電力化を図ることができる。

## 【0125】

なお、上記の実施の形態においてはリングオシレータ回路に適用する電圧変換回路の構成について説明してきたが本願発明の電圧変換回路はこれに限られず他の回路にも同様に適用可能である。

## 【0126】

50

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0127】

【発明の効果】

請求項1記載の半導体集積回路は、電圧変換回路を構成する第1および第2の抵抗部が温度変化に応じて抵抗値が変化する抵抗特性を有する。これにより電圧変換回路は、温度変化に応じて出力電圧を調整することができる。これに伴い、温度変化に応じて望ましい動作特性が変化する内部回路において、温度変化が生じた場合においても望ましい動作特性を担保した状態で安定的に制御することができる。

10

【0128】

請求項2および3記載の半導体集積回路は、抵抗部が複数の抵抗素子と対応する抵抗素子の短絡を制御する複数の短絡制御回路とを含む。これにより、選択的に複数の抵抗素子の短絡を制御することにより合成抵抗を調整することができる。これに伴い、精度よく電圧変換回路の出力電圧を所望の電圧レベルを生成するようにチューニングすることができ、内部回路の制御性を向上させることができる。

【0129】

請求項4記載の半導体集積回路は、複数の抵抗素子の抵抗値を互いに異なるように2のべき乗の値に設定する。これにより、合成抵抗を等間隔で容易にチューニングすることができる。

20

【0130】

請求項5記載の半導体集積回路は、電圧変換回路において、互いに並列に設けられた複数のトランジスタ素子と、対応するトランジスタ素子を介して第1の抵抗部と内部ノードとの接続を制御する複数の接続制御回路とを含む。これに伴い、接続制御回路を用いて選択的にゲート幅の異なる複数のトランジスタのうちの一つを選択することができ、出力電圧の電圧レベルを精度よく所望の値となるようにチューニングすることができる。

【0131】

請求項6記載の半導体集積回路は、電圧変換回路において、互いに並列に設けられた複数のトランジスタ素子と、対応するトランジスタ素子を介して電圧ノードと出力ノードとの接続を制御する複数の接続制御回路とを含む。これに伴い、接続制御回路を用いて、選択的にゲート幅の異なる複数のトランジスタのうちの一つを選択することによき、出力電圧の電圧レベルを精度よく所望の値となるようにチューニングすることができる。

30

【0132】

請求項7記載の半導体集積回路は、電圧変換回路において、電圧ノードと第3のトランジスタ部との間および第1のトランジスタ部と第1の電圧との間の少なくともいずれか一方の間にダミー抵抗と、ダミー抵抗を短絡する短絡配線を設ける。これに伴い、ノイズが入力された場合に第1および第2の抵抗部の少なくとも一方とダミー抵抗との対称性に基づきノイズを相殺することができ、安定的に出力電圧を生成することができる。

【0133】

請求項8記載の半導体集積回路は、電圧変換回路において、電圧ノードと第2の電圧との間に低域通過回路を設ける。これに伴い、電圧ノードに入力されるノイズを除去することができ、安定的に出力電圧を生成することができる。

40

【0134】

請求項9記載の半導体集積回路は、スタンバイ時に第1のトランジスタ部をターンオフさせる入力制御回路を設ける。これに伴いスタンバイ時に電圧変換回路を非活性化することができるため電圧変換回路の消費電力をスタンバイ時において低減することができる。

【0135】

請求項10記載の半導体集積回路は、入力電圧を生成する電圧生成回路をさらに設け、電圧生成回路が生成する電圧は動作時とスタンバイ時とで異なる。したがって、入力電圧を

50



スタンバイ時に調整することができ、動作時の立上り速度を担保しつつ消費電力を低減することができる。

【0136】

請求項11および12記載の半導体集積回路は、第1のトランジスタ部において、トランジスタ素子とトランジスタ素子を通過する電流量を制御する電流制御回路を含む。また、スタンバイ時において電流制御回路はトランジスタ素子を通過する電流量を低く設定する。これに伴い、動作時の立上り速度を担保しつつ、スタンバイ時における電圧変換回路の消費電力を低減することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従う電圧変換回路の適用を示す半導体記憶装置1の全体構成図である。

10

【図2】 本発明の実施の形態1に従う電圧変換回路をリングオシレータ回路に適用した概念図である。

【図3】 本発明の実施の形態1に従う電圧変換回路100と電圧変換回路100によって駆動されるトランジスタNTTの回路構成図である。

【図4】 トランジスタ21および22のトランジスタ特性図である。

【図5】 抵抗20および25を形成する抵抗材料と温度変化に基づいて変化する抵抗値を指し示す抵抗特性を示す表である。

【図6】 電圧変換回路100の抵抗20および25と置換可能な抵抗可変回路40の概念図である。

20

【図7】 発明の実施の形態1の変形例2に従う電圧変換回路110およびトランジスタNTTの回路構成図である。

【図8】 本発明の実施の形態2の電圧変換回路120およびトランジスタNTTの回路構成図である。

【図9】 本発明の実施の形態2の変形例1に従う電圧変換回路130およびトランジスタNTTの回路構成図である。

【図10】 本発明の実施の形態2の変形例2に従う電圧変換回路140およびトランジスタNTTの回路構成図である。

【図11】 本発明の実施の形態2の変形例3に従う電圧変換回路150およびトランジスタNTTの回路構成図である。

30

【図12】 本発明の実施の形態3に従う電圧変換回路160およびトランジスタNTTの回路構成図である。

【図13】 本発明の実施の形態3の変形例1に従う入力電圧 $V_{in}$ を生成する定電圧生成回路200および接続制御回路210の構成図である。

【図14】 本発明の実施の形態3の変形例2に従う電圧変換回路170およびトランジスタNTTの回路構成図である。

【図15】 リフレッシュクロック信号を生成するリングオシレータ回路の回路構成図である。

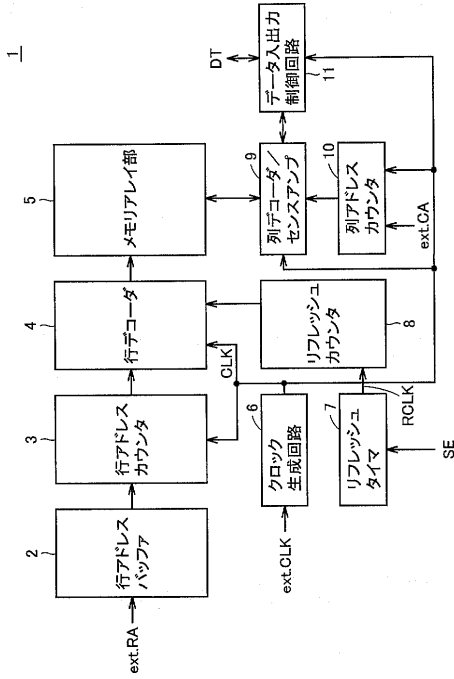
【図16】 リングオシレータ回路で用いられる電圧変換回路300の回路構成図である。

40

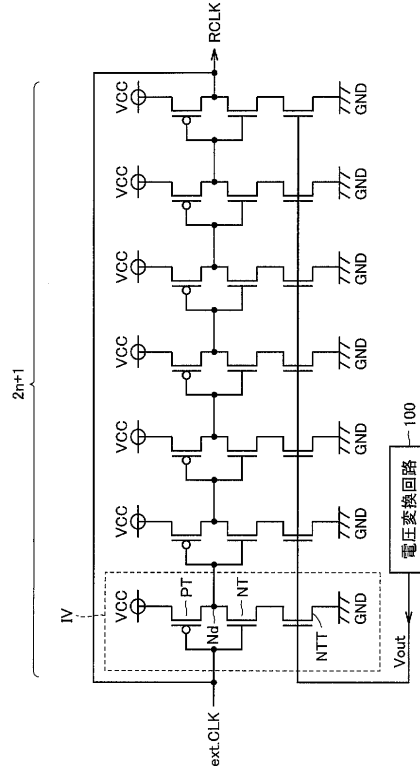
【符号の説明】

1 半導体記憶装置、2 行アドレスバッファ、3 行アドレスカウンタ、4 行デコーダ、5 メモリアレイ部、6 クロック生成回路、7 リフレッシュタイマ、8 リフレッシュカウンタ、9 列デコーダ/センスアンプ、10 列アドレスカウンタ、11 データ入出力制御回路。

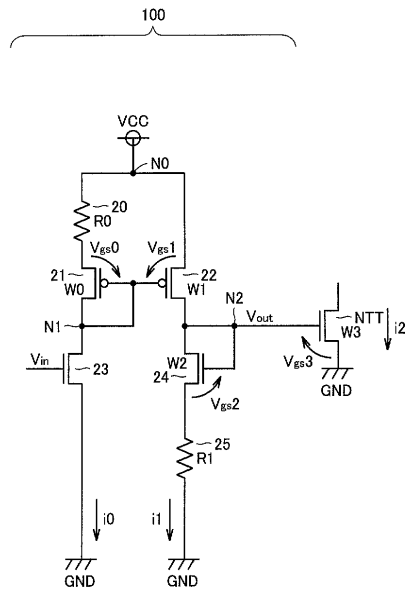
【図1】



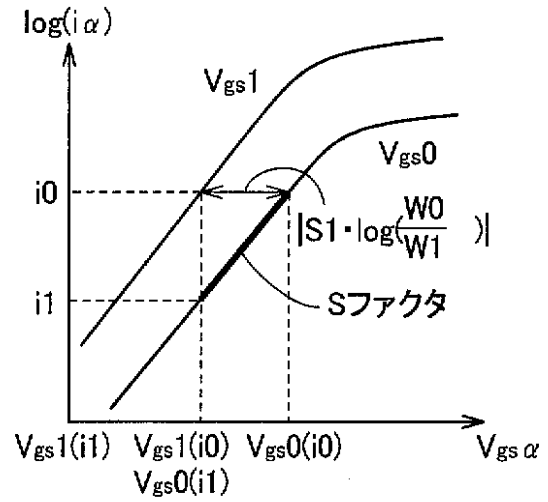
【図2】



【図3】



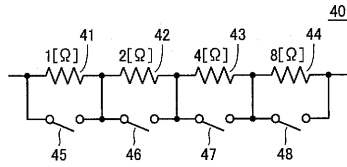
【図4】



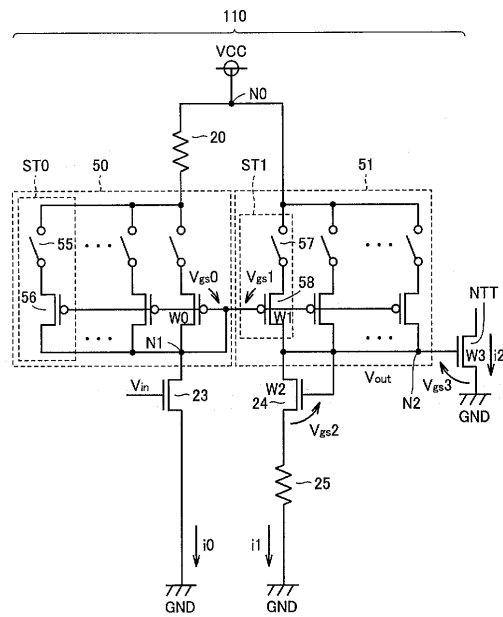
【図5】

抵抗の材料	室温時の抵抗値	高温時の抵抗値	抵抗の上昇率
n-poly Si	100[Ω]	102.5[Ω]	2.5%
n+拡散	100[Ω]	110[Ω]	10%
p+拡散	200[Ω]	220[Ω]	10%

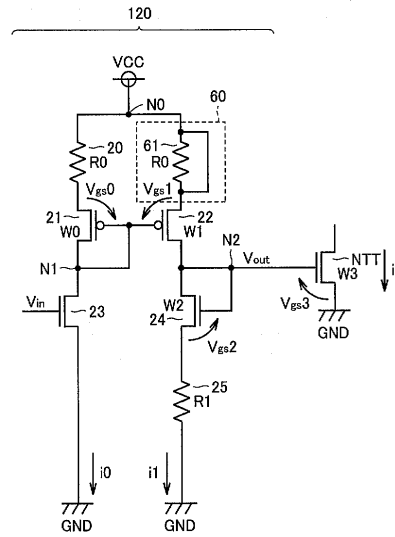
【 図 6 】



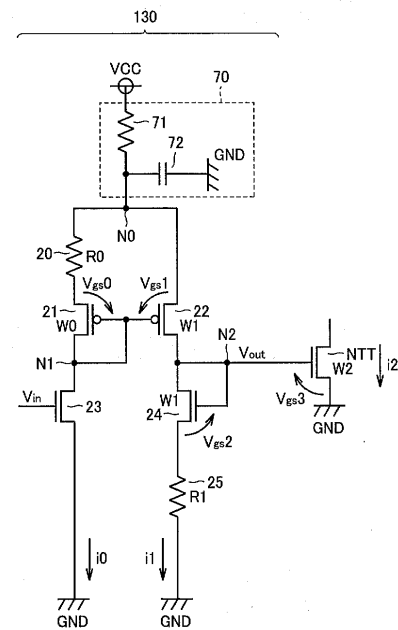
【 図 7 】



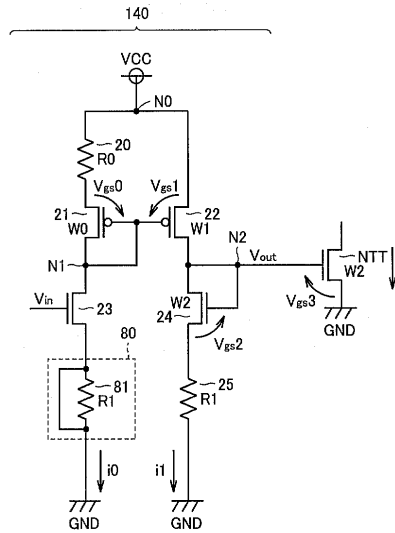
【 図 8 】



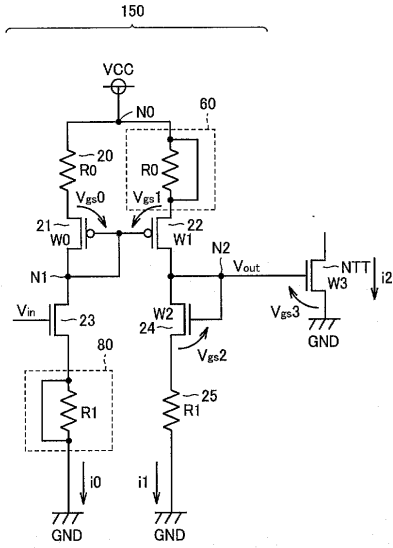
【 図 9 】



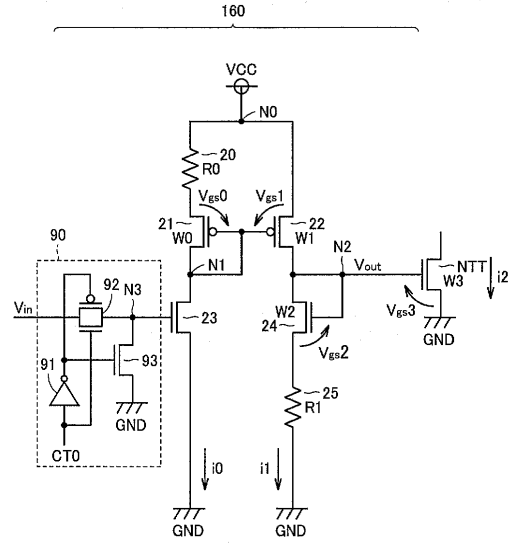
【 図 10 】



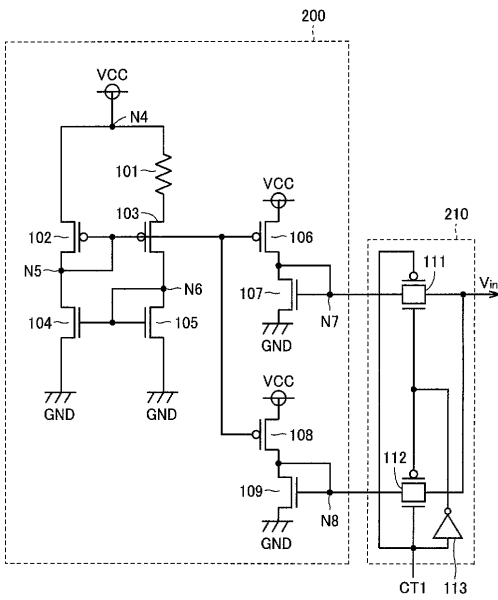
【 1 1 】



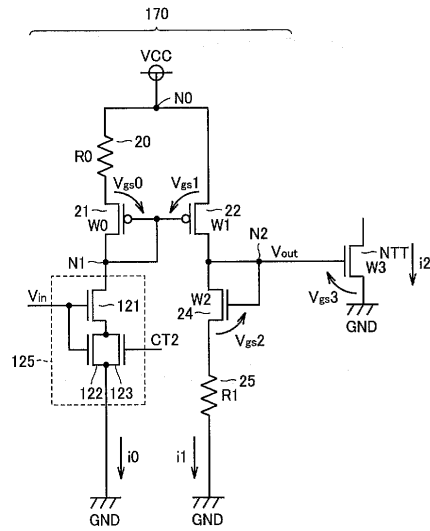
【 1 2 】



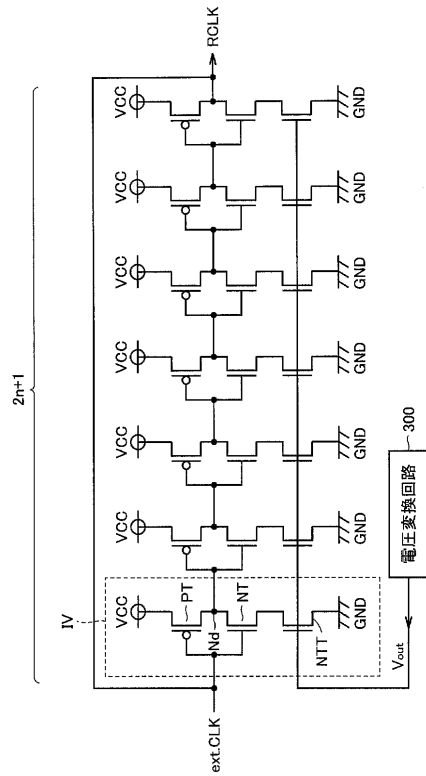
【 1 3 】



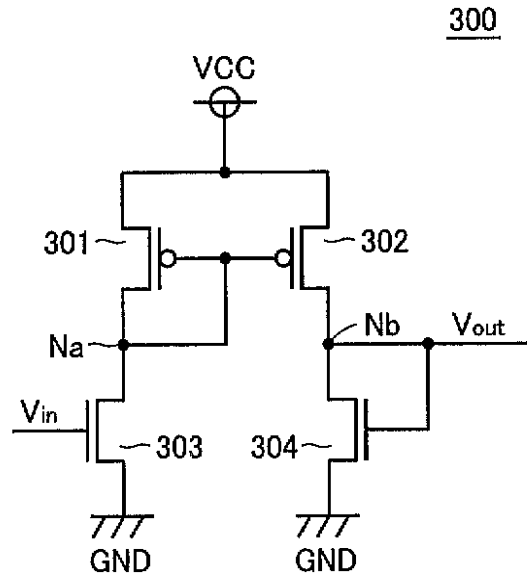
【 1 4 】



【 図 15 】



【 図 16 】



---

フロントページの続き

- (72)発明者 森下 玄  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 行天 隆幸  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 池淵 立

- (56)参考文献 特開2002-215258(JP,A)  
特開2001-332094(JP,A)  
特開平10-049245(JP,A)  
特開平11-346143(JP,A)  
特開平10-163429(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822  
H01L 27/04  
G05F 3/24