



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I680579 B

(45) 公告日：中華民國 108 (2019) 年 12 月 21 日

(21) 申請案號：108101981

(22) 申請日：中華民國 108 (2019) 年 01 月 18 日

(51) Int. Cl. : **H01L29/06 (2006.01)****H01L29/36 (2006.01)****H01L29/78 (2006.01)**(71) 申請人：新唐科技股份有限公司 (中華民國) NUVOTON TECHNOLOGY CORPORATION
(TW)

新竹市研新三路 4 號

(72) 發明人：依曼 席德內亞茲 IMAM, SYED NEYAZ (IN) ; 韋 維克 NINGARAJU, VIVEK
(IN) ; 陳柏安 CHEN, PO-AN (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

TW I472035

TW I615965

US 2017/0133505A1

審查人員：翁佑菱

申請專利範圍項數：11 項 圖式數：4 共 18 頁

(54) 名稱

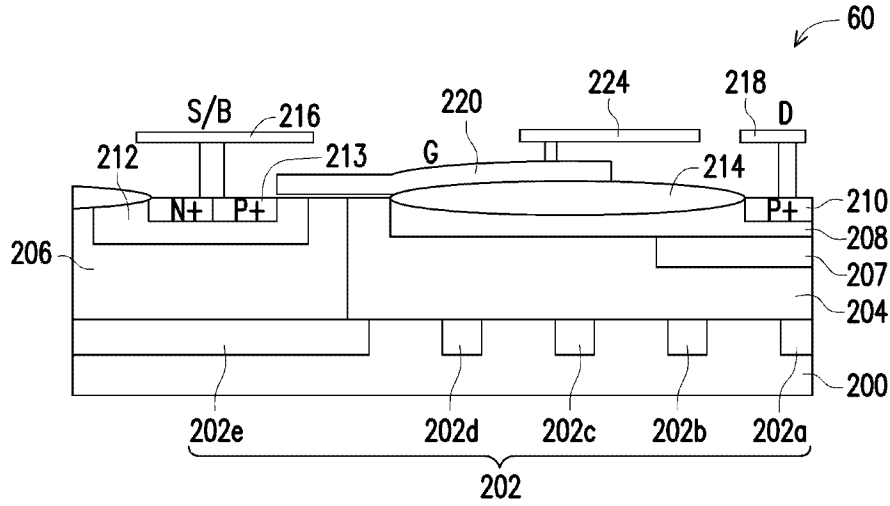
電晶體元件

(57) 摘要

一種半導體元件包括一基底，該基底是第一導電型。第二導電型的埋入層形成在該基底中的表層區域。該第二導電型的該埋入層包含中心區域，多個分離區域由該中心區域向外分佈，及外圍區域在該多個分離區域的外圍。磊晶層形成在該基底上。該第一導電型的高電壓井區形成在該磊晶層中。該第一導電型的金氧半導體電晶體形成在該高電壓井區上。該第二導電型的該埋入層的該中心區域是在該金氧半導體電晶體的汲極區域的下方。

A transistor device includes a substrate with a first conductive type. A buried layer with a second conductive type formed in the substrate at surface region. The buried layer with the second conductive type includes a central region, multiple separate regions outwardly distributed from the central region, and a peripheral region outside the separate regions. An epitaxial layer is formed on the substrate. A high-voltage well (HVW) region with the first conductive type is formed in the epitaxial layer. A metal-oxide-semiconductor (MOS) transistor with the first conductive type is formed on the HVW region. The central region of the buried layer with the second conductive type is under a drain region of the MOS transistor.

指定代表圖：



【圖2】

符號簡單說明：

- 60 . . . 高電壓 MOS 電晶體
- 200 . . . 基底
- 202 . . . N 型埋入區域
- 202a . . . 中心區域
- 202b、202c、202d . . . 分離區域
- 202e . . . 外圍區域
- 204 . . . 高電壓 P 型井區
- 206 . . . 磊晶層
- 207、208、210、212、213 . . . 摻雜區域
- 214 . . . 氧化層
- 216 . . . 源極結構
- 218 . . . 汲極結構
- 220 . . . 閘極結構
- 224 . . . 場板結構



I680579

【發明摘要】

公告本

【中文發明名稱】電晶體元件

【英文發明名稱】TRANSISTOR DEVICE

【中文】一種半導體元件包括一基底，該基底是第一導電型。第二導電型的埋入層形成在該基底中的表層區域。該第二導電型的該埋入層包含中心區域，多個分離區域由該中心區域向外分佈，及外圍區域在該多個分離區域的外圍。磊晶層形成在該基底上。該第一導電型的高電壓井區形成在該磊晶層中。該第一導電型的金氧半導體電晶體形成在該高電壓井區上。該第二導電型的該埋入層的該中心區域是在該金氧半導體電晶體的汲極區域的下方。

【英文】A transistor device includes a substrate with a first conductive type. A buried layer with a second conductive type formed in the substrate at surface region. The buried layer with the second conductive type includes a central region, multiple separate regions outwardly distributed from the central region, and a peripheral region outside the separate regions. An epitaxial layer is formed on the substrate. A high-voltage well (HVW) region with the first conductive type is formed in the epitaxial layer. A metal-oxide-semiconductor (MOS) transistor with the first conductive type is formed on the HVW region. The central region

of the buried layer with the second conductive type is under a drain region of the MOS transistor.

【指定代表圖】圖2。

【代表圖之符號簡單說明】

60：高電壓 MOS 電晶體

200：基底

202：N 型埋入區域

202a：中心區域

202b、202c、202d：分離區域

202e：外圍區域

204：高電壓 P 型井區

206：磊晶層

207、208、210、212、213：摻雜區域

214：氧化層

216：源極結構

218：汲極結構

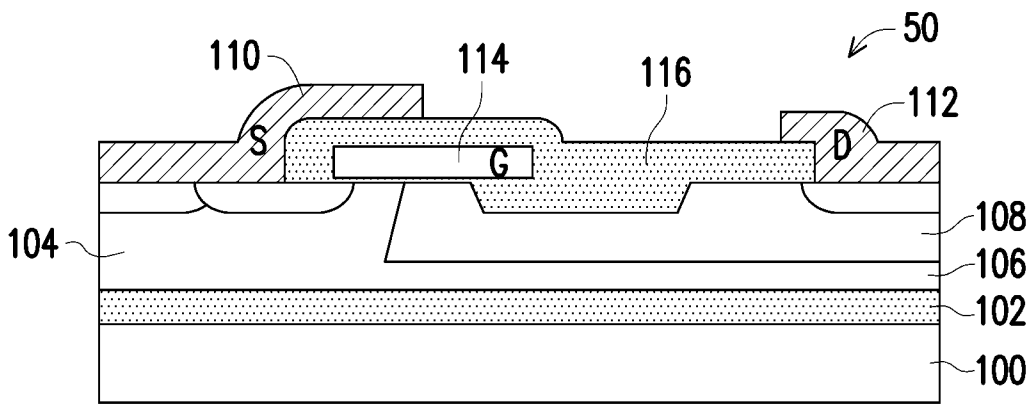
220：閘極結構

224：場板結構

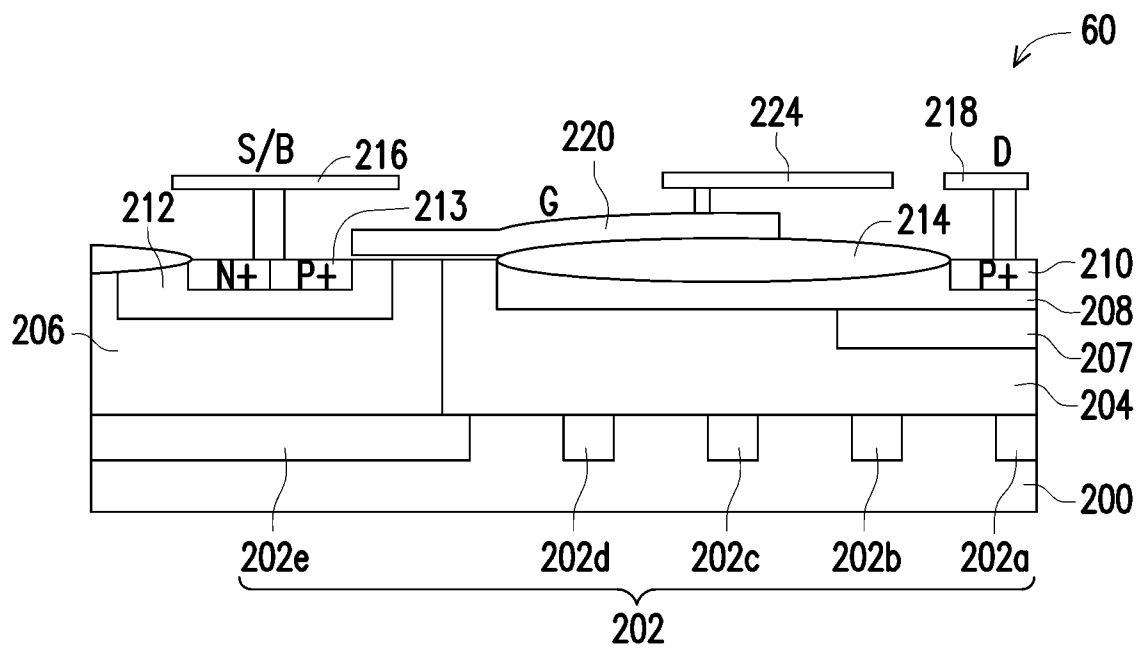
【特徵化學式】

無

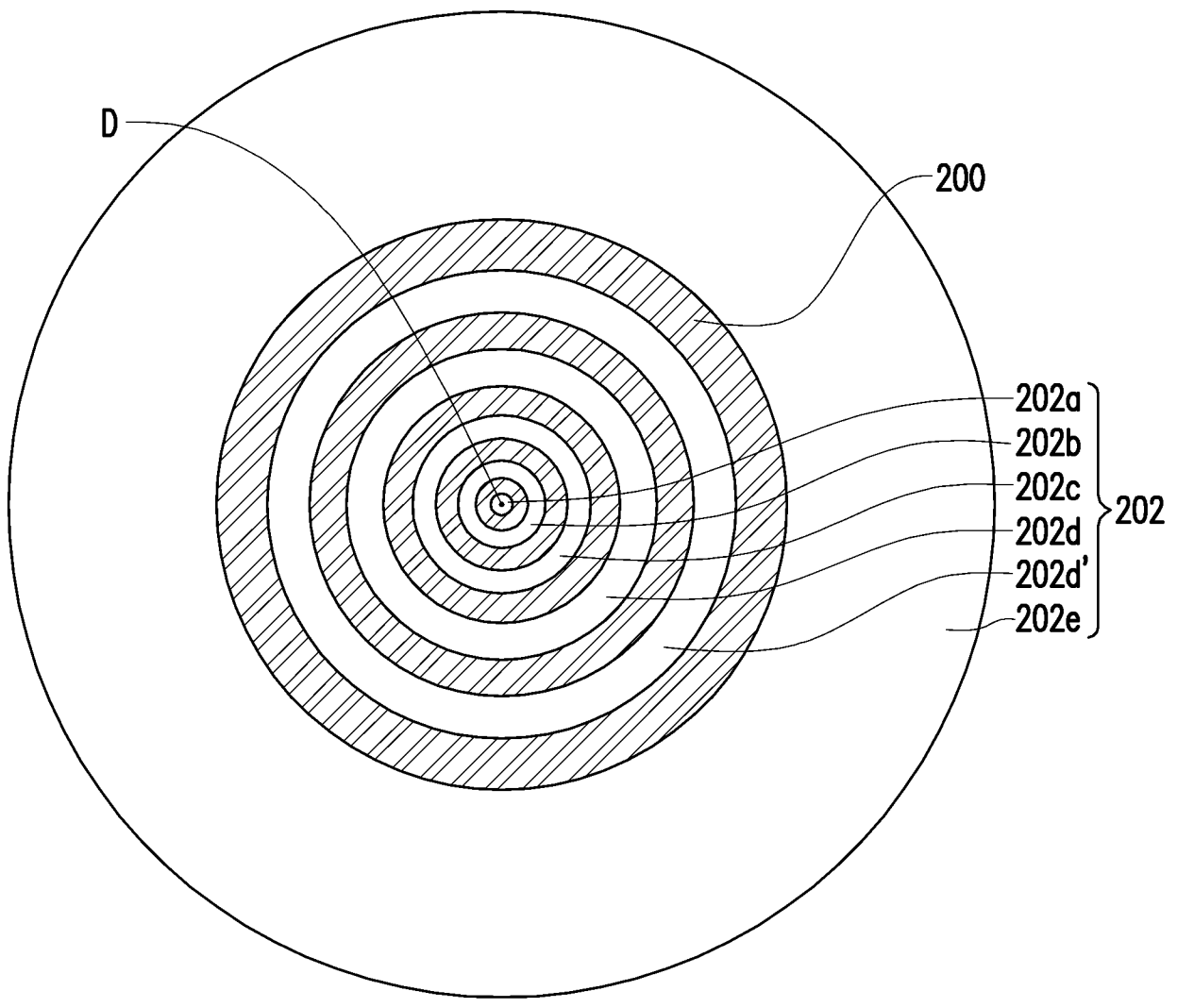
【發明圖式】



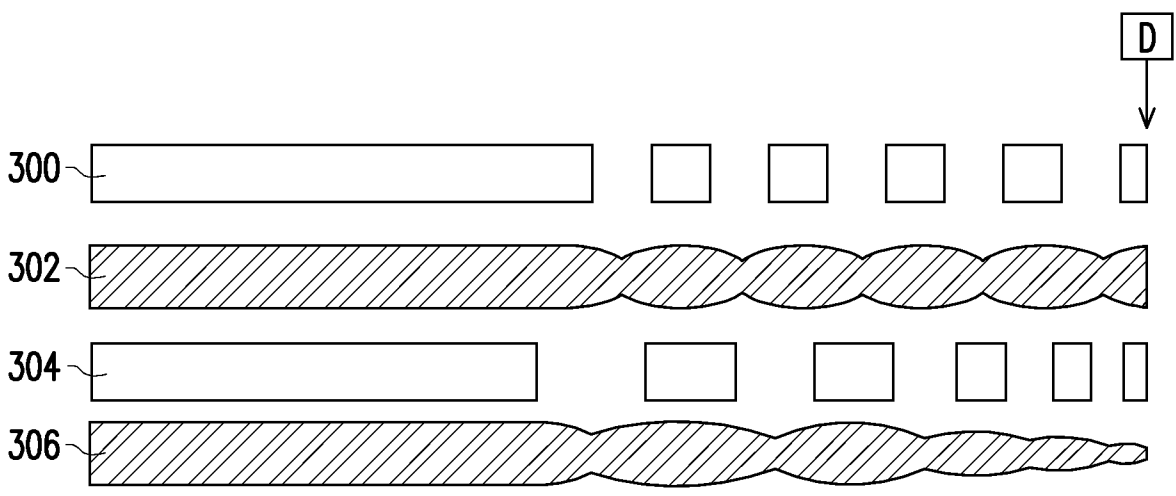
【圖1】



【圖2】



【圖3】



【圖4】

【發明說明書】

【中文發明名稱】電晶體元件

【英文發明名稱】TRANSISTOR DEVICE

【技術領域】

【0001】本發明是有關於一種半導體製造技術，且特別是有關於電晶體元件的結構。

【先前技術】

【0002】提高能源效率越來越被重視。在因應市場變化，具有更高性能且符合經濟效益的高電壓積體電路 (high-voltage integrated circuit, HVIC) 晶片已逐漸被採用。半導體的積體電路會包含操作在高電壓的高電壓電晶體。

【0003】高電壓電晶體會操作於高電壓，但是如果高電壓電晶體的崩潰電壓(breakdown voltage)不足夠高時，其例如低於 120v 的崩潰電壓，則此高電壓電晶體仍無法有效操作在更大的高電壓電範圍。高電壓電晶體一般例如會以 P 導電型的金氧半導體 (metal-oxide-semiconductor, MOS)電晶體來設計。

【0004】如何增加高電壓電晶體的崩潰電壓是設計電晶體結構所需要考慮的議題之一。

【發明內容】

【0005】 本發明提供一種電晶體元件的結構，可以提升電晶體的崩潰電壓，電晶體元件可以有效操作在高電壓範圍，例如高於 120V 或是更高的電壓範圍。

【0006】 於一實施例，本發明的一種電晶體元件，包括一基底，該基底是第一導電型。第二導電型的埋入層設置在該基底中的表層區域。該第二導電型的該埋入層包含：中心區域；多個分離區域，由該中心區域向外分佈；以及外圍區域，在該多個分離區域的外圍。一磊晶層形成在該基底上。該第一導電型的一高電壓井區設置在該磊晶層中。該第一導電型的一金氧半導體電晶體形成在該高電壓井區上。該第二導電型的該埋入層的該中心區域是在該金氧半導體電晶體的汲極區域的下方。

【0007】 於一實施例，在所述的電晶體元件中，該多個分離區域是分離區塊或是分離環狀區塊。

【0008】 於一實施例，在所述的電晶體元件中，該第二導電型的該埋入層的該多個分離區域的寬度，在由該中心區域向該金氧半導體電晶體的源極區域的延伸方向上是相同。

【0009】 於一實施例，在所述的電晶體元件中，其中該第二導電型埋入層的該多個分離區域的寬度，在由該中心區域向該金氧半導體電晶體的源極區域的延伸方向上是逐漸增大。

【0010】 於一實施例，在所述的電晶體元件中，該第二導電型的該埋入層的該多個分離區域是圓環狀。

【0011】 於一實施例，在所述的電晶體元件中，該第二導電型的

該埋入層的該外圍區域是在該金氧半導體電晶體的源極區域的下方。

【0012】 於一實施例，在所述的電晶體元件中，該第二導電型的該埋入層在該基底構成摻雜擴散區域，該摻雜擴散區域依照摻雜量對應該多個分離區域構成多個摻雜環或是多個摻雜區塊，該多個摻雜環或是該多個摻雜區塊的相鄰二個的連接區域的摻雜量相對該相鄰二個的該摻雜環或是該摻雜區塊的中間區域的摻雜量為低。

【0013】 於一實施例，在所述的電晶體元件中，其更包含絕緣層，在該磊晶層表面且在該高電壓井區上方，閘極結構在該磊晶層及該絕緣層上以及源極區域在該磊晶層的表層，在該第二導電型的該埋入層的該外圍區域的上方，相對該汲極區域與該源極區域是在該閘極結構的兩邊。

【0014】 於一實施例，在所述的電晶體元件中，該多個分離區域的寬度小於或等於相鄰二個該分離區域之間間距。

【0015】 於一實施例，在所述的電晶體元件中，該多個分離區域的寬度是相鄰二個該分離區域之間間距的 0.4 倍到 1.0 倍之間。

【0016】 於一實施例，在所述的電晶體元件中，其中該第二導電型的該埋入層在該外圍區域的平均摻雜量大於在該多個分離區域的平均摻雜量。

【0017】 於一實施例，在所述的電晶體元件中，該第一導電型為 P 型，該第二導電型為 N 型

【0018】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0019】

圖 1 是一般的一種高電壓電晶體的剖面結構示意圖。

圖 2 是依照本發明一實施例，一種高電壓電晶體的剖面結構示意圖。

圖 3 是依照本發明一實施例，一種高電壓電晶體的 N 型埋入層在基底中的上視結構示意圖。

圖 4 是依照本發明一實施例，一種高電壓電晶體的 N 型埋入層以及其摻雜量擴散分佈結構在基底中的剖面結構示意圖。

【實施方式】

【0020】 本發明是關於第一導電型的高電壓金氧半導體(HVMOS)電晶體的結構，而其崩潰電壓可以藉由第二導電型的埋入層的設計而有效提升，能夠適用於較高電壓的操作範圍。於一實施例，第一導電型是 P 型，則第二導電型是 N 型。又或是於另一實施例，第一導電型是 N 型，則第二導電型是 P 型。

【0021】 以下舉一些實施例以及用來探究與比較的傳統 P 導電型的高電壓金氧半導體(HVMOS)電晶體，但是本發明不限於所舉的多個實施例。

【0022】 以下描述本發明對傳統高電壓電晶體的探究。圖 1 是一般的一種高電壓電晶體的剖面結構示意圖。參閱圖 1，其可以利用矽在絕緣體上(silicon on insulator, SOI)的基底來製造高電壓電晶體。以 P 導電型的基底 100 而言，埋入氧化層 102 形成在基底 100 上。對於 SOI 基底的結構，矽材料的磊晶層會形成在埋入氧化層 102 上，即是 SOI 基底的結構。高電壓 MOS 電晶體 50 所需要的多種摻雜區域可以形成在磊晶層中，其例如包括 N 型井區 104 在埋入氧化層 102 上。N 型井區 104 包含延伸的 N 型埋入區域 106，形成在埋入氧化層 102 上。

【0023】 於此，從製造的製程來看，P 型井區 108 會在 N 型井區 104 中通過植入製程而形成。在 P 型井區 108 下的 N 形區域，就構成 N 型埋入區域 106。

【0024】 接著在 N 型井區 104 與 P 型井區 108 中還會形成更深濃度的表層摻雜區域，以供施加操作電壓，另外有會在 N 型井區 104 與 P 型井區 108 上更形成閘極結構(G)114、源極結構(S)110、汲極結構(D)112，以及絕緣結構 116 等等。

【0025】 對於高電壓 MOS 電晶體的結構，其如一般所知的製造技術來完成，本發明不特別限制，其製造流程於此也省略。然而，本發明在探究此一般的高電壓 MOS 電晶體的結構，經過性能與對應結構的詳細研究，本發明指出其 N 型埋入區域 106 是單塊的結構，其崩潰電壓受 N 型埋入區域 106 影響，可能無法有效提升。另外其是 SOI 的基底，在製造成本上相對也較高。

【0026】 以下列舉一些實施例，來說明本發明提出的半導體元件的結構，例如在 P 導電型的高電壓 MOS 電晶體的應用，可以有效提升崩潰電壓值，而提升電晶體電壓操作範圍。

【0027】 圖 2 是依照本發明一實施例，一種高電壓電晶體的剖面結構示意圖。參閱圖 2，以 P 導電型的高電壓 MOS 電晶體 60 為例，對於 P 型基底 200，本發明在基底 200 中的表層，利用植入製程，會形成 N 型埋入區域 202。其後，矽的磊晶層 206 會形成在基底 200 上，供後續形成所需要的摻雜區域，例如是高電壓 P 型井區 204。磊晶層 206 例如是 N 型，可以提供 N 型的井區。從另一個觀點，以 N 型的磊晶層 206，高電壓 P 型井區 204 是在磊晶層 206 中利用植入製程來完成。於此實施例，本發明的 P 型與 N 型是指半導體特性的不同導電型。就結構上，P 型是第一導電型的實施例，N 型是第二導電型的實施例。在以下描述，第一導電型是以 P 型為例，第二導電型是以 N 型為例。就摻雜的結構，其二者也可以互換。本發明不限於實施例所舉的 P 型與 N 型。

【0028】 在基底 200 中完成 N 型埋入區域 202 的結構後，會先形成磊晶層 206。磊晶層 206 當作 MOS 電晶體的半導體基底，以完成 MOS 電晶體的製造。磊晶層 206 可以先摻雜成 N 型的磊晶層 206。其後在磊晶層 206 再摻雜形成高電壓 P 型井區 204。此摻雜形成高電壓 P 型井區 204 的深度可以延伸到基底 200，在 N 型埋入區域 202 上。其後可以繼續因應 P 導電型的高電壓 MOS 電晶體 60 的結構，完成各種摻雜區域 207、208、210、212、213，其中

摻雜區域 213 是源極區域的一部分，包含 P 型與 N 型的重摻雜區域，以 P+與 N+表示，可以與外部的源極結構(S/B)216 連接。摻雜區域 210 當作汲極區域的一部份，與外部的汲極結構(D)218 連接。另外，在高電壓 P 型井區 204 上會形成氧化層 214，而閘極結構(G)220 會形成在磊晶層 206 且延伸到氧化層 214 上。因應高電壓的結構，閘極結構(G)220 上也可以再形成場板(field plate)結構 224。

【0029】 前述的 P 導電型的高電壓 MOS 電晶體 60 僅是一個實施例，本發明不限於所述結構，可以有不同的變化。高電壓 MOS 電晶體 60 的詳細描述以及其它的變化，於此省略。本發明因應高電壓 MOS 電晶體 60 的結構，提出 N 型埋入區域 202 的結構，以提升高電壓 MOS 電晶體 60 的崩潰電壓。

【0030】 以下更詳細描述 N 型埋入區域 202 的結構。本發明的 N 型埋入區域 202 在摻雜擴散的處理之前可為塊狀或環狀的摻雜結構。圖 3 是依照本發明一實施例，一種高電壓電晶體的 N 型埋入層在基底中的上視結構示意圖。同時參閱圖 3，N 型埋入區域 202 包含中心區域 202a，也以 D 標示，代表汲極的位置。中心區域 202a 例如是圓碟狀，對應電晶體的汲極結構的下方。多個分離區域 202b、202c、202d、202d'、...，由中心區域 202a 向外分佈。外圍區域 202e，在多個分離區域 202b、202c、202d、202d'的外圍。分離區域 202b、202c、202d、202d'的數量依實際需要而定。

【0031】 於一實施例，這些多個分離區域 202b、202c、202d 例如

是分離區塊或是分離環狀區塊。圖 3 是以分離環狀區塊為例，其中更例如是分離的圓環狀區塊。然而，本發明的不限於所舉的實施例。

【0032】 就多個分離區域 202b、202c、202d 的尺寸，這些分離區域的寬度是相同。於此，寬度是指在剖面結構上，沿著分佈方向上的長度。分佈方向是由汲極到源極的延伸方向。於一實施例，N 型埋入層 202 的多個分離區域 202b、202c、202d、202d' 的寬度，由中心區域 202a 向外逐漸增大。

【0033】 於一實施例，N 型埋入層 202 的多個分離區域 202b、202c、202d、202d' 是圓環狀，環繞中心區域 202a。在於一實施例，N 型埋入層 202 的外圍區域 202e 是在該 P 型金氧半導體電晶體的摻雜區域 213(源極區域)的下方。於一實施例多個分離區域 202b、202c、202d、202d' 的寬度小於或等於相鄰二個該分離區域之間間距。於一實施例，分離區域 202b、202c、202d、202d' 的寬度例如是相鄰二個該分離區域之間間距的 0.4 倍到 1.0 倍之間，但是本發明不限於此範圍。

【0034】 N 型埋入層 202 在基底 200 中，經由植入製程形成後，其在後續實際完成電晶體前會有擴散的過程，N 型埋入層 202 中分離區域會連接成一體，但是摻雜量會降低。圖 4 是依照本發明一實施例，一種高電壓電晶體的 N 型埋入層以及其摻雜量擴散分佈結構在基底中的剖面結構示意圖。

【0035】 參閱圖 4，於一實施例，N 型埋入層 300 是在基底 200 的

剖面結構，其經過擴散處理後構成摻雜擴散區域 302 的剖面結構。於本實施例，分離區域 202b、202c、202d、202d' 的寬度是以相同為例，其摻雜擴散區域依照摻雜量對應該多個分離區域構成多個摻雜環或是多個摻雜區塊。多個摻雜環或是多個摻雜區塊的相鄰二個的連接區域的摻雜量相對該相鄰二個的該摻雜環或是該多個摻雜區塊的中間區域的摻雜量為低。也就是，摻雜量區域經過擴散後連接，但是整體的平均摻雜量是降低。

【0036】 在另一個實施例，N 型埋入層 304 對應圖 3 的 N 型埋入層 202 的分佈，對應分離區域的寬度，由汲極區域 D 的中心區域向外逐漸增大。如此，經過擴散後，N 型埋入層 304 產生的摻雜擴散區域 306，雖然是連接成一體，但是摻雜量分佈更是向汲極區域 D 逐漸減小。

【0037】 本發明的 N 型埋入層 202 由中心區 202a 到外圍區域 202e 是分離的結構。經過擴散後，其整體平均摻雜量會下降，因此可以有效提升電晶體的崩潰電壓。N 型埋入層 202 可以直接形成於基底 200 中，不需要採用 SOI 的基底。

【0038】 本發明採用分離式的 N 型埋入層 202，經過模擬驗證後，例如崩潰電壓相比對於 N 型埋入層整體層狀的結構的情形，其可以由大約 100V(整體層狀的結構)提升到大約 140V(分離結構)以上。

【0039】 綜上所述，本發明對於 P 型高電壓 MOS 電晶體，其所需要的 N 型埋入層是分離式的結構，而使得在擴散後的摻雜量降低。

【0040】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視申請專利範圍所界定者為準。

【符號說明】

【0041】

50: 高電壓 MOS 電晶體

60: 高電壓 MOS 電晶體

100 : 基底

102 : 埋入氧化層

104 : N 型井區

106 : N 型埋入區域

108 : P 型井區

110 : 源極結構

112 : 汲極結構

114 : 閘極結構

116 : 絕緣結構

200 : 基底

202 : N 型埋入區域

202a: 中心區域

202b、202c、202d、202d': 分離區域

- 202e: 外圍區域
- 204 : 高電壓 P 型井區
- 206 : 磊晶層
- 207、208、210、212、213 : 摻雜區域
- 214 : 氧化層
- 216 : 源極結構
- 218 : 汲極結構
- 220 : 閘極結構
- 224 : 場板結構
- 300、304 : N 型埋入層
- 302、306 : 摻雜擴散區域

【發明申請專利範圍】

【第1項】一種電晶體元件，包括：

一基底，該基底是第一導電型；

第二導電型的一埋入層，在該基底中的表層區域，其中該第一導電型為 P 型與該第二導電型為 N 型，其中該第二導電型的該埋入層包含：

中心區域；

多個分離區域，由該中心區域向外分佈；以及

外圍區域，在該多個分離區域的外圍；

一磊晶層，形成在該基底上；

該第一導電型的一高電壓井區，在該磊晶層中；

該第二導電型的周邊井區，與該高電壓井區相鄰；以及

該第一導電型的金氧半導體電晶體，形成在該高電壓井區上，其中該金氧半導體電晶體的閘極結構也同時覆蓋在該周邊井區與該高電壓井區相鄰的界面上方，

其中該第二導電型的該埋入層的該中心區域是在該金氧半導體電晶體的汲極區域的下方。

【第2項】如申請專利範圍第1項所述的電晶體元件，其中該多個分離區域是分離區塊或是分離環狀區塊。

【第3項】如申請專利範圍第1項所述的電晶體元件，其中該第二導電型的該埋入層的該多個分離區域的寬度，在由該中心區域向該金氧半導體電晶體的源極區域的延伸方向上是相同。

【第4項】如申請專利範圍第1項所述的電晶體元件，其中該第二導電型的該埋入層的該多個分離區域的寬度，在由該中心區域向該金氧半導體電晶體的源極區域的延伸方向上逐漸增大。

【第5項】如申請專利範圍第1項所述的電晶體元件，其中該第二導電型的該埋入層的該多個分離區域是圓環狀。

【第6項】如申請專利範圍第1項所述的電晶體元件，其中該第二導電型的該埋入層的該外圍區域是在該金氧半導體電晶體的源極區域的下方。

【第7項】如申請專利範圍第1項所述的電晶體元件，其中該第二導電型的該埋入層在該基底構成摻雜擴散區域，該摻雜擴散區域依照摻雜量對應該多個分離區域構成多個摻雜環或是多個摻雜區塊，該多個摻雜環或是該多個摻雜區塊的相鄰二個的連接區域的摻雜量相對該相鄰二個的該摻雜環或是該摻雜區塊的中間區域的摻雜量為低。

【第8項】如申請專利範圍第1項所述的電晶體元件，該金氧半導體電晶體包括：

絕緣層，在該磊晶層表面且在該高電壓井區上方；

該閘極結構，在該磊晶層及該絕緣層上；

源極區域，在該磊晶層的表層，在該第二導電型的該埋入層的該外圍區域的上方，相對該汲極區域與該源極區域是在該閘極結構的兩邊。

【第9項】 如申請專利範圍第1項所述的電晶體元件，其中該多個分離區域的寬度小於或等於相鄰二個該分離區域之間間距。

【第10項】 如申請專利範圍第1項所述的電晶體元件，其中該多個分離區域的寬度是相鄰二個該分離區域之間間距的0.4倍到1.0倍之間。

【第11項】 如申請專利範圍第1項所述的電晶體元件，其中該第二導電型的該埋入層在該外圍區域的平均摻雜量大於在該多個分離區域的平均摻雜量。