



(12)发明专利申请

(10)申请公布号 CN 107369653 A

(43)申请公布日 2017. 11. 21

(21)申请号 201610312645.8

(22)申请日 2016.05.13

(71)申请人 北京中电网信息技术有限公司

地址 100080 北京市海淀区北四环西路67号大地科技大厦1218室

申请人 中电网(北京)电子科技发展有限公司

(72)发明人 萧建成

(51) Int. Cl.

H01L 23/31(2006.01)

H01L 23/552(2006.01)

H01L 21/768(2006.01)

H01L 23/52(2006.01)

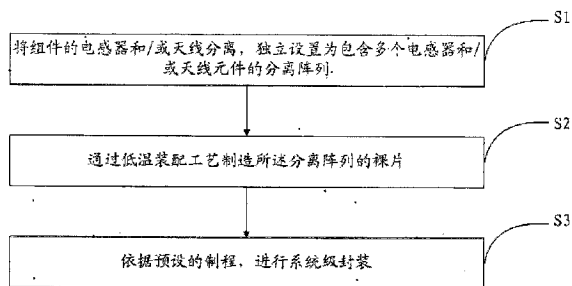
权利要求书1页 说明书3页 附图3页

(54)发明名称

一种高干扰组件的系统级封装方法、结构及分离阵列结构

(57)摘要

本发明公开了一种高干扰组件的系统级封装方法及其封装结构。其中,所述系统级封装方法包括:将组件的电感器和/或天线分离,整合设置为包含多个电感器和/或天线元件的分离阵列;通过低温装配工艺制造所述分离阵列的裸片;依据预设的制程,进行系统级封装。通过独立的分隔IC中的高干扰组件,采用分离阵列的设置,将其设置于单独的裸片中,能够很好的降低生产成本,提供更好的可靠性能。而且,由于占位面积减少,使得最终的封装产品得以小型化,为进一步的集成装配提供了空间。



1. 一种高干扰组件的系统级封装方法,其特征在于,所述系统级封装方法包括:
将组件的电感器和/或天线分离,整合设置为包含多个电感器和/或天线元件的分离阵列;
通过低温装配工艺制造所述分离阵列的裸片;
依据预设的制程,进行系统级封装。
2. 根据权利要求1所述的系统级封装方法,其特征在于,所述低温装配工艺包括:
将氧化物/聚合物沉置于基板的金属层顶部,通过掩膜形成预定的第一连接端和第一通孔;
沉置金属于基板上,填充于所述通孔内,并与所述金属层良好接触;
通过化学蚀刻,去除多余的沉积金属及氧化物或聚合物,形成预定的金属互联层;
在所述金属互联层上沉置氧化物/聚合物,并形成预定的第二通孔;
使用RDL和化学蚀刻形成另一金属互联层,作为第二连接端。
3. 根据权利要求2所述的系统级封装方法,其特征在于,所述分离阵列的一个或者多个电感器和/或天线元件通过金属互联层的RDL编程进行连接。
4. 根据权利要求2所述的系统级封装方法,其特征在于,所述氧化物/聚合物包括聚酰亚胺。
5. 一种分离阵列结构,其特征在于,所述分离阵列结构包括若干纵横设置的电感器和/或天线的元件;
所述元件的包括供连接的第一和第二连接端。
6. 一种系统级封装结构,其特征在于,所述系统级封装结构包括如权利要求1所述的分离阵列的裸片。

一种高干扰组件的系统级封装方法、结构及分离阵列结构

技术领域

[0001] 本发明涉及系统级封装技术领域,尤其涉及一种高干扰组件的系统级封装方法、结构及分离阵列结构。

背景技术

[0002] 随着封装和测试技术的不断进步,各种高电压、低电压IC的组合,分立式有源/无源元件都可以很容易地集成在一个封装结构中,即系统级封装(SIP)。

[0003] 目前,现有最先进的封装结构为25 μ m细模、面板(模架)、再分布层(RDL)以及公认的优良芯片(KGD)。优秀的封装技术最多可以在一个封装结构中堆叠16个裸片(Die)。

[0004] 但是一般的,如图1所示,现有的RF芯片布局上通常会包括金属层上的天线部分(即电感线圈)。为了防止电磁干扰,其禁止与其他工作区域重叠,这样,会造成芯片面积的浪费(超过20%的面积无法使用)。

[0005] 另外,许多垂直集成通讯系统所使用的电感器或者天线线路会设置在复杂而密集的IC芯片中(需要置于无干扰的环境,如法拉第笼),这样的结构设置会占用大量的裸片面积。在考虑设计和加工因素的情况下,进一步的影响每片晶圆上可添加的裸片数量,增加了生产的负担,导致整体系统生产成本的上涨等。

[0006] 因此,现有技术还有待发展。

发明内容

[0007] 鉴于上述现有技术的不足之处,本发明的目的在于提供一种高干扰组件的系统级封装方法、结构及分离阵列结构,旨在解决现有技术中高干扰组件结构占用裸片面积多,系统封装生产成本高的问题。

[0008] 为了达到上述目的,本发明采取了以下技术方案:

[0009] 一种高干扰组件的系统级封装方法,其中,所述系统级封装方法包括:

[0010] 将组件的电感器和/或天线分离,整合设置为包含多个电感器和/或天线元件的分离阵列;

[0011] 通过低温装配工艺制造所述分离阵列的裸片;

[0012] 依据预设的制程,进行系统级封装。

[0013] 所述的系统级封装方法,其中,所述低温装配工艺包括:

[0014] 将氧化物/聚合物沉置于基板的金属层顶部,通过掩膜形成预定的第一连接端和第一通孔;

[0015] 沉置金属于基板上,填充于所述通孔内,并与所述金属层良好接触;

[0016] 通过化学蚀刻,去除多余的沉积金属及氧化物或聚合物,形成预定的金属互联层;

[0017] 在所述金属互联层上沉置氧化物/聚合物,并形成预定的第二通孔;

[0018] 使用RDL和化学蚀刻形成另一金属互联层,作为第二连接端。

[0019] 所述的系统级封装方法,其中,所述分离阵列的一个或者多个电感器和/或天线元

件通过金属互联层的RDL编程进行连接。

[0020] 所述的系统级封装方法,其中,所述氧化物/聚合物包括聚酰亚胺。

[0021] 一种分离阵列结构,其中,所述分离阵列结构包括若干纵横设置的电感器和/或天线的元件;

[0022] 所述元件的包括供连接的第一和第二连接端。

[0023] 一种系统级封装结构,其中,所述系统级封装结构包括如权利要求1所述的分离阵列的裸片。

[0024] 有益效果:本发明提供的高干扰组件的系统级封装方法、结构及分离阵列结构,通过独立的分隔IC中的高干扰组件,采用分离阵列的设置,将其设置于单独的裸片中,能够很好的降低生产成本,提供更好的可靠性能。而且,由于占位面积减少,使得最终的封装产品得以小型化,为进一步的集成装配提供了空间。

附图说明

[0025] 图1为现有技术中的RF芯片布局示意图。

[0026] 图2为本发明具体实施例的系统级封装方法的方法流程图。

[0027] 图3为本发明具体实施例的系统级封装方法的低温装配工艺的工艺流程图。

[0028] 图4为本发明具体实施例的分离阵列的示意图。

[0029] 图5为本发明具体实施例的SIP封装工艺流程图。

具体实施方式

[0030] 本发明提供的高干扰组件的系统级封装方法、结构及分离阵列结构。为使本发明的目的、技术方案及效果更加清楚、明确,以下参照附图并举实施例对本发明进一步详细说明。应当理解,此处所描述的具体实施例仅用以解释本发明,并不用于限定本发明。

[0031] 如图2所示,为本发明的高干扰组件的系统级封装方法的具体实施例。所述系统级封装方法可以包括:

[0032] S1、将组件的电感器和/或天线分离,独立设置为包含多个电感器和/或天线元件的分离阵列。

[0033] S2、通过低温装配工艺制造所述分离阵列的裸片。所述低温装配工艺是指与常规的高温半导体技术生产IC相对的工艺。用较低温度的装配以建立外部元件,可以避免在IC制造过程中使用较多的步骤和额外的掩膜,造成不必要的EM波形干扰问题。

[0034] S3、依据预设的制程,进行系统级封装。

[0035] 如图1所示,在现有的芯片设计中,电感器/天线线路以及EM绝缘体差不多占了整个裸片尺寸的四分之一,占用了芯片中的宝贵空间,在亚微米技术中存在着很大的问题。

[0036] 而在上述封装方法中,采用独立设置的分离阵列来组装高干扰型的组件或者是有源器件,并采用对应的工艺进行SIP封装,能够减少占位面积。而且,由于分离阵列独立设置,可以为IC设计提供更好的灵活性和可靠性,还能进一步的减少组装和制造的时间成本。

[0037] 具体的,如图3所示,所述低温装配工艺可以包括如下步骤:

[0038] S21、将氧化物/聚合物沉置于基板S的金属层M顶部。可以通过掩膜勾画,形成连接触点(即第一通孔VIA1)。然后将沉置的抗光材料进行曝光,使对应的区域硬化后,进行化学

处理,去除非硬化区域。这些硬化区域即为预定的电感/天线的第一连接端。较佳的是,所述氧化物/聚合物为聚酰亚胺,从而屏蔽电磁干扰。

[0039] S22、沉置铝/金属于完成步骤S21的基板顶部,使其填充所述第一通孔VIA1并与所述基板的金属层良好接触。

[0040] S23、对完成步骤S22后的基板化学蚀刻,去除多余的沉积金属及氧化物或聚合物。仅剩余那些下一步骤预设的通孔位置及相关金属层布局。

[0041] S24、在步骤S23形成的结构顶部继续沉置氧化物/聚合物,形成位于另一层的预定的第二通孔VIA2。第一通孔VIA1和第二通孔VIA2之间的组成结构相同。

[0042] 在第二通孔VIA2完成后,可以使用RDL和化学蚀刻形成另一层金属布线图案,作为电感/天线的第二连接端。

[0043] 如图3和图4所示,为本发明具体实施例的分离阵列的示意图。在最终装配完成后的分离阵列中,包括有多个沿纵横设置的电感器/天线元件(L1到Ln)。所述元件的包括提供连接的第一和第二连接端,使其作为外部的天线元件。

[0044] 其中,所述分离阵列的一个或者多个电感器和/或天线元件通过金属互联层的RDL编程进行连接。

[0045] 如图5所示,为本发明提供的一种系统级封装(SIP)的装配流程。其应用上述分离阵列,可以获得更小尺寸、更好性能以及更低成本的器件。其包括多个不同的KGD,并将其封装于一个系统级封装结构中。然后,固定于基板上并形成最终的产品。

[0046] 可以理解的是,对本领域普通技术人员来说,可以根据本发明的技术方案及本发明构思加以等同替换或改变,而所有这些改变或替换都应属于本发明所附的权利要求的保护范围。

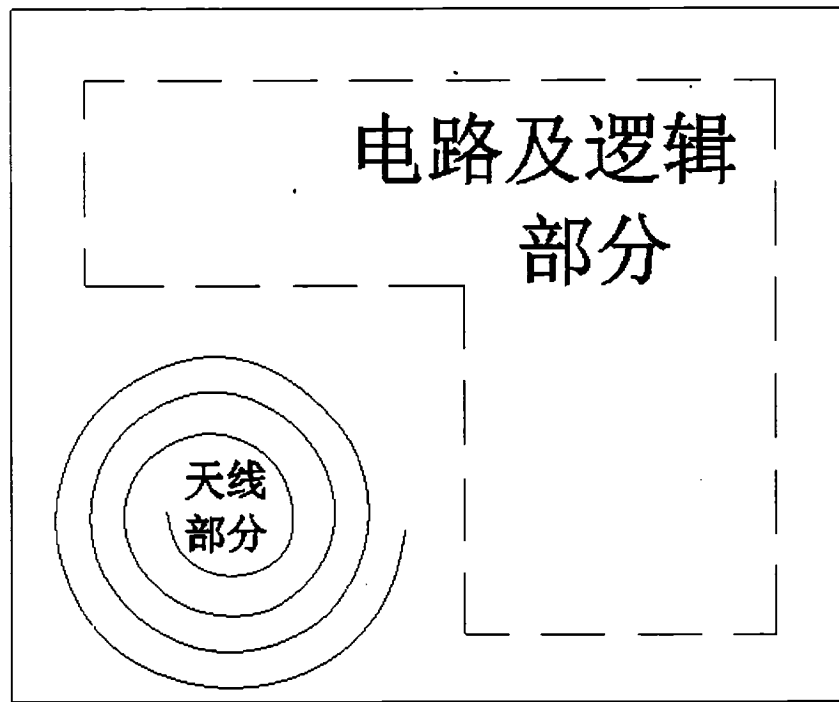


图1

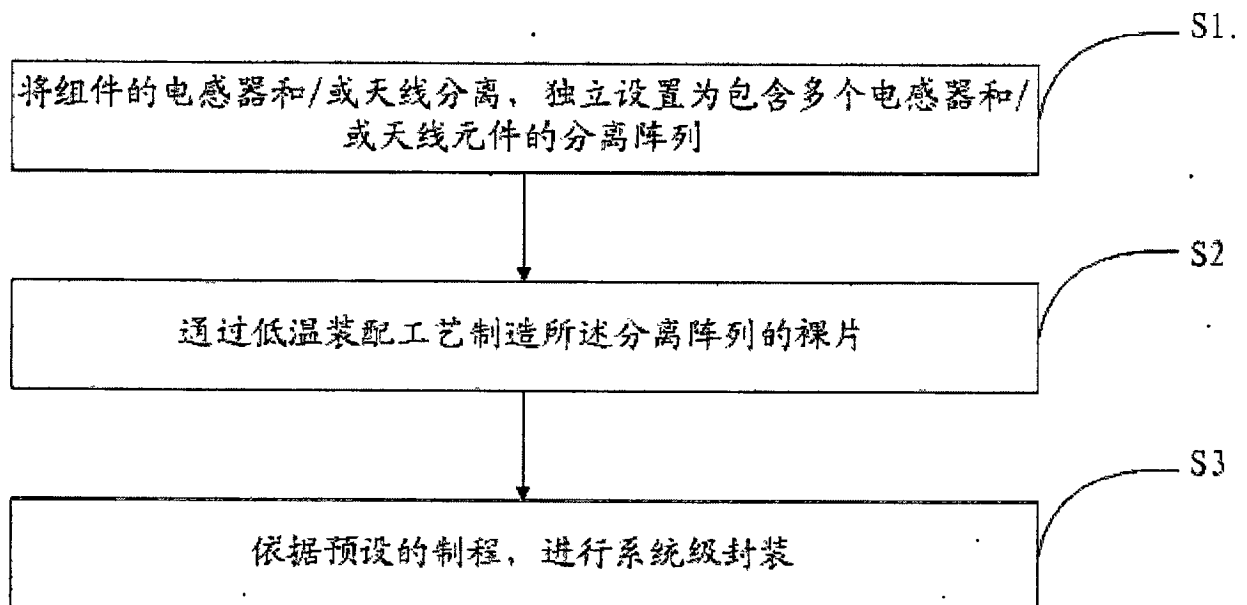


图2

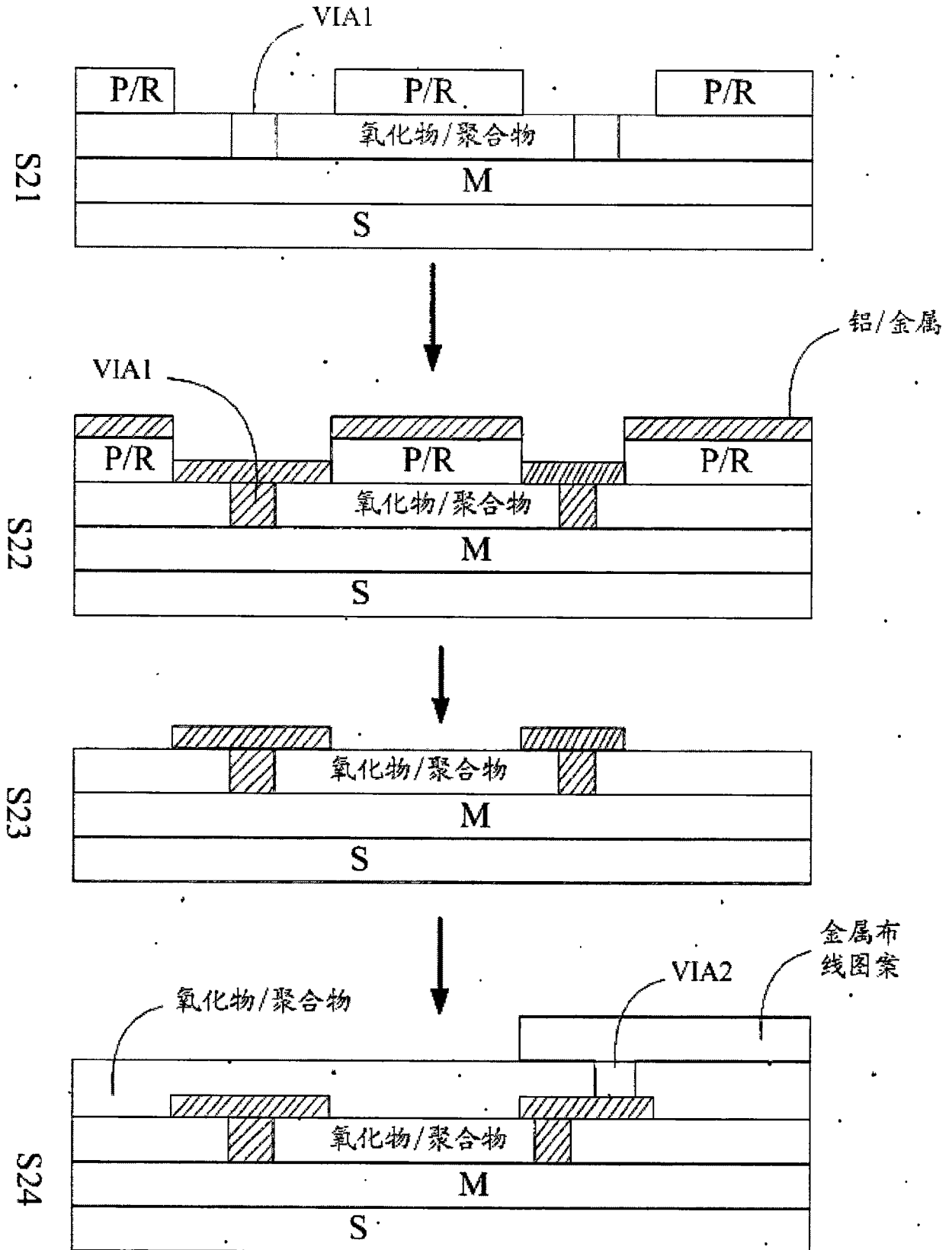


图3

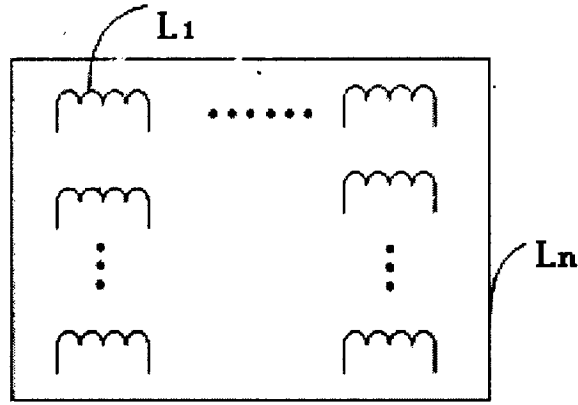


图4

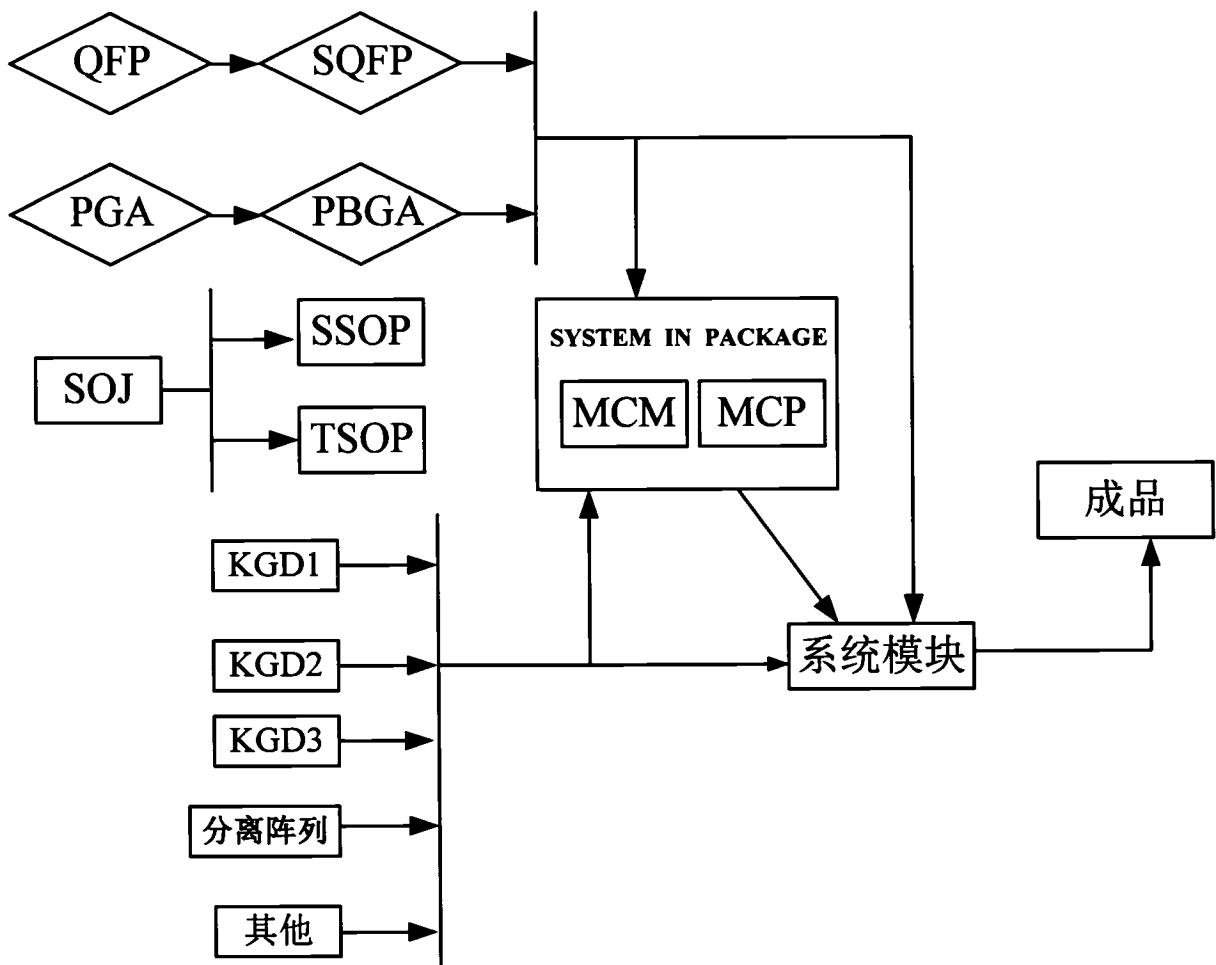


图5