

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-344782
(P2006-344782A)

(43) 公開日 平成18年12月21日(2006.12.21)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/861 (2006.01)	HO 1 L 29/91	J
HO 1 L 21/329 (2006.01)	HO 1 L 29/91	D
	HO 1 L 29/91	B

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号	特願2005-169345 (P2005-169345)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成17年6月9日(2005.6.9)	(74) 代理人	100098291 弁理士 小笠原 史朗
		(72) 発明者	岡本 景城 大阪府門真市大字門真1006番地 松下電器産業株式会社内

(54) 【発明の名称】 チップ型半導体素子とその製造方法

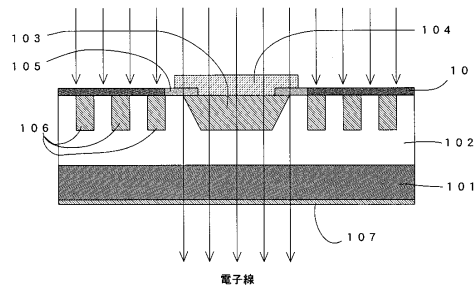
(57) 【要約】

【課題】 高耐圧半導体素子の耐圧特性を妨げることなく高速動作が可能とするチップ型半導体素子とすること

【解決手段】 低濃度N型エピタキシャル層102と該エピタキシャル層102の表面から層内へ延在するP型半導体層103が形成され、P型半導体層103から離間して取り囲み且つ低濃度N型エピタキシャル層102の表面から層内へ略P型半導体層103と同程度の深さに延在する環状のFLR106が形成された半導体基板のFLR106よりも内側のP型半導体層103と低濃度N型エピタキシャル層102の全般に分布する結晶欠陥が選択的に形成された構成とする事で、逆バイアス時の電界集中に結晶欠陥が晒されることがないので該結晶欠陥に起因する降伏現象が発生せず、trrを短縮できる。

【選択図】 図1

- 10 鉛ガラス
- 101 N型半導体基板
- 102 低濃度N型エピタキシャル層
- 103 P型半導体層
- 104 メタル電極
- 105 絶縁皮膜
- 106 FLR
- 107 裏面メタライズ層



【特許請求の範囲】

【請求項 1】

半導体基板に結晶欠陥が選択的に分布形成され、
逆方向バイアス時に前記結晶欠陥を起因とする降伏現象が生じない事を特徴とするチップ型半導体素子。

【請求項 2】

前記半導体基板に少なくとも低濃度第一導電型半導体層と第二導電型半導体層と第二導電型の F L R とを含み、

前記低濃度第一導電型半導体層の表面から層内へ延在する前記第二導電型半導体層が形成され、

前記第二導電型半導体層から離間して該半導体層を環状に取り囲んで前記低濃度第一導電型半導体層の表面から層内へ略前記第二導電型半導体層と同程度の深さに延在する前記第二導電型の F L R が形成され、

該 F L R に取り囲まれた内側の、前記低濃度第一導電型半導体層と前記第二導電型半導体層を含む前記半導体基板の第一主面から第二主面にかかる範囲内で選択的に前記結晶欠陥が分布形成された事を特徴とする、請求項 1 に記載のチップ型半導体素子。

10

【請求項 3】

半導体基板表面に電子線を遮蔽するマスクが形成され、

該マスクを利用して前記半導体基板に選択的に電子線を照射する事で該半導体基板に結晶欠陥が選択的に分布形成され、

逆方向バイアス時に前記結晶欠陥を起因とする降伏現象が生じない事を特徴とする、チップ型半導体素子。

20

【請求項 4】

前記半導体基板に少なくとも低濃度第一導電型半導体層と第二導電型半導体層とを含み、

前記低濃度第一導電型半導体層の上層に前記第二導電型半導体層が形成され、

前記半導体基板の側面の少なくとも前記低濃度第一導電型半導体層と前記第二導電型半導体層とで成る側面はメサ形状を成し、

前記半導体基板の側面の少なくとも前記低濃度第一導電型半導体層と前記第二導電型半導体層とから該半導体基板の第一主面周縁へ延在する前記マスクが形成された事を特徴とする、請求項 3 に記載のチップ型半導体素子。

30

【請求項 5】

前記マスクが、鉛ガラスから成る事を特徴とする請求項 3 または 4 に記載のチップ型半導体素子。

【請求項 6】

第一導電型半導体基板の上層に低濃度第一導電型エピタキシャル層をエピタキシャル成長させ、半導体基板の第一主面である前記低濃度第一導電型エピタキシャル層の主面を熱酸化法にて酸化膜である絶縁皮膜で覆って形成する初期酸化工程と、

前記初期酸化工程終了後の前記絶縁皮膜にフォトリソグラフィを用いた選択的エッチング除去を施して、第二導電型半導体層形成予定部上に位置する第二導電型半導体層拡散窓と、前記第二導電型半導体層形成予定部から離間して該第二導電型半導体層形成予定部を取り囲んだ環状の F L R 形成予定部上に位置する F L R 拡散窓とを形成し、該 F L R 形成予定部は各々と離間させて前記第二導電型半導体層形成予定部と同心な環状に一箇所または複数箇所形成し、前記第二導電型半導体層拡散窓と前記 F L R 拡散窓とに前記低濃度第一導電型エピタキシャル層を露出させる拡散窓形成工程と、

40

前記拡散窓形成工程終了後の前記半導体基板第一主面側の少なくとも前記低濃度第一導電型エピタキシャル層露出面の上に第二導電型ドーパントを含む膜を形成し、熱拡散法にて低濃度第一導電型エピタキシャル層表面から層内へ延在する第二導電型の F L R と第二導電型半導体層とを形成する拡散層形成工程と、

前記拡散層形成工程終了後の前記絶縁皮膜で前記 F L R 最内殻の内周面上に位置する前

50

記絶縁皮膜を残して他の部分の該絶縁皮膜にフォトリソグラフィを用いた選択的エッチング除去を施して前記FLR最内殻を含んだ外側の前記低濃度第一導電型エピタキシャル層と前記FLRとを露出させる絶縁皮膜除去工程と、

前記絶縁皮膜除去工程終了後の前記低濃度第一導電型エピタキシャル層と前記FLRとを含む露出面に鉛成分を含むガラスパウダーを選択的に電着させた後に該ガラスパウダーを加熱焼成させて前記FLR最内殻を含んだ外側の該FLRと前記低濃度第一導電型エピタキシャル層との表面上に前記絶縁皮膜と接して鉛ガラスを形成する鉛ガラス形成工程と、

前記鉛ガラス形成工程終了後の前記第二導電型半導体層上に位置する前記絶縁皮膜の一部にフォトリソグラフィを用いた選択的エッチング除去を施して前記第二導電型半導体層表面の一部を露出させ、前記半導体基板の第一主面側を占める前記鉛ガラスと前記絶縁皮膜と前記第二導電型半導体層とを含む面に蒸着法にてメタル層を形成し、該メタル層にフォトリソグラフィを用いた選択的エッチング除去を施して前記第二導電型半導体層表面から前記絶縁皮膜表面周辺へ延在するメタル電極を形成し、前記半導体基板の第二主面である前記第一導電型半導体基板表面を研削研磨して厚み調整の後に該半導体基板表面に蒸着法にて裏面メタライズ層を形成する外部電極形成工程と、

前記外部電極形成工程終了後に前記半導体基板の第一主面の上方より、該半導体基板の第一主面に形成された前記鉛ガラスをマスクとして電子線を照射し、マスクされていない部分の前記半導体基板に該電子線を透過させて前記メタル電極と前記絶縁皮膜との下に位置する前記第二導電型半導体層と前記低濃度第一導電型エピタキシャル層と前記第一導電型半導体基板との範囲内に分布する結晶欠陥を形成する電子線照射工程と、を含む事を特徴とする、チップ型半導体素子の製造方法。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チップ型高耐圧半導体素子の高速化に関する。

【背景技術】

【0002】

従来チップ型高耐圧半導体素子としては、N型半導体基板の上層に低濃度N型エピタキシャル層が形成され、低濃度N型エピタキシャル層の表面から層内へ延在するP型半導体層が形成され、該エピタキシャル層の表面から層内へ延在して且つP型半導体層を取り囲んだ環状のP型半導体層であるFLR（フローティング・リミテッド・リング）が形成されているものがあった（例えば、特許文献1参照）。図4は、前記特許文献1に記載された従来チップ型高耐圧半導体素子を示すものである。

30

【0003】

図4において、101はN型半導体基板、102は低濃度N型エピタキシャル層、103はP型半導体層、104はメタル電極、105は絶縁皮膜、106はFLR、107は裏面メタライズ層を各々示しており、N型半導体基板101の上層に低濃度N型エピタキシャル層102が形成され、N型エピタキシャル層102の表面から層内へ延在するP型半導体層103が形成され、該エピタキシャル層102の表面から層内へ延在して且つP型半導体層103から離間して該P型半導体層103を取り囲んだ環状のP型半導体層であるFLR106が形成され、該FLR106は各々と離間させてP型半導体層103と同心な環状に三箇所形成され、低濃度N型エピタキシャル層102とP型半導体層103とFLR106とで占められた半導体基板の第一主面をP型半導体層103表面の一部に窓開けされた絶縁皮膜105が覆って形成され、P型半導体層103の表面から絶縁皮膜105の表面周辺へ延在するメタル電極104が形成され、半導体基板の第二主面であるN型半導体基板101の表面に裏面メタライズ層107が覆って形成されている。

40

【0004】

かかる構成によれば、メタル電極104と裏面メタライズ層107との間に逆バイアス

50

を掛けて行くと、低濃度N型エピタキシャル層102とP型半導体層103との界面より低濃度N型エピタキシャル層102層内へ空乏層がバイアス電圧と共に拡がり、やがて最近傍のFLR106と接すると、該FLR106を越えて空乏層が伸張し、更にバイアス電圧が高く成って行くと更に空乏層が拡がって行き、やがて全てのFLR106を包括する連続一体な空乏層と成る。

【0005】

この際の空乏層の形状を考えると、FLR106が無い構成に比較してFLR106の存在分だけ空乏層が伸張されて空乏層の表面形状の曲率が緩やかに小さくなるので曲率部に掛る電界集中を緩和する作用が働いて電界集中に起因する降伏現象をより高電圧になるまで発生させず、高耐圧化する効果を有していた。

10

【0006】

また、従来 of 公知慣用のチップ型高速半導体素子としては、N型半導体基板の上層に低濃度N型エピタキシャル層が形成され、該エピタキシャル層の表面から層内へ延在するP型半導体層が形成され、N型半導体基板と低濃度N型エピタキシャル層とP型半導体層とを含む半導体基板全般に分布する結晶欠陥が形成されているものがあつた。図5は、前記従来 of チップ型高速半導体素子を示すものである。

【0007】

図5において、101はN型半導体基板、102は低濃度N型エピタキシャル層、103はP型半導体層、104はメタル電極、105は絶縁皮膜、107は裏面メタライズ層を各々示しており、N型半導体基板101の上層に低濃度N型エピタキシャル層102が形成され、該エピタキシャル層102の表面から層内へ延在するP型半導体層103が形成され、低濃度N型エピタキシャル層102とP型半導体層103とで占める半導体基板の第一主面に、P型半導体層103表面の一部に窓開けされた絶縁皮膜105が覆って形成され、P型半導体層103表面から絶縁皮膜105表面の周辺へ延在するメタル電極104が形成され、半導体基板の第二主面であるN型半導体基板101表面を裏面メタライズ層107が覆って形成され、N型半導体基板101と低濃度N型エピタキシャル層102とP型半導体層103とを含む半導体基板層内全般に分布する結晶欠陥(図示せず)が形成されている。

20

【0008】

かかる構成によれば、メタル電極104と裏面メタライズ層107との間に順方向バイアスを掛けて順方向電流を流している状態からバイアスを反転させてメタル電極104と裏面メタライズ層107との間を逆方向バイアスに切り換えた際に、半導体基板層内に残留するキャリアの影響で、該キャリアが半導体基板層内から流出して存在しなくなるまでの時間(以降、キャリアライフタイムと称する)は逆方向電流が流れ、その後遮断状態に成るので逆バイアスに切り換わってから遮断状態になるまでにタイムラグ(逆方向回復時間であり以降、 t_{rr} と称する)が存在する事を打ち消す作用が働く。

30

【0009】

即ち、メタル電極104と裏面メタライズ層107との間を逆バイアスに切り換えた際に、半導体基板層内に残留するキャリアを上記の結晶欠陥(図示せず)が捕らえて消滅させるキラーとして作用するので、キャリアライフタイムを短くすることにより t_{rr} を短縮させて高速動作を可能とする効果を有していた。

40

【0010】

この様な結晶欠陥を有する半導体装置の製造方法としては、N型半導体基板101の上層に低濃度エピタキシャル層102をエピタキシャル成長させ、半導体基板の第一主面である低濃度N型エピタキシャル層102の表面上に熱酸化法にて酸化膜である絶縁皮膜105を形成し、該絶縁皮膜105にフォトリソグラフィを用いた選択的エッチング除去を施して窓形成して低濃度N型エピタキシャル層102の一部表面を露出させ、少なくとも低濃度N型エピタキシャル層102の露出面上にP型ドーパントを含む膜を形成し、熱拡散法にて低濃度N型エピタキシャル層102表面から層内へ延在するP型半導体層103を選択的に形成し、P型半導体層103の露出面と絶縁皮膜105表面との全面に蒸着

50

法にてメタル層を形成し、該メタル層に選択的エッチング除去を施してP型半導体層103表面から絶縁皮膜105表面の周辺へ延在するメタル電極104を形成し、半導体基板の第二主面であるN型半導体基板101表面に蒸着法にて裏面メタライズ層107を形成し、半導体基板の第一主面上方より該半導体基板全面を含む面に電子線照射を施して該電子線に半導体基板を透過させて半導体基板層内の全般に分布する結晶欠陥(図示せず)を形成させて、図5に示すチップ型高速半導体素子としていた。

【特許文献1】特許第3221673号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

10

しかしながら、前記従来構成では、高耐圧で且つ高速なチップ型半導体素子とする為に上述のチップ型高耐圧半導体素子に上述の結晶欠陥を形成して高速化を図ることを考えた場合、高耐圧半導体素子に高圧の逆バイアスを掛けた際の半導体基板層内の電界集中部分にも結晶欠陥が存在する事となるので該結晶欠陥に起因する降伏現象が起こり、高耐圧が妨げられて耐圧が低下する事となる課題を有していた。

【0012】

本発明は、前記従来課題を解決するもので、高速動作が可能なチップ型高耐圧半導体素子とその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0013】

20

前記従来課題を解決するために、本発明のチップ型半導体素子は、半導体基板に結晶欠陥が選択的に分布形成され、逆方向バイアス時に結晶欠陥を起因とする降伏現象が生じない事の特徴とする。

【0014】

具体的には、半導体基板に少なくとも低濃度第一導電型半導体層と第二導電型半導体層と第二導電型のFLRとを含み、低濃度第一導電型半導体層の表面から層内へ延在する第二導電型半導体層が形成され、第二導電型半導体層から離間して該半導体層を環状に取り囲んで低濃度第一導電型半導体層の表面から層内へ略第二導電型半導体層と同程度の深さに延在する第二導電型のFLRが形成され、該FLRに取り囲まれた内側の、低濃度第一導電型半導体層と第二導電型半導体層を含む半導体基板の第一主面から第二主面にかける範囲内で選択的に結晶欠陥が分布形成させれば良い。

30

【0015】

本発明の別のチップ型半導体素子は、半導体基板表面に電子線を遮蔽するマスクが形成され、該マスクを利用して半導体基板に選択的に電子線を照射する事で該半導体基板に結晶欠陥が選択的に分布形成され、逆方向バイアス時に結晶欠陥を起因とする降伏現象が生じない事の特徴とする。

【0016】

具体的には、半導体基板に少なくとも低濃度第一導電型半導体層と第二導電型半導体層とを含み、低濃度第一導電型半導体層の上層に第二導電型半導体層が形成され、半導体基板の側面の少なくとも低濃度第一導電型半導体層と第二導電型半導体層とで成る側面はメサ形状を成し、半導体基板の側面の少なくとも低濃度第一導電型半導体層と第二導電型半導体層とから該半導体基板の第一主面周縁へ延在するマスクが形成させれば良い。

40

【0017】

また、マスクが、鉛ガラスから成る事が好ましい。

【0018】

本発明のチップ型半導体素子の製造方法は、第一導電型半導体基板の上層に低濃度第一導電型エピタキシャル層をエピタキシャル成長させ、半導体基板の第一主面である低濃度第一導電型エピタキシャル層の主面を熱酸化法にて酸化膜である絶縁皮膜で覆って形成する初期酸化工程と、初期酸化工程終了後の絶縁皮膜にフォトリソグラフィを用いた選択的エッチング除去を施して、第二導電型半導体層形成予定部上に位置する第二導電型半導

50

体層拡散窓と、第二導電型半導体層形成予定部から離間して該第二導電型半導体層形成予定部を取り囲んだ環状のFLR形成予定部上に位置するFLR拡散窓とを形成し、該FLR形成予定部は各々と離間させて第二導電型半導体層形成予定部と同心な環状に一箇所または複数箇所形成し、第二導電型半導体層拡散窓とFLR拡散窓とに低濃度第一導電型エピタキシャル層を露出させる拡散窓形成工程と、拡散窓形成工程終了後の半導体基板第一主面側の少なくとも低濃度第一導電型エピタキシャル層露出面の上に第二導電型ドーパントを含む膜を形成し、熱拡散法にて低濃度第一導電型エピタキシャル層表面から層内へ延在する第二導電型のFLRと第二導電型半導体層とを形成する拡散層形成工程と、拡散層形成工程終了後の絶縁皮膜でFLR最内殻の内周面上に位置する絶縁皮膜を残して他の部分の該絶縁皮膜にフォトリソグラフィを用いた選択的エッチング除去を施してFLR最内殻を含んだ外側の低濃度第一導電型エピタキシャル層とFLRとを露出させる絶縁皮膜除去工程と、絶縁皮膜除去工程終了後の低濃度第一導電型エピタキシャル層とFLRとを含む露出面に鉛成分を含むガラスパウダーを選択的に電着させた後に該ガラスパウダーを加熱焼成させてFLR最内殻を含んだ外側の該FLRと低濃度第一導電型エピタキシャル層との表面上に絶縁皮膜と接して鉛ガラスを形成する鉛ガラス形成工程と、鉛ガラス形成工程終了後の第二導電型半導体層上に位置する絶縁皮膜の一部分にフォトリソグラフィを用いた選択的エッチング除去を施して第二導電型半導体層表面の一部分を露出させ、半導体基板の第一主面側を占める鉛ガラスと絶縁皮膜と第二導電型半導体層とを含む面に蒸着法にてメタル層を形成し、該メタル層にフォトリソグラフィを用いた選択的エッチング除去を施して第二導電型半導体層表面から絶縁皮膜表面周辺へ延在するメタル電極を形成し、半導体基板の第二主面である第一導電型半導体基板表面を研削研磨して厚み調整の後に該半導体基板表面に蒸着法にて裏面メタライズ層を形成する外部電極形成工程と、外部電極形成工程終了後に半導体基板の第一主面の上方より、該半導体基板の第一主面に形成された鉛ガラスをマスクとして電子線を照射し、マスクされていない部分の半導体基板に該電子線を透過させてメタル電極と絶縁皮膜との下に位置する第二導電型半導体層と低濃度第一導電型エピタキシャル層と第一導電型半導体基板との範囲内に分布する結晶欠陥を形成する電子線照射工程と、を含めれば良い。

【0019】

本構成によって、耐圧特性を妨げることなく高速動作が可能なチップ型半導体素子とその製造方法とすることができる。

【発明の効果】

【0020】

以上のように、本発明のチップ型半導体素子とその製造方法によれば、高耐圧で且つ高速なものとすることができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0022】

(実施の形態1)

図1は、本発明の実施の形態1におけるチップ型半導体素子の断面図である。図1において、図4と同じ構成要素については同じ符号を用い、説明を省略する。

【0023】

図1において、10は鉛ガラス、101はN型半導体基板、102は低濃度N型エピタキシャル層、103はP型半導体層、104はメタル電極、105は絶縁皮膜、106はFLR、107は裏面メタライズ層を各々示しており、N型半導体基板101の上層に低濃度N型半導体である低濃度N型エピタキシャル層102が形成され、該エピタキシャル層102の表面から層内へ延在するP型半導体層103が形成され、低濃度N型エピタキシャル層102の表面から層内へ略P型半導体層103と同程度の深さに延在して且つP型半導体層103から離間して該P型半導体層103を取り囲んだ環状のP型半導体層であるFLR106が形成され、該FLR106は各々と離間させてP型半導体層103と

同心な環状に一箇所または複数箇所（本実施形態では三箇所）形成され、低濃度N型エピタキシャル層102とP型半導体層103とFLR106とで占められた半導体基板の第一主面の内、FLR106最内殻の内周面をP型半導体層103表面の一部に窓開けされた酸化膜である絶縁皮膜105が覆って形成され、半導体基板の第一主面の内、絶縁皮膜105の外周面である低濃度N型エピタキシャル層102とFLR106との表面には絶縁皮膜105と接して鉛成分を含むガラスである鉛ガラス10が覆って形成され、P型半導体層103の表面から絶縁皮膜105の表面周辺へ延在するAl、Ag、Cr、Ni等の単体またはそれらを複数含むメタル電極104が形成され、半導体基板の第二主面であるN型半導体基板101の表面にAu、Ag、Ni、Cr、Sb等の単体またはそれらを複数含む裏面メタライズ層107が覆って形成され、メタル電極104と絶縁皮膜105との下に位置する半導体基板であるN型半導体基板101と低濃度N型エピタキシャル層102とP型半導体層103との全般に分布した結晶欠陥（図示せず）が形成されている。

10

【0024】

かかる構成によれば、メタル電極104と裏面メタライズ層107との間に逆バイアスを掛けてバイアス電圧を高くしていく際に低濃度N型エピタキシャル層102層内に拡がる空乏層が、FLR106との作用で伸張して空乏層表面の曲率が緩やかに小さくなるので電界集中に起因する降伏現象をより高電圧域まで発生させず、高耐圧化する効果を有する。

【0025】

一方、半導体基板に含まれる結晶欠陥（図示せず）の作用により、 t_{rr} を短縮させて高速動作を可能とする効果を有するが、結晶欠陥（図示せず）はメタル電極104と絶縁皮膜105との下に位置する半導体基板であるP型半導体層103と低濃度N型エピタキシャル層102とN型半導体基板101とにのみ選択的に分布しており、逆バイアスが掛けられた際に電界集中が起こるFLR106の最内殻から外側には結晶欠陥が存在しないので結晶欠陥に起因する降伏現象が起こらないので高耐圧化が妨げられて耐圧が低下する事がない。

20

【0026】

ここで、例えば順方向電流が20A、耐電圧が300Vで、 t_{rr} が20ns程度の特性を有するチップ型半導体素子とする場合は、N型半導体基板101の、比抵抗は0.005~0.02 \cdot cm程度、チップサイズは2.5~3.5mm角程度で、低濃度N型エピタキシャル層102の、比抵抗は10~30 \cdot cm程度、厚さは22~35 μ m程度で、P型半導体層103とFLR106の、濃度は $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度、深さは2~10 μ m程度で、P型半導体層103の表面径は2~2.8mm程度で、FLR106の、幅は5~20 μ m程度、ピッチは5~20 μ m程度で、P型半導体層103とFLR106との離間距離は5~20 μ m程度とすることが好ましい。

30

【0027】

この様なチップ型半導体素子の製造方法は、図2を参考にできる。図2において、10は鉛ガラス、101はN型半導体基板、102は低濃度N型エピタキシャル層、103はP型半導体層、104はメタル層、105は絶縁皮膜、105aはFLR拡散窓、105bはP型半導体層拡散窓、106はFLR、107は裏面メタライズ層を各々示しており、図2(A)は、N型半導体基板101の上層に低濃度N型エピタキシャル層102をエピタキシャル成長させ、半導体基板の第一主面である102の主面に熱酸化法にて酸化膜である絶縁皮膜105で覆って形成する初期酸化工程終了時点を示す断面である。

40

【0028】

ここで、N型半導体基板101の、比抵抗は0.005~0.02 \cdot cm程度、厚さは300~500 μ m程度、チップサイズは3mm角程度で、低濃度N型エピタキシャル層102の、濃度は $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 程度、厚さは22~35 μ m程度で、熱酸化時の温度は1000~1200程度で、絶縁皮膜105の膜厚は0.5~1.5 μ m程度とすることが好ましい。

50

【0029】

図2(B)は、初期酸化工程終了後の絶縁皮膜105にフォトリソグラフィを用いた選択的エッチング除去を施してP型半導体層103形成予定部に位置するP型半導体層拡散窓105aと、P型半導体層103形成予定部から離間してP型半導体層103形成予定部を取り囲んだ環状のFLR106形成予定部に位置するFLR拡散窓105bとを形成し、該FLR106形成予定部は各々と離間させてP型半導体層103形成予定部と同心な環状に一箇所または複数箇所(本実施形態では三箇所)形成し、P型半導体層拡散窓105aとFLR拡散窓105bとに低濃度N型エピタキシャル層102を露出させる拡散窓形成工程終了時点を示す断面である。

【0030】

ここで、P型半導体層拡散窓105aの直径は2.0~2.8mm程度で、P型半導体層拡散窓105aとFLR拡散窓105bとの離間距離は5~20 μ m程度で、FLR拡散窓105bの幅とピッチは各々5~20 μ m程度が好ましい。

【0031】

図2(C)は、拡散窓形成工程終了後の半導体基板第一主面側の少なくとも低濃度N型エピタキシャル層102露出面の上にボロン等のP型ドーパントを含む膜を形成し、熱拡散法にて低濃度N型エピタキシャル層102表面から層内へ延在するP型のFLR106とP型半導体層103とを形成する拡散層形成工程終了時点を示す断面である。この時点で低濃度N型エピタキシャル層102の露出面は、熱拡散法による熱のために再び酸化膜が形成されて絶縁皮膜105で覆われる事となる。

【0032】

ここで、拡散時の温度は1000~1200で、P型半導体層103とFLR106の、濃度は $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 程度、深さは2~10 μ m程度とすることが好ましい。

【0033】

図2(D)は、拡散層形成工程終了後の絶縁皮膜105でFLR106最内殻の内周面上に位置する絶縁皮膜105を残して他の部分の絶縁皮膜105にフォトリソグラフィを用いた選択的エッチング除去を施してFLR106最内殻を含んだ外側の低濃度N型エピタキシャル層102とFLR106とを露出させる絶縁皮膜除去工程終了時点を示す断面である。

【0034】

図2(E)は、絶縁皮膜除去工程終了後の低濃度N型エピタキシャル層102とFLR106とを含む露出面に鉛成分を含むガラスパウダーを選択的に電着させた後に該ガラスパウダーを加熱焼成させてFLR106最内殻を含んだ外側のFLR106と低濃度N型エピタキシャル層102との表面上に絶縁皮膜105と接して鉛ガラス10を形成する鉛ガラス形成工程終了時点を示す断面である。

【0035】

ここで、鉛ガラス10は、鉛の含有量30~70%で、厚みは20 μ m以上とすることが好ましい。

【0036】

図2(F)は、鉛ガラス形成工程終了後のP型半導体層103上に位置する絶縁皮膜105の一部にフォトリソグラフィを用いた選択的エッチング除去を施してP型半導体層103表面の一部を露出させ、半導体基板の第一主面側を占める鉛ガラス10と絶縁皮膜105とP型半導体層103とを含む面に蒸着法にてAl、Ag、Cr、Ni等の単体またはそれらを複数含むメタル層を形成し、該メタル層にフォトリソグラフィを用いた選択的エッチング除去を施してP型半導体層103表面から絶縁皮膜105表面周辺へ延在するメタル電極104を形成し、半導体基板の第二主面であるN型半導体基板101表面を研削研磨して厚み調整の後に該半導体基板101表面に蒸着法にてAu、Ag、Ni、Cr、Sb等の単体またはそれらを複数含む層を形成して裏面メタライズ層107とする外部電極形成工程終了時点を示す断面である。

【0037】

10

20

30

40

50

ここで、N型半導体基板101を研削研磨により半導体基板の全厚として200～300 μ m程度とすることが好ましい。

【0038】

上述の外部電極形成工程終了後に半導体基板の第一主面の上方より、該半導体基板の第一主面に形成された電子線を遮断するマスクである鉛ガラス10をマスクとして電子線を照射し、マスクされていない部分の半導体基板に該電子線を透過させてメタル電極104と絶縁皮膜105との下に位置するP型半導体層103と低濃度N型エピタキシャル層102とN型半導体基板101との全般に分布する結晶欠陥を形成する電子線照射工程(図示せず)を終了して、図1に示すチップ型半導体素子として完成させる(電子線照射は、図1参考)。

10

【0039】

ここで、電子線の照射量は、200～1000kGy程度とすることが好ましい。

【0040】

(実施の形態2)

図3は、本発明の実施の形態2のチップ型半導体素子の断面図である。図3において、図1および図4と同じ構成要素については同じ符号を用い、説明を省略する。図3において、10は鉛ガラス、101はN型半導体基板、102は低濃度N型エピタキシャル層、103はP型半導体層、104はメタル電極、107は裏面メタライズ層を各々示しており、N型半導体基板101の上層に低濃度N型半導体である低濃度N型エピタキシャル層102が形成され、該エピタキシャル層102の上層にP型半導体層103が形成され、半導体基板を成すN型半導体基板101と低濃度N型エピタキシャル層102とP型半導体層103との各層が積層する側面は、P型半導体層103上面を半導体基板の第一主面とした場合、N型半導体基板101側面の一部を含んで低濃度N型エピタキシャル層102側面とP型半導体層103側面とが連続で、半導体基板第一主面の終端からN型半導体基板101側面の一部にかけて滑らかな曲率を有する斜面であるメサ形状を成し、半導体基板のN型半導体基板101と低濃度N型エピタキシャル層102とP型半導体層103とを含む側面の斜面から第一主面の周縁へ延在する鉛ガラス10が形成され、該ガラス10で覆われないP型半導体層103表面上にメタル電極104が形成され、半導体基板の第二主面であるN型半導体基板101表面上に裏面メタライズ層107が形成されている。

20

30

【0041】

かかる構成によれば、半導体基板の第一主面上方より半導体基板全面を含む面に電子線照射を施すことによって鉛ガラス10をマスクとしてメタル電極104下に位置する半導体基板のみに該電子線を透過させて、メタル電極104下に位置する半導体基板全般に分布する結晶欠陥を形成する事が可能で、半導体基板の有するメサ形状による電界集中緩和の作用による高耐圧化と、電界が集中する鉛ガラス10下部の半導体基板を除く半導体基板にのみ結晶欠陥を形成できるので高耐圧化を妨げることなく結晶欠陥がキャリアのキラートとして作用して t_{rr} を短縮するので、高耐圧化を妨げずに高速動作が可能となる。

【0042】

尚、本発明の説明では、第一導電型をN型、第二導電型をP型としたが、これを反転させて第一導電型をP型、第二導電型をN型としてもよい。この場合、電圧と電流が反転する事となる。また、本発明の実施の形態では一例として、二極素子であるダイオードとしたがこれに限定するものではなく、三極素子のトランジスタ等他の素子としても良い。

40

【産業上の利用可能性】

【0043】

チップ型半導体素子として有用であり、特に高耐圧で且つ高速なタイプに適している。

【図面の簡単な説明】

【0044】

【図1】本発明の実施の形態1におけるチップ型半導体素子の断面図

【図2】本発明の実施の形態1における製造フローに沿った断面図

50

【図3】本発明の実施の形態2におけるチップ型半導体素子の断面図

【図4】従来のチップ型半導体素子の断面図

【図5】従来のチップ型半導体素子の断面図

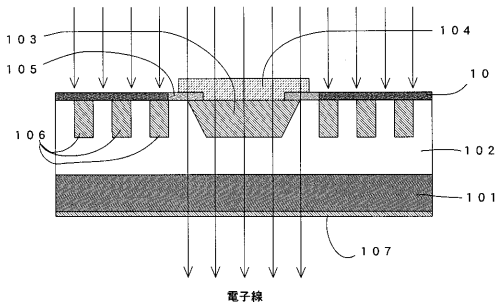
【符号の説明】

【0045】

- 10 鉛ガラス
- 101 N型半導体基板
- 102 低濃度N型エピタキシャル層
- 103 P型半導体層
- 104 メタル電極
- 105 絶縁皮膜
- 105 a P型半導体層拡散窓
- 105 b FLR拡散窓
- 106 FLR
- 107 裏面メタライズ層

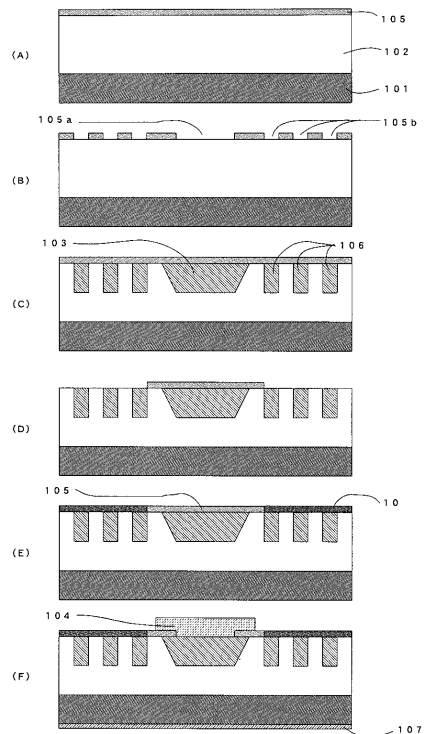
【図1】

- 10 鉛ガラス
- 101 N型半導体基板
- 102 低濃度N型エピタキシャル層
- 103 P型半導体層
- 104 メタル電極
- 105 絶縁皮膜
- 106 FLR
- 107 裏面メタライズ層



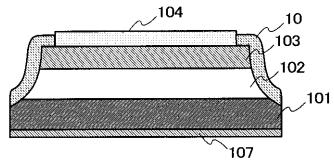
【図2】

- 10 鉛ガラス
- 101 N型半導体基板
- 102 低濃度N型エピタキシャル層
- 103 P型半導体層
- 104 メタル電極
- 105 絶縁皮膜
- 105 a P型半導体層拡散窓
- 105 b FLR拡散窓
- 106 FLR
- 107 裏面メタライズ層



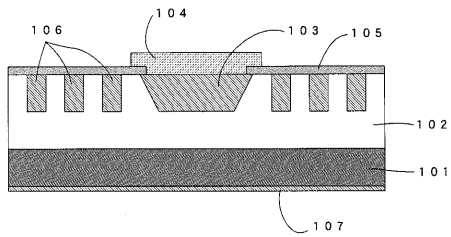
【図 3】

- 10 鉛ガラス
- 101 N型半導体基板
- 102 低濃度N型エピタキシャル層
- 103 P型半導体層
- 104 メタル電極
- 107 裏面メタライズ層



【図 4】

- 101 N型半導体基板
- 102 低濃度N型エピタキシャル層
- 103 P型半導体層
- 104 メタル電極
- 105 絶縁皮膜
- 106 F L R
- 107 裏面メタライズ層



【図 5】

- 101 N型半導体基板
- 102 低濃度N型エピタキシャル層
- 103 P型半導体層
- 104 メタル電極
- 105 絶縁皮膜
- 107 裏面メタライズ層

