



(12) 发明专利申请

(10) 申请公布号 CN 113268945 A

(43) 申请公布日 2021.08.17

(21) 申请号 202110164347.X

(22) 申请日 2021.02.05

(30) 优先权数据

16/910,658 2020.06.24 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市新竹科学工业园区力行六路八号

(72) 发明人 陈志良 陈顺利 田丽钧 陈庭榆 庄惠中

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国

(51) Int. Cl.

G06F 30/392 (2020.01)

G06F 30/398 (2020.01)

权利要求书1页 说明书23页 附图19页

(54) 发明名称

制造集成电路的方法

(57) 摘要

一种制造集成电路的方法包括以下步骤：产生集成电路的单元的布局图；及将产生的布局图储存在非暂时性计算机可读媒体上。在产生该单元的布局图的步骤中，在单元的边界内配置第一主动区域。第一主动区域沿着第一方向延伸。在边界内配置至少一个栅极区域。至少一个栅极区域沿着横切第一方向的第二方向跨越第一主动区域延伸。配置第一导电区域以与第一主动区域及边界的第一边缘重叠。第一导电区域用以形成至第一主动区域的电连接。

1000A



1. 一种制造一集成电路的方法,其特征在于,该方法包含以下步骤:

产生该集成电路的一单元的一布局图,产生该单元的该布局图的该步骤包含:

在该单元的一边界内配置一第一主动区域,该第一主动区域沿着一第一方向延伸,

在该边界内配置至少一个栅极区域,该至少一个栅极区域沿着一第二方向跨越该第一主动区域延伸,该第二方向横切该第一方向,及

配置与该第一主动区域及该边界的一第一边缘重叠的一第一导电区域,该第一导电区域用以形成至该第一主动区域的一电连接;及将产生的该布局图储存在一非暂时性计算机可读媒体上。

## 制造集成电路的方法

### 技术领域

[0001] 本案是关于一种制造集成电路的方法,特别是关于一种制造具有沿单元边界配置的导电区域与主动区域的集成电路的方法。

### 背景技术

[0002] 集成电路(integrated circuit;IC)通常包括在IC布局图中表示的许多半导体元件。IC布局图是阶层式的,且包括根据半导体元件的设计规格来实行高阶功能的模块。这些模块经常由单元的组合建构,该单元中的每一者表示用以执行特定功能的一或多个半导体结构。具有预先设计的布局图的单元(有时被称为标准单元)是储存在标准单元库(为简单起见,下文中称为“库”或“单元库”),且可由诸如电子设计自动化(electronic design automation;EDA)工具的各种工具存取以产生、最佳化且验证IC的设计。

### 发明内容

[0003] 根据本案的一实施例,包含一种制造集成电路的方法包括以下步骤:产生集成电路的单元的布局图;及将产生的布局图储存在非暂时性计算机可读媒体上。在产生该单元的布局图的步骤中,在单元的边界内配置第一主动区域。第一主动区域沿着第一方向延伸。在边界内配置至少一个栅极区域。至少一个栅极区域沿着横切第一方向的第二方向跨越第一主动区域延伸;配置第一导电区域以与第一主动区域及边界的第一边缘重叠。第一导电区域用以形成至第一主动区域的电连接。

### 附图说明

[0004] 本案的态样将在结合附图阅读时自以下详细描述最佳地了解。请注意,根据产业中的标准方法,各种特征未按比例绘制。实际上,为了论述清楚起见,各种特征的尺寸可以任意地增大或减小。

[0005] 图1A是根据本案的一实施例的电路图且图1B是单元的布局图;

[0006] 图2是根据本案的一实施例包括各种填充物单元的布局图;

[0007] 图3是根据本案的一实施例包括IC元件的IC布局图,及构成IC元件的IC布局图的各种单元的布局图;

[0008] 图4是根据本案的一实施例包括IC元件的IC布局图,及构成IC元件的IC布局图的各种单元的布局图;

[0009] 图5是根据本案的一实施例的单元的布局图;

[0010] 图6是根据本案的一实施例包括IC元件的IC布局图,及构成IC元件的IC布局图的各种单元的布局图;

[0011] 图7是根据本案的一实施例包括IC元件的IC布局图,及构成IC元件的IC布局图的各种单元的布局图;

[0012] 图8是根据本案的一实施例的单元的布局图;

[0013] 图9是根据本案的一实施例包括IC元件的IC布局图,及构成IC元件的IC布局图的各种单元的布局图;

[0014] 图10A是根据本案的一实施例的方法的流程图;

[0015] 图10B是根据本案的一实施例的方法的流程图;

[0016] 图11A是根据本案的一实施例的平面晶体管的示意性平面俯视图,图11B是沿着图11A中的线X1-X1的平面晶体管的示意性横截面图,且图11C是沿着图11A中的线Y1-Y1的平面晶体管的示意性横截面图;

[0017] 图12A是根据本案的一实施例的鳍式场效晶体管(fin field-effect transistor;FINFET)的示意性平面俯视图,图12B是沿着12A图中的线X2-X2的FINFET的示意性横截面图,且图12C是沿着图12A中的线Y2-Y2的FINFET的示意性横截面图;

[0018] 图13A是根据本案的一实施例的纳米片FET的示意性平面俯视图,图13B是沿着图13A中的线X3-X3的纳米片FET的示意性横截面图,且图13C是沿着图13A中的线Y3-Y3的纳米片FET的示意性横截面图;

[0019] 图14A是根据本案的一实施例的纳米线FET的示意性平面俯视图,图14B是沿着图14A中的线X4-X4的纳米线FET的示意性横截面图,且图14C是沿着图14A中的线Y4-Y4的纳米线FET的示意性横截面图;

[0020] 图15A至图15G是根据本案的一实施例的正在制造制程的各种阶段制造的IC元件的示意性横截面图;

[0021] 图16是根据本案的一实施例的EDA系统的方块图;

[0022] 图17是根据本案的一实施例的IC制造系统及与该IC制造系统相关联的IC制造流程的方块图。

[0023] **【符号说明】**

[0024] CPP:间距

[0025] DP, DN:漏极区域

[0026] GP, GN, 130, 130', 531, 532, 831, 832, 833, 834, 1130, 1230, 1330, 1430:栅极区域

[0027] SP, SN:源极区域

[0028] VDD:第一电源电压

[0029] VSS:第二电源电压

[0030] PMOS:p通道金属氧化物半导体

[0031] NMOS:n通道金属氧化物半导体

[0032] IN:输入节点

[0033] OUT:输出节点

[0034] 100, 100', 500, 500', 800, 800':单元

[0035] 110, 110':第一主动区域/PMOS主动区域

[0036] 120, 120':第二主动区域/NMOS主动区域

[0037] 141, 141', 142, 142', 143, 143', 144, 144':导电区域/MD区域

[0038] 150, 150', 250, 550, 850:边界

[0039] 151, 152, 152', 153, 154, 251, 252, 551, 551', 552, 552', 851, 852, 852':边缘

[0040] 200A, 200B, 200C, 200D, 200E:填充物单元

- [0041] 210:PMOS主动区域
- [0042] 220:NMOS主动区域
- [0043] 230:栅极区域/虚设栅极区域
- [0044] 241,242,243,244,343,344,1562,1564,1566,1568:MD区域
- [0045] 300,400,600,700,900,1500,1760:IC元件
- [0046] 310,410:组合式PMOS主动区域
- [0047] 320,420:组合式NMOS主动区域
- [0048] 352,451,452:共用边缘
- [0049] 441,442:第二共同MD区域
- [0050] 443,444:第一共同MD区域
- [0051] 510,810:第一主动区域
- [0052] 520,820:第二主动区域
- [0053] 541,541',542,542',543,543',544,544':导电区域
- [0054] 841,842,843,843',844,844':导电区域/MD区域
- [0055] 1000A,1000B:方法
- [0056] 1005,1010,1015,1020,1025,1030,1035,1040,1045:操作
- [0057] X1-X1,Y1-Y1,X2-X2,Y2-Y2,X3-X3,Y3-Y3,X4-X4,Y4-Y4:线
- [0058] 1100:平面晶体管
- [0059] 1110,1120,1210,1220,1310,1320,1410,1420:主动区域或源极/漏极区域
- [0060] 1140,1240,1340,1440,1510:基板
- [0061] 1150,1250:通道区域
- [0062] 1200:FINFET
- [0063] 1260:鳍状物
- [0064] 1350,1450:通道
- [0065] 1300:纳米片FET
- [0066] 1360:纳米片
- [0067] 1400:纳米线FET
- [0068] 1460:纳米线
- [0069] 1515:源极/漏极区域
- [0070] 1520:栅极介电层
- [0071] 1525:栅极介电质
- [0072] 1530:栅极电极层
- [0073] 1535:栅极电极
- [0074] 1540:光阻剂层
- [0075] 1545:遮罩
- [0076] 1550:间隔物层
- [0077] 1555:间隔物
- [0078] 1560:导电层
- [0079] 1600:电子设计自动化(EDA)系统

- [0080] 1602: (硬件) 处理器
- [0081] 1604: (非暂时性计算机可读) 储存媒体, 记忆体
- [0082] 1606: 计算机程序码, 指令
- [0083] 1607: (包括标准单元的标准单元) 库
- [0084] 1608: 总线
- [0085] 1610: I/O (接口)
- [0086] 1612: 网络接口
- [0087] 1614: 网络
- [0088] 1642: 使用者界面 (UI)
- [0089] 1700: 集成电路 (IC) 制造系统
- [0090] 1720: 设计室
- [0091] 1722: IC设计布局图
- [0092] 1730: 遮罩室
- [0093] 1732: 数据准备
- [0094] 1744: 遮罩制造
- [0095] 1745: 遮罩
- [0096] 1750: IC制造商/制造者, 晶圆厂
- [0097] 1752: 制造工具
- [0098] 1753: (半导体) 晶圆
- [0099] 1760: IC元件

### 具体实施方式

[0100] 以下揭示内容提供用于实施提供的标的的不同特征的许多不同实施例或实例。组件、材料、值、步骤、操作、材料、配置或类似者的特征实例将在下文描述以简化本案。当然, 这些各者仅为实例且不欲为限制性的。设想其他组件、值、操作、材料、配置或类似者。举例而言, 在随后的描述中的第一特征形成于第二特征上方或上可包括第一特征及第二特征是直接接触地形成的实施例, 且亦可包括额外特征可形成于第一特征与第二特征之间, 使得第一特征及第二特征不可直接接触的实施例。另外, 本案可在各种实例中重复参考数字及/或字母。此重复是出于简单及清楚的目的且本身并不规定论述的各种实施例及/或组态之间的关系。

[0101] 此外, 为了方便用于描述如诸图中所图示的一个元件或特征与另一元件或特征的关系的描述, 在本文中可使用空间相对术语, 诸如“在……下面”、“在……之下”、“下部”、“在……之上”、“上部”及类似术语。空间相对术语意欲涵盖除了诸图中所描绘的定向以外的元件在使用或操作时的不同定向。设备可另外定向(旋转90度或处于其他定向), 且本文中所使用的空间相关描述符可类似地加以相应解释。

[0102] 单元(cell)具有用于与单元的主动区域形成电接触的导电区域(亦被称为本文中所描述的“MD区域”)。在一些实施例中, 单元具有在单元的边界的边缘上的MD区域。当两个单元是彼此毗邻地置放时, 上面具有MD区域的边缘彼此邻接。此不同于单元沿着上面具有虚设栅极区域的边缘彼此邻接的其他方法。与其他方法相比, 在至少一个实施例有可能达

成一或多个优点,包括(但不限于)减小的单元宽度、增大的栅极密度或类似者。

[0103] 图1A是根据本案的一实施例的电路图且图1B是单元100的布局图。在图1A至图1B中,单元100是反相器,例如,INVD1(驱动强度为1的反相器)。此是一实例,且其他单元在各种实施例的范畴内。举例而言,在各种实施例中,单元100是功能单元、工程修改命令(engineering change order;ECO)单元、填充物单元、实体单元或另一类型的单元,或能够在IC布局图中界定的单元的组合。

[0104] 功能单元是经预先设计以将特定功能提供至并有此功能单元的IC的单元。功能单元的实例包括(但不限于)逻辑门单元、记忆体单元或类似者。逻辑门单元的实例包括(但不限于)与(AND)、或(OR)、与非(NAND)、或非(NOR)、异或(XOR)、非(INV)、与或非(AND-OR-Invert;AOI)、或与非(OR-AND-Invert;OAI)、多工(MUX)、正反器、缓冲(BUFF)、锁存器、延迟、时脉或类似者。记忆体单元的实例包括(但不限于)静态随机存取记忆体(static random access memory;SRAM)、动态随机存取记忆体(dynamic random access memory;DRAM)、电阻式随机存取记忆体(resistive random access memory;RRAM)、磁阻式随机存取记忆体(magnetoresistive random access memory;MRAM)、只读记忆体(read only memory;ROM)单元,或能够具有表示逻辑值的多种状态的另一类型的单元。

[0105] ECO单元是经预先设计的不具有特定功能的单元,但可程序化以提供预期功能。举例而言,为了设计IC,自标准单元库读出一或多个功能单元的预先设计布局且将这些预先设计布局置放至初始IC布局中。IC布局亦包括尚未连接或选路至功能单元的一或多个ECO单元。当IC布局待修改时,已经置放的ECO单元中的一或多个经程序化以提供预期功能且选路至功能单元。ECO单元的程序化涉及IC布局的一或多个层及/或用于制造IC的遮罩中的修改。

[0106] 填充物单元是不具有逻辑功能性的单元,且不连接或选路至IC布局图中的其他单元。填充物单元的用途是填充IC布局图中的空白空间,例如,以满足一或多个设计规则,诸如邻近特征之间的最小间隔。除填充物单元以外的单元在本文中被称作“非填充物单元”。

[0107] 实体单元是用以将除逻辑功能以外的功能提供至并有此实体单元的IC的单元。实体单元的实例包括(但不限于)TAP单元、DCAP单元或类似者。TAP单元界定掺杂井中的区域,在该区域中,掺杂井耦接至诸如电源电压的偏压电压。TAP单元包括在IC布局图中,例如,以改良根据IC布局图制造的IC的闩锁抗扰性。DCAP单元包括处于电力总线或轨道之间的一或多个去耦电容器(decap),例如,作为电荷储存库以在对来自电源的电流有高需求的情况下提供额外电力。

[0108] 在图1A中的实例电路图中,单元100中的反相器包含串联地耦接在第一电源电压VDD与第二电源电压VSS之间的p通道金属氧化物半导体(p-channel metal-oxide semiconductor;PMOS)晶体管及n通道金属氧化物半导体(n-channel metal-oxide semiconductor;NMOS)晶体管。确切地说,PMOS晶体管包含栅极区域GP、源极区域SP及漏极区域DP。NMOS晶体管包含栅极区域GN、源极区域SN及漏极区域DN。栅极区域GP、GN耦接至输入节点IN。漏极区域DP、DN耦接至输出节点OUT。源极区域SP耦接至VDD,且源极区域SN耦接至VSS。在至少一个实施例中,VDD是正电源电压,而VSS是接地电压。反相器用以使输入节点IN处的信号反向且在输出节点OUT处输出反向的信号。

[0109] 在图1B中的实例布局图中,单元100包含第一主动区域110、第二主动区域120、栅

极区域130、导电区域141、142、143、144及边界150。在至少一个实施例中,单元100的布局图以及根据各种实施例的其他单元的布局图储存在非暂时性计算机可读媒体上的标准单元库中。

[0110] 第一主动区域110及第二主动区域120是配置在边界150内,且沿着第一方向(即X方向)延伸。主动区域有时被称为氧化物界定(oxide-definition;OD)区域,且在附图中用标签“OD”示意性地图示。X方向有时被称为OD方向。第一主动区域110及第二主动区域120包括P型掺杂剂及/或N型掺杂剂以形成一或多个电路元件或元件。电路元件的实例包括(但不限于),晶体管及二极管。晶体管的实例包括(但不限于),金属氧化物半导体场效晶体管(metal oxide semiconductor field effect transistor;MOSFET)、互补金属氧化物半导体(complementary metal oxide semiconductor;CMOS)晶体管、双极接面晶体管(bipolar junction transistor;BJT)、高压晶体管、高频晶体管、P通道及/或N通道场效晶体管(P-channel field effect transistor/N-channel field effect transistor;PFET/NFET)等)、鳍式FET、源极/漏极升高的平面MOS晶体管、纳米片FET、纳米线FET或类似者。用以在当中形成一或多个PMOS元件的主动区域在本文中被称为“PMOS主动区域”,而用以在当中形成一或多个NMOS元件的主动区域在本文中被称为“NMOS主动区域”。举例而言,第一主动区域110是用以与栅极区域130一起形成如关于图1A描述的反相器的PMOS晶体管的PMOS主动区域。第二主动区域120是用以与栅极区域130一起形成如关于图1A描述的反相器的NMOS晶体管的NMOS主动区域。确切地说,PMOS主动区域110包含在栅极区域130的一区段的对置侧上的漏极区域DP及源极区域SP,栅极区域130的该区段在PMOS主动区域110上方延伸且界定栅极区域GP。NMOS主动区域120包含在栅极区域130的另一区段的对置侧上的漏极区域DN及源极区域SN,栅极区域130的该另一区段在NMOS主动区域120上方延伸且界定栅极区域GN。在图1B中的实例组态中,PMOS主动区域110及NMOS主动区域120中的每一者具有在X方向上的与边界150的边缘151、152重合的对置侧(未编号),这些边缘在X方向上彼此对置。其他组态在各种实施例的范畴内。单元100包含在Y方向上的两个主动区域110、120。此是一实例,且各种实施例中的其他单元包括在Y方向上的其他数目个主动区域。

[0111] 栅极区域130是配置在边界150内,且沿着横切X方向的第二方向(即Y方向)跨越PMOS主动区域110及NMOS主动区域120延伸。栅极区域130包括诸如多晶硅的导电材料,且在附图中用标签“PO”示意性地图示。Y方向有时被称为聚合方向。用于栅极区域的其他导电材料(诸如金属)在各种实施例的范畴内。单元100包含单一栅极区域。此是一实例,且各种实施例中的其他单元包括多于一个的栅极区域。在图1B中的实例组态中,栅极区域130具有在Y方向上的与边界150的边缘153、154重合的对置边缘(未编号),这些边缘在Y方向上彼此对置。其他组态在各种实施例的范畴内。

[0112] 导电区域141、143重叠且用以形成至PMOS主动区域110的电连接,而导电区域142、144重叠且用以形成至NMOS主动区域120的电连接。导电区域141、142、143、144在本文中被称为“MD区域”,即氧化物上零金属区域,且在附图中用标签“MD”示意性地图示。MD区域包括导电材料,该导电材料形成于对应主动区域上方以界定自形成于主动区域中的一或多个元件至IC的其他内部电路或至外部电路的电连接。在至少一个实施例中,MD区域141、142、143、144是由金属形成且属IC的第一金属层,在本文中被称为“M0层”,即零金属(M0)层,M0层是直接于主动区域上方的最低金属层。MD区域与栅极区域在X方向上交替地配置。在一些

实施例中, X方向上的邻近MD区域之间的间距(即, X方向上的邻近MD区域的中心线之间的距离)等于X方向上的邻近栅极区域之间的间距CPP, 例如, 如关于图3所描述。在至少一个实施例中, 对于形成于主动区域上方的x个栅极区域, 存在形成于主动区域上方的(x+1)个MD区域。举例而言, 在图1B中, 对于形成于PMOS主动区域110上方的一个栅极区域130(即, 栅极区域GP), 在栅极区域130的对置侧上存在形成于同一PMOS主动区域110上方的两个MD区域141、143。同样地, 对于形成于NMOS主动区域120上方的一个栅极区域130(即, 栅极区域GN), 在栅极区域130的对置侧上存在形成于同一NMOS主动区域120上方的两个MD区域142、144。与主动区域中的漏极区域重叠且用以形成至漏极区域的电连接的MD区域在本文中被称为“漏极侧MD区域”或“漏极侧导电区域”, 且在附图中用标签“D侧”示意性地指示。举例而言, MD区域141及MD区域142分别为与漏极区域DP、DN重叠且形成至漏极区域DP、DN的电连接的漏极侧MD区域。与主动区域中的源极区域重叠且用以形成至源极区域的电连接的MD区域在本文中被称为“源极侧MD区域”或“源极侧导电区域”, 且在附图中用标签“S侧”示意性地指示。举例而言, MD区域143及MD区域144分别为与源极区域SP、SN重叠且形成至源极区域SP、SN的电连接的源极侧MD区域。一或多个介层孔层及/或金属层(未示出)经组态在MD区域141、142、143、144及栅极区域130上方, 以形成单元100内及/或至其他单元的互连, 例如, 以将源极侧MD区域143电耦接至VDD, 将源极侧MD区域144电耦接至VSS, 将漏极侧MD区域141、142电耦接至对应于图1A中的输出节点OUT的节点, 且将栅极区域130电耦接至对应于图1A中的输出节点OUT的另外节点。在至少一个实施例中, MD区域141、142、143、144在X方向上具有相同宽度, 而源极侧MD区域143、144具有在Y方向上大于漏极侧MD区域141、142的长度。其他组态在各种实施例的范畴内。

[0113] 边界150包含边缘151、152、153、154, 这些边缘连接在一起以形成单元100的闭合边界。在本文中所描述的置放选路(place-and-route)操作(亦被称为“自动置放与选路(automated placement and routing; APR)”)中, 单元是在各自的边界处彼此毗邻地置放在IC布局图中。举例而言, 如本文中所描述, 单元100是在边缘151、152处在X方向上彼此毗邻地置放。单元100是在边缘153、154处在Y方向上毗邻于其他单元而置放。边界150有时被称为“置放选路边界”且在附图中用标签“PrB”示意性地图示。边界150的矩形形状是一实例。各种单元的其他边界形状在各种实施例的范畴内。

[0114] MD区域141、142、143、144是沿着边界150的边缘配置且与这些边缘重叠。举例而言, MD区域141、142是沿着边缘151配置且与该边缘重叠, 而MD区域143、144是沿着边缘152配置且与该边缘重叠。在至少一个实施例中, 边缘151与X方向上的MD区域141、142中的每一者的中心线重合。换言之, 边缘151将X方向上的MD区域141、142中的每一者的宽度对半分。在至少一个实施例中, 边缘152与X方向上的MD区域143、144中的每一者的中心线重合。边界150的宽度是边缘151、152之间的距离, 且等于邻近MD区域之间(例如, MD区域141、143之间, 或MD区域142、144之间)在X方向上的一个间距CPP。在图1B中的实例组态中, 单元100包含Y方向上的两个主动区域110、120, 及在每一边缘151或152上的两个对应MD区域。其他组态在各种实施例的范畴内。举例而言, 在单元包含Y方向上的一个或三个或四个主动区域的一些实施例中, 对应的一个或三个或四个MD区域配置在每一边缘151或152上。在当单元100经置放在以在X方向上邻接其他单元时的置放选路操作中, 沿着边界150的边缘的MD区域141、142、143、144与其他单元的对应MD区域合并, 如关于例如图3至图4所描述。

[0115] 图2是根据本案的一实施例包括各种填充物单元200A至200E的布局图。图2不应被解释为根据一些实施例的所有填充物单元的穷举演示,其他填充物单元组态在各种实施例的范畴内。为简单起见,填充物单元200A至200E中的类似组件由类似参考数字来指示。此外,具有图1B中的对应组件的图2中的组件是由图1B的参考数字增大100来指定。在至少一个实施例中,填充物单元200A至200E的布局图以及根据各种实施例的其他单元的布局图储存在非暂时性计算机可读媒体上的标准单元库中。

[0116] 类似于单元100,填充物单元200A至200E中的每一者包含PMOS主动区域210、NMOS主动区域220、跨越主动区域210、220的栅极区域230及沿着边缘251、252在填充物单元的边界上的在X方向上彼此对置的MD区域241至244。为简单起见,对于填充物单元200A,图示参考数字210、220、230、250,而对于其他填充物单元200B至200E,省略参考数字210、220、230、250中的一或多者。填充物单元200A至200E中的每一者亦具有在X方向上的一个间距CPP的宽度。

[0117] 填充物单元200A至200E与单元100的差别在于填充物单元200A至200E中的每一者中的栅极区域230是虚设栅极区域,在附图中用标签“CPODE”示意性地图示。举例而言,在填充物单元200A中,虚设栅极区域230包括在PMOS主动区域210上方的P区段,及在NMOS主动区域220上方的N区段。不同于通过其他介层孔及/或金属层电耦接至一或多个其他单元的单元100的栅极区域130,虚设栅极区域230不电耦接至其他单元。虚设栅极区域230包括在Y方向上彼此分开的两个区段P及N的图2中的组态是一实例。其他组态在各种实施例的范畴内。

[0118] 填充物单元200A至200E与单元100之间的另一差别在于,尽管填充物单元200A至200E中的MD区域在图2中由对应标签“D侧”指示为漏极侧MD区域,但在此漏极侧MD区域下的主动区域的区域未必是漏极区域。举例而言,在填充物单元200A中,MD区域241、243两者经指示为漏极侧MD区域。然而,MD区域241、243下的主动区域210的区域未必是漏极区域,这是因为单元200A是不具逻辑功能性的填充物单元。填充物单元200A中的MD区域241、243作为漏极侧MD区域的指定及/或组态是用于匹配将与填充物单元200A邻接的其他非填充物单元的对应漏极侧MD区域,例如,如本文中关于图4所描述。相同解释可适用于填充物单元200A至200E中的由标签“D侧”指示的其他MD区域。类似地,尽管填充物单元200A至200E中的MD区域在图2中由对应标签“S侧”指示为源极侧MD区域,但此源极侧MD区域下的主动区域的区域未必是源极区域。举例而言,在填充物单元200C中,MD区域241、243两者经指示为源极侧MD区域。然而,MD区域241、243下的主动区域210的区域未必是源极区域,这是因为单元200C是不具逻辑功能性的填充物单元。填充物单元200C中的MD区域241、243作为源极侧MD区域的指定及/或组态是用于匹配将与填充物单元200C邻接的其他非填充物单元的对应源极侧MD区域,例如,如本文中关于图7所描述。相同解释可适用于填充物单元200A至200E中的由标签“S侧”指示的其他MD区域。

[0119] 填充物单元200A至200E在MD区域241至244作为漏极侧MD区域及/或源极侧MD区域的指定及/或组态上彼此不同。举例而言,填充物单元200A包括四个漏极侧MD区域241至244,填充物单元200B包括两个漏极侧MD区域241、243及两个源极侧MD区域242、244,填充物单元200C包括两个源极侧MD区域241、243及两个漏极侧MD区域242、244,填充物单元200D包括两个漏极侧MD区域243、244及两个源极侧MD区域241、242,且填充物单元200E包括两个漏极侧MD区域241、244及两个源极侧MD区域242、243。在一或多个实施例中,填充物单元200A

至200E的不同组态确保在X方向上可插入于非填充物单元的任何对之间的填充物单元在置放选路操作中的可用性,尽管存在沿着非填充物单元对的对置边缘的漏极侧MD区域及/或源极侧MD区域的各种可能组合。关于图4、图7及图9来描述几个非穷举实例。

[0120] 图3是根据本案的一实施例包括IC元件300的IC布局图,及构成IC元件300的IC布局图的各种单元的布局图。IC元件300的IC布局图是通过例如在置放选路操作中毗邻于第二单元置放第一单元而产生。举例而言,第一单元是关于图1B描述的单元100,且第二单元是单元100'。单元100'具有通过在X方向上翻转单元100的布局图所获得的布局图。与单元100相同,单元100'亦为反相器。具有单元100中的对应组件的单元100'中的组件是由单元100的参数数字加上撇号来指定。

[0121] 在置放选路操作中,单元100经置放以邻接单元100'。确切地说,上面具有源极侧MD区域143、144的单元100的边缘152经置放以与上面具有源极侧MD区域143'、144'的单元100'的边缘152'重合。结果,自重叠边缘152、152'获得共用边缘352。换言之,单元100的边界150经置放以沿着共用边缘352邻接单元100'的边界150'。另外,单元100的源极侧MD区域143与单元100'的对应源极侧MD区域143'合并,从而产生IC元件300中的源极侧MD区域343。单元100的源极侧MD区域144与单元100'的对应源极侧MD区域144'合并,从而产生IC元件300中的源极侧MD区域344。IC元件300中的源极侧MD区域343、344与共用边缘352重叠。单元100的PMOS主动区域110在共用边缘352与单元100'的PMOS主动区域110'相连,从而产生IC元件300的组合式PMOS主动区域310。单元100的NMOS主动区域120在共用边缘352与单元100'的NMOS主动区域120'相连,从而产生IC元件300的组合式NMOS主动区域320。IC元件300进一步包含单元100的MD区域141、142及栅极区域130,以及单元100'的MD区域141'、142'及栅极区域130'。栅极区域130、130'在X方向上彼此邻近,且以间距CPP配置,该间距是栅极区域130的中心线与栅极区域130'的中心线之间的距离。如本文中所描述,IC元件300的邻近栅极区域之间的间距CPP与邻近MD区域之间的间距相同。IC元件300的毗邻单元具有2CPP的宽度,该宽度是单元100及单元100'的宽度的总和。

[0122] 在至少一个实施例中,如关于图3描述的第一单元与第二单元的直接邻接是在沿着第一单元及第二单元的对置边缘的所有MD区域是源极侧MD区域时执行。举例而言,单元100及单元100'直接邻接,此是因为沿着对置边缘152、152'的MD区域143、144、143'、144'全部为源极侧MD区域。原因在于,在操作中将供应至源极侧MD区域的电位或电压是已知的或预定的。举例而言,将供应至源极侧MD区域143、143'的电位或电压是将供应至PMOS晶体管或元件的源极区域的电位或电压,即,如关于图1A描述的VDD。相同VDD将供应至通过合并源极侧MD区域143、143'获得的源极侧MD区域343。类似地,将供应至源极侧MD区域144、144'的电位或电压是将供应至NMOS晶体管或元件的源极区域的电位或电压,即,如关于图1A描述的VSS。相同VSS将供应至通过合并源极侧MD区域144、144'获得的源极侧MD区域344。因此,在至少一个实施例中,单元100与单元100'的直接邻接经执行而不会影响所得IC元件300中的邻接的单元100及单元100'的操作或功能性。

[0123] 在至少一个实施例中,当沿着第一单元及第二单元的对置边缘的MD区域中的至少一者是漏极侧MD区域时,执行在第一单元与第二单元之间插入一填充物单元。原因在于,在操作中将供应至漏极侧MD区域的电位或电压是可变的。举例而言,将供应至漏极侧MD区域的电位或电压是将供应至PMOS或NMOS晶体管或元件的电位或电压,即,例如关于图1A描

述的输出节点OUT处的可变信号。在一些情形中,沿着具有漏极侧MD区域的边缘的两个单元的直接邻接涉及如下风险:具有不同电压或电位的另一MD与漏极侧MD区域合并,从而产生直接邻接的单元的可能错误的操作。插入填充物单元是用于减少此风险。

[0124] 图4是根据本案的一实施例包括IC元件400的IC布局图,及构成IC元件400的IC布局图的各种单元的布局图。IC元件400的IC布局图是通过例如在置放选路操作中在两个其他单元之间且毗邻于这些两个其他单元置放一填充物单元而产生。举例而言,填充物单元200A插入于单元100与单元100'之间且毗邻于单元100及单元100'置放。

[0125] 图4与图3之间的差别在于,在图3中,单元100及100'是以边缘152、152'彼此对置的方式置放,而在图4中,单元100及100'是以不同边缘对(即,边缘151、151')彼此对置的方式置放。在图3中,因为沿着对置边缘152、152'的所有MD区域143、144、143'、144'是源极侧MD区域,所以单元100及单元100'是直接毗邻地置放,如本文中所描述。然而,在图4中,因为沿着对置边缘151、151'的MD区域141、142、141'、142'中的至少一者(实际上,全部)是漏极侧MD区域,所以执行在单元100与单元100'之间插入填充物单元,如本文中亦描述。

[0126] 在一些实施例中,图4中的待插入于单元100与单元100'之间的填充物单元是基于单元100及单元100'的对置边缘151、151'上的MD区域而选择。举例而言,当填充物单元插入于单元100与单元100'之间时,填充物单元具有与单元100的边缘151对置的边缘252,及与单元100'的边缘151'对置的边缘251。因为单元100的边缘151上的MD区域141、142是漏极侧MD区域,所以选择填充物单元,使得对置边缘252上的MD区域243、244亦是漏极侧MD区域。因为单元100'的边缘151'上的MD区域141'、142'是漏极侧MD区域,所以选择填充物单元,使得对置边缘251上的MD区域241、242亦是漏极侧MD区域。结果,图4中的待插入单元100与单元100'之间的填充物单元经选择具有沿着边缘251、252的四个漏极侧MD区域241、242、243、244。在储存于标准单元库中的填充物单元(例如,填充物单元200A至200E)中,填充物单元200A满足这些准则且经选择以插入于单元100与单元100'之间。在一些实施例中,填充物单元是否将插入于两个其他单元之间的所描述判定或对待插入的填充物单元的所描述选择中的至少一者是在置放选路操作中由处理器执行。

[0127] 图4中的填充物单元200A与单元100之间的邻接及填充物单元200A与单元100'之间的邻接类似于图3中的单元100与单元100'之间的邻接。举例而言,单元100的边缘151经置放以与填充物单元200A的对置边缘252重合,从而产生共用边缘452。单元100的漏极侧MD区域141、142与填充物单元200A的对应漏极侧MD区域243、244合并,从而分别产生与共用边缘452重叠的漏极侧MD区域443、444。单元100'的边缘151'经置放以与填充物单元200A的对置边缘251重合,从而产生共用边缘451。单元100'的漏极侧MD区域141'、142'与填充物单元200A的对应漏极侧MD区域241、242合并,从而分别产生与共用边缘451重叠的漏极侧MD区域441、442。单元100的PMOS主动区域110、填充物单元200A的PMOS主动区域210及单元100'的PMOS主动区域110'在共用边缘452、451变得连续,从而产生IC元件400的组合式PMOS主动区域410。单元100的NMOS主动区域120、填充物单元200A的NMOS主动区域220及单元100'的NMOS主动区域120'在共用边缘452、451变得连续,从而产生IC元件400的组合式NMOS主动区域420。IC元件400进一步包含单元100的MD区域143、144及栅极区域130、填充物单元200A的虚设栅极区域230以及单元100'的MD区域143'、144'及栅极区域130'。栅极区域130、130'在虚设栅极区域230的对置侧上,且以间距CPP配置,该间距CPP与IC元件400中的邻近MD区

域之间的间距相同。IC元件400中的邻接单元具有3CPP的宽度,该宽度是单元100、填充物单元200A及单元100'的宽度的总和。

[0128] 图5是根据本案的一实施例的单元500的布局图。单元500是与非门,例如,ND2D1(驱动强度为1的2输入端与非门)。此是在各种实施例的范畴内的单元的另一实例。具有图1B中的对应组件的图5中的组件是由图1B的参考数字增大400指定。特别地,单元500包含第一主动区域510、第二主动区域520、对应于栅极区域130的栅极区域531、532及沿着边缘551、552在边界550上的导电区域541、542、543、544。导电区域541、543、544是源极侧MD区域,而导电区域542是漏极侧MD区域。单元500进一步包含处于栅极区域531、532之间且跨越第一主动区域510及第二主动区域520的各种MD区域(未编号)。在至少一个实施例中,单元500的布局图以及根据各种实施例的其他单元的布局图储存在非暂时性计算机可读媒体上的标准单元库中。

[0129] 图6是根据本案的一实施例包括IC元件600的IC布局图,及构成IC元件600的IC布局图的各种单元的布局图。IC元件600的IC布局图是通过例如在置放选路操作中毗邻于第二单元置放第一单元而产生。举例而言,第一单元是关于图5描述的单元500,而第二单元是具有通过在X方向上翻转单元500的布局图获得的布局图的单元500'。与单元500一样,单元500'亦为与非门。具有单元500中的对应组件的单元500'中的组件是由单元500的参考数字加上撇号指定。图6中的IC元件600是通过单元500及单元500'在边缘552、552'处直接邻接产生,沿着这些边缘,所有MD区域543、544、543'、544'是源极侧MD区域。单元500与单元500'的直接邻接类似于关于图3描述的单元100与单元100'的直接邻接。

[0130] 图7是根据本案的一实施例包括IC元件700的IC布局图,及构成IC元件700的IC布局图的各种单元的布局图。IC元件700的IC布局图是通过例如在置放选路操作中在两个其他单元之间且毗邻于这两个其他单元置放一填充物单元而产生。举例而言,填充物单元200C插入于单元500与单元500'之间且毗邻于单元500及单元500'置放。

[0131] 图7与图6之间的差别在于,在图6中,单元500及500'是以边缘552、552'彼此对置的方式置放,而在图7中,单元500及500'是以不同边缘对(即,边缘551、551')彼此对置的方式置放。在图6中,因为沿着对置边缘552、552'的所有MD区域543、544、543'、544'是源极侧MD区域,所以单元500及单元500'是直接毗邻地置放。然而,在图7中,因为沿着对置边缘551、551'的MD区域(即,542、542')中的至少一者是漏极侧MD区域,所以执行在单元500与单元500'之间插入填充物单元。在一些实施例中,图7中的待插入于单元500与单元500'之间的填充物单元200C是以类似于图4的方式选择。图7中的填充物单元200C与单元500之间的邻接及填充物单元200C与单元500'之间的邻接是以类似于图4的方式执行。

[0132] 图8是根据本案的一实施例的单元800的布局图。单元800是与或非(AND-OR-Invert;AOI)逻辑,例如,AOI22D1(具有两个2输入端AND门且驱动强度为1的AOI)。此是在各种实施例的范畴内的单元的另一实例。具有图1B中的对应组件的图8中的组件是由图1B的参考数字增大700指定。特别地,单元800包含第一主动区域810、第二主动区域820、对应于栅极区域130的栅极区域831至834及沿着边缘851、852在边界850上的导电区域841、842、843、844。导电区域841、843是漏极侧MD区域,而导电区域842、844是源极侧MD区域。单元800进一步包含处于栅极区域831至834之间且跨越第一主动区域810及第二主动区域820的各种MD区域(未编号)。在至少一个实施例中,单元800的布局图以及根据各种实施例的其他组

件的布局图储存在非暂时性计算机可读媒体上的标准单元库中。

[0133] 图9是根据本案的一实施例包括IC元件900的IC布局图,及构成IC元件900的IC布局图的各种单元的布局图。IC元件900的IC布局图是通过例如在置放选路操作中在两个其他单元之间且毗邻于这两个其他单元置放一填充物单元而产生。举例而言,填充物单元200B是插入于单元800与单元800'之间且毗邻于单元800及单元800'置放。单元800'具有与单元800相同的布局图。具有单元800中的对应组件的单元800'中的组件是由单元800的参考数字加上撇号指定。

[0134] 单元800及单元800'并非彼此直接邻接地置放,此是因为沿着对置边缘851、852'的MD区域(即,841、843')中的至少一者是漏极侧MD区域,且执行在单元800与单元800'之间插入填充物单元。在一些实施例中,图9中的将插入于单元800与单元800'之间的填充物单元200B是以类似于图4的方式选择。图9中的填充物单元200B与单元800之间的邻接及填充物单元200B与单元800'之间的邻接是以类似于图4的方式执行。

[0135] 单元100、单元100'、单元500、单元500'、单元800是在各种实施例的范畴内的非填充物单元的非穷举实例。填充物单元200A至200E是在各种实施例的范畴内的填充物单元的非穷举实例。在一起,单元100、单元100'、单元500、单元500'、单元800及填充物单元200A至200E是在各种实施例的范畴内的单元的非穷举实例。在至少一个实施例中,多个此种单元储存在非暂时性计算机可读媒体上的标准单元库中。接着毗邻地置放标准单元库中单元以产生用于各种IC的IC布局图。如关于图3、图4、图6、图7、图9描述的单元的邻接是各种实施例中的单元的组的非穷举实例。在至少一个实施例中,单元未必与具有相同功能性的另一单元并排地置放,例如,如关于图3至图4描述的紧接另一反相器置放的反相器,或如关于图6至图7描述的紧接另一与非门置放的与非门。实情为,在至少一个实施例中,有可能直接毗邻地或具有插入的填充物单元、具有不同功能性的另一单元地置放一单元。结果,可达成具有如本文中所描述的一或多个优点的各种IC布局图。

[0136] 在一些实施例中,通过将一单元的MD区域配置在该单元的边界的对置边缘上,有可能减小该单元的宽度。举例而言,在至少一个实施例中,反相器单元(诸如图1B中的INVD1单元)的宽度是一个CPP。用于比较,在虚设栅极区域经配置在单元的边界的对置边缘上的其他方法中,INVD1单元具有2CPP的较大宽度。当根据一些实施例的两个INVD1单元是并排地置放时,这些INVD1单元是如关于图3所描述的直接毗邻地置放,或如关于图4所描述的在这些INVD1单元之间具有插入的填充物单元。所得的毗邻INVD1单元具有2CPP(图3)或3CPP(图4)的组合宽度。在任一情况下,至少一个实施例中的此组合宽度小于在毗邻置放的两个INVD1单元具有4CPP的较大组合宽度的其他方法中。对根据各种实施例的其他单元可达成单元宽度的类似减小。举例而言,图5中的ND2D1单元具有2CPP的单元宽度,而其他方法中的ND2D1单元具有3CPP的较大宽度。在另一实例中,图8中的AOI22D1单元具有4CPP的单元宽度,而其他方法中的AOI22D1单元具有5CPP的较大宽度。即使当填充物单元(例如,填充物单元200A至200E中的任一者)经插入以邻接根据一些实施例的两个其他单元时,由于填充物单元的小宽度(例如,一个CPP),至少一个实施例中的邻接单元的组合宽度仍小于其他方法中的具有类似功能性的邻接单元的组合宽度。在根据一些实施例的各种单元的减小的单元宽度下,有可能在相同量的晶片面积中包括更多的单元及/或功能性,从而在至少一个实施例中有利地产生增大的栅极密度。在一或多个实施例中,可达成约10%的栅极密度的增加

或增益。

[0137] 图10A是根据本案的一实施例的方法1000A的流程图。在至少一个实施例中,方法1000A是用于产生单元的布局图及/或用于建构包括各种单元的标准单元库。

[0138] 在一些实施例中,方法1000A的一或多个操作是作为形成对应于本文中所描述的IC元件300、400、600、700、900的方法的部分来执行。在一些实施例中,方法1000A的一或多个操作是作为自动置放与选路(automated placement and routing;APR)方法的部分来执行。在一些实施例中,方法1000A的一或多个操作由APR系统执行,APR系统例如包括于关于图16描述的EDA系统中的系统。在一些实施例中,方法1000A的一或多个操作是作为关于图10B描述的用于产生IC的布局图的方法1000B的部分来执行。在一些实施例中,方法1000A的一或多个操作是作为在关于图17描述的设计室中执行的设计程序的部分来执行。在一些实施例中,方法1000A的一或多个操作由处理器执行,处理器诸如关于图16描述的EDA系统的处理器。

[0139] 在操作1005,在单元的边界内配置第一主动区域。举例而言,如关于图1B所描述,在单元100的边界150内配置主动区域110或120。对于另一实例,如关于图2所描述,在填充物单元200A至200E中的任一者的边界250内配置主动区域210或220。将关于图5及图8描述其他实例。

[0140] 在操作1010,在边界内配置至少一个栅极区域,且至少一个栅极区域跨越第一主动区域延伸。举例而言,如关于图1B所描述,至少一个栅极区域130是配置在边界150内且跨越主动区域110或120延伸。对于另一实例,如关于图2中的填充物单元200A至200E中的任一者所描述,至少一个栅极区域230是配置在边界250内且跨越主动区域210或220延伸。将关于图5及图8描述其他实例。

[0141] 在操作1015,配置第一导电区域以与第一主动区域及边界的第一边缘重叠,且第一导电区域用以与第一主动区域形成电接触。举例而言,MD区域141、142、143或144经配置以与主动区域110或120及边界150的边缘151或152重叠,且MD区域141、142、143或144用以形成至主动区域110或120的电连接。对于另一实例,MD区域241、242、243或244经配置以与主动区域210或220及边界250的边缘251或252重叠,且MD区域241、242、243或244用以形成至主动区域210或220的电连接,如关于图2中的填充物单元200A至200E中的任一者所描述。将关于图5及图8描述其他实例。

[0142] 在操作1020,将产生的布局图储存在非暂时性计算机可读媒体上。举例而言,关于图1B、图2、图5、图8描述的用于一或多个单元的一或多个布局图储存在非暂时性计算机可读媒体上的标准单元库中。

[0143] 在操作1025,基于产生的布局图来制造半导体遮罩或IC的层中的组件中的至少一者,例如,如关于图17所描述。在至少一个实施例中,省略操作1025。

[0144] 图10B是根据本案的一实施例的方法1000B的流程图。在至少一个实施例中,方法1000B是用于基于自标准单元库接收到的单元来产生IC元件的IC布局图。

[0145] 在一些实施例中,方法1000B的一或多个操作是作为形成对应于本文中所描述的IC元件300、400、600、700、900的一或多个IC元件的部分来执行。在一些实施例中,方法1000B的一或多个操作是作为APR方法的部分来执行。在一些实施例中,方法1000B的一或多个操作由APR系统执行,APR系统例如包括于关于图16描述的EDA系统中的系统且用以执行

APR方法。在一些实施例中,方法1000B的一或多个操作是作为在关于图17描述的设计室中执行的设计程序的部分来执行。在一些实施例中,方法1000B的一或多个操作由处理器执行,处理器诸如关于图16描述的EDA系统的处理器。

[0146] 在操作1030,在一IC布局图中毗邻于第二单元置放第一单元,使得第一单元的边界沿着第一共用边缘邻接第二单元的边界,且第一单元的第一导电区域(MD)与第二单元的第二导电区域(MD)经合并而成为与第一共用边缘重叠的第一共用导电区域。

[0147] 举例而言,如关于图3所描述,第一单元100在IC元件300的IC布局图中是毗邻于第二单元100'置放,使得第一单元100的边界150沿着第一共用边缘352邻接第二单元100'的边界150',且第一单元100的第一MD区域143或144与第二单元100'的第二MD区域143'或144'经合并而成为与第一共用边缘352重叠的第一共同MD区域343或344。

[0148] 对于另一实例,如关于图4所描述,第一单元100在IC元件400的IC布局图中是毗邻于第二单元200A置放,使得第一单元100的边界150沿着第一共用边缘452邻接第二单元200A的边界250,且第一单元100的第一MD区域141或142与第二单元200A的第二MD区域243或244经合并而成为与第一共用边缘452重叠的第一共同MD区域443或444。将关于图6、图7及图9描述其他实例。

[0149] 在操作1035,在IC布局图中毗邻于第二单元置放第三单元,使得第三单元的一边界沿着第二共用边缘邻接第二单元的边界,且第三单元的第三导电区域(MD)与第二单元的第四导电区域(MD)经合并而成为与第二共用边缘重叠的第二共用导电区域。

[0150] 举例而言,如关于图4所描述,在IC元件400的IC布局图中毗邻于第二单元200A置放第三单元100',使得第三单元100'的边界150'沿着第二共用边缘451邻接第二单元200A的边界250,且第三单元100'的第三MD区域141'或142'与第二单元200A的第四MD区域241或242经合并而成为与第二共用边缘451重叠的第二共同MD区域441或442。将关于图7及图9描述其他实例。在至少一个实施例中,省略操作1035。

[0151] 在操作1040,将产生的IC布局图储存在一非暂时性计算机可读媒体上。举例而言,关于图3、图4、图6、图7、图9描述的用于一或多个IC元件的一或多个IC布局图是储存在非暂时性计算机可读媒体上。

[0152] 在操作1045,基于产生的IC布局图来制造一半导体遮罩或一IC的一层中的一组件中的至少一者,例如,如关于图17所描述。在至少一个实施例中,省略操作1045。

[0153] 在一些实施例中,所描述的一或多个单元、IC元件及方法可适用于各种类型的晶体管或元件技术,包括(但不限于)平面晶体管技术、FINFET技术、纳米片FET技术、纳米线FET技术或类似技术。

[0154] 图11A是根据本案的一实施例的平面晶体管1100的示意性平面俯视图,图11B是沿着图11A中的线X1-X1的平面晶体管1100的示意性横截面图,且图11C是沿着图11A中的线Y1-Y1的平面晶体管1100的示意性横截面图。

[0155] 如图11A所示,平面晶体管1100包含主动区域或源极/漏极区域1110、1120,及在Y方向上跨越源极/漏极区域1110、1120延伸的栅极区域1130。如图11B所示,源极/漏极区域1110、1120及栅极区域1130形成于基板1140上方。如图11C所示,通道区域1150是在栅极区域1130下且在源极/漏极区域1110、1120之间形成。

[0156] 图12A是根据本案的一实施例的FINFET 1200的示意性平面俯视图,图12B是沿着

图12A中的线X2-X2的FINFET 1200的示意性横截面图,且图12C是沿着图12A中的线Y2-Y2的FINFET 1200的示意性横截面图。

[0157] 如图12A所示,FINFET 1200包含主动区域或源极/漏极区域1210、1220,及在Y方向上跨越源极/漏极区域1210、1220延伸的栅极区域1230。源极/漏极区域1210、1220包括在X方向上延伸的多个鳍状物1260(在图12B中最佳可见)。如图12B所示,源极/漏极区域1210、1220及栅极区域1230形成于基板1240上方,而鳍状物1260在栅极区域1230下。如图12B至图12C所示,通道区域1250在鳍状物1260上方、在栅极区域1230下且在源极/漏极区域1210、1220之间形成。

[0158] 图13A是根据本案的一实施例的纳米片FET 1300的示意性平面俯视图,图13B是沿着图13A中的线X3-X3的纳米片FET 1300的示意性横截面图,且图13C是沿着图13A中的线Y3-Y3的纳米片FET 1300的示意性横截面图。

[0159] 如图13A所示,纳米片FET 1300包含主动区域或源极/漏极区域1310、1320,及在Y方向上跨越源极/漏极区域1310、1320延伸的栅极区域1330。源极/漏极区域1310、1320包括多个纳米片1360(在图13B中最佳可见)。如图13B所示,源极/漏极区域1310、1320及栅极区域1330形成于基板1340上方。纳米片1360被栅极区域1330包围。如图13B至图13C所示,通道区域1350在纳米片1360与栅极区域1330之间及在源极/漏极区域1310、1320之间形成。

[0160] 图14A是根据本案的一实施例的纳米线FET 1400的示意性平面俯视图,图14B是沿着图14A中的线X4-X4的纳米线FET 1400的示意性横截面图,且图14C是沿着图14A中的线Y4-Y4的纳米线FET 1400的示意性横截面图。

[0161] 如图14A所示,纳米线FET 1400包含主动区域或源极/漏极区域1410、1420,及在Y方向上跨越源极/漏极区域1410、1420延伸的栅极区域1430。源极/漏极区域1410、1420包括多个纳米线1460(在图14B中最佳可见)。如图14B所示,源极/漏极区域1410、1420及栅极区域1430形成于基板1440上方。纳米线1460被栅极区域1430包围。如图14B至图13C所示,通道区域1450在纳米线1460与栅极区域1430之间及在源极/漏极区域1410、1420之间形成。

[0162] 图15A至图15G是根据本案的一实施例的正在制造制程的各种阶段制造的IC元件1500的示意性横截面图。

[0163] 在图15A中,制造自基板1510开始。在至少一个实施例中,基板1510包含硅基板。在至少一个实施例中,基板1510包含硅锗(SiGe)、镓砷或其他合适的半导体材料。主动区域(在图15A中未示出)是使用对应于关于图1B至图9描述的布局图中的一或多个主动区域的一或多个遮罩在基板1510中或上方形成。栅极介电层1520沉积在基板1510上方。栅极介电层1520的实例材料包括(但不限于)高k介电层、界面层及/或其组合。在一些实施例中,栅极介电层1520是通过原子层沉积(atomic layer deposition;ALD)或其他合适的技术沉积在基板1510上方。

[0164] 在图15B中,栅极电极层1530沉积在栅极介电层1520上方。栅极电极层1530的实例材料包括(但不限于)多晶硅、金属、Al、AlTi、Ti、TiN、TaN、Ta、TaC、TaSiN、W、WN、MoN及/或其他合适的导电材料。在一些实施例中,栅极电极层1530是通过化学气相沉积(chemical vapor deposition;CVD)、物理气相沉积(physical vapor deposition;PVD或溅射)、电镀、原子层沉积(atomic layer deposition;ALD)及/或其他合适的制程沉积。

[0165] 在图15C中,光阻剂层1540沉积在栅极电极层1530上方,且对应于关于图1B至图9

描述的布局图中的一或多个栅极区域的遮罩1545是用于将光阻剂层1540图案化。经图案化的光阻剂层1540接下来将作为遮罩使用以将栅极介电层1520及栅极电极层1530图案化成各种栅极介电质1525及对应的栅极电极1535。接着移除经图案化的光阻剂层1540。

[0166] 在图15D中,间隔物层1550沉积在基板1510上方,在该基板上形成有栅极介电质1525及栅极电极1535。间隔物层1550的实例材料包括(但不限于)氮化硅、氮氧化物、碳化硅及其他合适的材料。在一些实施例中,间隔物层1550是通过电浆增强化学气相沉积(plasma enhanced chemical vapor deposition;PECVD)、低压化学气相沉积(low-pressure chemical vapor deposition;LPCVD)、次大气压化学气相沉积(sub-atmospheric chemical vapor deposition;SACVD)、原子层沉积(atomic layer deposition;ALD)或类似技术沉积。

[0167] 在图15E中,间隔物层1550经图案化以形成与对应的栅极电极1535的侧壁接触或邻近的间隔物1555。在至少一个实施例中,图案化是通过合适技术执行,这些技术诸如湿式蚀刻制程、干式蚀刻制程或其组合。源极/漏极区域1515形成于由间隔物1555暴露的基板1510的主动区域中。在至少一个实施例中,源极/漏极区域1515是通过使用栅极电极1535及间隔物1555作为遮罩而形成。举例而言,源极/漏极区域1515的形成是通过离子植入或扩散制程执行。视元件或晶体管的类型而定,源极/漏极区域1515经掺杂具有诸如硼或 $\text{BF}_2$ 的p型掺杂剂、诸如磷或砷的n型掺杂剂及/或其组合。

[0168] 在图15F中,导电层1560沉积在基板1510上方且填充在由间隔物1555暴露的区域中,由此形成至源极/漏极区域1515的电连接。

[0169] 在图15G中,执行平坦化制程以将导电层1560平坦化,从而产生与下层源极/漏极区域1515电接触的MD区域1562、1564、1566、1568。平坦化制程包含例如化学机械研磨(chemical mechanical polish;CMP)制程。在至少一个实施例中,MD区域1562、1564、1566、1568对应于关于图1B至图9描述的布局图中的一或多个MD区域。执行进一步处理(未示出)以获得IC元件1500。举例而言,在此进一步处理中,一或多个介电层、介层孔层及金属层形成于MD区域1562、1564、1566、1568及栅极电极1535的暴露的平坦化顶部表面上方,以形成至IC元件1500的其他单元或至外部电路的其他互连。

[0170] 所描述的方法包括实例操作,但这些实例操作未必需要按所示的次序执行。根据本案的实施例的精神及范畴,操作可以视情况添加、替换、改变次序及/或消除。组合不同特征及/或不同实施例的实施例在本案的一实施例的范畴内且将在审查本案的一实施例之后被一般熟悉此项技术者了解。

[0171] 在一些实施例中,上文所论述的方法中的一些或全部是由IC布局图产生系统执行。在一些实施例中,IC布局图产生系统可用作为在下文论述的IC制造系统的设计室的部分。

[0172] 图16是根据本案的一实施例的电子设计自动化(electronic design automation;EDA)系统1600的方块图。

[0173] 在一些实施例中,EDA系统1600包括APR系统。根据一些实施例,本文中描述的设计布局图的方法表示线选路配置,根据一或多个实施例,可例如使用EDA系统1600来实施。

[0174] 在一些实施例中,EDA系统1600是包括硬件处理器1602及非暂时性计算机可读储存媒体1604的通用计算元件。储存媒体1604尤其经编码具有计算机程序码1606,即储存计

计算机程序码1606,计算机程序码1606即一组可执行指令。指令1606由硬件处理器1602的执行(至少部分地)表示实施本文中描述的根据一或多个实施例的方法(在下文中为提出的制程及/或方法)的一部分或全部的EDA工具。

[0175] 处理器1602经由总线1608电耦接至计算机可读储存媒体1604。处理器1602亦通过总线1608电耦接至I/O接口1610。网络接口1612亦经由总线1608电耦接至处理器1602。网络接口1612连接至网络1614,因此处理器1602及计算机可读储存媒体1604能够经由网络1614连接至外部元件。处理器1602用以执行编码在计算机可读储存媒体1604中的计算机程序码1606,以便使系统1600可用于执行提出的制程及/或方法的一部分或全部。在一或多个实施例中,处理器1602是中央处理单元(central processing unit;CPU)、多处理器、分散式处理系统、特殊应用集成电路(application specific integrated circuit;ASIC)及/或合适的处理单元。

[0176] 在一或多个实施例中,计算机可读储存媒体1604是电子、磁性、光学、电磁、红外线及/或半导体系统(或设备或元件)。举例而言,计算机可读储存媒体1604包括半导体或固态记忆体、磁带、可移式计算机磁盘、随机存取记忆体(random access memory;RAM)、只读记忆体(read-only memory;ROM)、硬质磁盘及/或光盘。在使用光盘的一或多个实施例中,计算机可读储存媒体1604包括光盘只读记忆体(compact disk-read only memory;CD-ROM)、可读写光盘(compact disk-read/write;CD-R/W)及/或数字视频光盘(digital video disc;DVD)。

[0177] 在一或多个实施例中,储存媒体1604储存计算机程序码1606,该计算机程序码用以使系统1600(在此执行(至少部分地)表示EDA工具的情况下)可用于执行提出的制程及/或方法的一部分或全部。在一或多个实施例中,储存媒体1604亦储存利于执行提出的制程及/或方法的一部分或全部的信息。在一或多个实施例中,储存媒体1604储存标准单元的库1607,这些标准单元包括如本文中所揭示的这些标准单元。

[0178] EDA系统1600包括I/O接口1610。I/O接口1610耦接至外部电路。在一或多个实施例中,I/O接口1610包括用于将信息及命令传达至处理器1602的键盘、小键盘、鼠标、轨迹球、触控板、触控屏幕及/或标方向键。

[0179] EDA系统1600亦包括耦接至处理器1602的网络接口1612。网络接口1612允许系统1600与网络1614通信,一或多个其他计算机系统连接至该网络。网络接口1612包括无线网络接口,诸如BLUETOOTH、WIFI、WIMAX、GPRS或WCDMA;或有线网络接口,诸如ETHERNET、USB或IEEE-1364。在一或多个实施例中,提出的制程及/或方法的一部分或全部是在两个或多个系统1600中实施。

[0180] 系统1600用以经由I/O接口1610接收信息。经由I/O接口1610接收的信息包括由处理器1602进行处理的指令、数据、设计规则、标准单元库及/或其他参数中的一或多者。信息是经由总线1608传送至处理器1602。EDA系统1600用以经由I/O接口1610接收与UI有关的信息。信息储存在计算机可读媒体1604中以作为使用者界面(user interface;UI)1642。

[0181] 在一些实施例中,提出的制程及/或方法的一部分或全部是实施为由处理器执行的独立软件应用程序。在一些实施例中,提出的制程及/或方法的一部分或全部是实施为作为额外软件应用程序的一部分的软件应用程序。在一些实施例中,提出的制程及/或方法的一部分或全部是实施为软件应用程序的外挂程序。在一些实施例中,提出的制程及/或方法

中的至少一者是实施为作为EDA工具的一部分的软件应用程序。在一些实施例中,提出的制程及/或方法的一部分或全部是实施为由EDA系统1600使用的软件应用程序。在一些实施例中,包括标准单元的布局图是使用诸如可自CADENCE DESIGNSYSTEMS, Inc. 获得的VIRTUOSO®的工具或另一合适的布局产生工具产生。

[0182] 在一些实施例中,制程是实现为储存于非暂时性计算机可读记录媒体中的程序的功能。非暂时性计算机可读记录媒体的实例包括(但不限于)外部/可移动式及/或内部/内建的储存或记忆体单元,例如以下各者中的一或多者:光盘,诸如DVD;磁盘,诸如硬盘;半导体记忆体,诸如ROM、RAM、记忆卡;及类似物。

[0183] 图17是根据本案的一实施例的集成电路(integrated circuit; IC)制造系统1700的方块图,及与该IC制造系统相关联的IC制造流程。在一些实施例中,基于布局图,(A)一或多个半导体遮罩或(B)一半导体集成电路的一层中的至少一个组件中的至少一者是使用制造系统1700制造。

[0184] 在图17中,IC制造系统1700包括诸如设计室1720、遮罩室1730及IC制造商/制造者(“晶圆厂”)1750的实体,这些实体在与制造IC元件1760有关的设计、开发及制造循环及/或服务中彼此相互作用。系统1700中的实体由通信网络连接。在一些实施例中,通信网络是单一网络。在一些实施例中,通信网络是多种不同的网络,诸如内部网络及网际网络。通信网络包括有线及/或无线的通信通道。每一实体与其他实体中的一或多者相互作用,且为其他实体中的一或多者提供服务及/或自其他实体中的一或多者接收服务。在一些实施例中,设计室1720、遮罩室1730及IC晶圆厂1750中的两者或多者归单个的较大公司所有。在一些实施例中,设计室1720、遮罩室1730及IC晶圆厂1750中的两者或多者共存于共用设施中且使用共用资源。

[0185] 设计室(或设计团队)1720产生IC设计布局图1722。IC设计布局图1722包括针对IC元件1760设计的各种几何图案。这些几何图案对应于构成待制造的IC元件1760的各种组件的金属层、氧化物层或半导体层的图案。各种层组合以形成各种IC特征。举例而言,IC设计布局图1722的一部分包括将在半导体基板(诸如硅晶圆)及安置于半导体基板上的各种材料层中形成的各种IC特征,诸如主动区域、栅极电极、源极与漏极、层间互连的金属线或介层孔及接合垫的开口。设计室1720实施恰当的设计程序以形成IC设计布局图1722。设计程序包括逻辑设计、实体设计或置放选路操作中之一或多者。IC设计布局图1722存在于具有关于几何图案的信息的一或多个数据文件中。举例而言,IC设计布局图1722可以用GDSII文件格式或DFII文件格式表示。

[0186] 遮罩室1730包括数据准备1732及遮罩制造1744。遮罩室1730使用IC设计布局图1722来制造一或多个遮罩1745,该一或多个遮罩将用于根据IC设计布局图1722制造IC元件1760的各种层。遮罩室1730执行遮罩数据准备1732,其中IC设计布局图1722经转译成代表性数据文件(“representative data file; RDF”)。遮罩数据准备1732将RDF提供至遮罩制造1744。遮罩制造1744包括遮罩写入器。遮罩写入器将RDF转换成基板上的影像,诸如遮罩(光刻罩)1745或半导体晶圆1753。设计布局图1722是由遮罩数据准备1732操纵以遵守遮罩写入器的特定特性及/或IC晶圆厂1750的要求。在图17中,遮罩数据准备1732及遮罩制造1744是说明为独立的元件。在一些实施例中,遮罩数据准备1732及遮罩制造1744可以一起被称为遮罩数据准备。

[0187] 在一些实施例中,遮罩数据准备1732包括光学近接修正(optical proximity correction;OPC),光学近接修正使用微影增强技术以补偿影像误差,诸如可以由绕射、干涉、其他处理效应及类似者引起的影像误差。OPC调整IC设计布局图1722。在一些实施例中,遮罩数据准备1732包括其他解析度增强技术(resolution enhancement technique;RET),诸如离轴照明、次解析度辅助特征、相移遮罩、其他合适的技术及类似技术或这些技术的组合。在一些实施例中,亦使用逆微影技术(inverse lithography technology;ILT),逆微影技术将OPC视为逆成像问题。

[0188] 在一些实施例中,遮罩数据准备1732包括遮罩规则检验器(mask rule checker;MRC),遮罩规则检验器利用一组遮罩创造规则来检查已经历OPC中的程序的IC设计布局图1722,这些遮罩创造规则含有特定的几何及/或连接限制以确保足够裕量,以解释半导体制造制程中的可变性及类似者。在一些实施例中,MRC修改IC设计布局图1722以补偿遮罩制造1744期间的限制,如此可撤销由OPC执行的修改的部分,以便满足遮罩创造规则。

[0189] 在一些实施例中,遮罩数据准备1732包括微影制程检查(lithography process checking;LPC),该微影制程检查模拟将由IC晶圆厂1750实施以制造IC元件1760的处理。LPC基于IC设计布局图1722来模拟此处理以产生模拟制造的元件,诸如IC元件1760。LPC模拟中的处理参数可以包括与IC制造循环的各种制程相关联的参数、与用于制造IC的工具相关联的参数及/或制造制程的其他态样。LPC考虑各种因素,诸如空中影像对比度、焦点深度(“depth of focus;DOF”)、遮罩误差增强因子(“mask error enhancement factor;MEEF”)、其他合适的因素及类似者或前述因素的组合。在一些实施例中,在模拟制造的元件已由LPC产生之后,若模拟的元件在形状上不足够接近以满足设计规则,则应重复OPC及/或MRC以进一步改良IC设计布局图1722。

[0190] 应理解,为清楚起见,遮罩数据准备1732的以上描述已经简化。在一些实施例中,数据准备1732包括额外特征,诸如用于根据制造规则修改IC设计布局图1722的逻辑运算(logic operation;LOP)。另外,在数据准备1732期间应用于IC设计布局图1722的程序可以按多种不同的次序执行。

[0191] 在遮罩数据准备1732之后且在遮罩制造1744期间,基于经修改的IC设计布局图1722而制造一遮罩1745或一组遮罩1745。在一些实施例中,遮罩制造1744包括基于IC设计布局图1722而执行一或多次微影曝光。在一些实施例中,使用一电子束(e射束)或多个e射束的机制以基于经修改的IC设计布局图1722而在遮罩(光罩或光刻罩)1745上形成图案。遮罩1745可以用各种技术形成。在一些实施例中,遮罩1745是使用二元技术(binary technology)形成。在一些实施例中,遮罩图案包括不透明区域及透明区域。用于使已涂布在晶圆上的影像敏感材料层(例如,光阻剂)曝光的辐射束被不透明区域阻断且透射穿过透明区域,该辐射束诸如紫外线(ultraviolet;UV)射束。在一个实例中,遮罩1745的二元遮罩版本包括透明的基板(例如,熔融石英)及涂布在二元遮罩的不透明区域中的不透明材料(例如,铬)。在另一实例中,遮罩1745是使用相移技术形成。在遮罩1745的相移遮罩(phase shift mask;PSM)版本中,形成于相移遮罩上的图案中的各种特征用以具有恰当的相位差以增强解析度及成像品质。在各种实例中,相移遮罩可为衰减式PSM或交替式PSM。通过遮罩制造1744产生的遮罩将在多种程序中使用。举例而言,此(这些)遮罩将在用于在半导体晶圆1753中形成各种掺杂区域的离子植入制程中、在用于在半导体晶圆1753中形成各种蚀刻

区域的蚀刻制程中及/或在其他合适的制程中使用。

[0192] IC晶圆厂1750是IC制造企业,该IC制造企业包括用于制造多种不同IC产品的一或多个制造设施。在一些实施例中,IC晶圆厂1750是半导体铸造厂。举例而言,可能存在用于多个IC产品的前端制造(前端工序(front-end-of-line;FEOL)制造)的制造设施,而第二制造设施可以提供用于IC产品的互连及封装的后端制造(后端工序(back-end-of-line;BEOL)制造),且第三制造设施可以为铸造厂企业提供其他服务。

[0193] IC晶圆厂1750包括制造工具1752,这些制造工具用以对半导体晶圆1753执行各种制造操作,使得IC元件1760是根据例如遮罩1745的遮罩制造。在各种实施例中,制造工具1752包括以下各者中的一或多个:晶圆步进机;离子植入机;光阻剂涂布机;处理腔室,例如,CVD腔室或LPCVD炉;CMP系统;电浆蚀刻系统;晶圆清洗系统;或能够执行如本文中所论述的一或多个合适制造制程的其他制造设备。

[0194] IC晶圆厂1750使用由遮罩室1730制造的遮罩1745来制造IC元件1760。因此,IC晶圆厂1750至少间接地使用IC设计布局图1722来制造IC元件1760。在一些实施例中,半导体晶圆1753是由IC晶圆厂1750使用遮罩1745制造以形成IC元件1760。在一些实施例中,IC制造包括至少间接地基于IC设计布局图1722来执行一或多次微影曝光。半导体晶圆1753包括硅基板或其他恰当的基板,该基板上形成有多个材料层。半导体晶圆1753进一步包括以下各者中的一或多个:各种掺杂区域;介电特征;多位准互连;及类似物(在后续制造步骤形成)。

[0195] 关于集成电路(integrated circuit;IC)制造系统(例如,图17的系统1700)及与该IC制造系统相关联的IC制造流程的细节将在例如以下各者中发现:在2016年2月9日授予的美国专利第9,256,709号;在2015年10月1日公布的美国预授权公开案第20150278429号;在2014年2月6日公布的美国预授权公开案第20140040838号;及在2007年8月21日授予的美国专利第7,260,442号,前述各者的全部内容特此以引用方式并入。

[0196] 在一些实施例中,一种方法包含以下步骤:产生集成电路(integrated circuit; IC)的单元的布局图;及将产生的布局图储存于非暂时性计算机可读媒体上。在产生单元的布局图的步骤中,在单元的边界内配置第一主动区域。第一主动区域沿着第一方向延伸。在边界内配置至少一个栅极区域。至少一个栅极区域沿着横切第一方向的第二方向跨越第一主动区域延伸。配置第一导电区域以与第一主动区域及边界的第一边缘重叠。第一导电区域用以形成至第一主动区域的电连接。

[0197] 在一些实施例中,其中产生单元的布局图的步骤进一步包含以下步骤配置与第一主动区域及边界的第二边缘重叠的第二导电区域。第二导电区域用以形成至第一主动区域的电连接,第二边缘在第一方向上与第一边缘对置。

[0198] 在一些实施例中,其中边界的第一边缘在第一方向上与第一导电区域的中心线重合,且边界的第二边缘在第一方向上与第二导电区域的中心线重合。

[0199] 在一些实施例中,其中产生单元的布局图的步骤进一步包含以下步骤:在边界内配置第二主动区域,第二主动区域沿着第一方向延伸且在第二方向上与第一主动区域隔开,至少一个栅极区域跨越第二主动区域延伸,配置与第二主动区域及边界的第二边缘重叠的第三导电区域,第三导电区域用以形成至第二主动区域的电连接,及配置与第二主动区域及边界的第二边缘重叠的第四导电区域,第四导电区域用以形成至第二主动区域的电

连接。

[0200] 在一些实施例中,其中单元是填充物单元,且至少一个栅极区域是虚设栅极区域。

[0201] 在一些实施例中,其中在第一方向上的填充物单元的宽度等于集成电路的邻近栅极区域之间的一个栅极区域间距。

[0202] 在一些实施例中,方法进一步包含以下步骤:基于布局图来制造半导体遮罩或集成电路的层中的组件中的至少一者。

[0203] 在一些实施例中,一种方法包含以下步骤:产生集成电路(integrated circuit; IC)布局图;及将产生的IC布局图储存于非暂时性计算机可读媒体上。产生IC布局图的步骤包含在IC布局图中毗邻于第二单元置放第一单元。第一单元的边界沿着第一共用边缘邻接第二单元的边界。第一单元的第一导电区域与第二单元的第二导电区域经合并而成为与第一共用边缘重叠的第一共用导电区域,第一导电区域与第一单元的第一主动区域重叠且用以形成至第一单元的第一主动区域的一电连接,第二导电区域与第二单元的第二主动区域重叠且用以形成至第二单元的第二主动区域的电连接。

[0204] 在一些实施例中,其中产生集成电路布局图的步骤进一步包含在集成电路布局图中毗邻于第二单元置放第三单元的步骤。第三单元的边界沿着第二共用边缘邻接第二单元的边界,第一共用边缘及第二共用边缘在第一方向上彼此相反且沿着横切第一方向的第二方向延伸,且第三单元的第三导电区域与第二单元的第四导电区域经合并而成为与第二共用边缘重叠的第二共用导电区域,第三导电区域与第三单元的第三主动区域重叠且用以形成至第三单元的第三主动区域的一电连接,第四导电区域与第二单元的第二主动区域重叠且用以形成至第二单元的第二主动区域的一电连接。

[0205] 在一些实施例中,其中第二单元是一填充物单元,填充物单元包含沿着第二方向跨越第二主动区域延伸的一虚设栅极区域,虚设栅极区域在第一方向上定位在第一共用边缘与第二共用边缘之间。

[0206] 在一些实施例中,其中第一导电区域及第三导电区域分别为用以形成至第一主动区域及第三主动区域中的漏极区域的电连接的漏极侧导电区域。

[0207] 在一些实施例中,其中第一主动区域及第二主动区域分别为第一p通道金属氧化物半导体主动区域及第二p通道金属氧化物半导体主动区域主动区域。第一导电区域、第二导电区域及第一共用导电区域分别为第一p通道金属氧化物半导体主动区域导电区域、第二p通道金属氧化物半导体主动区域导电区域及第一共同p通道金属氧化物半导体主动区域导电区域。第一单元进一步包含:第一n通道金属氧化物半导体主动区域,以及第一n通道金属氧化物半导体导电区域,第二n通道金属氧化物半导体导电区域与第一n通道金属氧化物半导体主动区域重叠且用以形成至第一n通道金属氧化物半导体主动区域的电连接。第二单元进一步包含:第二n通道金属氧化物半导体主动区域,及第二n通道金属氧化物半导体导电区域,第二n通道金属氧化物半导体导电区域与第二n通道金属氧化物半导体主动区域重叠且用以形成至第二n通道金属氧化物半导体主动区域的电连接,且在如下步骤中:在集成电路布局图中毗邻于第二单元置放第一单元,第一n通道金属氧化物半导体导电区域与第二n通道金属氧化物半导体导电区域经合并而成为与第一共用边缘重叠的第一共同n通道金属氧化物半导体导电区域。

[0208] 在一些实施例中,其中第一单元及第二单元中的每一者是非填充物单元。第一p通

道金属氧化物半导体导电区域、第二p通道金属氧化物半导体导电区域、第一n通道金属氧化物半导体导电区域及第二n通道金属氧化物半导体导电区域分别为用以形成至第一p通道金属氧化物半导体主动区域、第二p通道金属氧化物半导体主动区域、第一n通道金属氧化物半导体主动区域及第二n通道金属氧化物半导体主动区域中的源极区域的电连接的源极侧导电区域。

[0209] 在一些实施例中,其中产生集成电路布局图的步骤进一步包含在集成电路布局图中毗邻于第二单元置放第三单元的步骤。第三单元包含:第三p通道金属氧化物半导体主动区域,第三p通道金属氧化物半导体导电区域,第三p通道金属氧化物半导体导电区域与第三p通道金属氧化物半导体主动区域重叠且用以形成至第三p通道金属氧化物半导体主动区域的一电连接,第三n通道金属氧化物半导体主动区域,以及第三n通道金属氧化物半导体导电区域,第三n通道金属氧化物半导体导电区域与第三n通道金属氧化物半导体主动区域重叠且用以形成至第三n通道金属氧化物半导体主动区域的电连接。第二单元进一步包含第四p通道金属氧化物半导体导电区域,第四p通道金属氧化物半导体导电区域与第二p通道金属氧化物半导体主动区域重叠且用以形成至第二p通道金属氧化物半导体主动区域的电连接,以及第四n通道金属氧化物半导体导电区域,第四n通道金属氧化物半导体导电区域与第二n通道金属氧化物半导体主动区域重叠且用以形成至第二n通道金属氧化物半导体主动区域的电连接。在如下步骤中:在集成电路布局图中毗邻于第二单元置放第三单元。第三单元的边界沿着第二共用边缘邻接第二单元的边界,第一共用边缘及第二共用边缘在第一方向上彼此相反且沿着横切第一方向的第二方向延伸,第三p通道金属氧化物半导体导电区域与第四p通道金属氧化物半导体导电区域经合并而成为与第二共用边缘重叠的第二共同p通道金属氧化物半导体导电区域,且第三n通道金属氧化物半导体导电区域与第四n通道金属氧化物半导体导电区域经合并而成为与第二共用边缘重叠的第二共同n通道金属氧化物半导体导电区域。

[0210] 在一些实施例中,第二单元是填充物单元,填充物单元包含沿着第二方向跨越第二p通道金属氧化物半导体主动区域及第二n通道金属氧化物半导体主动区域延伸的虚设栅极区域,虚设栅极区域在第一方向上定位在第一共用边缘与第二共用边缘之间。

[0211] 在一些实施例中,在第一方向上的填充物单元的一宽度等于集成电路的邻近栅极区域之间的一个栅极区域间距。

[0212] 在一些实施例中,第一p通道金属氧化物半导体导电区域、第一n通道金属氧化物半导体导电区域、第三p通道金属氧化物半导体导电区域或第三n通道金属氧化物半导体导电区域中的至少一者是用以形成至对应的第一p通道金属氧化物半导体主动区域、第一n通道金属氧化物半导体主动区域、第三p通道金属氧化物半导体主动区域或第三n通道金属氧化物半导体主动区域中的漏极区域的电连接的漏极侧导电区域。

[0213] 在一些实施例中,方法进一步包含以下步骤:基于集成电路布局图来制造半导体遮罩或集成电路的层中的组件中的至少一者。

[0214] 在一些实施例中,一种集成电路(integrated circuit; IC)元件包含第一单元、第二单元及第一共用导电区域。第一单元包含:第一边界;第一主动区域,第一主动区域在第一边界内且沿着第一方向延伸;及第一栅极区域,第一栅极区域在第一边界内且沿着第二方向跨越第一主动区域延伸,第二方向横切第一方向。第二单元包含:第二边界,第二边界

沿着第一共用边缘邻接第一边界;第二主动区域,第二主动区域在第二边界内且沿着第一方向延伸;及第二栅极区域,第二栅极区域在第二边界内且沿着第二方向跨越第二主动区域延伸。第一共用导电区域与第一共用边缘重叠,且电耦接至第一主动区域及第二主动区域两者。

[0215] 在一些实施例中,集成电路元件进一步包含:第三单元,第三单元包含:第三边界,第三边界沿着第二共用边缘邻接第二边界,第三主动区域,第三主动区域在第三边界内且沿着第一方向延伸,第三栅极区域,第三栅极区域在第三边界内且沿着第二方向跨越第三主动区域延伸;以及第二共用导电区域,第二共用导电区域与第二共用边缘重叠且电耦接至第三主动区域及第二主动区域两者,其中第二单元是一填充物单元,且第二栅极区域是一虚设栅极区域。

[0216] 前述内容概述几个实施例的特征,使得熟悉此项技术者可更好地理解本案的一实施例的态样。熟悉此项技术者应了解,这些技术者可容易将本案的一实施例用作为设计或修改用于实现与本文中介绍的实施例的相同目的及/或达成与本文中介绍的实施例的相同优点的其他制程及结构的基础。熟悉此项技术者亦应认识到,这些等效构造不背离本案的一实施例的精神及范畴,且这些技术者可在不离本案的一实施例的精神及范畴的情况下作出本文中的各种改变、取代及改动。

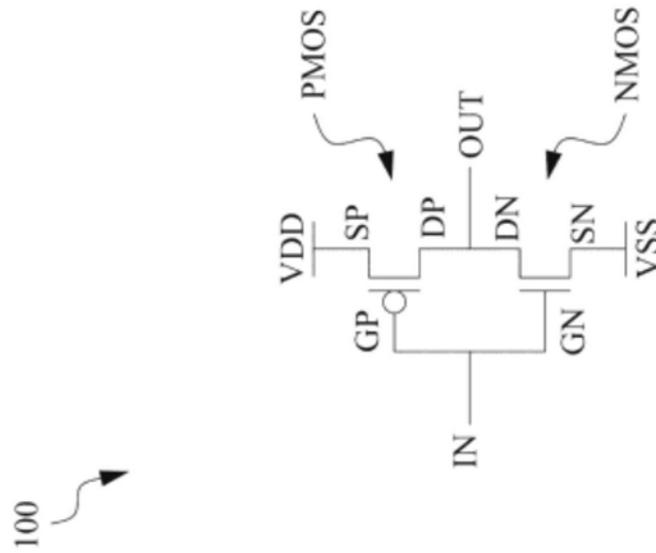


图1A

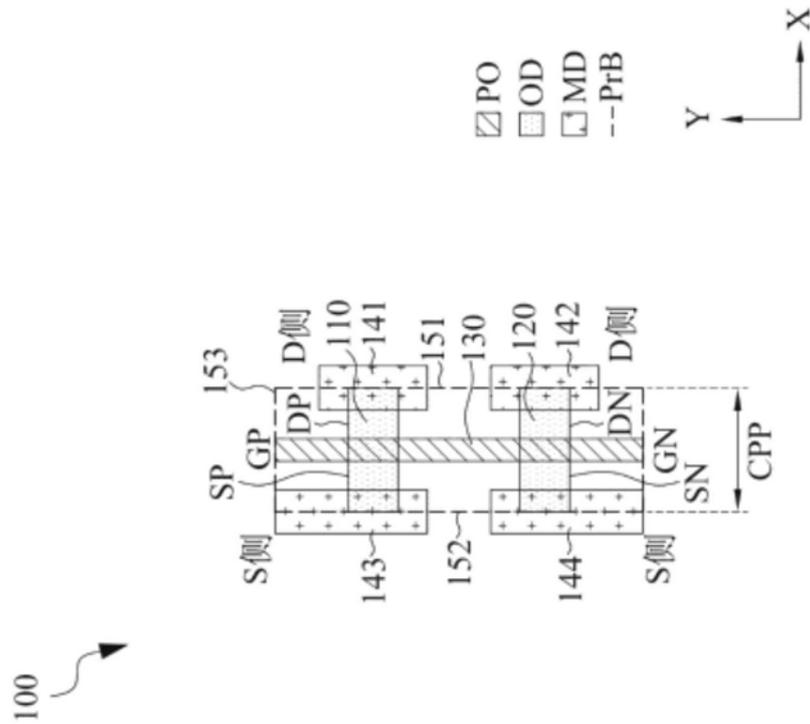


图1B

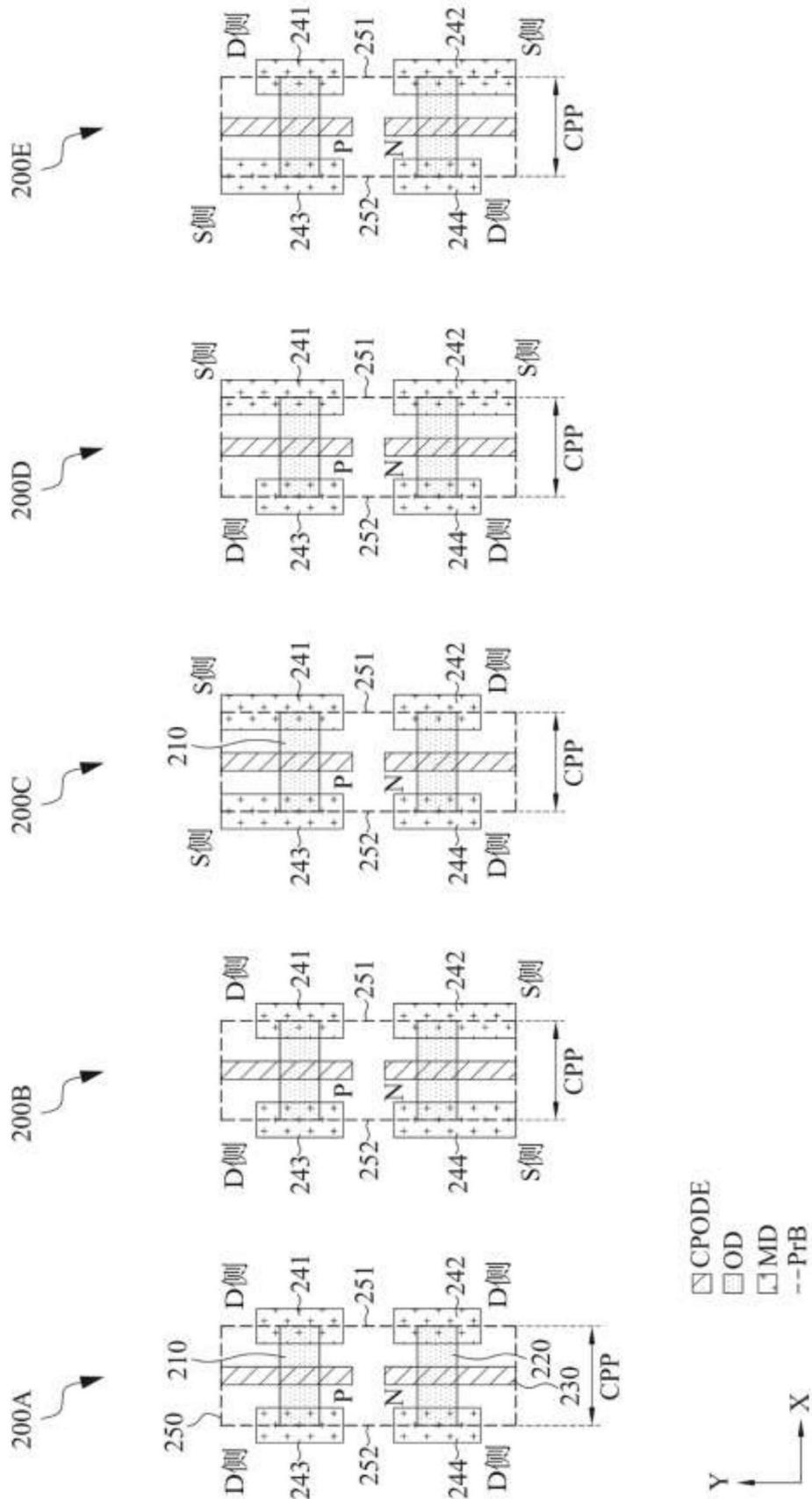


图2

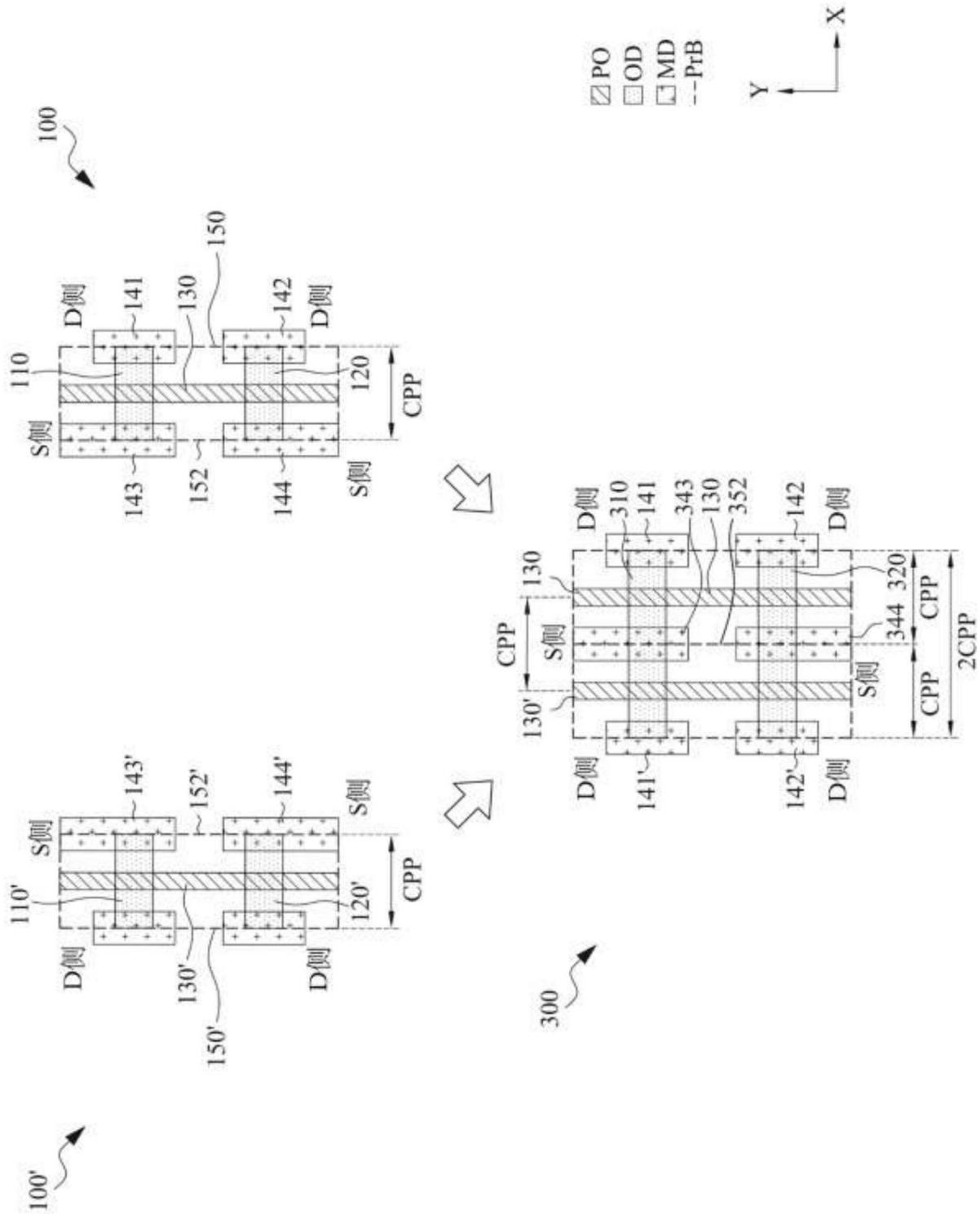


图3

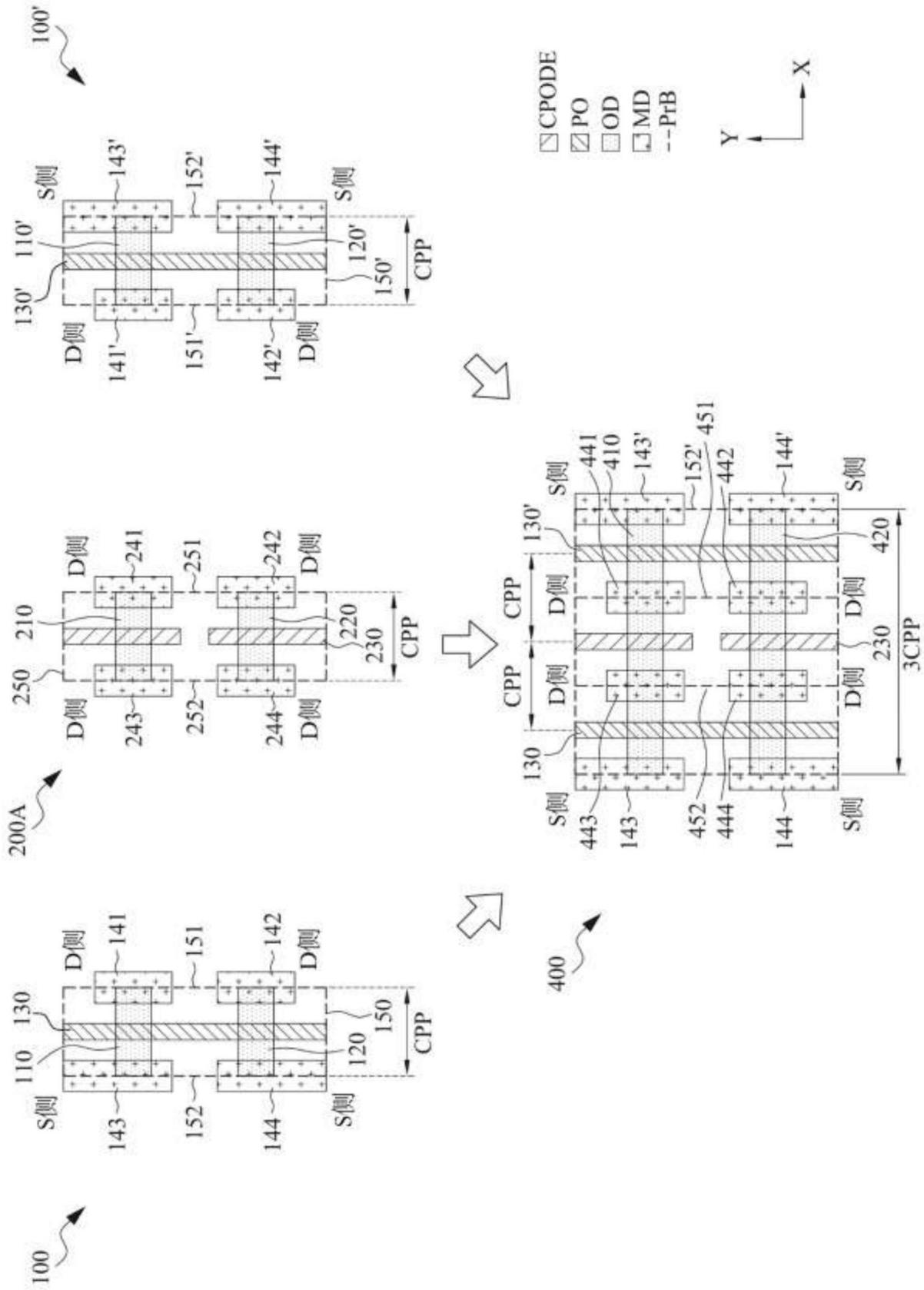


图4

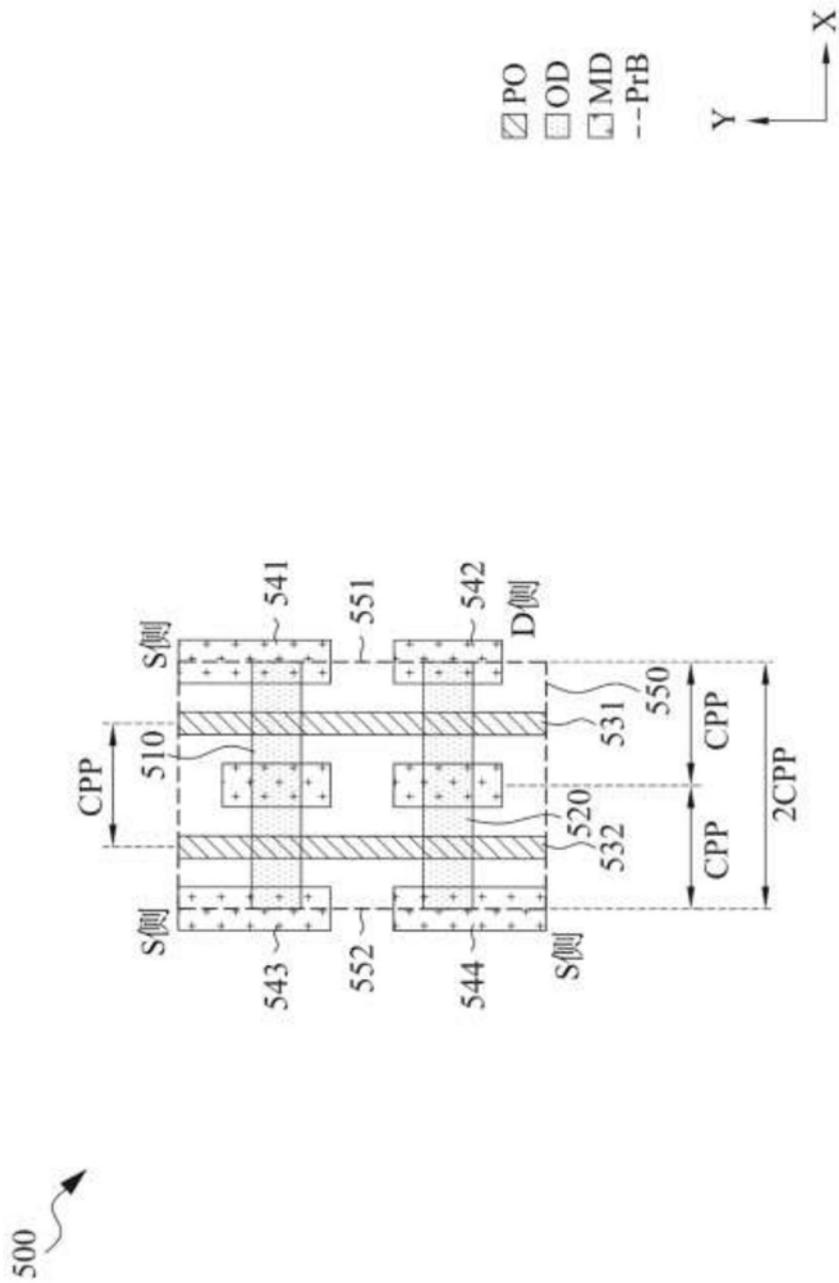


图5

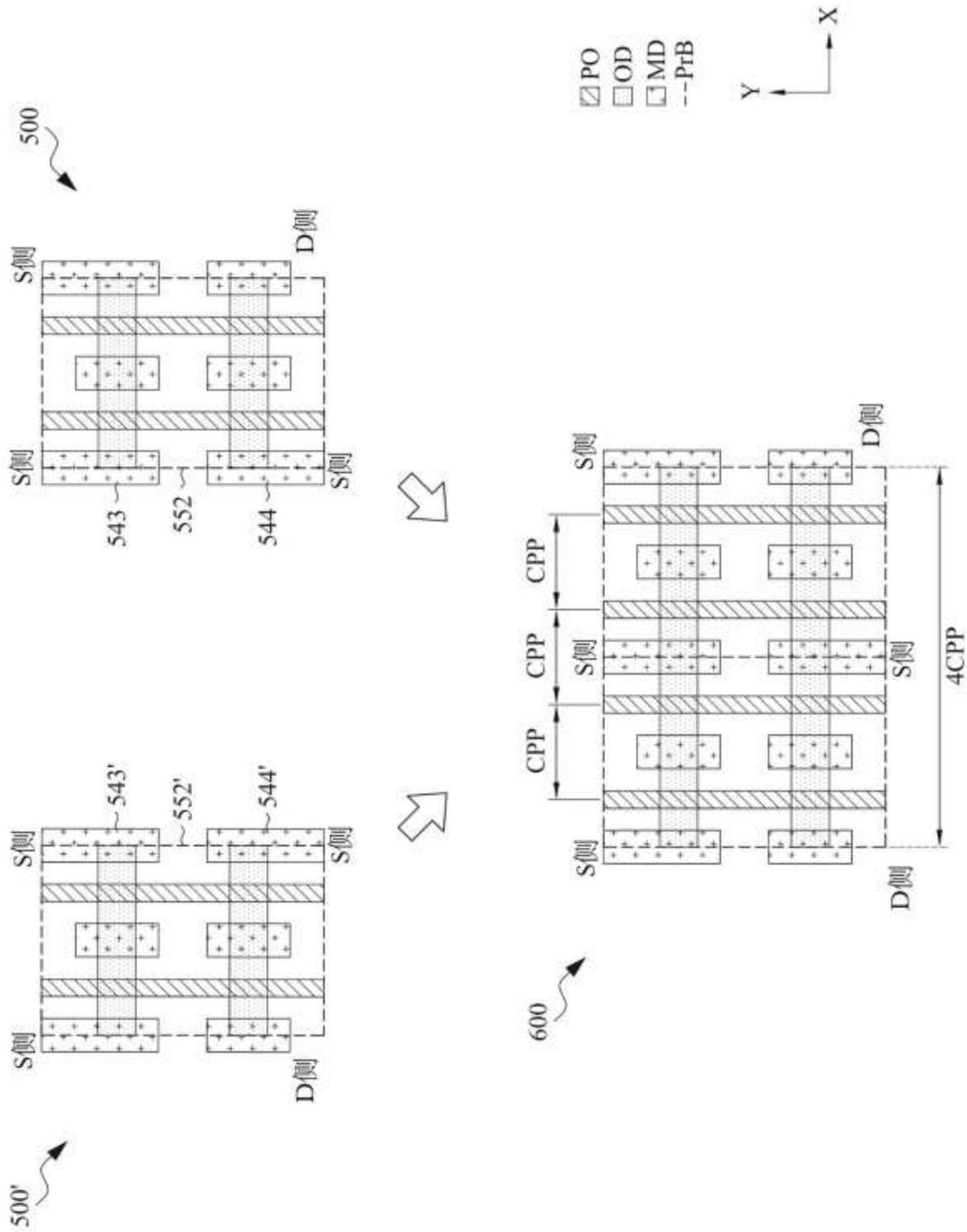


图6

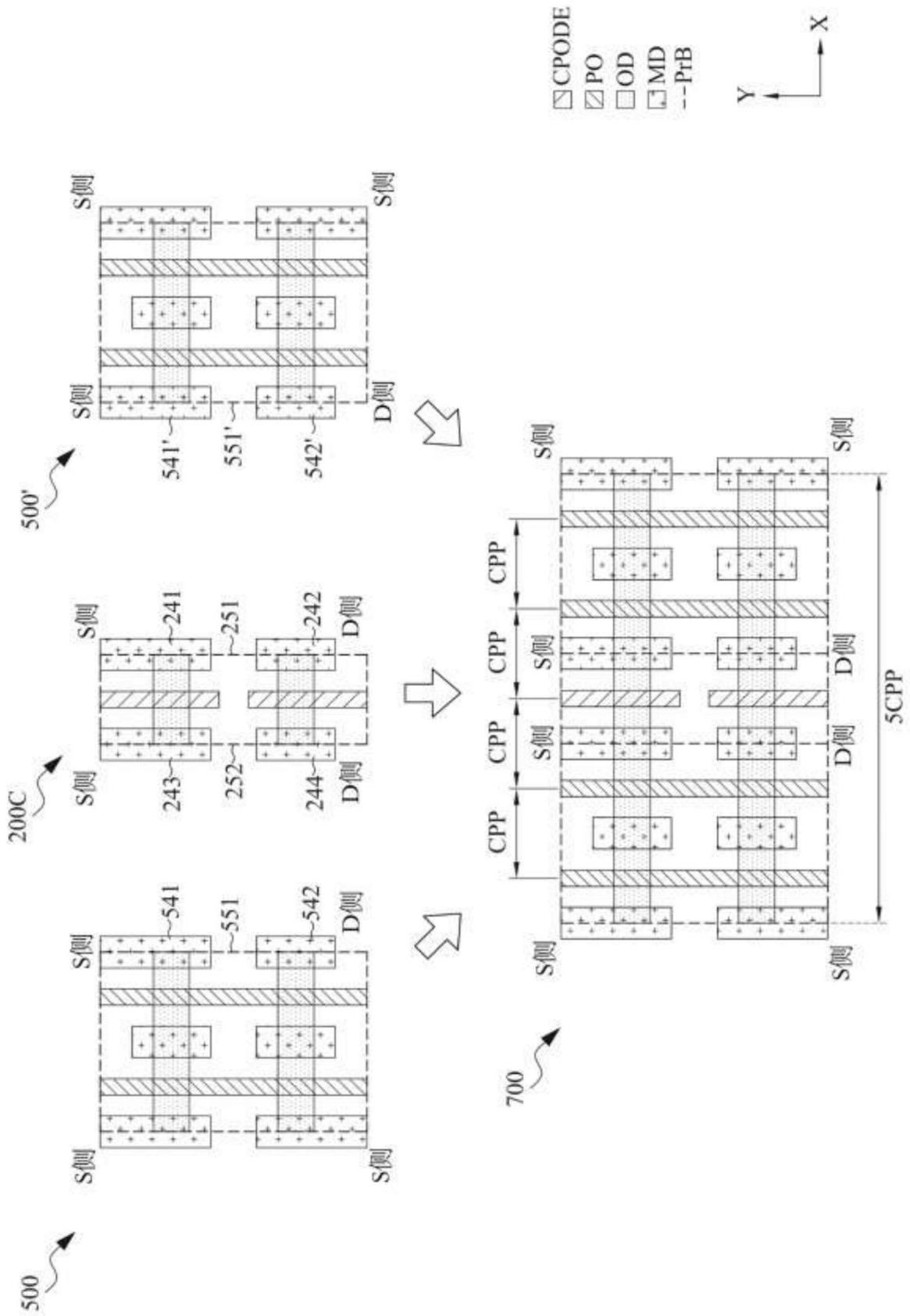


图7

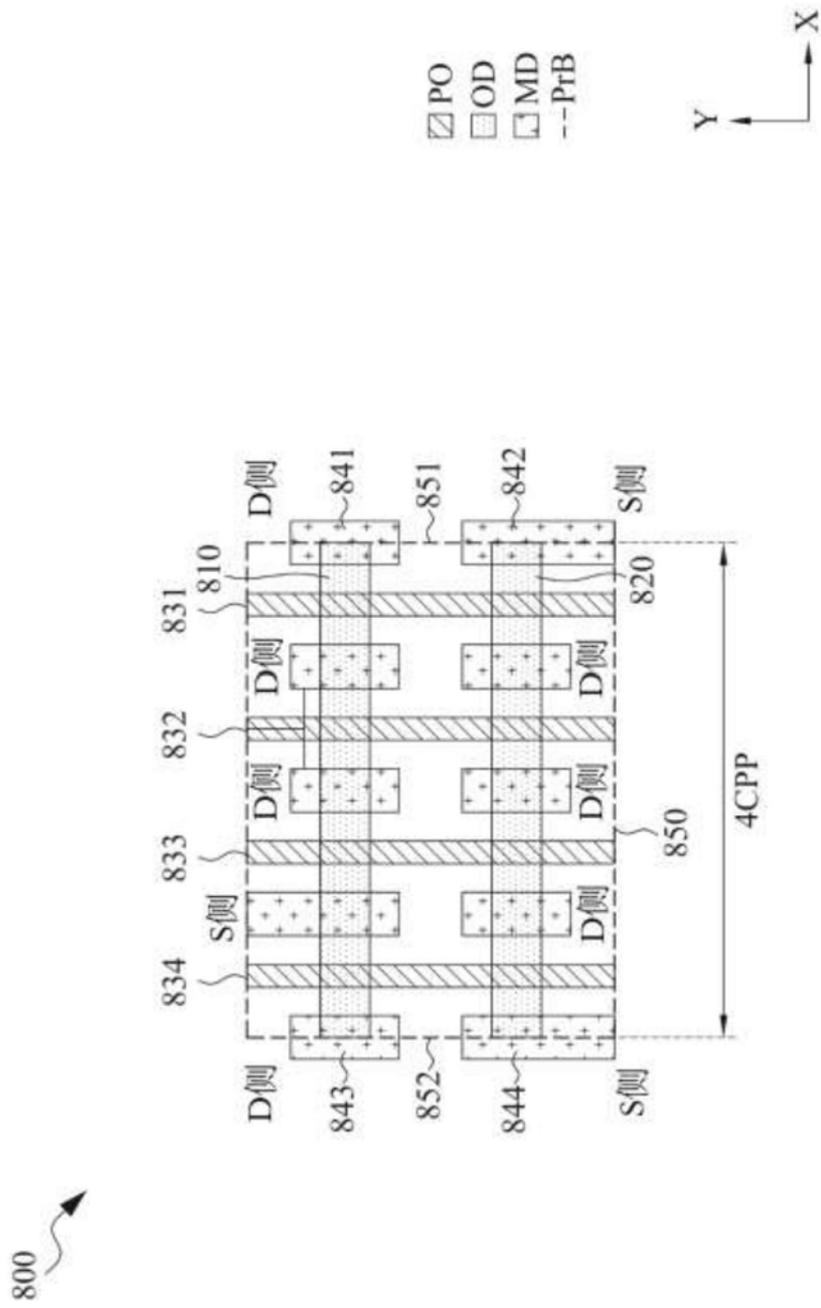


图8

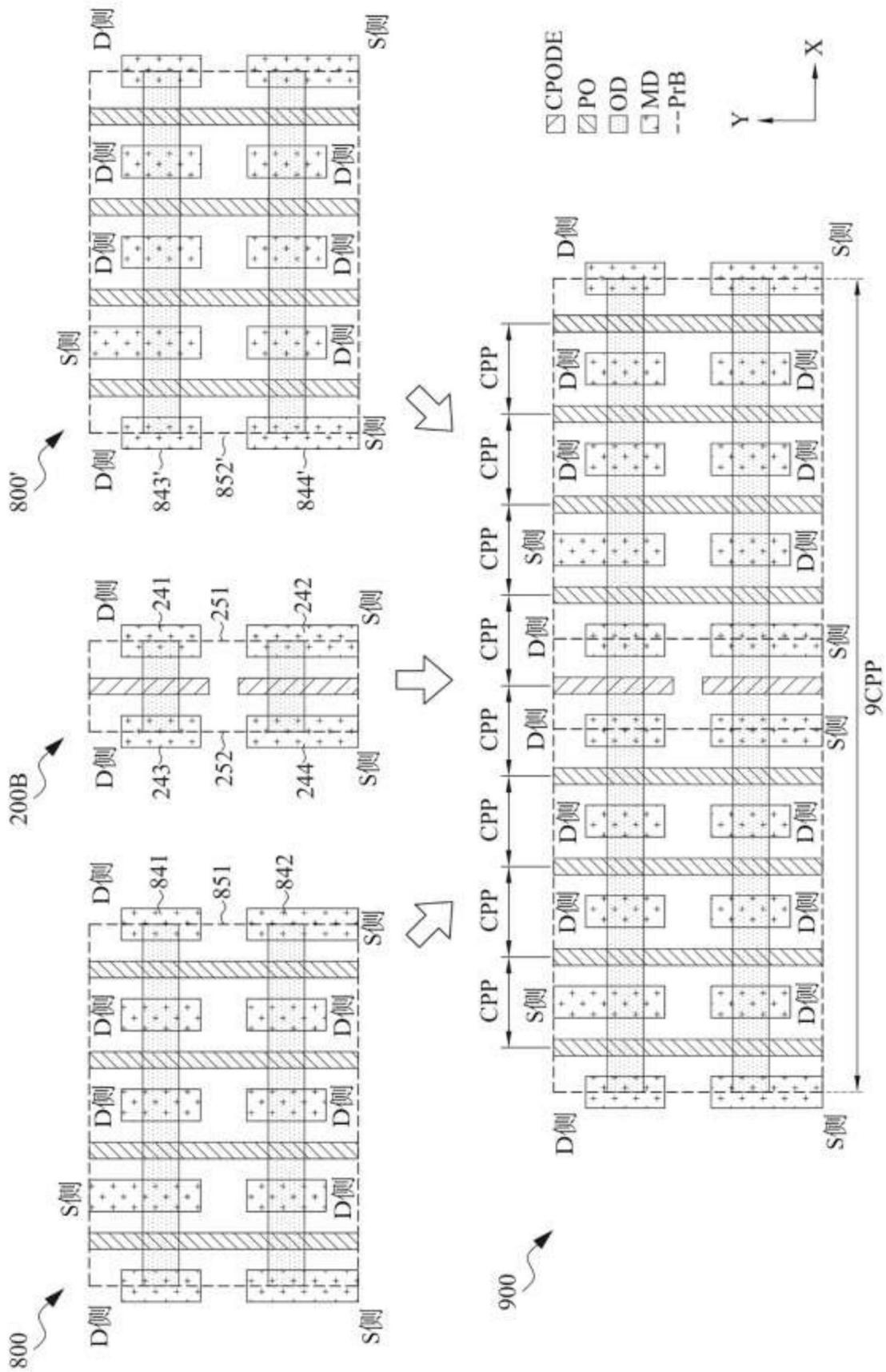


图9

1000A



图10A

1000B 



图10B

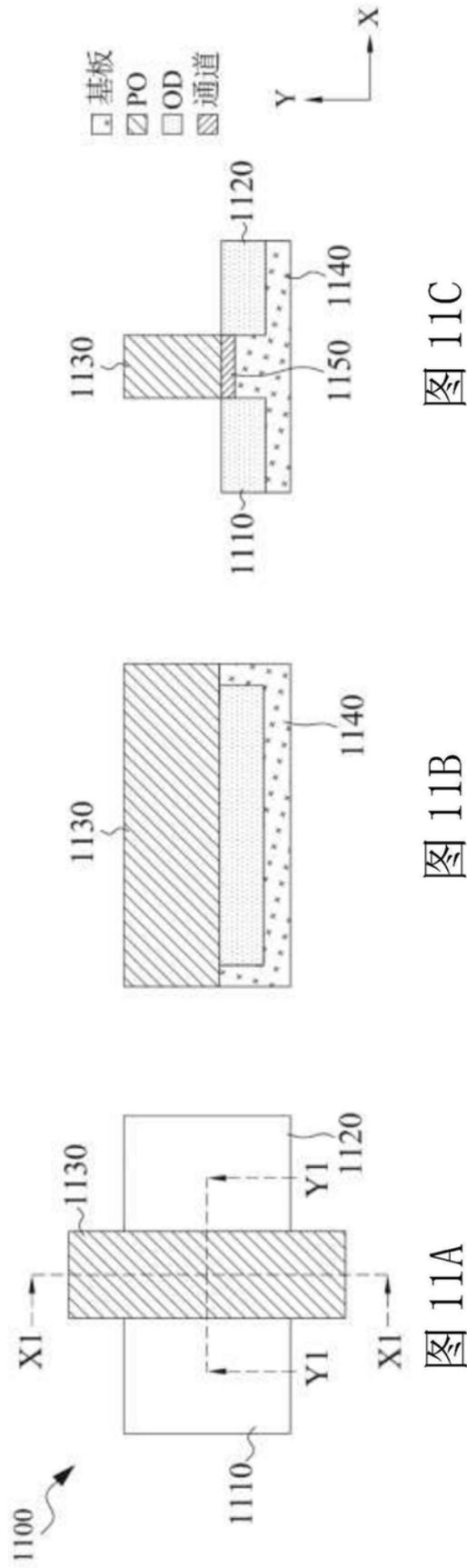


图 11C

图 11B

图 11A



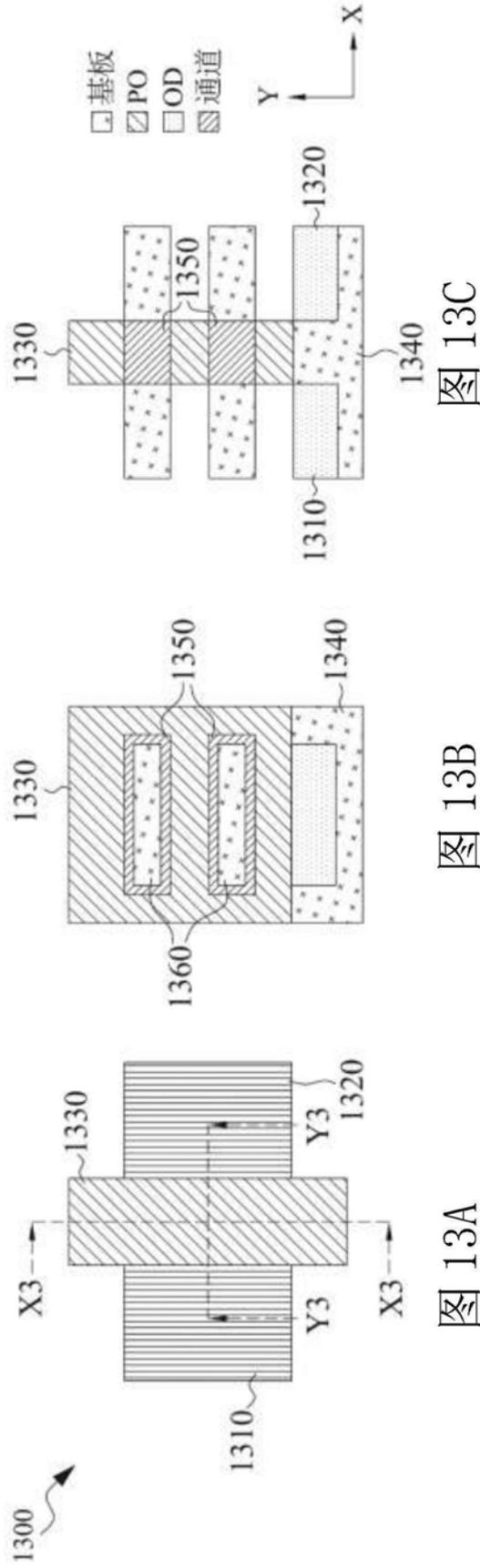


图 13A

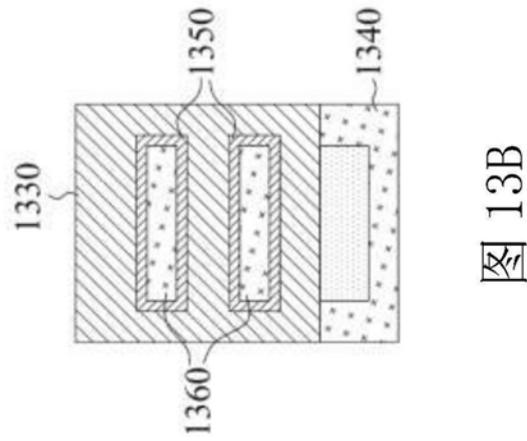


图 13B

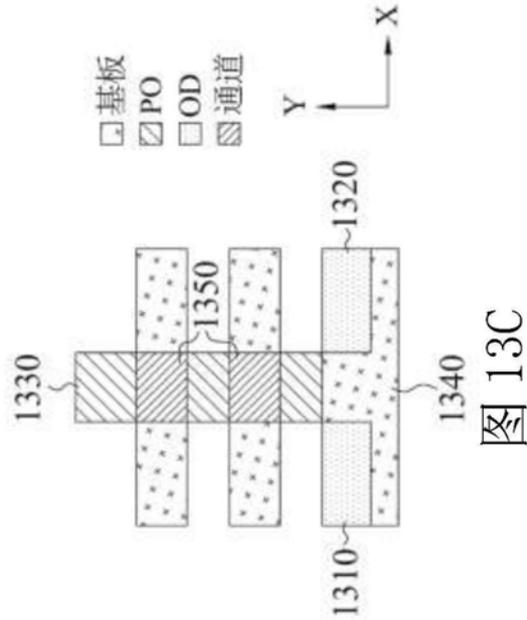


图 13C

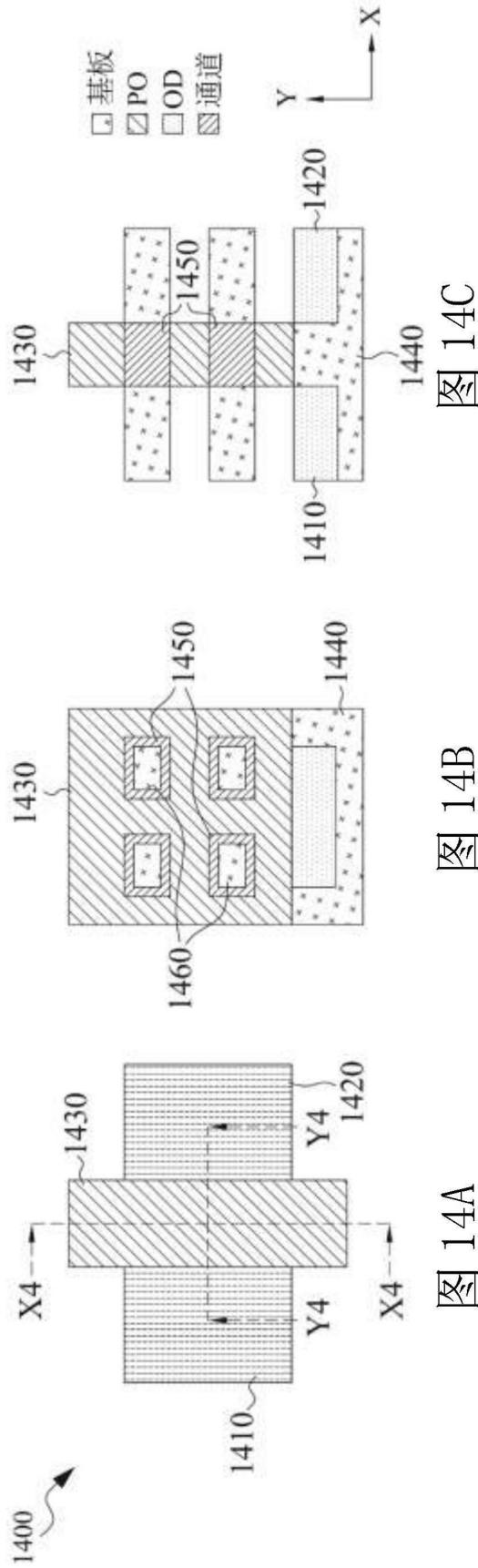


图 14A

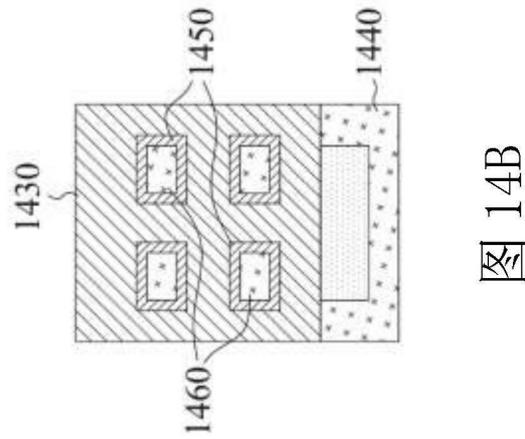


图 14B

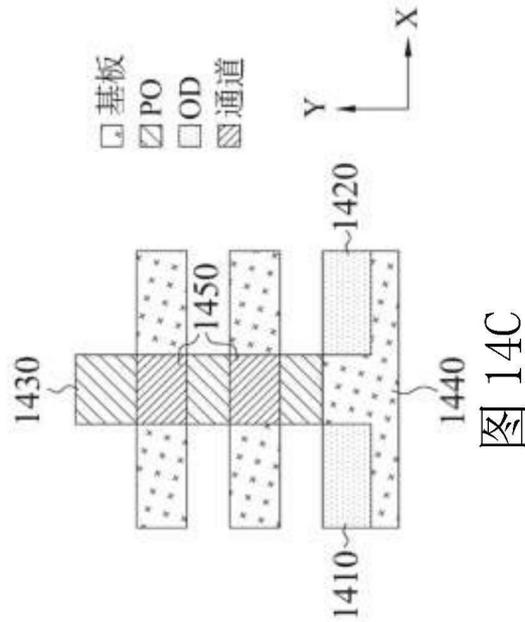


图 14C

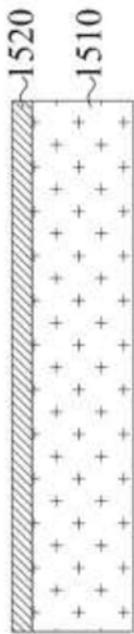


图 15A

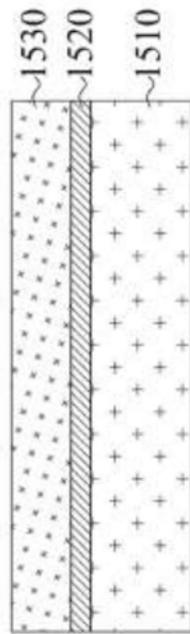


图 15B

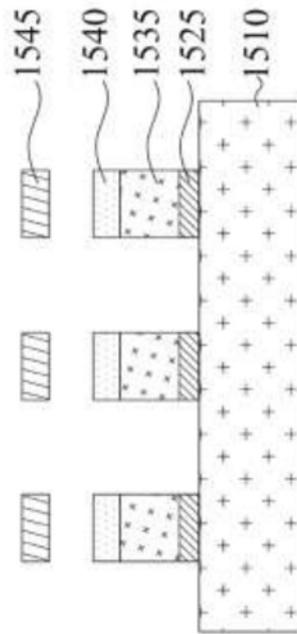


图 15C

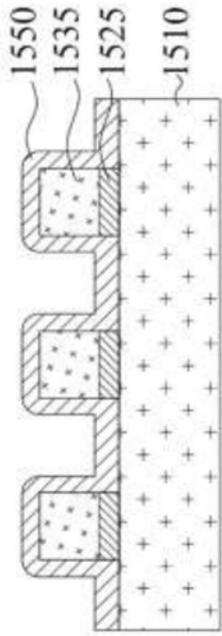


图 15D

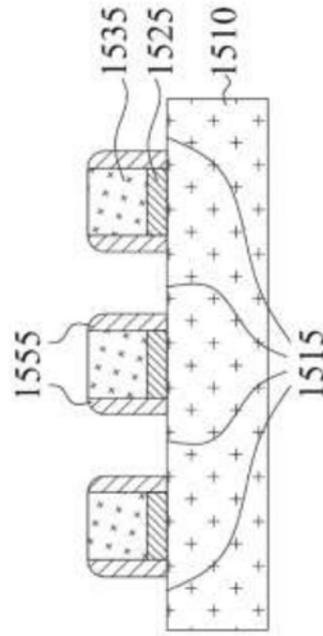
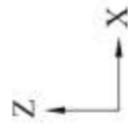


图 15E



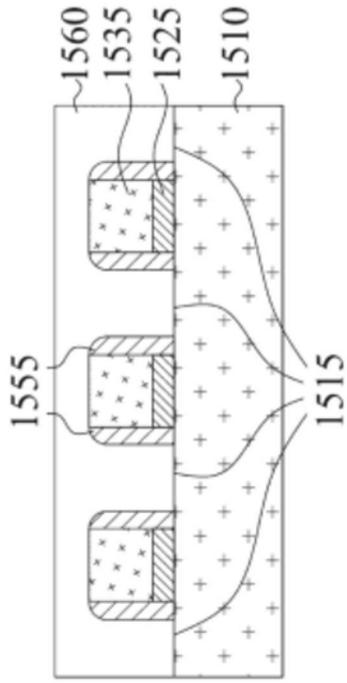


图 15F

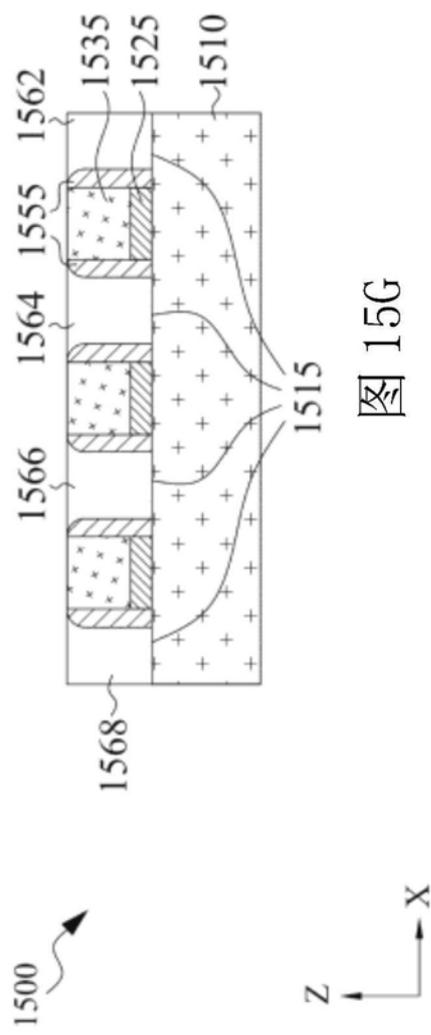


图 15G

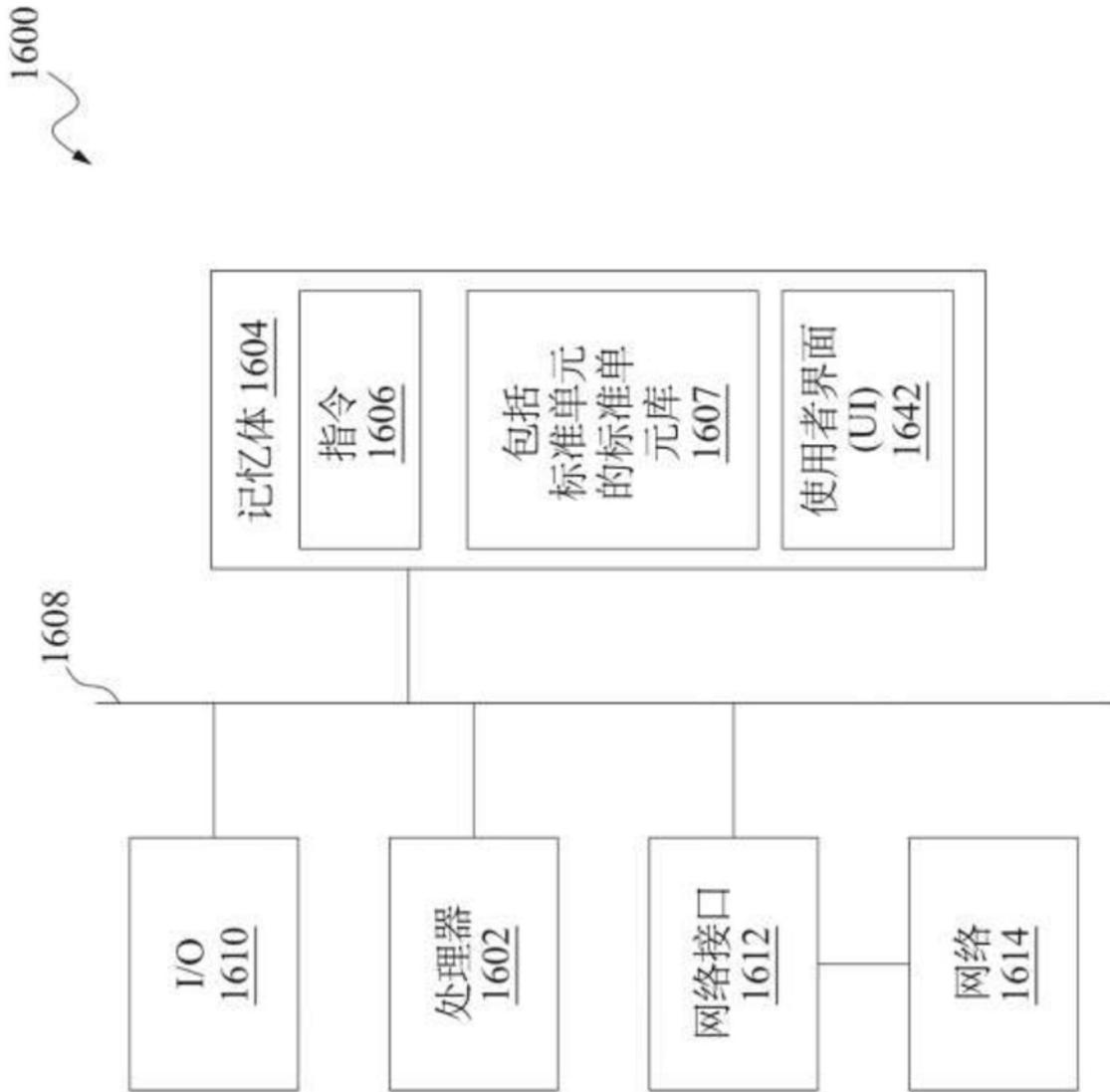


图16

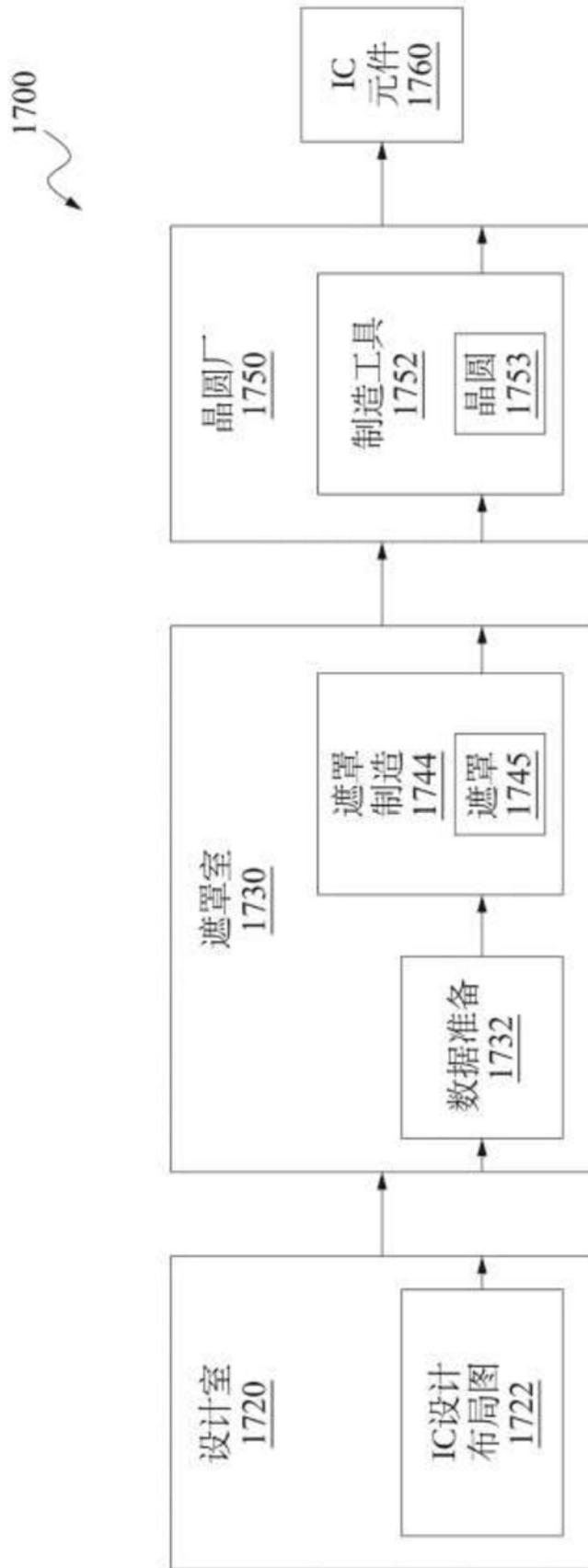


图17