



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0057372  
(43) 공개일자 2020년05월26일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/02 (2006.01)  
H01L 21/324 (2017.01) H01L 29/66 (2006.01)

(52) CPC특허분류  
H01L 29/7869 (2013.01)  
H01L 21/0228 (2013.01)

(21) 출원번호 10-2018-0141672  
(22) 출원일자 2018년11월16일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
한양대학교 산학협력단  
서울특별시 성동구 왕십리로 222(행당동, 한양대  
학교내)

(72) 발명자  
전형탁  
경기도 파주시 월롱면 엘지로 245  
박현우  
경기도 파주시 월롱면 엘지로 245  
(뒷면에 계속)

(74) 대리인  
특허법인(유한) 대아

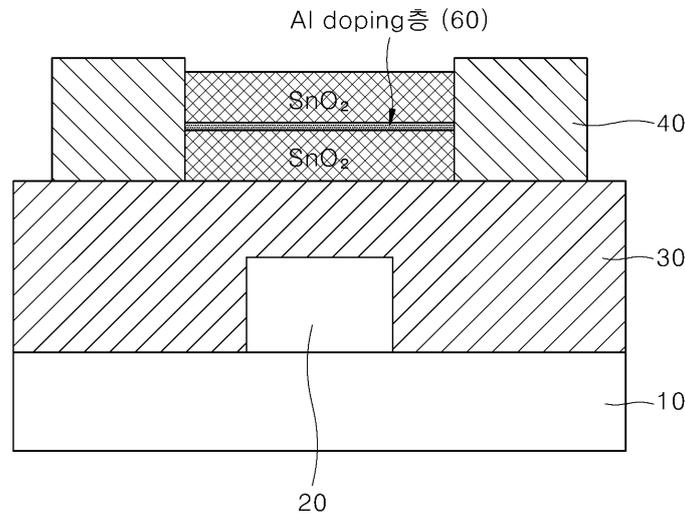
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 도핑된 주석 산화물 박막 트랜지스터 및 그 제조 방법

(57) 요약

본 발명은 이산화 주석층의 특정 위치에 알루미늄 도핑층을 도핑한 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 채널층을 포함하는 박막 트랜지스터와 그 제조 방법을 제공하여, 채널층으로 사용하기에 적합한 전하 이동도와 온/오프 전류 비 특성이 달성될 수 있다.

대표도 - 도2



(52) CPC특허분류

*H01L 21/324* (2013.01)

*H01L 29/66742* (2013.01)

*H01L 29/78606* (2013.01)

*H01L 29/78618* (2013.01)

*H01L 29/78696* (2013.01)

(72) 발명자

**정순신**

경기도 과천시 월릉면 엘지로 245

**문정민**

경기도 과천시 월릉면 엘지로 245

**최수석**

경기도 과천시 월릉면 엘지로 245

**유성필**

경기도 과천시 월릉면 엘지로 245

**정지환**

경기도 과천시 월릉면 엘지로 245

**장기석**

경기도 과천시 월릉면 엘지로 245

## 명세서

### 청구범위

#### 청구항 1

베이스 기판;

상기 베이스 기판 상에 위치하는 게이트 전극;

상기 게이트 전극 상에 위치하는 게이트 절연층;

상기 게이트 절연층 상에 위치하는 채널층;

상기 게이트 절연층 상에 위치하며 상기 채널층을 사이에 두고 상호 이격된 소스 전극과 드레인 전극;을 포함하고,

상기 채널층은 알루미늄이 도핑된 이산화 주석을 포함하며, 전하농도가  $10^{16} \sim 10^{18} / \text{cm}^3$ 인 것;을 특징으로 하는 박막 트랜지스터.

#### 청구항 2

제1항에 있어서,

상기 박막 트랜지스터는 전하 이동도(field effect mobility)가  $0.1 \sim 4 \text{ cm}^2/\text{Vs}$ 인 것;을 특징으로 하는 박막 트랜지스터.

#### 청구항 3

제1항에 있어서,

상기 박막 트랜지스터는 온/오프 전류 비가  $(1 \sim 10) \times 10^6$  인 것;을 특징으로 하는 박막 트랜지스터.

#### 청구항 4

제1항에 있어서,

상기 채널층의 대기(air) 어닐링 후 XRD 반치 전폭(full width half maximum)은 (200)면 피크를 기준으로 도핑되지 않은 주석 산화물( $\text{SnO}_2$ )의 대기 어닐링 후 XRD 반치 전폭보다 1.6배 내지 2.13배 큰 것;을 특징으로 하는 박막 트랜지스터.

#### 청구항 5

기판 상에 게이트 전극을 형성하는 공정;

상기 게이트 전극 상에 게이트 절연층을 형성하는 공정;

상기 게이트 절연층 상에 채널층을 형성하는 공정;

상기 게이트 절연층 상에 위치하며 상기 채널층을 사이에 두고 상호 이격된 소스 전극과 드레인 전극을 형성하는 공정;

어닐링 공정;을 포함하고,

상기 채널층을 형성하는 공정은 주석 산화물( $\text{SnO}_x$ ) 사이클/아르곤(Ar) 퍼징/알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클/아르곤 퍼징 단계를 포함하며, 상기 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클은 복수 회 수행되는 주석 산화물( $\text{SnO}_x$ ) 사이클의 중간 단계에 수행되는 것;을 특징으로 하는 박막 트랜지스터의 제조 방법.

#### 청구항 6

제5항에 있어서,

상기 주석 산화물( $\text{SnO}_x$ ) 사이클은 원자층 증착법(ALD)을 이용하며, 각 단계는 주석 화학종을 공급하여 기판 위에 주석 화학종을 흡착시키는 단계/아르곤 퍼징 단계/산소 원을 공급하여 주석 화학종이 흡착된 기판 위에 산소 화학종을 흡착시켜 산화 반응을 일으키는 단계/아르곤 퍼징 단계를 포함하는 것;을 특징으로 하는 박막 트랜지스터의 제조 방법.

#### 청구항 7

제6항에 있어서,

상기 주석 화학종은 4가 주석 전구체를 포함하고, 상기 산소 원은 오존 또는 산소인 것;을 특징으로 하는 박막 트랜지스터의 제조 방법.

#### 청구항 8

제5항에 있어서,

상기 어닐링 공정은 대기(air)에서 300~500℃ 온도범위에서 수행되는 것; 을 특징으로 하는 박막 트랜지스터의 제조 방법.

#### 청구항 9

제8항에 있어서,

상기 어닐링 공정 후 상기 채널층의 전하농도는  $10^{16} \sim 10^{18}/\text{cm}^3$ 인 것;을 특징으로 하는 박막 트랜지스터의 제조 방법.

#### 청구항 10

제8항에 있어서,

상기 어닐링 공정 후 상기 박막 트랜지스터의 전하 이동도(field effect mobility)는 0.1~4  $\text{cm}^2/\text{Vs}$ 이고, 온/오프 전류 비는  $(1 \sim 10) \times 10^6$  인 것;을 특징으로 하는 박막 트랜지스터의 제조 방법.

#### 청구항 11

제8항에 있어서,

상기 어닐링 공정 후 상기 채널층의 XRD 반치 전폭(full width half maximum)은 (200)면 피크를 기준으로 도핑되지 않은 주석 산화물( $\text{SnO}_2$ )의 XRD 반치 전폭보다 1.6배 내지 2.13배 큰 것;

을 특징으로 하는 박막 트랜지스터의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 도핑된 주석 산화물을 채널층으로 포함하여 스위칭 특성 및 전하 이동도가 향상된 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 박막 트랜지스터는 디스플레이 산업에서 분야에서 필수적으로 포함되는 소자이다. 특히 박막 트랜지스터는 LCD 나 OLED와 같은 표시 장치에서 각각의 화소를 스위칭하는 핵심적인 기능을 수행한다.

[0003] 디스플레이가 대형화됨에 따라 대형 표시 장치의 구동을 위해서는 초고속 구동이 가능한 박막 트랜지스터가 요구된다.

[0004] 종래에는 액티브 층으로 비정질 실리콘이 주로 이용되었으나, 비정질 실리콘은 전자 이동도가 낮아 초고속 구동에 적용이 어렵다는 문제가 있었다.

[0005] 비정질 실리콘을 대체하기 위해 높은 전하이동도를 가지는 저온폴리 실리콘과 산화물 반도체가 많은 관심을 받고 있다.

[0006] 이 중 저온폴리 실리콘은 공정이 복잡하고 반도체층의 균일도를 확보하는 것이 어렵다는 문제점이 있다. 이에 따라 실리콘 반도체 대비 낮은 누설 전류를 가지고 투명하면서 대면적 공정이 용이하다는 장점을 가지는 산화물 반도체가 최근 디스플레이 산업에서 주목을 받고 있다.

[0007] 특히 산화물 반도체는 높은 이동도, 투명성, 플렉서블 기판에의 적용 가능성뿐만 아니라 낮은 증착 온도와 같은 다양한 장점을 가지고 있기 때문에 최근에는 산화물 반도체를 박막 트랜지스터에 활용하고자 하는 노력들이 증가하고 있다.

[0008] 이러한 산화물 반도체 가운데 주석 산화물(tin oxide)은 오랫동안 연구되고 있는 산화물로 물리적, 화학적, 전기적 그리고 광학적 장점을 가진 전자 재료로써 주목을 받고 있다. 특히 이산화 주석(tin dioxide)는 다른 반도체 물질에 비해 높은 밴드갭으로 인해 투명성을 가지며 낮은 전기 비저항의 특성을 통해 투명전도막으로 큰 관심을 받고 있다.

[0009] 그러나 주석 산화물은 주로 분무 열분해 공정을 통해 제조되는데, 상기 공정은 분무 장치 장치 자체가 대면적화에 적용이 어려워 생산성이 떨어질 뿐만 아니라 산화물 반도체에서는 필수적인 도핑이 쉽지 않아 적용이 매우 어렵다는 단점이 있다.

[0010] 한편 현재의 디스플레이 산업에서 널리 사용되는 화학 기상 증착법은 균일하게 증착이 가능하며 후속 공정으로 미세 패터닝 공정을 진행할 수 있다는 장점이 있다. 그러나 화학 기상 증착법은 고품질의 주석 산화물을 얻기 위해 높은 공정온도가 필요하기 때문에 기판으로 플라스틱과 같은 유연 기판을 적용하지 못하며 더 나아가 도핑이 어렵다는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0011] 본 발명은 전술한 문제점을 해결하기 위한 것으로, 도핑된 주석 산화물 채널층을 포함하는 산화물 박막 트랜지스터를 제공하여 스위칭 소자에 대한 전기적 특성 개선시키는 것을 목적으로 한다.

[0012] 또한 본 발명은 주석 산화물 채널층을 도핑함으로써 순수한 주석 산화물 대비 전하 농도는 감소하고 온/오프 전류 비(on/off current ratio) 비율은 향상된 산화물 박막 트랜지스터를 제공하는 것을 다른 목적으로 한다.

[0013] 또한 본 발명은 대면적 공정에 적합하고 도핑 공정 및 열처리 공정 이후 전기적 특성이 향상된 산화물 박막 트랜지스터를 제공하는 것을 또 다른 목적으로 한다.

**과제의 해결 수단**

- [0014] 본 발명은 상기의 목적을 달성하기 위한 본 발명의 일 실시예에 따르면, 베이스 기판; 상기 베이스 기판 상에 위치하는 게이트 전극; 상기 게이트 전극 상에 위치하는 게이트 절연층; 상기 게이트 절연층 상에 위치하는 채널층; 상기 게이트 절연층 상에 위치하며 상기 채널층을 사이에 두고 상호 이격된 소스 전극과 드레인 전극;을 포함하고, 상기 채널층은 알루미늄이 도핑된 이산화 주석을 포함하며, 전하농도가  $10^{16} \sim 10^{18} / \text{cm}^3$ 인 것;을 특징으로 하는 박막 트랜지스터가 제공된다.
- [0015] 바람직하게는, 상기 박막 트랜지스터는 전하 이동도(field effect mobility)가 0.1~4  $\text{cm}^2/\text{Vs}$ 인 것;을 특징으로 하는 박막 트랜지스터가 제공될 수 있다.
- [0016] 바람직하게는, 상기 박막 트랜지스터는 전하 이동도(field effect mobility)가 0.1~4  $\text{cm}^2/\text{Vs}$ 인 것;을 특징으로 하는 박막 트랜지스터가 제공될 수 있다.
- [0017] 바람직하게는, 상기 박막 트랜지스터는 온/오프 전류 비가  $(1 \sim 10) \times 10^6$  인 것;을 특징으로 하는 박막 트랜지스터가 제공될 수 있다.
- [0018] 바람직하게는, 상기 채널층의 대기(air) 어닐링 후 XRD 반치 전폭(full width half maximum)은 (200)면 피크를 기준으로 도핑되지 않은 주석 산화물( $\text{SnO}_2$ )의 대기 어닐링 후 XRD 반치 전폭보다 1.6배 내지 2.13배 큰 것;을 특징으로 하는 박막 트랜지스터가 제공될 수 있다.
- [0019] 본 발명은 상기의 목적을 달성하기 위한 본 발명의 다른 실시예에 따르면, 기판 상에 게이트 전극을 형성하는 공정; 상기 게이트 전극 상에 게이트 절연층을 형성하는 공정; 상기 게이트 절연층 상에 채널층을 형성하는 공정; 상기 게이트 절연층 상에 위치하며 상기 채널층을 사이에 두고 상호 이격된 소스 전극과 드레인 전극을 형성하는 공정; 어닐링 공정;을 포함하고, 상기 채널층을 형성하는 공정은 주석 산화물( $\text{SnO}_x$ ) 사이클/아르곤(Ar) 퍼징/알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클/아르곤 퍼징 단계를 포함하며, 상기 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클은 복수 회 수행되는 주석 산화물( $\text{SnO}_x$ ) 사이클의 중간 단계에 수행되는 것;을 특징으로 하는 박막 트랜지스터의 제조 방법이 제공된다.
- [0020] 바람직하게는, 상기 주석 산화물( $\text{SnO}_x$ ) 사이클은 원자층 증착법(ALD)을 이용하며, 각 단계는 주석 화학종을 공급하여 기판 위에 주석 화학종을 흡착시키는 단계/아르곤 퍼징 단계/산소 원을 공급하여 주석 화학종이 흡착된 기판 위에 산소 화학종을 흡착시켜 산화 반응을 일으키는 단계/아르곤 퍼징 단계를 포함하는 것;을 특징으로 하는 박막 트랜지스터의 제조 방법이 제공될 수 있다.
- [0021] 이 때, 상기 주석 화학종은 4가 주석 전구체를 포함하고, 상기 산소 원은 오존 또는 산소인 것;을 특징으로 하는 박막 트랜지스터의 제조 방법이 제공될 수 있다.
- [0022] 바람직하게는, 상기 어닐링 공정은 대기(air)에서 300~500℃ 온도범위에서 수행되는 것; 을 특징으로 하는 박막 트랜지스터의 제조 방법이 제공될 수 있다.
- [0023] 특히, 상기 어닐링 공정 후 상기 채널층의 전하농도는  $10^{16} \sim 10^{18} / \text{cm}^3$ 인 것;을 특징으로 하는 박막 트랜지스터의 제조 방법이 제공될 수 있다.
- [0024] 특히, 상기 어닐링 공정 후 상기 박막 트랜지스터의 전하 이동도(field effect mobility)는 0.1~4  $\text{cm}^2/\text{Vs}$ 이고, 온/오프 전류 비는  $1 \sim 10 \times 10^6$  인 것;을 특징으로 하는 박막 트랜지스터의 제조 방법이 제공될 수 있다.
- [0025] 특히, 상기 어닐링 공정 후 상기 채널층의 XRD 반치 전폭(full width half maximum)은 (200)면 피크를 기준으로 도핑되지 않은 주석 산화물( $\text{SnO}_2$ )의 XRD 반치 전폭보다 1.6배 내지 2.13배 큰 것;을 특징으로 하는 박막 트랜지스터의 제조 방법이 제공될 수 있다.

**발명의 효과**

- [0026] 본 발명에 따르면 박막 트랜지스터의 채널층으로 알루미늄으로 도핑된 이산화 주석이 적용됨으로써 어닐링 공정 시 도핑된 알루미늄이 주석 산화물 채널층의 결정화를 지연시키는 효과를 얻을 수 있다.
- [0027] 또한 상기 알루미늄 도핑에 의한 이산화 주석층의 지연된 결정화는 도핑된 이산화 주석층의 전하 농도와 전하

이동도를 스위칭 소자로 사용하기에 적합한 수준으로 감소시키는 효과를 얻을 수 있다. 이와 함께 알루미늄 도핑에서 기인한 상기 지연된 결정화는 본 발명에 따른 박막 트랜지스터의 온/오프 전류 비를 향상시키는 효과가 있다.

[0028] 아울러 본 발명에 따른 알루미늄 도핑된 이산화 주석 채널층을 포함한 박막 트랜지스터의 제조 방법은 낮은 공정 온도와 함께 알루미늄의 안정된 도핑을 가능하게 한다. 그 결과 본 발명의 박막 트랜지스터의 제조 방법은 대면적화 및 유연 기판 사용이 가능한 유리한 효과를 얻을 수 있다.

**도면의 간단한 설명**

- [0029] 도 1은 일반적인 하부 게이트(bottom gate) 코-플래너(co-planar) 구조의 박막 트랜지스터의 단면도이다.
- 도 2는 본 발명의 실시예에 따른 도핑된 채널층을 포함하는 하부 게이트(bottom gate) 코-플래너(co-planar) 구조의 박막 트랜지스터의 단면도이다.
- 도 3은 본 발명의 하부 게이트(bottom gate) 코-플래너(co-planar) 구조의 박막 트랜지스터의 제조 공정의 모식도이다.
- 도 4는 본 발명의 일 실시예에 따른 도핑된 채널층을 형성하는 제조 공정의 모식도이다.
- 도 5는 본 발명의 비교예에 따른 도핑된 채널층을 포함하는 하부 게이트(bottom gate) 코-플래너(co-planar) 구조의 박막 트랜지스터의 단면도이다.
- 도 6은 본 발명의 또 다른 비교예에 따른 도핑된 채널층을 포함하는 하부 게이트(bottom gate) 코-플래너(co-planar) 구조의 박막 트랜지스터의 단면도이다.
- 도 7은 본 발명의 실시예와 비교예에 따라 증착 직후(as-dep) 하부 게이트(bottom gate) 코-플래너(co-planar) 구조의 박막 트랜지스터의 전류-전압 특성을 나타낸 그래프이다.
- 도 8은 본 발명의 실시예와 비교예에 따라 증착 후 300℃에서 대기(air) 어닐링된(as-annealed) 하부 게이트(bottom gate) 코-플래너(co-planar) 구조의 박막 트랜지스터의 전류-전압 특성을 나타낸 그래프이다.
- 도 9는 본 발명의 실시예와 비교예에 따라 증착 후 400℃에서 대기(air) 어닐링된(as-annealed) 하부 게이트(bottom gate) 코-플래너(co-planar) 구조의 박막 트랜지스터의 전류-전압 특성을 나타낸 그래프이다.
- 도 10 본 발명의 실시예와 비교예에 따라 증착 후 500℃에서 대기(air) 어닐링된(as-annealed) 하부 게이트(bottom gate) 코-플래너(co-planar) 구조의 박막 트랜지스터의 전류-전압 특성을 나타낸 그래프이다.
- 도 11은 본 발명의 실시예와 비교예에 따른 알루미늄 도핑 주석 산화물 채널층의 증착 직후(as-dep) XRD 결과이다.
- 도 12는 본 발명의 실시예와 비교예에 따른 알루미늄 도핑 주석 산화물 채널층의 증착 후 300℃에서 대기(air) 어닐링된(as-annealed) XRD 결과이다.
- 도 13은 본 발명의 실시예와 비교예에 따른 알루미늄 도핑 주석 산화물 채널층의 증착 후 400℃에서 대기(air) 어닐링된(as-annealed) XRD 결과이다.
- 도 14는 본 발명의 실시예와 비교예에 따른 알루미늄 도핑 주석 산화물 채널층의 증착 후 500℃에서 대기(air) 어닐링된(as-annealed) XRD 결과이다.

**발명을 실시하기 위한 구체적인 내용**

- [0030] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예들을 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소를 가리키는 것으로 사용된다.
- [0031] 이하에서 기재의 "상부 (또는 하부)" 또는 기재의 "상 (또는 하)"에 임의의 구성이 구비 또는 배치된다는 것은, 임의의 구성이 상기 기재의 상면 (또는 하면)에 접하여 구비 또는 배치되는 것을 의미할 뿐만 아니라, 상기 기재와 기재 상에 (또는 하에) 구비 또는 배치된 임의의 구성 사이에 다른 구성을 포함하지 않는 것으로 한정하는 것은 아니다.
- [0032] 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나,

각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

- [0034] 본 발명은 다음과 같이 알루미늄으로 도핑된 주석 산화물을 채널층으로 포함하는 주석 산화물 박막 트랜지스터 및 그 제조 방법을 제공한다.
- [0035] 첫째 본 발명은 일 실시예로 주석 산화물 채널층 내에서 알루미늄 도핑층의 위치를 변화시켜 열처리 후에도 주석 산화물 채널층의 결정화가 지연되어 전기적 특성이 개선된 주석 산화물 박막 트랜지스터를 제공한다.
- [0036] 둘째 본 발명의 또 다른 일 실시예로 전기적 특성이 개선된 주석 산화물 박막 트랜지스터를 제조하기 위해 상기 채널층 내에 알루미늄 도핑층을 형성하기 위한 제조 방법을 제공한다.
- [0038] 먼저 본 발명의 일 실시예에서의 주석 산화물 박막 트랜지스터는 주석 산화물이 채널층으로써 포함된다.
- [0039] 상기 박막 트랜지스터는 도 1과 같은 구조, 즉 기판(10) 상에 게이트 전극(20), 게이트 절연막(30), 채널층(50) 및 소스/드레인 전극(40)이 순차적으로 적층되어 있는 코-플래너형 구조의 하부 게이트 박막 트랜지스터로 구성될 수 있다.
- [0040] 상기 기판(10)으로는 이 분야의 일반적인 것이 사용될 수 있으며, 예를 들면, 유리, 금속호일, 플라스틱, 또는 실리콘 중에서 선택될 수 있다. 한편 플렉서블 기판에의 적용 가능성을 감안하면 상기 기판 재료들 중 플라스틱이 보다 바람직하다.
- [0041] 상기 게이트 전극(20)으로는 ITO, IZO, ZnO:Al(Ga) 등과 같은 투명 산화물, Ti, Ag, Au, Al, Cr, Al/Cr/Al, Ni 등과 같은 여러 종류의 저항이 낮은 금속 또는 전도성 고분자가 사용될 수 있지만, 반드시 이것으로 제한되는 것은 아니다. 상기 게이트 전극(20)은 상기 기판(10) 상에 이 분야의 통상적인 두께로 스퍼터링법, 원자층 증착법(ALD), 화학기상 증착법(CVD) 등의 공정을 통해 증착된 후 패터닝될 수 있다.
- [0042] 상기 기판(10)과 게이트 전극(20) 상에 형성되는 게이트 절연막(30)은 투명한 산화물 또는 질화물, 예를 들면 SiNx, AlON, TiO<sub>2</sub>, AlOx, TaOx, HfOx, SiON, SiOx 중 어느 하나 이상을 포함할 수 있으며, 바람직하게는 산화 알루미늄(Al<sub>2</sub>O<sub>3</sub>) 등이 사용될 수 있다. 그 이외에도 고분자를 이용한 박막도 적용 가능하다. 또한, 상기 게이트 절연막(30)은 이 분야의 통상적인 두께로 원자층 증착법(ALD), PECVD법, 기타 스퍼터링법과 같은 공정을 통해 형성될 수 있으며, 도시하지 않았지만 형성 후 전극 연결을 위한 패드가 형성될 수도 있다.
- [0043] 상기 소스/드레인 전극(40) 및 채널 영역 상에 형성되는 채널층(50)은 주석 함유 산화물을 포함할 수 있다. 이때 주석 함유 산화물은 SnO<sub>2</sub>의 유형으로 존재될 수 있다.
- [0044] 다만 결정질 상태의 이산화 주석(SnO<sub>2</sub>)은 10<sup>20</sup>~10<sup>22</sup>/cm<sup>3</sup> 정도로 매우 높은 전하 농도를 가진다. 결정질 상태의 이산화 주석은 채널층으로 사용하기에는 너무 높은 전기 전도도를 가지며 오히려 전극과 같은 전도성 소재에 적합하다. 따라서 이산화 주석이 채널층으로 사용되기 위해서는 먼저 전기 전도도가 채널층으로 사용되기 적합한 정도로 조절되어야 한다.
- [0045] 이에 따라 본 발명의 박막 트랜지스터는 전기 전도도 및/또는 결정성이 제어된 이산화 주석을 포함한다. 보다 구체적으로 본 발명의 박막 트랜지스터에서의 채널층은 알루미늄 도핑과 함께 상기 알루미늄의 도핑 위치를 제어함으로써 박막 트랜지스터의 전기적 특성을 개선시키는 것을 특징으로 한다.
- [0046] 한편 상기 게이트 절연막(30)에 형성되는 소스·드레인 전극(40)으로는 게이트 전극(20)과 유사하게 ITO, IZO, ZnO:Al(Ga) 등의 투명 산화물, Al, Cr, Au, Ag, Ti 등의 금속 또는 전도성 고분자가 사용할 수 있지만 이것으로 제한되는 것은 아니다. 또한, 상기 소스·드레인 전극(40)은 상기 금속과 산화물의 이층구조를 형성할 수도 있다. 상기 소스/드레인 전극은 이 분야의 통상적인 두께로 스퍼터링법, ALD, CVD 등과 같은 공정을 통해 증착될 수 있다.
- [0047] 상기 채널층(50) 상에는 도시하지는 도 1에서 않았지만 보호층이 형성될 수 있다. 비한정적인 예로써 폴리이미드 폴리머와 같은 폴리머 물질들이 스핀 코팅, 딥코팅, 캐스팅 등과 같은 방법을 통해 형성된 후 패터닝 될 수 있다. 또한 SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>와 같은 절연물질들이 화학증착법(CVD), 원자층 증착법(ALD) 등을 통해 형성된 후 패터닝 될 수 있다.

- [0048] 도 2는 본 발명의 실시예에 따른 도핑된 채널층을 포함하는 하부 게이트(bottom gate) 코-플래너(co-planar) 구조의 박막 트랜지스터의 단면도이다.
- [0049] 이하 본 발명의 베이스 기판, 게이트 전극, 게이트 절연층, 및 소스 전극과 드레인 전극의 제조 방법과 적층 구조는 도 1의 박막 트랜지스터의 대응 구성과 동일하게 적용이 가능한 바 이에 대한 자세한 설명은 생략한다. 이하에서는 본 발명의 주요 기술적 특징을 중심으로 해서 설명하도록 한다.
- [0050] 도 2의 박막 트랜지스터는 도 1의 박막 트랜지스터와 대비할 때, 채널층(50)의 중간에 알루미늄 도핑층(60)을 추가로 포함하는 특징이 있다. 본 발명의 실시예의 알루미늄 도핑층(60)은 본 발명의 실시예의 박막 트랜지스터의 스위칭 소자로서의 전기적 특성을 개선하는 기능을 수행한다.
- [0051] 보다 구체적으로 본 발명의 실시예의 알루미늄 도핑층(60)은 이산화 주석 채널층(50)을 알루미늄으로 도핑시켜 스위칭 소자의 주요 특성인 온/오프 전류 비(on/off current ratio)를 향상시킬 수 있다.
- [0052] 또한 이산화 주석 채널층(50)은 도전성 재료에 상응하는 높은 전하 이동도를 가지므로 박막 트랜지스터의 채널층으로 사용하기 어렵다. 본 실시예의 알루미늄 도핑층(60)은 높은 전기 전도도를 가지는 이산화 주석 채널층(50)을 알루미늄으로 도핑시켜 채널층으로 사용할 수 있도록 전하 이동도(field effect mobility)를 감소시킬 수 있다.
- [0053] 특히 본 발명의 실시예의 알루미늄 도핑층(60)은 이산화 주석 채널층(50)의 두께 방향으로 중간(1/2)에 위치하는 것이 바람직하다. 통상적으로 박막 트랜지스터는 증착 단계 이후 후속 공정으로 어닐링(annealing) 단계를 포함한다. 왜냐하면 박막 트랜지스터의 증착 단계에서도 양호한 증착막 품질을 위해 기판이 일정 온도 이상으로 가열되고 더 나아가 후속 공정에서도 확산(diffusion) 공정 등이 포함되기 때문이다. 만일 본 발명의 실시예의 알루미늄 도핑층(60)이 이산화 주석 채널층(50) 내에서 두께 방향으로 중간에 위치하게 되면, 알루미늄은 어닐링 공정 동안 이산화 주석 채널층(50)으로 확산되어 이산화 주석 채널층(50)의 결정화를 지연시킬 수 있다. 그 결과 이산화 주석 채널층(50)은 결정화가 되지 못하거나 완전한 결정화가 지연되어 전기 전도도가 감소되고 온/오프 전류 비가 높아질 수 있게 된다.
- [0054] 한편 본 발명의 실시예의 알루미늄 도핑층(60)의 어닐링은 300~500℃의 온도 범위에서 수행되는 것이 바람직하다. 만일 어닐링 온도가 300℃ 보다 낮으면, 증착 직후의(as-dep) 비정질 상태의 주석 산화물(50)이 결정화(crystallization)되지 못하여 채널을 형성하지 못하게 되는 문제가 발생한다. 반면 어닐링 온도가 500℃ 보다 높으면, 주석 산화물층(50)으로 알루미늄과 갈륨(Ga)이 반도체 에너지 밴드 갭에서 shallow level로 들어가서 p-type 특성을 나타내어 결과적으로 트랜지스터의 특성을 저하시킬 수 있기 때문이다.
- [0056] 이하 본 발명의 구체적인 실험예를 토대로 더욱 상세히 설명하지만, 본 발명은 다음의 실험예에 의해 한정되거나 제한되는 것은 아니다.
- [0058] 실시예
- [0059] 도 3은 본 발명의 일실시예인 도 2의 하부 게이트(bottom gate) 코-플래너(co-planar) 구조의 박막 트랜지스터의 제조 공정의 모식도이고, 도 4는 본 발명의 일실시예에 따른 도핑된 채널층을 형성하는 제조 공정의 모식도이다.
- [0060] 먼저 100x100 mm의 알칼리성 없는 유리 기판을 아세톤, 이소-프로필 알콜 및 탈이온수로 순차적으로 초음파 세정하였다. 이어서, 세정된 유리 기판 상에 ITO를 가지고 DC-RF 마그네트론 스퍼터로 스퍼터링하여 150nm의 두께로 게이트 전극을 증착하고 패터닝하였다. 이어서 170nm 두께로 게이트 절연층을 알루미늄을 사용하여 150℃에서 ALD법으로 형성하였다. 다음으로 도 3에서 도시하고 있는 바와 같이, PR층을 코팅한 후 채널층의 형상으로 패터닝한 후 도 2와 같은 본 발명의 일실시예에 따른 알루미늄이 도핑된(60) 이산화 주석 채널층(50)이 형성되었다.
- [0061] 도 2의 본 발명의 일실시예에 따른 이산화 주석 채널층(50)과 알루미늄 도핑층(60)의 형성 방법은 도 4에 자세히 도시되어 있다.
- [0062] 도 4를 참조하여, 본 발명의 일실시예의 이산화 주석 채널층(50)과 알루미늄 도핑층(60)은 원자층 증착법(ALD)

으로 증착되었다. 보다 구체적으로 본 발명의 실시예에서의 원자층 증착법은 주석 산화물( $\text{SnO}_x$ ) 사이클/아르곤 (Ar) 퍼징/알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클/아르곤 퍼징 단계를 포함한다.

[0063] 이 때 상기 주석 산화물( $\text{SnO}_x$ ) 사이클은 원하는 이산화 주석 채널층(50)의 두께에 따라 수십~수백 회 반복되었다. 반면 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클은 1회 수행되었다. 그러나 상기 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클은 원하는 알루미늄 도핑층의 두께에 따라 1 내지 수회 수행될 수 있다.

[0064] 또한 상기 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클이 적용되는 순서는 알루미늄 도핑층(60)의 이산화 주석 채널층(50) 내의 위치에 따라 결정된다. 일례로 도 2에 도시된 본 발명의 일실시예와 같이 알루미늄 도핑층(60)이 이산화 주석 채널층(50) 가운데 위치하면, 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클은 전체 주석 산화물( $\text{SnO}_x$ ) 사이클 횟수의 중간에 위치한다. 반면 후술할 비교예에서와 같이 알루미늄 도핑층(60)이 이산화 주석 채널층(50)의 두께 방향으로 1/4 또는 3/4에서 위치한다면, 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클은 전체 주석 산화물( $\text{SnO}_x$ ) 사이클 횟수의 각각 1/4 또는 3/4 부근에 위치한다.

[0065] 한편 상기 주석 산화물( $\text{SnO}_x$ ) 사이클은 원자층 증착법(ALD)을 이용하며 각 단계는 다시 주석 화학종을 공급하여 기판 위에 주석 화학종을 흡착시키는 단계/아르곤 퍼징 단계/산소 원을 공급하여 주석 화학종이 흡착된 기판 위에 산소 화학종을 흡착시켜 산화 반응을 일으키는 단계/아르곤 퍼징 단계를 포함한다.

[0066] 이 때 상기 주석 화학종은 4가의 주석 전구체가 바람직하다. 비한정적인 구체적인 예로써 주석 전구체는 tetrakis(dimethylamino)tin (TDMASn)를 포함할 수 있고 상기 산소 화학종은 오존, 산소 등을 포함할 수 있으나, 이에 반드시 한정되는 것은 아니다.

[0067] 한편 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클은 본 기술 분야의 통상의 지식을 가진 자에게 알려진 것으로 적용이 가능한 바 이에 대한 자세한 설명은 생략한다.

[0068] 다시 도 3으로 돌아가서 도 4의 방법으로 채널층 및 알루미늄 도핑층을 증착한 후 상기 PR을 리프트 오프하면, 알루미늄 도핑층(60)을 포함하는 이산화 주석 채널층(50)이 형성된다.

[0069] 이후 후속 공정으로 ITO를 가지고 DC-RF 마그네트론 스퍼터로 스퍼터링하여 150nm의 두께로 소스/드레인 전극을 증착 및 패터닝(또는 패터닝 및 증착)하여 형성하였다. 상기 스퍼터링은 0.2Pa의 챔버 압력과 300W의 스퍼터링 파워를 가지고 Ar/ $\text{O}_2$  분위기에서 수행하였으며, 모든 패터닝은 포토-리소그래피 방법 및 습식 식각 방법으로 수행하였다. 상기 공정 조건은 본 기술 분야의 통상의 지식을 가진 자에게 알려진 것으로 장비 및 소자의 특성에 따라 변경하여 적용이 가능함은 자명하다.

[0070] 상기와 같은 공정에 의해 형성된 본 발명의 일실시예에 따른 박막 트랜지스터는 후속 공정으로 어닐링 처리된 후 특성 평가(도 7 내지 10) 및 XRD 분석(도 11 내지 14) 되었다.

[0072] 비교예 1

[0073] 알루미늄 도핑층(60)이 이산화 주석 채널층(50)의 두께 방향으로 3/4에서 위치하는 것만을 제외하고 실시예 1과 동일하게 하여 박막 트랜지스터 소자를 제작하였다. 다시 말하면 도 4의 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클이 전체 주석 산화물( $\text{SnO}_x$ ) 사이클 횟수의 3/4 부근에 위치하는 것만을 제외하고 실시예 1과 동일한 조건에서 비교예 1의 박막 트랜지스터 소자가 제작되었다.

[0074] 이어서 본 발명의 비교예 1에 따른 박막 트랜지스터는 후속 공정으로 어닐링 처리된 후 특성 평가(도 7 내지 10) 및 XRD 분석(도 11 내지 14) 되었다.

[0076] 비교예 2

[0077] 알루미늄 도핑층(60)이 이산화 주석 채널층(50)의 두께 방향으로 1/4에서 위치하는 것만을 제외하고 실시예 1과 동일하게 하여 박막 트랜지스터 소자를 제작하였다. 다시 말하면 도 4의 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 사이클이 전체 주석 산화물( $\text{SnO}_x$ ) 사이클 횟수의 1/4 부근에 위치하는 것만을 제외하고 실시예 1과 동일한 조건에서 비교예 1

의 박막 트랜지스터 소자가 제작되었다.

[0078] 이어서 본 발명의 비교예 2에 따른 박막 트랜지스터는 후속 공정으로 어닐링 처리된 후 특성 평가(도 7 내지 10) 및 XRD 분석(도 11 내지 14) 되었다.

[0080] 박막 트랜지스터의 특성 평가

[0082] 도 7 내지 10은 각각 본 발명의 실시예(1/2 위치 도핑층)와 비교예들(1/4 또는 3/4 위치 도핑층)에 따라 증착 직후(as-dep) 또는 300-500°C에서 어닐링된 박막 트랜지스터의 전류-전압 특성을 나타낸 그래프이다.

[0083] 먼저 증착 직후(as-dep) 본 발명의 실시예 및 비교예들에 따른 박막 트랜지스터는 전류-전압 특성은 도 7과 같이 측정되었고 그 결과는 아래의 표와 같이 정리된다.

[0085] <표> 도핑 위치별 As-dep SnO<sub>2</sub>:Al 소자 I-V 특성

Doping position	Field effect mobility (cm <sup>2</sup> /Vs)	On/off current ratio
1/4	0.56	2.27 X 10 <sup>5</sup>
1/2	4.82 X 10 <sup>-3</sup>	1.45 X 10 <sup>4</sup>
3/4	0.23	1.49 X 10 <sup>6</sup>

[0086]

[0088] 증착 직후(As-dep) 상태에서의 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 채널층을 포함하는 소자의 I-V 특성 결과는 먼저 두께 1/4(비교예 1)와 3/4(비교예 2) 위치의 도핑에서 유사한 온/오프 전류 특성을 가짐을 알 수 있다. 이와는 반대로 1/2(실시예) 도핑에서는 온/오프 전류 특성이 떨어지는 것을 알 수 있다.

[0089] 상기와 같은 비교예들의 박막 트랜지스터의 전기적 특성은 채널을 형성할 때 두께 1/4와 3/4 위치의 알루미늄 도핑 영역이 아닌 비정질의 SnO<sub>2</sub> 부분의 영역에서 채널(전하농도 = 10<sup>16</sup>~10<sup>18</sup>/cm<sup>3</sup>)이 형성되었기 때문인 것으로 추정된다. 반면 상기 실시예의 박막 트랜지스터의 전기적 특성은 알루미늄 도핑층의 방해로 인해 채널을 형성하지 못하고 또한 전하의 이동이 쉽지 않게 되어 그 결과 온/오프 전류 비와 전하 이동도(field effect mobility)가 감소한 것으로 추정된다.

[0090] 이와는 달리 300-500°C 대기(air) 어닐링 후 본 발명의 실시예 및 비교예들에 따른 박막 트랜지스터는 전류-전압 특성은 도 8 내지 10과 같이 측정되었고 그 결과는 아래의 표들과 같이 정리된다.

[0092] <표> 도핑 위치별 300℃ 대기(air) 어닐링된 SnO<sub>2</sub>:Al 소자 I-V 특성

Doping position	Field effect mobility (cm <sup>2</sup> /Vs)	On/off current ratio
1/4	6.52	1.35 X 10 <sup>5</sup>
1/2	0.15	1.03 X 10 <sup>6</sup>
3/4	12.4	4.17 X 10 <sup>2</sup>

[0093]

[0095] <표> 도핑 위치별 400℃ 대기(air) 어닐링된 SnO<sub>2</sub>:Al 소자 I-V 특성

Doping position	Field effect mobility (cm <sup>2</sup> /Vs)	On/off current ratio
1/4	3.68	2.00 X 10 <sup>3</sup>
1/2	0.30	1.82 X 10 <sup>6</sup>
3/4	28.2	1.37 X 10 <sup>2</sup>

[0096]

[0098] <표> 도핑 위치별 500℃ 대기(air) 어닐링된 SnO<sub>2</sub>:Al 소자 I-V 특성

Doping position	Field effect mobility (cm <sup>2</sup> /Vs)	On/off current ratio
1/4	19.7	6.48 X 10 <sup>1</sup>
1/2	3.96	1.74 X 10 <sup>6</sup>
3/4	26.1	4.80 X 10 <sup>0</sup>

[0099]

[0101] 먼저 300~500℃에서 어닐링된 비교예들의 박막 트랜지스터의 전기적 특성은 모두 증착 직후(as-dep)의 결과와는 반대로 온/오프 전류 비 특성이 저하되었다. 비교예들의 박막 트랜지스터의 상기 특성 저하는 어닐링으로 인해

이산화 주석(SnO<sub>2</sub>)이 안정한 상(phase)인 결정상으로 상변태 되었기 때문인 것으로 추정된다.

[0102] 반면 비교예들과는 달리 300~500℃에서 어닐링된 본 발명의 실시예의 박막 트랜지스터에서는 온/오프 전류 비가 스위칭 소자로 사용하기에 충분한 정도로 증가한 것으로 측정되었다. 본 발명의 실시예의 박막 트랜지스터에서의 상기 특성 향상은 1/2 위치의 알루미늄 도핑층이 SnO<sub>2</sub>:Al (알루미늄 도핑 주석 산화물) 채널에서 결정화를 방해하여 스위칭 소자로 사용하기에 적절한 10<sup>16</sup>~10<sup>18</sup>/cm<sup>3</sup> 수준의 전하농도 영역에서 채널을 형성하는 것에서 기인한 것으로 추정된다.

[0103] 한편 본 명세서에서 기재하지는 않았으나 200℃에서 어닐링된 1/2 위치의 알루미늄 도핑층을 포함하는 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 채널층의 박막 트랜지스터는 도 7의 증착 직후(As-dep) 상태의 1/2 위치의 알루미늄 도핑층을 포함하는 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 채널층의 박막 트랜지스터와 동일하게 온/오프 전류 특성이 떨어지는 것으로 측정되었다. 이는 200℃ 어닐링시 주석 화학종인 주석 전구체와 산소 화학종의 반응으로 형성되는 주석 산화물이 너무 낮은 어닐링 온도로 인해 결정을 형성하지 못하기 때문인 것으로 추정된다.

[0104] 또한 본 명세서에서 기재하지는 않았으나 550℃에서 어닐링된 1/2 위치의 알루미늄 도핑층을 포함하는 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 채널층의 박막 트랜지스터는 도 8 내지 10의 300~500℃에서 어닐링된 1/4 및 3/4 위치의 알루미늄 도핑층을 포함하는 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 채널층의 박막 트랜지스터와 동일하게 온/오프 전류 특성이 떨어지는 것으로 측정되었다. 550℃ 어닐링은 알루미늄의 주석 산화물층(50)으로 알루미늄과 갈륨(Ga)이 반도체 에너지 밴드 갭에서 shallow level로 들어가서 p-type 특성을 나타내어 트랜지스터의 특성을 저하시키기 때문인 것으로 추정된다.

[0106] XRD 평가

[0107] 상기와 같은 본 발명의 실시예(1/2 위치 도핑층)와 비교예들(1/4 또는 3/4 위치 도핑층)에 따른 박막 트랜지스터의 전류-전압 특성에 대한 원인을 파악하기 위해, SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 채널층의 결정성 분석이 XRD를 통해 수행되었다.

[0108] 도 11 내지 14는 각각 본 발명의 실시예(1/2 위치 도핑층)와 비교예들(1/4 또는 3/4 위치 도핑층)에 따른 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 채널층의 증착 후 및 300~500℃에서 대기(air) 어닐링된(as-annealed) XRD 결과이다.

[0109] 먼저 도 11에서 보여주는 바와 같이, 증착 직후(as-dep) 본 발명의 실시예와 비교예들의 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 채널층뿐만 아니라 도핑되지 않은 주석 산화물층(SnO<sub>2</sub>)은 모두 비정질(amorphous) 구조를 가지는 것으로 나타났다.

[0110] 반면 후속 어닐링 공정은 발명의 실시예와 비교예들의 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 채널층뿐만 아니라 도핑되지 않은 주석 산화물층(SnO<sub>2</sub>)의 결정구조를 크게 변화시킨다.

[0111] 먼저 본 발명의 실시예와 비교예들의 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 채널층과 도핑되지 않은 주석 산화물(SnO<sub>2</sub>)층은 모두 300~500℃의 후속 어닐링 공정에 의해 결정성을 나타내고 있음을 도 12 내지 14를 통해 알 수 있다. 또한 도핑되지 않은 주석 산화물(SnO<sub>2</sub>) 및 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물)의 결정 구조는 모두 rutile 결정 구조를 가지는 것으로 측정되었다.

[0112] 그러나 본 발명의 실시예의 채널층 두께 1/2 위치의 알루미늄 도핑에서는 rutile 구조의 XRD의 반치 전폭(full width half maximum: FWHM)은 본 발명의 비교예들 또는 도핑되지 않은 주석 산화물(SnO<sub>2</sub>) 대비 보다 넓은 경향을 가짐을 도 12 내지 14를 통해 알 수 있다.

[0113] 아래의 표는 본 발명의 비교예들인 채널층 두께 1/4과 3/4 위치에서 도핑되고 후속 어닐링된 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 박막과 본 발명의 실시예인 채널층 두께 1/2 위치에서 도핑되고 후속 어닐링된 SnO<sub>2</sub>:Al(알루

미늄 도핑 주석 산화물) 박막의 (200)면 기준의 XRD의 반치 전폭 측정 결과를 요약한 것이다.

[0115] <표> 대기(air) 어닐링에 따른 (200)면 기준 XRD 반치 전폭

	No doping	¼ doping (Bottom)	½ doping (Middle)	¾ doping (top)
300 °C	0.96	1.13	2.05	1.42
400 °C	0.52	0.54	1.22	0.58
500 °C	0.48	0.52	0.77	0.53

[0116]

[0118] 본 발명의 실시예인 채널층 두께 1/2 위치에서 도핑된 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 박막은 비교예들인 채널층 두께 1/4과 3/4 위치에서 도핑된 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 박막보다 XRD 반치 전폭이 전체 어닐링 온도 범위에서 최소 40% 이상 큰 것을 상기 표의 측정 결과로부터 알 수 있다. 또한 본 발명의 실시예인 채널층 두께 1/2 위치에서 도핑된 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 박막은 도핑되지 않은 주석 산화물(SnO<sub>2</sub>)보다 XRD 반치 전폭이 전체 어닐링 온도 범위에서 160% 내지 213% 이상 큰 것을 상기 표의 측정 결과로부터 알 수 있다.

[0119] 상기 XRD 반치 전폭 결과는 본 발명의 실시예의 채널층 두께 1/2 위치의 도핑 후 어닐링된 박막의 결정성이 비교예들 및 도핑되지 않은 주석 산화물(SnO<sub>2</sub>)층 대비 떨어진다는 의미이다. 본 발명의 실시예의 결정성 저하는 도핑된 알루미늄이 어닐링으로 인해 SnO<sub>2</sub> 내부로 확산되어 SnO<sub>2</sub>의 결정화를 방해하였기 때문인 것으로 판단된다. 본 발명의 실시예의 상기 낮은 결정성은 상기 I-V 분석에서 어닐링된 본 발명의 실시예의 채널층을 가지는 소자의 온/오프 전류 비가 확보될 수 있었던 이유들 중 하나인 것으로 판단된다.

[0120] 반면 본 발명의 비교예들인 채널층 두께 1/4과 3/4 위치에서 도핑되고 후속 어닐링된 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 박막은 본 발명의 실시예 대비 상기 XRD 반치 전폭이 더 작은 것으로 측정되었다. 이는 다시 본 발명의 비교예들의 SnO<sub>2</sub>:Al(알루미늄 도핑 주석 산화물) 박막은 높은 결정성을 가지는 것을 의미한다.

[0121] 이산화 주석(SnO<sub>2</sub>)은 높은 결정성을 가질수록 높은 전하 농도(10<sup>20</sup>~10<sup>22</sup>/cm<sup>3</sup>)를 가진다. 이와 같은 정도의 전하 농도를 가지는 박막은 현재 투명전도막으로 널리 사용되는 ITO가 가지는 전하 농도와 유사한 수준이므로 박막 트랜지스터 소자로 사용되기에는 부적합하다.

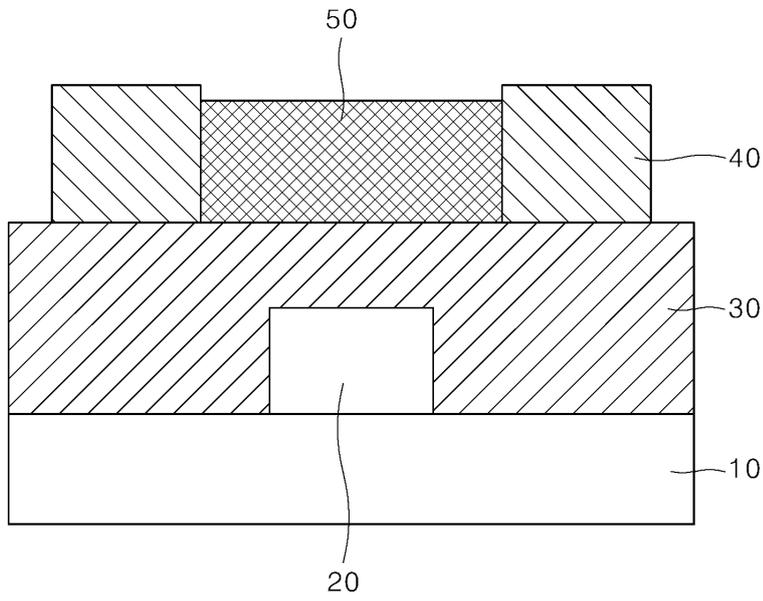
[0123] 이상에서는 본 발명의 실시예를 중심으로 설명하였지만, 통상의 기술자의 수준에서 다양한 변경이나 변형을 가할 수 있다. 따라서, 이러한 변경과 변형이 본 발명의 범위를 벗어나지 않는 한 본 발명의 범주 내에 포함되는 것으로 이해될 수 있을 것이다.

**부호의 설명**

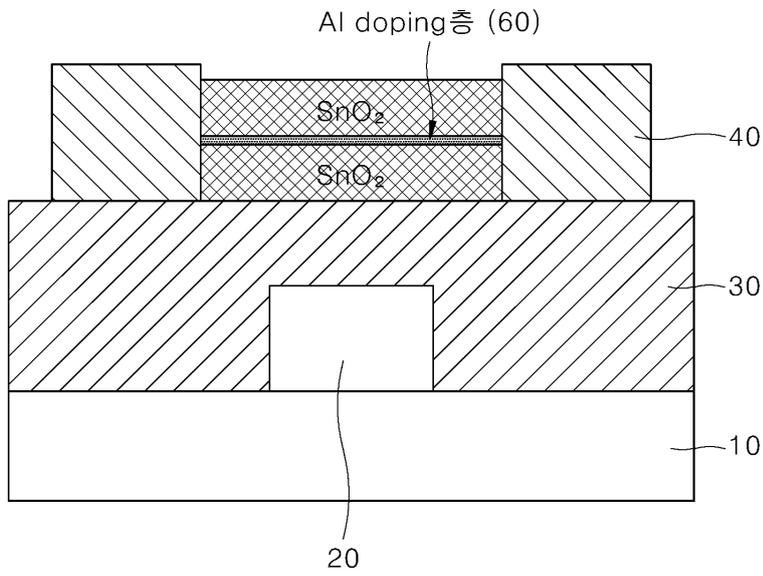
- [0125] 10: 기판    20: 게이트 전극
- 30: 게이트 절연막    40: 소스/드레인 전극
- 50: 채널층    60: 알루미늄 도핑층

도면

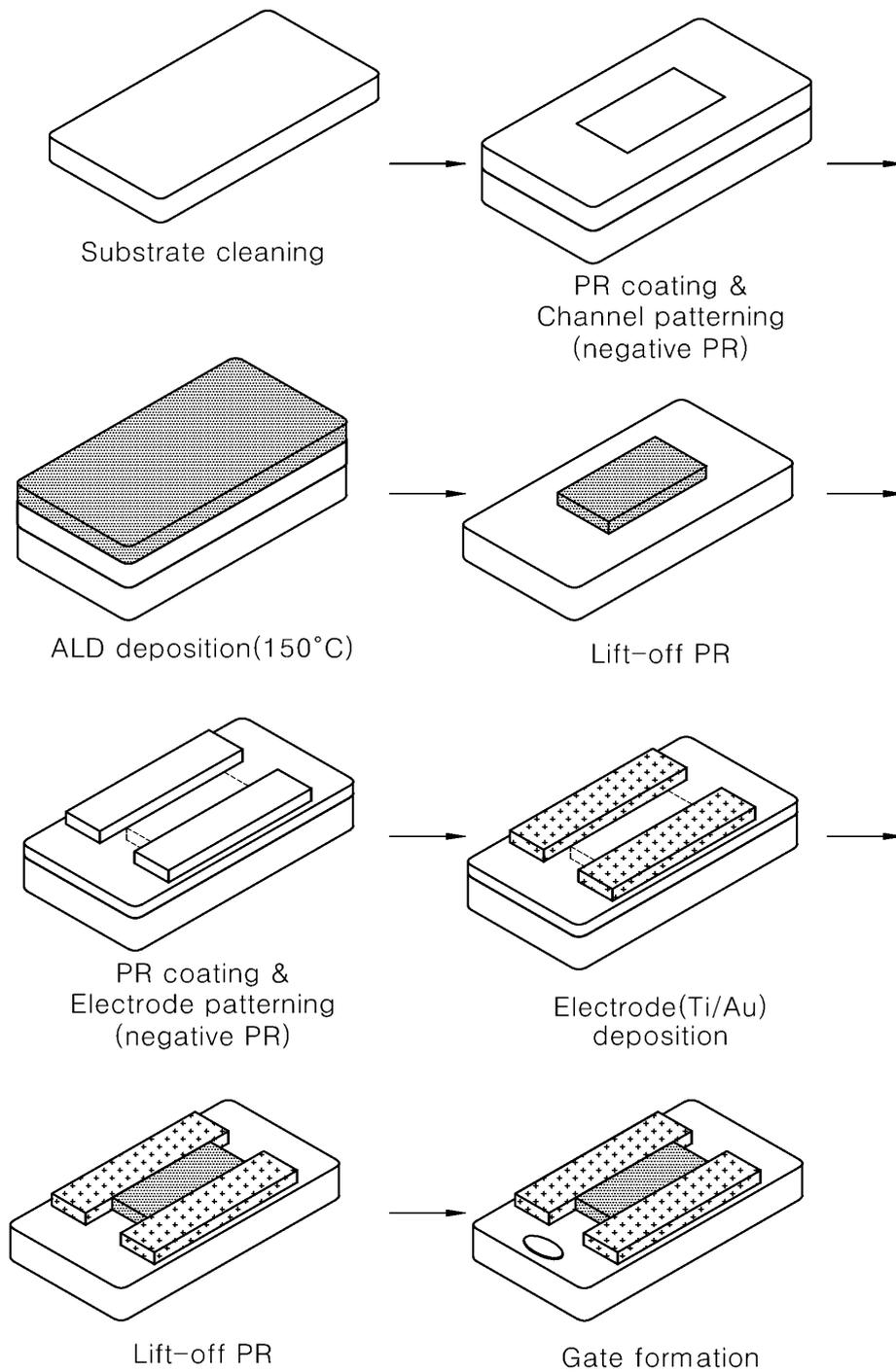
도면1



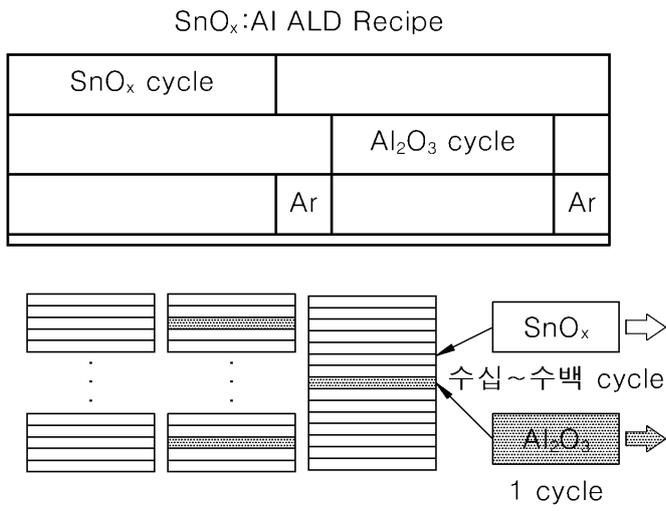
도면2



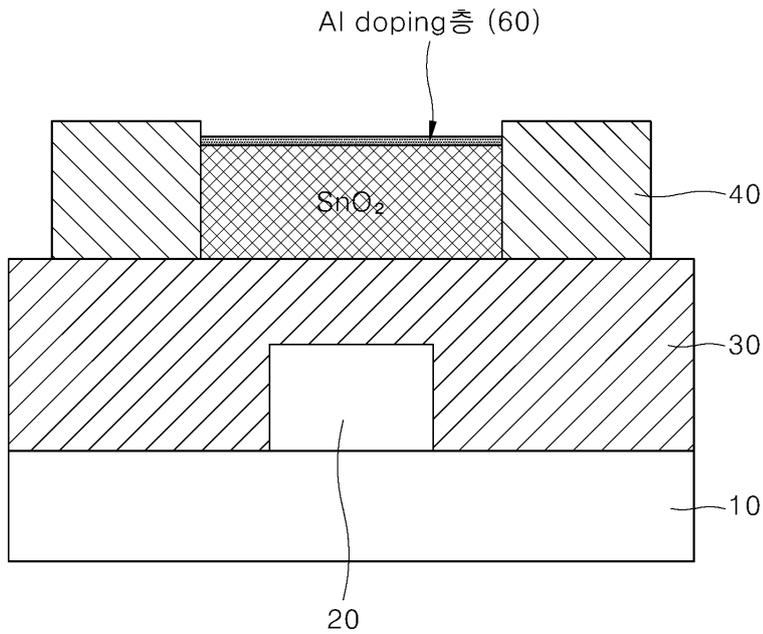
도면3



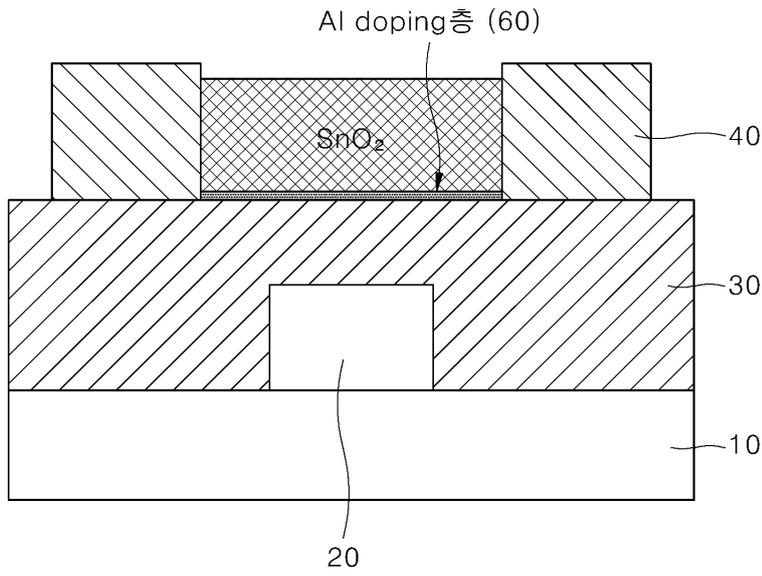
도면4



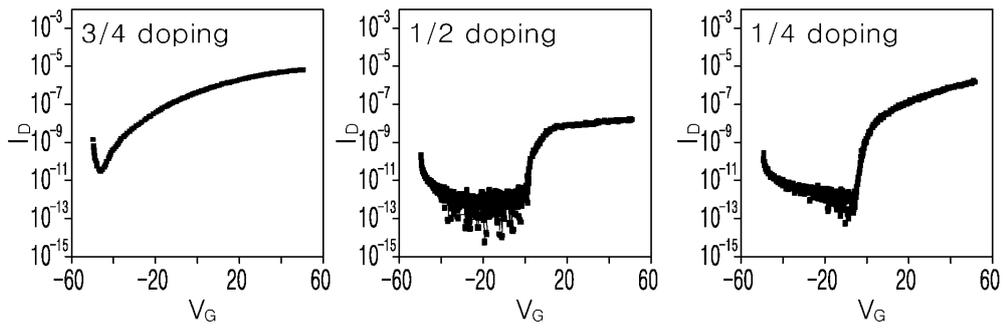
도면5



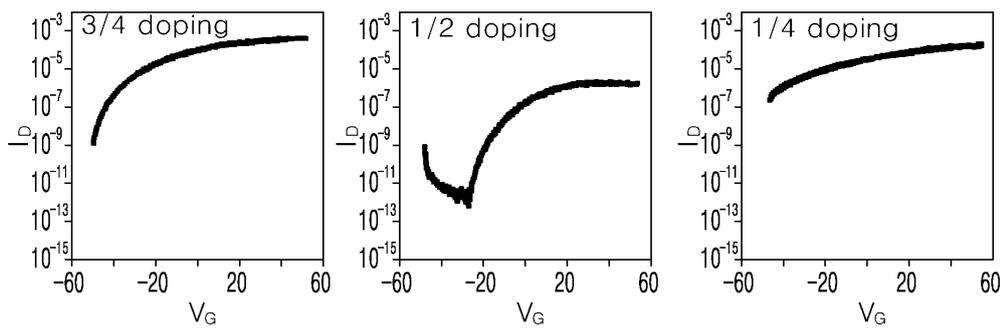
도면6



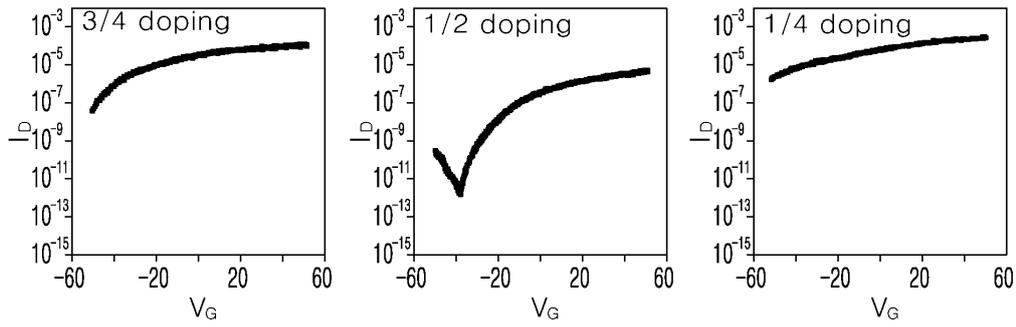
도면7



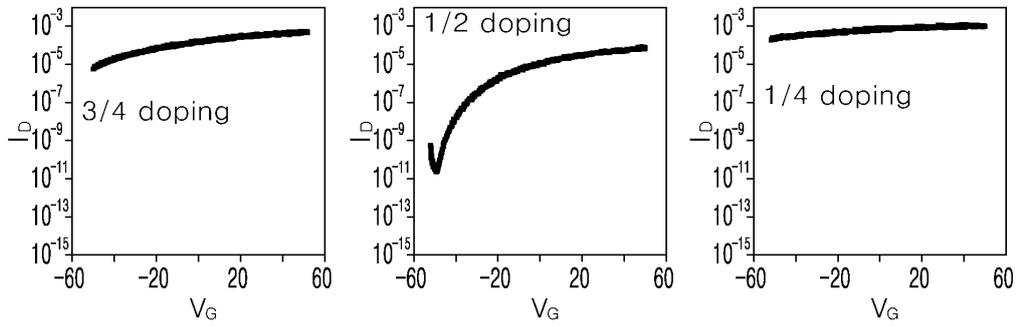
도면8



도면9

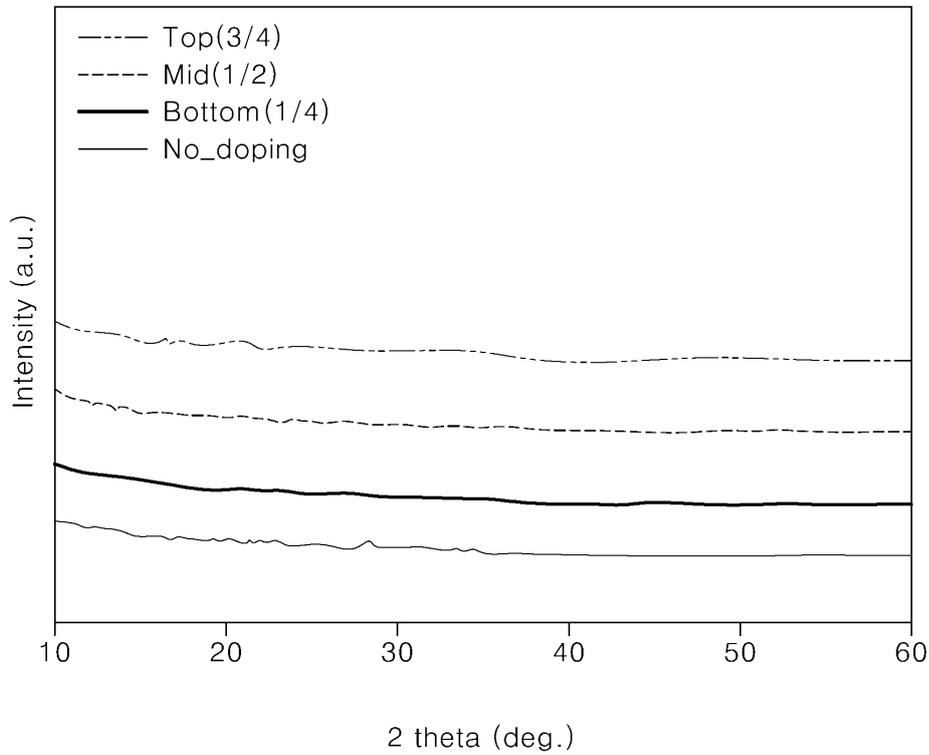


도면10

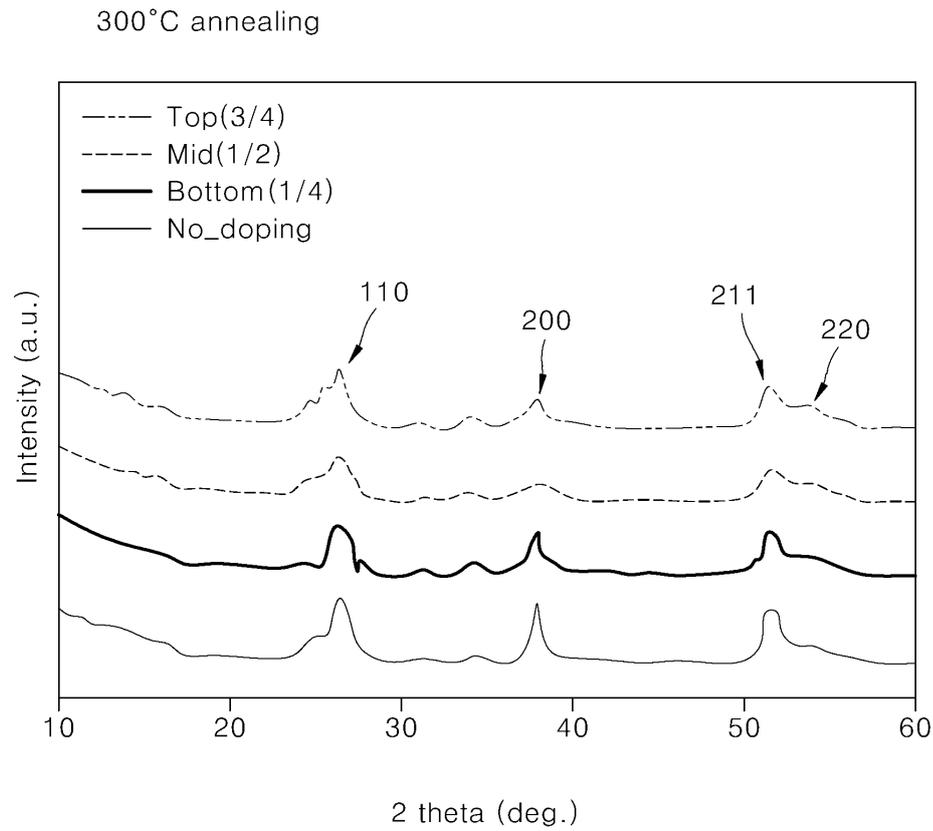


도면11

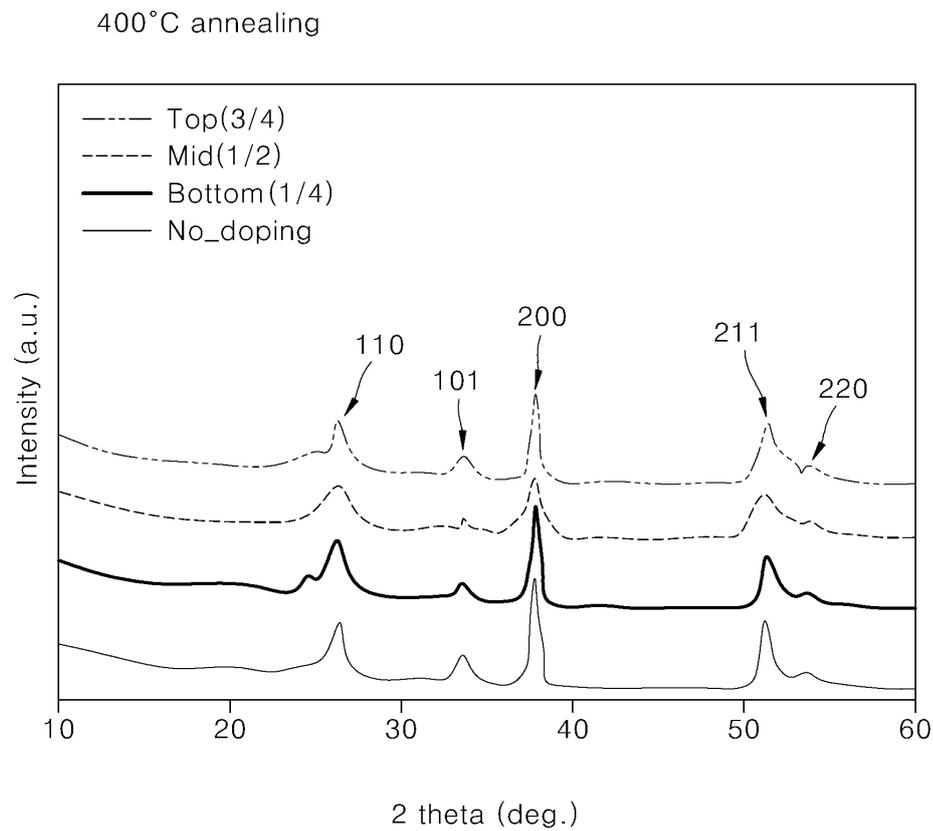
As-dep



도면12



도면13



도면14

500°C annealing

