

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> H05B 33/10	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년08월03일 10-0504512 2005년07월21일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0054150 2003년08월05일	(65) 공개번호 (43) 공개일자	10-2005-0015366 2005년02월21일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	엘지전자 주식회사 서울특별시 영등포구 여의도동 20번지
(72) 발명자	김홍규 경기도의왕시왕곡동신안포은아파트103-902
(74) 대리인	김용인 심창섭

심사관 : 서진원

(54) 탑-이미션 방식의 유기 E L 소자의 제조방법

요약

본 발명은 탑-이미션 방식의 유기 EL 소자의 제조방법에 관한 것으로, 유리 기판상에 박막트랜지스터를 형성하는 단계와, 전면에 박막트랜지스터의 소오스/드레인 영역을 노출하는 콘택홀을 갖는 층간 절연막을 형성하는 단계와, 상기 콘택홀에 전극 라인을 형성하는 단계와, 전면에 상기 드레인 영역에 연결된 전극 라인을 노출하는 평탄화 절연막을 형성하는 단계와, 화소 부분에는 상기 노출된 전극 라인에 연결되는 화소전극을 형성하고 화소 전극 이외의 부분에는 보조 공통전극을 형성하는 단계와, 상기 화소전극과 보조 공통전극 사이에 절연막을 형성하는 단계와, 발광층 형성용 웨도우 마스크를 이용하여 R, G, B 각각의 화소 영역에 공통 유기막층, 유기 발광층, 유기물층을 형성하는 단계와, 상기 보조 공통전극에 연결되는 투명 공통전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

대표도

도 2f

색인어

유기 EL, 탑-이미션, 보조 공통전극, 투과율, 저항

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 따른 유기 EL 소자의 제조공정 단면도

도 2a 내지 도 2f는 본 발명에 따른 유기 EL 소자의 제조공정 단면도

도 3은 본 발명에 따른 유기 EL 소자의 평면도

도 4는 공통유기막 및 유기물층의 패터닝에 이용하는 웨도우 마스크의 평면도

도 5는 본 발명에서 공통유기막 및 유기물층의 패터닝에 이용하는 웨도우 마스크의 평면도

**\*\*도면의 주요 부분에 대한 부호 설명\*\***

21 : 유리기판 22 : 반도체층

22a, 22b : 소오스/드레인 영역 22c : 채널영역

23 : 게이트 절연막 24 : 게이트 전극

25 : 층간절연막 26 : 전극 라인

27 : 평탄화절연막 28 : 화소전극

29 : 보조 공통전극 30 : 절연막

31 : 웨도우 마스크 32 : 정공주입층

33 : 정공전달층 34, 34', 34" : R, B, G 유기발광층

35 : 전자전달층 36 : 전자주입층

37 : 메탈 공통전극 38 : 투명 공통전극

39 : 보호막

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 소자에 관한 것으로 특히, 탑-이미션(top-emission) 방식의 유기 EL 소자에서 메탈 공통전극(cathode)의 두께를 줄여 투과율을 향상시킴과 동시에 공통전극에 과전류가 흐르지 않도록 하여 디바이스의 수명 및 신뢰성을 향상시킬 수 있으며, 대형화에 적합한 탑-이미션 방식의 유기 EL 소자의 제조방법에 관한 것이다.

탑 이미션(top emission) 방식의 액티브 매트릭스형 유기 EL 소자(Active Matrix Organic ElectroLuminescence Device : AMOELD)의 화소 부분은 크게 각 화소 부분을 스위칭해주는 스위칭용 박막트랜지스터, 구동용 박막트랜지스터, 저장 커패시터(capacitor), 화소전극(anode), 유기물층, 공통전극(cathode)으로 구성된다.

이 중 구동용 박막트랜지스터를 기준으로 한 종래 기술에 따른 화소의 제조 공정 단면을 도 1a 내지 도 1d에 도시하였다.

우선, 도 1a에 도시된 바와 같이 유리기판(1)상에 박막트랜지스터의 활성층으로 사용하기 위해 예를 들어, 다결정 실리콘 등을 이용하여 반도체층(2)을 형성하고 이후에 박막트랜지스터가 형성될 영역 즉, 박막트랜지스터 예정 영역에만 남도록 상기 반도체층(2)을 패터닝(patterning)한다.

이어, 상기 전면에 게이트 절연막(3)과 게이트 전극용 도전막을 차례로 적층한 다음 상기 패터닝된 반도체층(2)의 일영역 상에 남도록 상기 게이트 전극용 도전막을 패터닝하여 게이트 전극(4)을 형성한다.

그리고, 상기 게이트 전극(4)을 마스크로 상기 반도체층(2)에 보론(B)나 인(P) 등의 불순물을 주입한 후에 열처리하여 박막트랜지스터의 소오스/드레인 영역(2a)(2b)을 형성한다.

이때, 상기 불순물 이온이 주입되지 않은 반도체층(2)은 채널 영역(2c)이다.

이어, 전면에 층간절연막(5)을 형성하고, 상기 박막트랜지스터의 소오스/드레인 영역(2a)(2b)이 노출되도록 상기 층간절연막(5)과 게이트 절연막(3)을 선택적으로 제거하여 콘택홀을 형성한다.

그리고, 상기 콘택홀이 매립될 수 있는 정도의 충분한 두께로 제 1 금속막을 형성하고 상기 콘택홀 및 그에 인접한 영역에만 남도록 상기 제 1 금속막을 선택적으로 제거하여 소오스/드레인 영역(2a)(2b)에 각각 전기적으로 연결되는 전극 라인(6)을 형성한다.

그 다음 전면에 평탄화 절연막(7)을 형성하여 전면을 평탄화시키고 상기 드레인 영역(2b)에 연결된 전극 라인(6)이 노출되도록 상기 평탄화 절연막(7)을 선택적으로 제거하여 콘택홀을 형성한 다음, Cr, Al, Mo, AgAu 등과 같이 반사율과 일함수(work function) 값이 높은 제 2 금속막을 형성한다.

이때, 상기 콘택홀 내에도 제 2 금속막이 형성되어 상기 제 2 금속막은 콘택홀 하부의 전극 라인(6)을 통해 드레인 영역(2b)에 전기적으로 연결되게 된다.

이어, 화소 부분에만 남도록 상기 제 2 금속막을 선택적으로 제거하여 상기 전극 라인(6)을 통해 하부의 드레인 영역(2b)에 전기적으로 연결되는 화소전극(anode)(8)을 형성한다.

이어, 도 1b에 도시된 바와 같이 이웃하는 화소전극(8) 사이에 화소전극(8)의 일부분이 덮이게 절연막(9)을 형성한다.

그리고, 도 1c에 도시된 바와 같이 정공주입층(10), 정공전달층(11)을 공통유기막으로 증착하고, 섀도우 마스크(Shadow mask)를 사용하여 R, G, B 발광층(12)을 각각 증착한다.

이어, 전면에 전자전달층(13)과 전자주입층(14) 등의 유기물층을 차례로 형성한다.

그 다음에 도 1d에 도시된 바와 같이, 메탈 공통전극(cathode)(15)을 형성한다.

이때, 상기 메탈 공통전극(15)은 알루미늄(Al)을 수 nm 증착한 다음 은(Ag)을 수 nm ~ 수십 nm 증착하거나,  $Mg_xAg_{1-x}$  등의 금속을 수 nm ~ 수십 nm 증착하여 형성한다.

그리고, 상기 메탈 공통전극(15)상에 ITO, IZO 등의 투명 전도성 물질을 재료로 투명 공통전극(16)을 형성한다.

이어, 상기 유기물층(전자 전달층(13), 전자 주입층(14))을 산소나 수분으로부터 보호하기 위하여 보호막(17)을 형성한 다음 도면에는 도시하지 않았지만 봉지재(sealant)와 투명 기판을 사용하여 보호캡을 장착하여 탑-이미션(top-emission) 방식의 액티브 매트릭스 유기 EL 소자를 완성한다.

이와 같은 탑-이미션 방식의 액티브 매트릭스 유기 EL 소자는 바텀 이미션(bottom emission) 방식과는 달리 공통전극(cathode) 쪽으로 빛이 나와야 한다.

따라서, 메탈 공통전극(15)으로 사용되는 금속의 두께를 투과율 문제로 인하여 두껍게 형성할 수 없으며, 보통 수 nm ~ 수십 nm로 형성하고 있다.

그러나, 유기 EL 디바이스의 특성상 지속적으로 많은 양의 전류가 공통전극을 통해서 흘러야 하는데 상기 메탈 공통전극(15)이 얇으면 지속적으로 많은 양의 전류가 흐를 경우 열을 받아 단락(Short)되거나 산화되게 된다.

특히, 메탈 공통전극(15)으로 은(Ag)을 이용하는 경우에는 은(Ag) 원자의 이동(migration)이 일어나 뭉치는 현상이 발생될 수 있는데, 이로 인하여 디바이스의 수명이 단축되게 되고, 신뢰성이 저하되게 된다.

이 같은 디바이스 수명이 단축 및 신뢰성 저하 문제를 해결하기 위해 메탈 공통전극(15)의 두께를 두껍게 형성하게 되면 투과율이 급격하게 떨어지기 때문에 효율이 심하게 저하되어 현실적으로 사용하기 어렵다.

**발명이 이루고자 하는 기술적 과제**

본 발명은 상기한 문제점들을 해결하기 위하여 안출한 것으로 디바이스의 투과율을 저하시키지 않고서 메탈 공통전극의 단락, 산화 및 뭉침을 방지하여 디바이스의 수명 및 신뢰성을 향상시킬 수 있는 탑-이미션 방식의 유기 EL 소자의 제조방법을 제공하는데 그 목적이 있다.

본 발명의 다른 목적은 유기 EL 표시 패널의 대형화에 적합한 탑-이미션 방식의 유기 EL 소자의 제조방법을 제공하는데 있다.

**발명의 구성 및 작용**

본 발명에 따른 탑-이미션 방식의 유기 EL 소자의 제조방법은 유리 기판상에 박막트랜지스터를 형성하는 단계와, 전면 에 박막트랜지스터의 소오스/드레인 영역을 노출하는 콘택홀을 갖는 층간 절연막을 형성하는 단계와, 상기 콘택홀에 전극 라인을 형성하는 단계와, 전면 에 상기 드레인 영역에 연결된 전극 라인을 노출하는 평탄화 절연막을 형성하는 단계와, 화소 부분에는 상기 노출된 전극 라인에 연결되는 화소전극을 형성하고 화소 전극 이외의 부분에는 보조 공통전극을 형성하는 단계와, 상기 화소전극과 보조 공통전극 사이에 절연막을 형성하는 단계와, 발광층 형성용 웨도우 마스크를 이용하여 R, G, B 각각의 화소 영역에 공통 유기막층, 유기 발광층, 유기물층을 형성하는 단계와, 상기 보조 공통전극에 연결되는 투명 공통전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

바람직하게, 상기 투명 공통전극을 형성하기 전에 메탈 금속전극을 형성하는 단계를 더 포함하여 이루어짐을 특징으로 한다.

바람직하게, 상기 R, G, B 각각의 화소 영역에 공통 유기막층, 유기 발광층, 유기물층을 형성하는 단계는 발광층 형성용 웨도우 마스크의 개구부를 R 화소 영역에 맞추고 공통 유기막층, R 발광층, 유기물층을 적층하는 제 1 단계와, 상기 웨도우 마스크를 쉬프트시켜 개구부를 B 화소 영역에 맞추고, 공통 유기막층, B 발광층, 유기물층을 적층하는 제 2 단계와, 상기 웨도우 마스크를 쉬프트시켜 개구부를 G 화소 영역에 맞추고 공통 유기막층, G 발광층, 유기물층을 적층하는 제 3 단계를 포함하여 이루어지며, 상기 제 1 내지 제 3 단계의 공정 순서를 바꾸어서 진행하여도 무방한 것을 특징으로 한다.

바람직하게, 상기 투명 공통전극을 형성한 다음에 보호막을 형성하는 단계와, 보호캡을 장착하는 단계를 더 포함하여 형성함을 특징으로 한다.

바람직하게, 상기 공통 보조전극은 화소 전극과 동일한 재료를 이용하여 형성함을 특징으로 한다.

바람직하게, 상기 보조 공통전극은 반사율과 일함수 값이 높은 금속을 이용하여 형성함을 특징으로 한다.

바람직하게, 상기 보조 공통전극은 상기 박막트랜지스터의 게이트 전극의 길이 방향과 나란한 스트라이프 형태로 형성하는 것을 특징으로 한다.

본 발명의 다른 목적, 특징 및 이점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해 질 것이다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 2a 내지 도 2f는 본 발명에 따른 유기 EL 소자의 제조공정 단면도이다.

우선, 도 2a에 도시된 바와 같이 유리 기판(21)상에 박막트랜지스터의 활성층으로 사용하기 위해 예를 들어, 다결정실리콘층 등으로 반도체층(22)을 형성하고 박막 트랜지스터 예정 영역에만 남도록 상기 반도체층(22)을 패터닝한다.

그리고, 상기 전면에 게이트 절연막(23)과 게이트 전극용 물질을 차례로 적층한 다음 상기 패터닝된 반도체층(22)의 일영역상에 남도록 상기 게이트 전극용 물질을 패터닝하여 게이트 전극(24)을 형성한다.

이어, 상기 게이트 전극(24)을 마스크로 상기 반도체층(22)에 P, B 등의 불순물을 주입하고 열처리하여 박막트랜지스터의 소오스/드레인 영역(22a)(22b)을 형성한다.

그 다음에 전면에 층간 절연막(25)을 형성하고 상기 박막 트랜지스터의 소오스/드레인 영역(22a)(22b)의 표면이 노출되도록 상기 층간 절연막(25)과 게이트 절연막(23)을 선택적으로 제거하여 콘택홀을 형성한다.

이어, 상기 콘택홀이 매립되도록 전면에 제 1 금속막을 증착하고, 상기 콘택홀 및 그에 인접한 영역상에만 남도록 상기 제 1 금속막을 선택적으로 제거하여 상기 콘택홀을 통해 소오스/드레인 영역(22a)(22b)에 전기적으로 연결되는 전극 라인(26)을 형성한다.

그리고, 전면에 평탄화 절연막(27)을 형성하여 전면을 평탄화시킨 다음에 상기 드레인 영역(22b)에 연결된 전극 라인(26)의 표면이 노출되도록 상기 평탄화 절연막(27)을 일부 제거한 다음 Cr, Al, Mo, AgAu 등과 같이 반사율과 일함수(work function) 값이 높은 제 2 금속막을 형성한다.

이때, 상기 콘택홀 내에도 제 2 금속막이 형성되어 상기 제 2 금속막은 콘택홀 하부의 전극 라인(26)에 연결되게 된다.

이어, 상기 제 2 금속막을 선택적으로 패터닝하여 화소 영역에는 상기 전극 라인(26)을 통해 하부의 드레인 영역(22b)에 전기적으로 연결되는 화소전극(anode)(28)을 형성하고, 화소 영역 이외의 부분에는 보조 공통전극(29)을 형성한다.

상기 보조 공통전극(29)은 화소 전극(28)과는 소정 거리를 갖고 이격되며 상기 박막트랜지스터(B)의 게이트 전극(24)의 길이 방향에 나란한 스트라이프 형태로 형성된다.

그 다음, 도 2b에 도시된 바와 같이 상기 형성한 화소전극(28)과 보조 공통전극(29) 사이에 화소전극(28)과 보조 공통전극(29)의 일부분이 덮이게 절연막(30)을 형성한다.

이어서, 화소 영역에 유기물층을 형성한다.

상기 유기물층을 형성하는 가장 간단한 방법으로는 상기 보조 공통전극(29)의 상부를 막는 웨도우 마스크를 이용하여 나머지 부분에 정공주입층, 정공전달층, 유기발광층, 전자전달층, 전자주입층을 형성하는 방법이 있다.

이 방법의 장점은 상기 5개의 레이어 중 유기발광층을 제외한 나머지 층들을 R, G, B 화소의 구분없이 동시에 형성할 수 있어 공정을 단순화시킬 수 있는 점이다.

그러나, 이 방식의 문제점은 웨도우 마스크는 보조 공통전극(29)의 상부를 덮을 수 있도록 도 4에 도시된 바와 같이 스트라이프(Stripe) 형태로 만들어져야 한다는 점인데, 이런 경우 외부 인장력에 대한 웨도우 마스크의 변형 및 웨도우 마스크의 처짐 현상이 심각하게 일어나 원하는 영역에 증착되지 않게 된다.

이러한 웨도우 마스크의 변형 및 처짐 현상은 유기 EL 표시 패널이 대형일수록 더욱 심각하다.

이에 본 발명에서는 도 5와 같이 발광 영역이 오픈된 웨도우 마스크를 이용한다.

이 웨도우 마스크를 이용하면 R, G, B 화소 영역별로 정공주입층, 정공전달층, 전자전달층, 전자주입층을 따로 형성해야 하는 단점이 있으나, 웨도우 마스크의 변형 및 처짐 현상을 막을 수 있어 유기 EL 표시 패널의 대형화에 유리한 장점을 갖는다.

이러한 웨도우 마스크를 적용한 본 발명의 유기 EL 소자의 제조방법을 상기 공정에 연속하여 설명하면 다음과 같다.

도 2c에 도시된 바와 같이 발광 영역이 오픈되어 있는 웨도우 마스크(31)의 개구부를 R 화소영역에 맞추고 정공주입층(32), 정공전달층(33), R 유기발광층(34), 전자전달층(35), 전자주입층(36)등의 유기물을 차례로 증착한다.

그 다음 도 2d에 도시된 바와 같이, 상기 웨도우 마스크(31)를 쉬프트(shift)시켜 그 개구부가 G 화소 영역을 노출하게 하고 정공주입층(32), 정공전달층(33), G 유기발광층(34'), 전자전달층(35), 전자주입층(36)등의 유기물을 차례로 증착한다.

그리고 도시하진 않았지만, 상기 웨도우 마스크(31)를 다시 쉬프트시켜 그 개구부가 B 화소영역을 노출하게 하고 정공주입층(32), 정공전달층(33), B 유기발광층(34''), 전자전달층(35), 전자주입층(36)등의 유기물을 차례로 증착한다.

상기에서는 R 화소영역에 유기물층을 형성한 다음에 G 화소 영역, B 화소 영역 순으로 유기물층을 형성하는 경우를 나타내었으나, 순서를 바꾸어서 진행하여도 무방하다.

그 다음 공정으로 도 2e에 도시된 바와 같이 전표면상에 메탈 공통전극(37)을 형성하고, 상기 메탈 공통전극(37)상에 ITO, IZO 등의 투명 전극을 이용하여 투명 공통전극(38)을 적층한다.

이때 형성되는 메탈 공통전극(37)은 상기 보조 공통전극(29)에 접촉되게 된다.

상기 메탈 공통전극(37)은 예를 들어, 알루미늄(Al)을 수 nm 증착한 후 Ag를 수 nm~15nm로 증착하여 형성하거나,  $Mg_xAg_{1-x}$  등의 메탈을 수 nm~15nm 정도 증착하여 형성한다.

또한, 상기 메탈 공통전극(37)을 5nm이하로 얇게 형성하는 것도 가능하며 LiF를 약 0.5nm로 증착한 다음 알루미늄(Al)을 약 1nm로 증착하여 형성하여 5nm 이하의 두께로 형성하여도 된다.

또한, 상기 메탈 공통전극(37)을 형성하지 않고 투명 공통전극(38)이 상기 보조 공통전극(29)과 접촉되게 형성하여도 무방하다.

따라서, 상기 공통전극(37)(38)에 흐르는 대부분의 전류가 저항이 낮은 보조 공통전극(29)을 통해 외부로 흐르게 되며, 이로 인해 공통전극의 저항 문제는 해결되게 된다.

그리고, 공통전극의 저항 문제가 해결되어 메탈 공통전극(37)을 얇게 형성하는 것이 가능하며 경우에 따라서는 메탈 공통전극을 형성하지 않아도 되므로 투과율이 증가되어 같은 전류에서 기존의 방식에 비해 휘도가 크게 증가한다.

그리고, 도 2f에 도시된 바와 같이 상기 형성한 유기물층들을 산소나 수분으로부터 보호하기 위한 보호막(39)을 형성한 다음 도면에는 도시하지 않았지만, 접착재(Sealant)와 투명 기판을 사용하여 보호캡을 붙여 본 발명에 따른 탑-이미션 방식의 액티브 매트릭스 유기 EL 소자를 완성한다.

### 발명의 효과

상기와 같은 본 발명의 탑-이미션 방식의 유기 EL 소자의 제조방법은 다음과 같은 효과가 있다.

종래 기술에서 사용되는 메탈 공통전극의 두께는 보통 10~15nm, 심한 경우 약 20nm 정도인데, 이렇게 할 경우 투과율이 매우 낮다. 본 발명에서는 보조 공통전극을 이용하여 메탈 공통전극에 흐르는 전류를 빼내기 메탈 공통전극을 두껍게 형성할 필요가 없으므로 5nm 이하의 매우 얇은 두께로 디바이스 제작이 가능해진다. 따라서, 투과율을 크게 증가되어 휘도가 향상되는 효과가 있다.

또한, 투과율 문제로 인해 메탈 공통전극을 얇게 형성할 경우 종래 기술에서는 메탈 공통전극이 지속적으로 많은 양의 전류가 흘러 메탈 공통전극이 열을 받아 단락되거나, 특히 Ag와 같은 경우 Ag 원자의 이동(migration)이 일어나 뭉치는 현상이 발생하는 등의 이유로 장수명의 고신뢰성을 갖는 디바이스의 제작이 어려웠다.

본 발명에서는 보조 공통전극을 이용하여 메탈 공통전극의 전류를 빼내기 때문에 메탈 공통전극이 단락되거나 Ag 원자 이동으로 인한 뭉침 현상을 방지할 수 있어 장수명의 고신뢰성을 갖는 디바이스 제작이 가능해진다.

또한, 유기물층을 형성할 때 이용하는 웨도우 마스크로 상기 보조 공통전극의 상부를 막는 스트라이프 형태인 것(도 4 참조)을 이용하는 경우에는 외부 인장력에 대한 웨도우 마스크 변형 및 웨도우 마스크의 처짐 현상이 심각하게 일어나 원하지 않는 영역에 유기물층이 증착되게 되는 불량이 발생한다.

특히, 이러한 웨도우 마스크의 변형 및 처짐 현상은 유기 EL 표시 패널이 대형인 경우일수록 더욱 심각하다.

이에, 본 발명에서는 발광 영역이 오픈되어 있는 웨도우 마스크를 이용하여 웨도우 마스크의 변형 및 처짐 현상이 방지되므로 원하지 않는 영역에 유기물층이 증착되는 불량을 방지할 수 있는 효과가 있고, 특히 유기 EL 표시 패널의 대형화에 유리한 장점을 갖는다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정하는 것이 아니라 특허 청구범위에 의해서 정해져야 한다.

## (57) 청구의 범위

### 청구항 1.

유리 기판상에 박막트랜지스터를 형성하는 단계;

전면에 박막트랜지스터의 소오스/드레인 영역을 노출하는 콘택홀을 갖는 층간 절연막을 형성하는 단계;

상기 콘택홀에 전극 라인을 형성하는 단계;

전면에 상기 드레인 영역에 연결된 전극 라인을 노출하는 평탄화 절연막을 형성하는 단계;

화소 부분에는 상기 노출된 전극 라인에 연결되는 화소전극을 형성하고 화소 전극 이외의 부분에는 보조 공통전극을 형성하는 단계;

상기 화소전극과 보조 공통전극 사이에 절연막을 형성하는 단계;

발광층 형성용 웨도우 마스크를 이용하여 R, G, B 각각의 화소 영역에 공통 유기막층, 유기 발광층, 유기물층을 형성하는 단계;

상기 보조 공통전극에 연결되는 투명 공통전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 탑-이미션 방식의 유기 EL 소자의 제조방법.

### 청구항 2.

제 1항에 있어서,

상기 투명 공통전극을 형성하기 전에 메탈 금속전극을 형성하는 단계를 더 포함하여 이루어짐을 특징으로 하는 탑-이미션 방식의 유기 EL 소자의 제조방법.

### 청구항 3.

제 1항에 있어서,

R, G, B 각각의 화소 영역에 공통 유기막층, 유기 발광층, 유기물층을 형성하는 단계는

발광층 형성용 웨도우 마스크의 개구부를 R 화소 영역에 맞추고 공통 유기막층, R 발광층, 유기물층을 적층하는 제 1 단계;

상기 웨도우 마스크를 쉬프트시켜 개구부를 B 화소 영역에 맞추고, 공통 유기막층, B 발광층, 유기물층을 적층하는 제 2 단계;

상기 웨도우 마스크를 쉬프트시켜 개구부를 G 화소 영역에 맞추고 공통 유기막층, G 발광층, 유기물층을 적층하는 제 3 단계를 포함하여 이루어지며,

상기 제 1 내지 제 3 단계의 공정 순서를 바꾸어서 진행하여도 무방한 것을 특징으로 하는 탑-이미션 방식의 유기 EL 소자의 제조방법.

#### 청구항 4.

제 1항에 있어서,

상기 투명 공통전극을 형성한 다음에 보호막을 형성하는 단계;

보호캡을 장착하는 단계를 더 포함하여 형성함을 특징으로 하는 탑-이미션 방식의 유기 EL 소자의 제조방법.

#### 청구항 5.

제 1항에 있어서,

상기 공통 보조전극은 화소 전극과 동일한 재료를 이용하여 형성함을 특징으로 하는 탑-이미션 방식의 유기 EL 소자의 제조방법.

#### 청구항 6.

제 1항에 있어서,

상기 보조 공통전극은 반사율과 일함수 값이 높은 금속을 이용하여 형성함을 특징으로 하는 탑-이미션 방식의 유기 EL 소자의 제조방법.

#### 청구항 7.

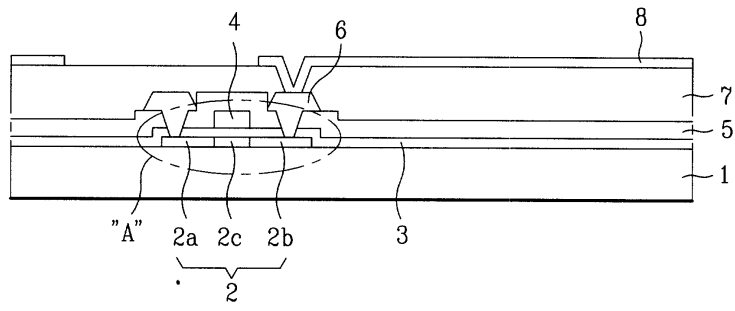
제 1항에 있어서,

상기 보조 공통전극은 상기 박막트랜지스터의 게이트 전극의 길이 방향과 나란한 스트라이프 형태로 형성하는 것을 특징으로 하는 탑-이미션 방식의 유기 EL 소자의 제조방법.

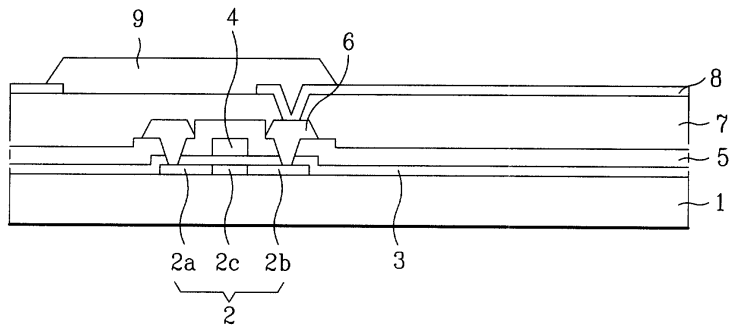
도면



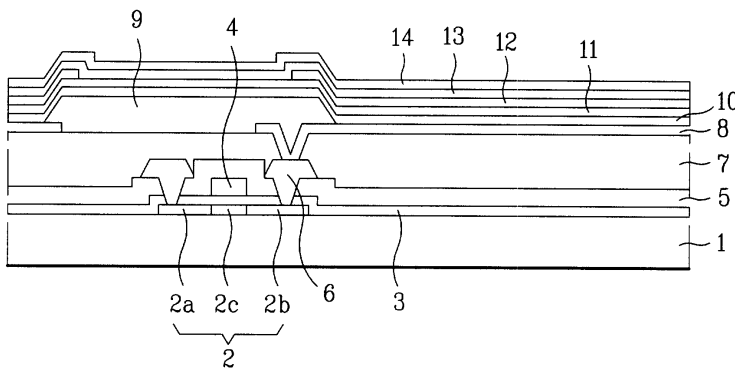
도면1a



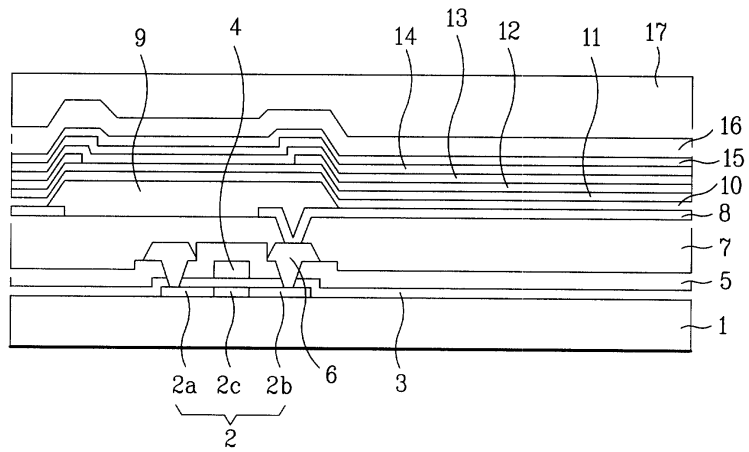
도면1b



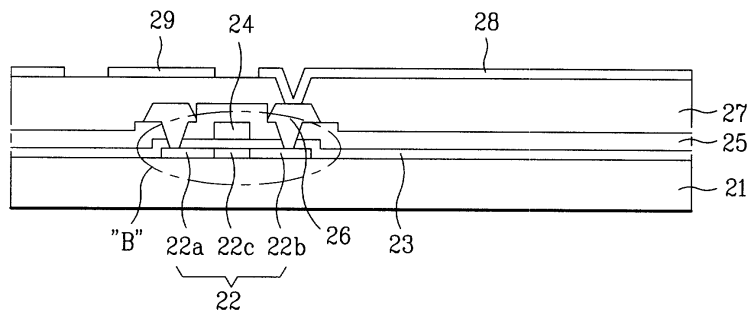
도면1c



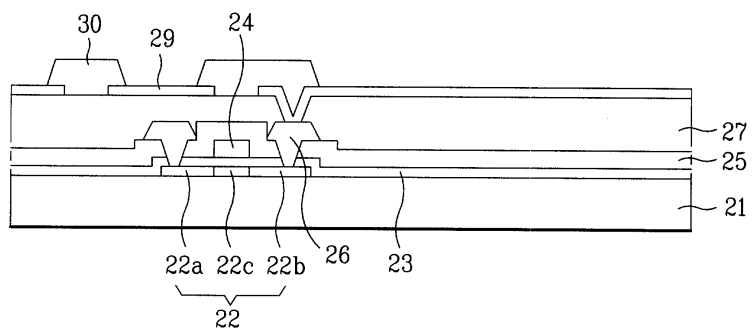
도면1d



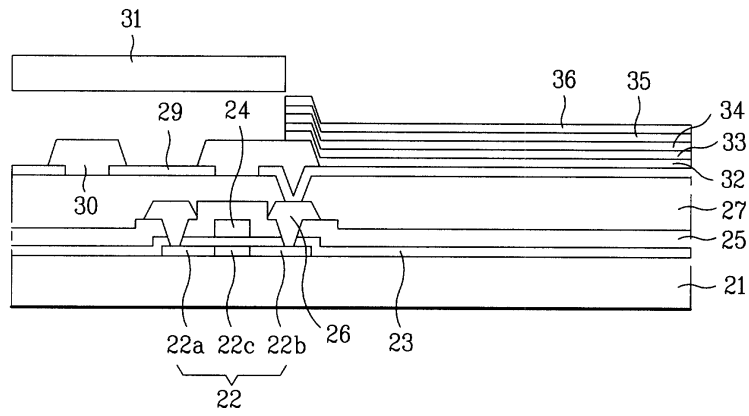
도면2a



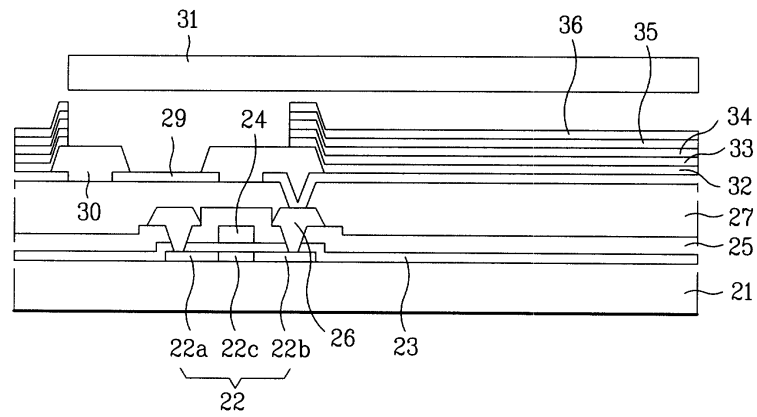
도면2b



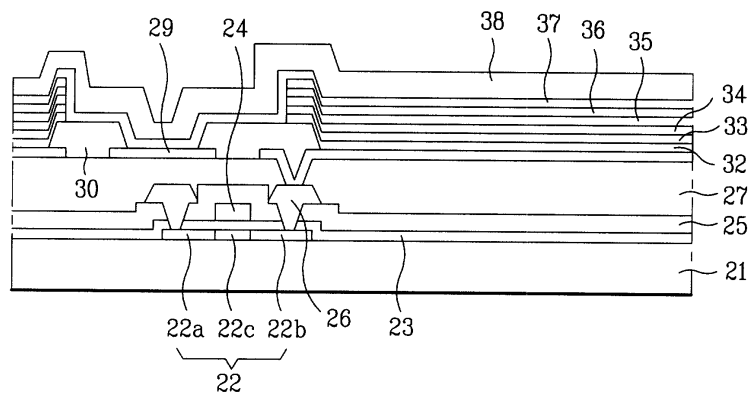
도면2c



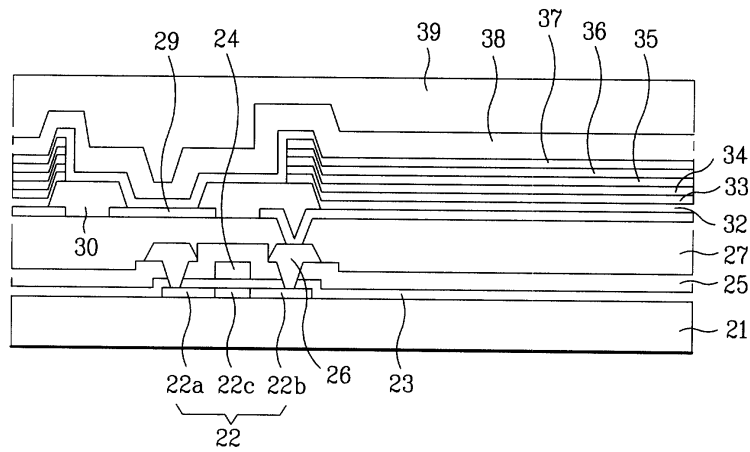
도면2d



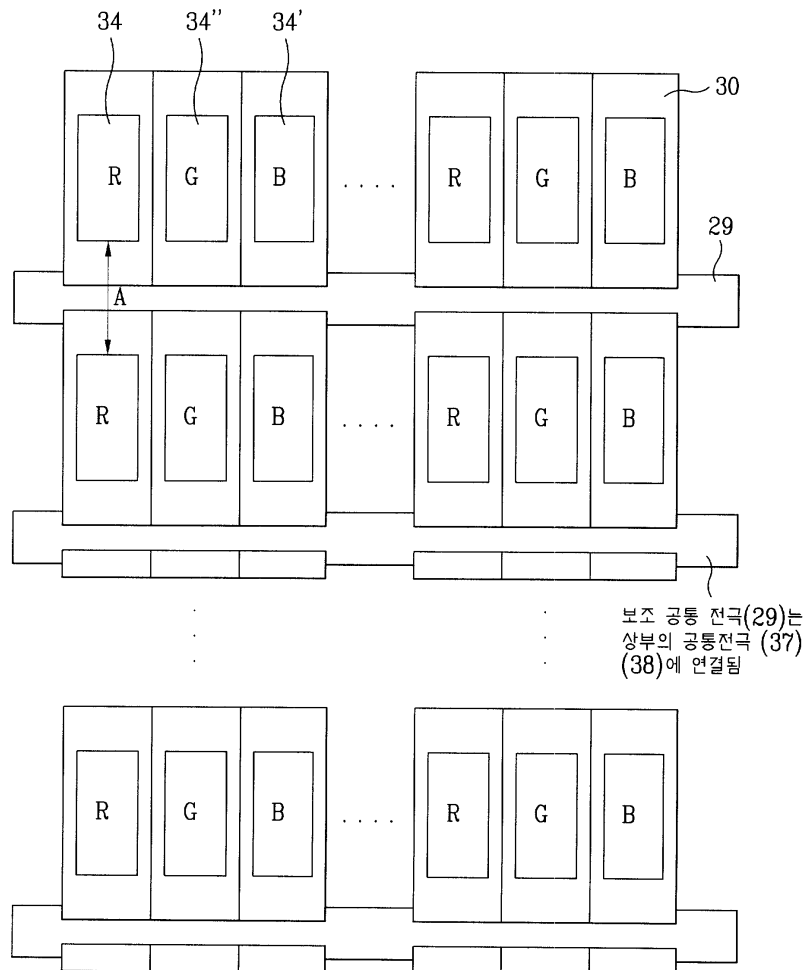
도면2e



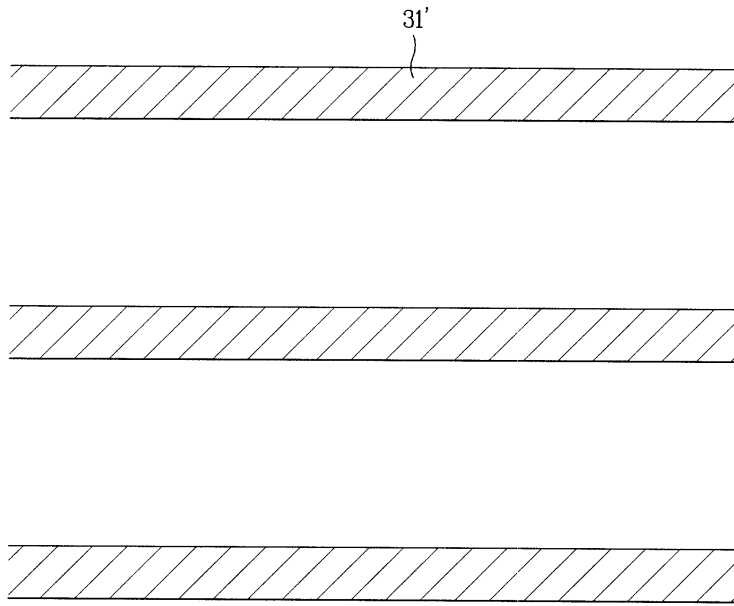
도면2f



도면3



도면4



도면5

