



(10) **DE 10 2016 101 526 A1** 2017.08.03

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **10 2016 101 526.1**

(22) Anmeldetag: **28.01.2016**

(43) Offenlegungstag: **03.08.2017**

(51) Int Cl.: **H01L 25/04** (2006.01)

**H01L 21/50** (2006.01)

**H01L 23/488** (2006.01)

**H01L 33/62** (2010.01)

**H01L 33/48** (2010.01)

(71) Anmelder:

**OSRAM Opto Semiconductors GmbH, 93055  
Regensburg, DE**

(74) Vertreter:

**Wilhelm & Beck, 80639 München, DE**

(72) Erfinder:

**Zitzlsperger, Michael, Dr., 93047 Regensburg, DE;  
Gebuhr, Tobias, 93059 Regensburg, DE; Eicher,  
Stephan, 93173 Wenzenbach, DE**

(56) Ermittelter Stand der Technik:

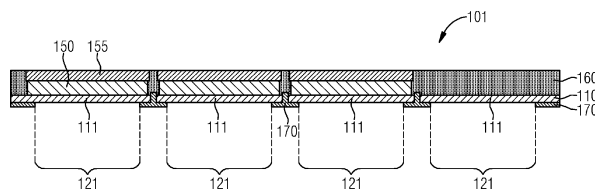
<b>DE</b>	<b>10 2008 050 972</b>	<b>A1</b>
<b>DE</b>	<b>10 2014 101 556</b>	<b>A1</b>
<b>EP</b>	<b>0 920 058</b>	<b>B1</b>

Rechercheantrag gemäß § 43 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

(54) Bezeichnung: **Herstellung eines Multichip-Bauelements**

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements. Das Verfahren umfasst ein Bereitstellen einer Chipanordnung. Die Chipanordnung weist eine an einer Rückseite freiliegende metallische Leiterstruktur, mehrere Halbleiterchips und ein Gehäusematerial auf. Das Verfahren umfasst ferner ein Ausbilden einer Lötstoppbeschichtung auf der Rückseite der bereitgestellten Chipanordnung. Die Lötstoppbeschichtung trennt Anschlussbereiche der Leiterstruktur. Die Erfindung betrifft des Weiteren ein oberflächenmontierbares Multichip-Bauelement.



**Beschreibung**

**[0001]** Die Erfindung betrifft ein Verfahren zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements. Die Erfindung betrifft des Weiteren ein oberflächenmontierbares Multichip-Bauelement.

**[0002]** Ein elektronisches Bauelement wie zum Beispiel ein optoelektronisches Bauelement zum Erzeugen von Lichtstrahlung kann in Form eines Multichip-Bauelements mit mehreren Halbleiterchips verwirklicht sein. Das Bauelement kann ein QFN-Bauelement (Quad Flat No Leads) sein, welches zur Oberflächenmontage durch Löten geeignet ist. Bei dieser Bauform kann das Bauelement eine Leiterstruktur mit mehreren Leiterabschnitten aufweisen, auf welcher die Halbleiterchips und ein Gehäusematerial angeordnet sind. Rückseitig kann die Leiterstruktur lötfähige Anschlussflächen (Solder Pads) aufweisen.

**[0003]** Die Leiterstruktur kann durch einen Leiterraum (Leadframe) gebildet sein, welcher durch beidseitiges Ätzen einer metallischen Ausgangsschicht hergestellt werden kann. Hierbei können durch unterschiedliche vorder- und rückseitige Halbätzungen Geometrien von Montage- und Anschlussflächen (Chip Pads) an der zum Anordnen und Anschließen von Halbleiterchips vorgesehenen Vorderseite und von Anschlussflächen an der zum Löten vorgesehenen Rückseite festgelegt werden. Durch eine vollständige Durchätzung können Teile des Leiterraums voneinander getrennt werden, so dass diese zum Beispiel als Kathode und Anode dienen können.

**[0004]** Je nach Anforderung kann der Leiterraum mit einer unterschiedlichen Dicke ausgeführt sein. Eine große Dicke des Leiterraums erleichtert zum Beispiel das Wärmemanagement im Betrieb des Multichip-Bauelements. Bei einer solchen Ausgestaltung werden beim Strukturieren der zugrundeliegenden Ausgangsschicht tiefe und breite Ätzgräben erzeugt. Dies hat zur Folge, dass die Halbleiterchips lediglich mit großen Abständen zueinander angeordnet werden können. Um demgegenüber ein nahes Platzieren der Halbleiterchips zu ermöglichen, ist ein dünner Leiterraum erforderlich. Die Dicke des Leiterraums bzw. der Ausgangsschicht definiert die minimale Breite von Ätzgräben, und damit den minimal möglichen Abstand zwischen den vorderseitigen Montageflächen und den hierauf angeordneten Halbleiterchips.

**[0005]** Die Verwendung eines dünnen Leiterraums beeinträchtigt jedoch dessen Handhabung in einem Herstellungsverfahren. Eine weitere Anforderung besteht darin, den Abstand der rückseitigen Anschlussflächen im Gegensatz zu den vorderseitigen Montageflächen möglichst groß zu gestalten, so dass ein Kurzschluss bei einer Oberflächenmontage vermieden wird. Ein großflächiges Unterätzen der Mon-

tageflächen, was zu diesem Zweck vorgesehen sein kann, erschwert die Chipmontage.

**[0006]** Die Aufgabe der vorliegenden Erfindung besteht darin, ein verbessertes Verfahren zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements anzugeben. Es ist weiterhin Aufgabe der Erfindung, ein verbessertes oberflächenmontierbares Multichip-Bauelement bereitzustellen.

**[0007]** Diese Aufgabe wird durch die Merkmale der unabhängigen Patentansprüche gelöst. Weitere vorteilhafte Ausführungsformen der Erfindung sind in den abhängigen Ansprüchen angegeben.

**[0008]** Gemäß einem Aspekt der Erfindung wird ein Verfahren zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements vorgeschlagen. Das Verfahren umfasst ein Bereitstellen einer Chipanordnung. Die Chipanordnung weist eine an einer Rückseite freiliegende metallische Leiterstruktur, mehrere Halbleiterchips und ein Gehäusematerial auf. Das Verfahren umfasst ferner ein Ausbilden einer Lötstoppbeschichtung auf der Rückseite der bereitgestellten Chipanordnung. Die Lötstoppbeschichtung trennt Anschlussbereiche der Leiterstruktur.

**[0009]** Das mit Hilfe des Verfahrens hergestellte Multichip-Bauelement kann ein QFN-Bauelement (Quad Flat No Leads) sein. Die Lötstoppbeschichtung, welche an der zur Oberflächenmontage vorgesehenen Rückseite des Bauelements ausgebildet wird, kann eine elektrische Isolation zwischen den an der Rückseite vorhandenen und durch die Leiterstruktur gebildeten Anschlussbereichen bewirken. Die Anschlussbereiche, bei denen es sich um freiliegende Oberflächenbereiche der Leiterstruktur handeln kann, können aufgrund der Lötstoppbeschichtung einen relativ großen Abstand zueinander aufweisen. Daher kann bei einer Oberflächenmontage des Bauelements durch Löten verhindert werden, dass mehrere der rückseitigen Anschlussbereiche in gemeinsamer Weise mit einem Lotmittel bedeckt bzw. benetzt und dadurch kurzgeschlossen werden. Die Halbleiterchips, welche wie das Gehäusematerial auf der Leiterstruktur angeordnet sein können, können in einem kleineren bzw. in einem relativ kleinen Abstand zueinander positioniert sein.

**[0010]** Im Folgenden werden weitere mögliche Ausführungsformen und Details beschrieben, welche für das Verfahren und für das gemäß dem Verfahren hergestellte Multichip-Bauelement in Betracht kommen können.

**[0011]** In einer Ausführungsform wird das Multichip-Bauelement zusammen mit weiteren baugleich ausgeführten Multichip-Bauelementen im Verbund hergestellt. Hierbei kann die Chipanordnung mit entsprechenden Abmessungen und Anzahlen von Kompo-

menten der mehreren verbundweise gefertigten Bauelemente bereitgestellt werden. Die anschließend auf der Rückseite der Chipanordnung ausgebildete Lötstoppbeschichtung kann die Anschlussbereiche von sämtlichen Bauelementen trennen. Nachfolgend kann der auf diese Weise gebildete und die Lötstoppbeschichtung aufweisende Bauelementverbund in separate Bauelemente vereinzelt werden. Die folgende und sich hauptsächlich auf die Herstellung eines einzelnen Multichip-Bauelements beziehende Beschreibung kann für sämtliche in gemeinsamer Weise im Verbund hergestellten Bauelemente zur Anwendung kommen.

**[0012]** In einer weiteren Ausführungsform wird die Leiterstruktur bei dem Ausbilden der Lötstoppbeschichtung zum Teil mit der Lötstoppbeschichtung bedeckt. In dieser Ausführungsform können mit Hilfe der Lötstoppbeschichtung Abstände und/oder Abmessungen der rückseitigen Anschlussbereiche des Multichip-Bauelements definiert werden. Hierdurch können auf einfache Weise große Abstände zwischen den Anschlussbereichen verwirklicht werden, um ein Auftreten eines Kurzschlusses bei einer Oberflächenmontage des Bauelements zu verhindern.

**[0013]** In diesem Zusammenhang kann ferner folgende Ausführungsform in Betracht kommen, in welcher die Lötstoppbeschichtung, bezogen auf eine Rückseitenansicht, mit einer die Anschlussbereiche umschließenden Form ausgebildet wird. Beispielsweise kann die Lötstoppbeschichtung mit einer Gitterform erzeugt werden. Auch auf diese Weise lassen sich große Abstände zwischen den rückseitigen Anschlussbereichen verwirklichen.

**[0014]** Das Multichip-Bauelement kann zum Beispiel derart hergestellt werden, dass die rückseitigen Anschlussbereiche einen Abstand von mehr als 100µm, beispielsweise einen Abstand von mehreren 100µm aufweisen. Ein mögliches Ausführungsbeispiel ist ein Abstand von 300µm. Diese Ausgestaltung begünstigt eine zuverlässige Oberflächenmontage des Bauelements ohne Auftreten eines Kurzschlusses. Für die Halbleiterchips kann ein Abstand von weniger als 100µm, beispielsweise von 50µm, vorgesehen sein.

**[0015]** Die Leiterstruktur der bereitgestellten Chipanordnung kann, wie weiter unten noch näher erläutert wird, entsprechende Leiterabschnitte aufweisen. Die Leiterabschnitte, welche bei dem Ausbilden der Lötstoppbeschichtung zum Teil mit der Lötstoppbeschichtung bedeckt werden können, können die rückseitigen Anschlussbereiche bilden.

**[0016]** Die Lötstoppbeschichtung kann ein Material aufweisen, welches nicht mit einem Lotmittel benetzbar ist. Auf diese Weise können Stellen, welche mit der Lötstoppbeschichtung bedeckt sind, vor einer Benetzung mit einem Lotmittel geschützt werden. Die

se Eigenschaft begünstigt eine zuverlässige Oberflächenmontage des Multichip-Bauelements ohne Auftreten eines Kurzschlusses.

**[0017]** Die Lötstoppbeschichtung kann ein Kunststoffmaterial aufweisen. In einer Ausgestaltung weist die Lötstoppbeschichtung einen Lötstopplack (Solder Resist) auf. Der Lötstopplack kann zum Beispiel ein Epoxidharz sein bzw. ein Epoxidharz aufweisen. Die Lötstoppbeschichtung kann auch ein anderes Kunststoffmaterial wie zum Beispiel ein Silikonmaterial oder Polyimid aufweisen.

**[0018]** In einer weiteren Ausführungsform umfasst das Ausbilden der Lötstoppbeschichtung ein Aufdrucken von Material der Lötstoppbeschichtung auf der Rückseite der bereitgestellten Chipanordnung. Hierbei kann das Material der Lötstoppbeschichtung in einer für die Lötstoppbeschichtung vorgegebenen Struktur aufgedruckt werden. Durch das Aufdrucken, was bei einer Ausgestaltung der Lötstoppbeschichtung aus zum Beispiel einem Lötstopplack in Betracht kommen kann, lässt sich das Verfahren einfach und kostengünstig durchführen. Möglich ist zum Beispiel das Durchführen eines Siebdruckverfahrens oder eines Schablonendruckverfahrens.

**[0019]** In einer weiteren Ausführungsform umfasst das Ausbilden der Lötstoppbeschichtung ein flächiges Aufbringen von Material der Lötstoppbeschichtung auf der Rückseite der bereitgestellten Chipanordnung und ein nachfolgendes Strukturieren, so dass die Lötstoppbeschichtung mit einer vorgegebenen Struktur erzeugt wird. Hierbei kann eine Ausgestaltung der Lötstoppbeschichtung aus einem photosensitiven bzw. photostrukturierbaren Material wie zum Beispiel einem Lötstopplack in Betracht kommen. Das Material bzw. der Lötstopplack kann flächig aufgebracht werden, zum Beispiel durch Aufdrucken, und nachfolgend durch selektives Belichten und anschließendes Entwickeln strukturiert werden. Ein Strukturieren kann auch auf andere Art und Weise, zum Beispiel durch Ätzen unter Verwendung einer geeigneten Ätz- bzw. Photolackmaske, durchgeführt werden.

**[0020]** Darüber hinaus kann das Ausbilden der Lötstoppbeschichtung derart erfolgen, dass die Lötstoppbeschichtung bzw. Material der Lötstoppbeschichtung in Form einer Folie auf der Rückseite der bereitgestellten Chipanordnung aufgebracht wird. Möglich ist zum Beispiel ein Laminieren der Folie. Die Folie kann eines der oben genannten Materialien aufweisen. Des Weiteren kann die Folie mit einer für die Lötstoppbeschichtung vorgegebenen Struktur und Form bereitgestellt werden, oder unstrukturiert bereitgestellt und vor dem Aufbringen auf der Chipanordnung in eine solche Form gebracht werden. Möglich ist auch ein Aufbringen einer unstrukturierter Folie gefolgt von einem Strukturieren der Folie

nach dem Aufbringen. Bei einer möglichen Ausgestaltung der Folie aus zum Beispiel einem photosensitiven bzw. photostrukturierbaren Material kann das Strukturieren, wie oben angegeben, durch selektives Belichten und anschließendes Entwickeln durchgeführt werden. Möglich ist auch ein Strukturieren auf andere Art und Weise, zum Beispiel durch Ätzen mit Hilfe einer Ätzmaske.

**[0021]** In einer weiteren Ausführungsform ist das mit Hilfe des Verfahrens hergestellte Multichip-Bauelement ein optoelektronisches Bauelement. In dieser Ausführungsform sind die Halbleiterchips der bereitgestellten Chipanordnung optoelektronische Halbleiterchips. Die optoelektronischen Halbleiterchips können zum Erzeugen von elektromagnetischer Strahlung bzw. Lichtstrahlung ausgebildet sein. Als strahlungsemitternde Halbleiterchips können zum Beispiel Leuchtdiodenchips bzw. LED-Chips (Light Emitting Diode) eingesetzt werden.

**[0022]** Bei Verwendung von strahlungsemitternden Halbleiterchips bietet das nahe Positionieren der Halbleiterchips die Möglichkeit, Strahlung im Betrieb des Multichip-Bauelements mit einer hohen Homogenität abzugeben. Dies ist zum Beispiel der Fall bei dem oben genannten Chip-zu-Chip-Abstand von kleiner als 100µm.

**[0023]** Die Halbleiterchips können einen Vorderseitenkontakt und einen Rückseitenkontakt aufweisen. Hierbei kann die Chipanordnung derart bereitgestellt werden, dass die Halbleiterchips mit Hilfe des Rückseitenkontakts auf der Leiterstruktur angeordnet, und an dieser Stelle über ein elektrisch leitfähiges Verbindungsmaterial, zum Beispiel einen elektrisch leitfähigen Klebstoff oder ein Lotmittel, mit der Leiterstruktur verbunden sind. Der Vorderseitenkontakt der Halbleiterchips kann über einen Bonddraht an die Leiterstruktur angeschlossen sein.

**[0024]** Bei einer Ausgestaltung des Multichip-Bauelements als strahlungsemitterndes Bauelement kann es in Betracht kommen, die von den Halbleiterchips abgegebene Strahlung wenigstens teilweise zu konvertieren. Hierdurch kann eine Lichtstrahlung mit einer vorgegebenen Farbe und einem vorgegebenen Farbort, zum Beispiel eine weiße Lichtstrahlung, erzeugt werden. Zu diesem Zweck kann die Chipanordnung mit einem geeigneten Konversionsmaterial bereitgestellt werden.

**[0025]** Die Chipanordnung kann zum Beispiel derart bereitgestellt werden, dass auf den Halbleiterchips jeweils ein Konversionselement zur Strahlungskonversion angeordnet ist. In dieser Ausführungsform weist die bereitgestellte Chipanordnung somit mehrere und auf der Leiterstruktur angeordnete Chipstapel umfassend jeweils einen Halbleiterchip und ein hierauf angeordnetes Konversionselement auf.

**[0026]** In einer weiteren Ausführungsform erfolgt das Bereitstellen der Chipanordnung derart, dass das Gehäusematerial auf der Leiterstruktur angeordnet ist und an die Halbleiterchips angrenzt. Sofern die Chipanordnung Chipstapel aus einem Halbleiterchip und einem Konversionselement aufweist, kann das Gehäusematerial an die Chipstapel angrenzend ausgebildet werden. Das Gehäusematerial kann ferner derart ausgebildet werden, dass das Gehäusematerial die Halbleiterchips bzw. Chipstapel seitlich umschließt. Auch kann das Gehäusematerial bis zu Vorderseiten der Halbleiterchips bzw. Chipstapel reichend ausgebildet werden, so dass die Vorderseiten freiliegen und zur Strahlungsabgabe genutzt werden können. Durch das Gehäusematerial kann das Multichip-Bauelement eine hohe mechanische Stabilität aufweisen.

**[0027]** Das Gehäusematerial kann ein Kunststoffmaterial sein bzw. ein Kunststoffmaterial aufweisen. Mögliche Beispiele sind ein Epoxidmaterial oder ein Silikonmaterial. Darin eingebettet kann das Gehäusematerial des Weiteren zum Beispiel Streupartikel und/oder einen weiteren Füllstoff aufweisen. Aufgrund der Streupartikel kann das Gehäusematerial eine weiße Farbe aufweisen.

**[0028]** In einer weiteren Ausführungsform umfasst das Bereitstellen der Chipanordnung ein Bereitstellen einer metallischen Ausgangsschicht, ein Anordnen der Halbleiterchips auf der Ausgangsschicht und ein Aufbringen des Gehäusematerials auf der Ausgangsschicht. Weiter vorgesehen ist ein Ausbilden der Leiterstruktur, indem Aussparungen erzeugt werden, welche die Ausgangsschicht durchtrennen. Das Ausbilden der Leiterstruktur wird nach dem Anordnen der Halbleiterchips und dem Aufbringen des Gehäusematerials durchgeführt. Die auf diese Weise gebildete Leiterstruktur kann Leiterabschnitte aufweisen, zwischen welchen die Aussparungen vorhanden sind.

**[0029]** Die vorgenannten Verfahrensschritte können in der angegebenen Reihenfolge durchgeführt werden. Das Anordnen der Halbleiterchips auf der Ausgangsschicht kann neben einem Montieren bzw. Befestigen der Halbleiterchips auf der Ausgangsschicht, was zum Beispiel durch Aufkleben oder Löten erfolgen kann, ein Anschließen von Bonddrähten an Vorderseitenkontakte der Halbleiterchips und an die Ausgangsschicht umfassen. Sofern vorgesehen, können ferner Konversionselemente auf den Halbleiterchips angeordnet bzw. aufgeklebt werden, so dass entsprechende Chipstapel auf der Ausgangsschicht bereitgestellt werden. Das anschließende Aufbringen des Gehäusematerials auf der Ausgangsschicht kann derart erfolgen, dass das Gehäusematerial wie oben angegeben angrenzend an die Halbleiterchips bzw. Chipstapel ausgebildet wird. Dies kann wie folgt verwirklicht werden.

**[0030]** Beispielsweise kann das Aufbringen des Gehäusematerials auf der mit den Halbleiterchips bzw. Chipstapeln versehenen Ausgangsschicht mit Hilfe eines Formprozesses (Molding), auch als Moldprozess bezeichnet, durchgeführt werden. In dieser Ausführungsform kann das Gehäusematerial als Formmasse (Mold Compound) bezeichnet werden. Der Formprozess kann mit Hilfe eines Form- bzw. Moldwerkzeugs durchgeführt werden, welches eine geeignete Hohlraumstruktur aufweist. Für den Formprozess kann die mit den Halbleiterchips bzw. Chipstapeln versehene Ausgangsschicht in dem Formwerkzeug aufgenommen werden, und kann die Formmasse mit Hilfe der Hohlraumstruktur mit einer vorgegebenen Form auf der Ausgangsschicht aufgebracht werden.

**[0031]** In einer weiteren Ausführungsform ist der Formprozess ein Spritzpressprozess (Transfer Molding). Hierbei kommt ein Spritzpresswerkzeug zum Einsatz. Beim Spritzpressen kann die Formmasse mit Hilfe eines Kolbens in die Hohlraumstruktur des Spritzpresswerkzeugs eingepresst werden.

**[0032]** Möglich ist zum Beispiel das Durchführen eines folienunterstützten Spritzpressprozesses (FAM, Film Assisted Transfer Molding). Hierbei kann auf einem Werkzeugteil des Spritzpresswerkzeugs eine Folie aus einem Kunststoffmaterial angeordnet sein. In dem Spritzpressprozess kann das betreffende Werkzeugteil mit der Folie an Vorderseiten der Halbleiterchips bzw. Chipstapel angedrückt sein. Auf diese Weise kann die Formmasse an die Halbleiterchips bzw. Chipstapel heranreichend ausgebildet werden, und kann ein Bedecken von deren Vorderseiten mit der Formmasse zuverlässig vermieden werden.

**[0033]** In einer weiteren Ausführungsform wird das Aufbringen des Gehäusematerials auf der mit den Halbleiterchips bzw. Chipstapeln versehenen Ausgangsschicht durch Vergießen durchgeführt. In dieser Ausführungsform kann das Gehäusematerial als Vergussmaterial bezeichnet werden. Hierbei kann vor oder nach dem Anordnen der Halbleiterchips ein auch als Damm bezeichneter Rahmen auf der Ausgangsschicht ausgebildet werden, und kann der von dem Rahmen umschlossene Bereich mit dem Vergussmaterial verfüllt werden. Auf diese Weise kann das Vergussmaterial an die Halbleiterchips bzw. Chipstapel heranreichend ausgebildet werden. Auch hierbei kann ein Bedecken von deren Vorderseiten vermieden werden. Der Rahmen kann zum Beispiel mit Hilfe eines Form- bzw. Spritzpressprozesses auf der Ausgangsschicht ausgebildet werden. Möglich ist es auch, den Rahmen separat zu fertigen und auf der Ausgangsschicht anzuordnen.

**[0034]** Das oben genannte Ausbilden von Aussparungen in der Ausgangsschicht zum Ausbilden der

Leiterstruktur kann auf unterschiedliche Art und Weise durchgeführt werden. Möglich ist zum Beispiel ein Ätzen, was mit Hilfe einer zuvor auf der Ausgangsschicht erzeugten Ätz- bzw. Photolackmaske erfolgen kann. Weitere Prozesse sind ein mechanisches Strukturieren durch zum Beispiel Sägen oder auch ein Laserschneiden. Je nach Prozess kann nicht nur die Ausgangsschicht durchtrennt werden, sondern kann gegebenenfalls auch ein Teil des Gehäusematerials im Bereich der Ausgangsschicht durchtrennt bzw. entfernt werden.

**[0035]** Die durch das Erzeugen der Aussparungen gebildete und die Halbleiterchips tragende Leiterstruktur weist entsprechende Leiterabschnitte auf. Hierbei kann es sich um separate Leiterabschnitte handeln. In Bezug auf eine verbundweise Fertigung von mehreren Multichip-Bauelementen können in entsprechender Weise durch Erzeugen der die Ausgangsschicht durchtrennenden Aussparungen separate und lediglich den jeweiligen Bauelementen zugeordnete Leiterabschnitte ausgebildet werden.

**[0036]** Eine weitere Verfahrensvariante, welche für die verbundweise Fertigung von mehreren Multichip-Bauelementen in Betracht kommen kann, besteht darin, dass durch Erzeugen der die Ausgangsschicht durchtrennenden Aussparungen Leiterabschnitte ausgebildet werden, welche mehreren Bauelementen zugeordnet sind. Im Rahmen des Vereinzelns des Bauelementverbunds können die Leiterabschnitte durchtrennt werden, und erst dadurch die für die einzelnen Multichip-Bauelemente vorgesehene Form erhalten.

**[0037]** Die Verwendung der metallischen Ausgangsschicht, welche nach dem Anordnen von Halbleiterchips und dem Aufbringen des Gehäusematerials durch das Erzeugen von Aussparungen in die Leiterstruktur strukturiert wird, bietet folgende Vorteile.

**[0038]** Die Ausgangsschicht kann bei dem Aufbringen des Gehäusematerials im Bereich der Halbleiterchips geschlossen sein. Hierdurch kann vermieden werden, dass das als Formmasse oder Vergussmaterial aufgebrauchte Gehäusematerial zur Rückseite der Ausgangsschicht gelangen, und damit die Ausgangsschicht sowie die Anschlussbereiche verunreinigen kann. Derartige, bei einer Verwendung eines Leiterraumens gegebenenfalls auftretende und auch als Mold Compound Bleed oder Seepage bezeichnete Rückseitenverunreinigungen können somit vermieden werden.

**[0039]** Des Weiteren können die Halbleiterchips auf der unstrukturierten Ausgangsschicht und damit auf Vollmaterial angeordnet werden. Dadurch ist eine zuverlässige Chipmontage möglich.

**[0040]** Die Vorgehensweise, die Ausgangsschicht erst nach dem Anordnen der Halbleiterchips und dem Aufbringen des Gehäusematerials zu strukturieren, macht es ferner möglich, die Ausgangsschicht mit einer relativ kleinen Dicke bereitzustellen. Bei einem Erzeugen der die Ausgangsschicht durchtrennenden Aussparungen mittels eines Ätzprozesses ist auf diese Weise die Möglichkeit gegeben, die Aussparungen mit einer kleinen Breite auszubilden.

**[0041]** Ein weiterer Vorteil einer kleinen Dicke der Ausgangsschicht besteht darin, dass der auf unterschiedlichen Wärmeausdehnungskoeffizienten beruhende mechanische Stress bei einem Auflöten von Halbleiterchips auf der Ausgangsschicht wesentlich geringer sein kann als bei einem Auflöten von Halbleiterchips auf einem Leiterrahmen mit großer Dicke. In gleicher Weise kann eine kleinere Durchbiegung der Halbleiterchips (Chip Warp) auftreten, wodurch das Risiko eines Ablösens von auf den Halbleiterchips angeordneten Konversionselementen (sofern vorhanden) und einer hiermit einhergehenden Farbortverschiebung (Colour Shift) verringert werden kann.

**[0042]** Die vorgenannten Vorteile können in einer weiteren Ausführungsform deutlich zutage treten, in welcher die bereitgestellte Ausgangsschicht eine Dicke von weniger als 150µm aufweist. Die Ausgangsschicht kann zum Beispiel eine Dicke von 100µm oder auch darunter aufweisen.

**[0043]** In einer weiteren Ausführungsform wird die Rückseite der Chipanordnung bei dem Ausbilden der Lötstopppbeschichtung wenigstens im Bereich der Aussparungen mit der Lötstopppbeschichtung bedeckt. Diese Ausführungsform, in welcher die Aussparungen mit der Lötstopppbeschichtung verfüllt werden können, begünstigt eine zuverlässige elektrische Isolation zwischen den rückseitigen Anschlussbereichen.

**[0044]** In einer weiteren Ausführungsform weist die bereitgestellte Ausgangsschicht Vertiefungen an einer Vorderseite oder an einer Rückseite auf. Die Vertiefungen können durch einen Ätzprozess hergestellt sein. Bei den Vertiefungen kann es sich um Halbtiefungen handeln. Die Aussparungen zum Ausbilden der Leiterstruktur können im Bereich solcher Vertiefungen ausgebildet werden. Auf diese Weise kann ein einfaches und schnelles Ausbilden der Aussparungen ermöglicht werden.

**[0045]** In einer weiteren Ausführungsform werden Rückseiten von Halbleiterchips in einem Teilbereich durch das Erzeugen der die Ausgangsschicht durchtrennenden Aussparungen freigestellt und nachfolgend mit der Lötstopppbeschichtung bedeckt. Die Lötstopppbeschichtung kann zu diesem Zweck in die Aussparungen eingebracht werden. Auch in dieser Aus-

führungsform können die Halbleiterchips in einem kleinen Abstand zueinander positioniert sein. Mit Hilfe der Aussparungen, welche relativ breit ausgeführt sein können, können demgegenüber große Abstände zwischen den Leiterabschnitten und damit zwischen den rückseitigen Anschlussbereichen verwirklicht werden.

**[0046]** In einer weiteren Ausführungsform umfasst das Bereitstellen der Chipanordnung ein Bereitstellen eines metallischen Leiterrahmens (Leadframe), welcher die Leiterstruktur bildet, ein Anordnen der Halbleiterchips auf dem Leiterrahmen und ein Aufbringen des Gehäusematerials auf dem Leiterrahmen. Diese Verfahrensschritte können in der angegebenen Reihenfolge durchgeführt werden. Für das Anordnen der Halbleiterchips und das Aufbringen des Gehäusematerials auf dem Leiterrahmen können Details, welche oben in Zusammenhang mit der Verwendung einer metallischen Ausgangsschicht erläutert wurden, in entsprechender Weise zur Anwendung kommen.

**[0047]** Beispielsweise kann das Anordnen der Halbleiterchips neben einem Montieren bzw. Befestigen der Halbleiterchips auf dem Leiterrahmen, was zum Beispiel mittels Aufkleben oder Löten erfolgen kann, ein Anschließen von Bonddrähten an Vorderseitenkontakte der Halbleiterchips und an den Leiterrahmen umfassen. Sofern vorgesehen, können Konversionselemente auf den Halbleiterchips angeordnet bzw. aufgeklebt werden, so dass entsprechende Chipstapel auf dem Leiterrahmen bereitgestellt werden.

**[0048]** Das nachfolgende Aufbringen des Gehäusematerials auf dem Leiterrahmen, bei welchem das Gehäusematerial wie oben angegeben an die Halbleiterchips bzw. Chipstapel angrenzend ausgebildet werden kann, kann zum Beispiel mit Hilfe eines Formprozesses, beispielsweise eines Spritzpressprozesses durchgeführt werden. Hierbei kann der mit den Halbleiterchips bzw. Chipstapeln versehene Leiterrahmen in einem Formwerkzeug aufgenommen werden, und kann die Formmasse mit einer vorgegebenen Form auf dem Leiterrahmen aufgebracht werden. Ferner kann ein folienunterstützter Spritzpressprozess durchgeführt werden. Hierbei kann auf einem Werkzeugteil des Spritzpresswerkzeugs eine Folie aus einem Kunststoffmaterial angeordnet sein, mit welcher das betreffende Werkzeugteil an Vorderseiten der Halbleiterchips bzw. Chipstapel angedrückt sein kann.

**[0049]** Der Leiterrahmen kann mehrere Leiterabschnitte und die Leiterabschnitte verbindende Verbindungsstege aufweisen. In Bezug auf eine verbundweise Fertigung mehrerer Multichip-Bauelemente können lediglich die Leiterabschnitte verschiedener Bauelemente über die Verbindungsstege verbunden sein. Im Rahmen des Vereinzelns des Bauelement-

verbunden können die Verbindungsstege durchtrennt werden, so dass die Leiterabschnitte der einzelnen Bauelemente nicht mehr durch Material des Leiterrahmens verbunden und dadurch nicht mehr kurzgeschlossen sind.

**[0050]** Die Lötstoppbeschichtung kann in Form einer zusammenhängenden Beschichtung auf der Rückseite der bereitgestellten Chipanordnung ausgebildet werden. Hierbei kann die Lötstoppbeschichtung, wie oben angegeben, mit einer die Anschlussbereiche umschließenden Form, zum Beispiel mit einer Gitterform ausgebildet werden. Dies gilt auch für eine verbundweise Herstellung mehrerer Multichip-Bauelemente. Beim Vereinzeln kann die Lötstoppbeschichtung derart durchtrennt werden, dass die Lötstoppbeschichtung bei den einzelnen Bauelemente weiterhin eine zusammenhängende bzw. die Anschlussbereiche umschließende, zum Beispiel gitterförmige Struktur aufweist.

**[0051]** Möglich ist es auch, eine nicht zusammenhängende Lötstoppbeschichtung auf der Rückseite der bereitgestellten Chipanordnung auszubilden, welche mehrere separate Teilabschnitte aufweist. Beim Vereinzeln können die Teilabschnitte durchtrennt werden. Ein auf diese Weise gebildetes Multichip-Bauelement kann eine in separate Teilabschnitte unterteilte Lötstoppbeschichtung aufweisen, wobei die Teilabschnitte der Lötstoppbeschichtung zwischen rückseitigen Anschlussbereichen angeordnet sein können und diese trennen können. Eine solche Ausgestaltung lässt sich auch dadurch verwirklichen, indem eine zunächst zusammenhängend ausgebildete Lötstoppbeschichtung beim Vereinzeln derart durchtrennt wird, dass ein Multichip-Bauelement eine separate Teilabschnitte umfassende Lötstoppbeschichtung aufweist.

**[0052]** Gemäß einem weiteren Aspekt der Erfindung wird ein oberflächenmontierbares Multichip-Bauelement vorgeschlagen. Das Bauelement weist eine an einer Rückseite zugängliche Leiterstruktur, mehrere Halbleiterchips, ein Gehäusematerial und eine an der Rückseite ausgebildete Lötstoppbeschichtung auf. Die Lötstoppbeschichtung trennt Anschlussbereiche der Leiterstruktur.

**[0053]** Das Multichip-Bauelement kann gemäß dem oben erläuterten Verfahren bzw. gemäß einer oder mehrerer der oben beschriebenen Ausführungsformen des Verfahrens hergestellt sein. Für das Bauelement können dieselben Ausgestaltungen denkbar sein und können dieselben Vorteile in Betracht kommen, wie sie oben mit Bezug auf das Verfahren erläutert wurden.

**[0054]** Beispielsweise kann die Lötstoppbeschichtung eine elektrische Isolation zwischen den rückseitigen Anschlussbereichen bewirken, und können die

Anschlussbereiche aufgrund der Lötstoppbeschichtung einen relativ großen Abstand zueinander aufweisen. Infolgedessen kann eine Oberflächenmontage des Bauelements ohne einen Kurzschluss von Anschlussbereichen durchgeführt werden. Die Halbleiterchips, welche wie das Gehäusematerial auf der Leiterstruktur angeordnet sein können, können relativ nahe zueinander positioniert sein.

**[0055]** Des Weiteren können zum Beispiel einzelne oder mehrere der folgenden Ausgestaltungen vorliegen. Die Leiterstruktur des Multichip-Bauelements kann mehrere separate Leiterabschnitte aufweisen. Die Lötstoppbeschichtung kann die Leiterstruktur bzw. die Leiterabschnitte zum Teil bedecken. Die Lötstoppbeschichtung kann eine die Anschlussbereiche umschließende Form aufweisen. Die Lötstoppbeschichtung kann einen Lötstopplack aufweisen. Das Multichip-Bauelement kann ein optoelektronisches Bauelement, und die Halbleiterchips können optoelektronische und zum Beispiel zur Strahlungserzeugung ausgebildete Halbleiterchips sein. Auf den Halbleiterchips kann jeweils ein Konversionselement zur Strahlungskonversion angeordnet sein, wodurch das Multichip-Bauelement entsprechende Chipstapel aus einem Halbleiterchip und einem Konversionselement aufweisen kann. Die Halbleiterchips können elektrisch in Reihe verbunden sein. Das Gehäusematerial kann auf der Leiterstruktur angeordnet sein und an die Halbleiterchips bzw. Chipstapel angrenzen. Hierbei können Vorderseiten der Halbleiterchips bzw. Chipstapel freiliegen.

**[0056]** Die vorstehend erläuterten und/oder in den Unteransprüchen wiedergegebenen vorteilhaften Aus- und Weiterbildungen der Erfindung können – außer zum Beispiel in Fällen eindeutiger Abhängigkeiten oder unvereinbarer Alternativen – einzeln oder aber auch in beliebiger Kombination miteinander zur Anwendung kommen.

**[0057]** Die oben beschriebenen Eigenschaften, Merkmale und Vorteile dieser Erfindung, sowie die Art und Weise, wie diese erreicht werden, werden klarer und deutlicher verständlich in Zusammenhang mit der folgenden Beschreibung von Ausführungsbeispielen, die im Zusammenhang mit den schematischen Zeichnungen näher erläutert werden. Es zeigen:

**[0058]** Fig. 1 bis Fig. 4 einen möglichen Verfahrensablauf zur Herstellung eines Multichip-Bauelements anhand von seitlichen Schnittdarstellungen, wobei Halbleiterchips auf einer metallischen Ausgangsschicht angeordnet werden, ein Gehäusematerial auf der Ausgangsschicht aufgebracht wird, Ausparungen in der Ausgangsschicht erzeugt werden, um eine Leiterstruktur auszubilden, und rückseitig eine Lötstoppbeschichtung ausgebildet wird, welche Anschlussbereiche der Leiterstruktur trennt;

**[0059]** Fig. 5 bis Fig. 7 Schritte des Verfahrensablaufs in einer Vorderseitenansicht;

**[0060]** Fig. 8 und Fig. 9 Schritte des Verfahrensablaufs in einer Rückseitenansicht;

**[0061]** Fig. 10 bis Fig. 12 einen weiteren Verfahrensablauf zur Herstellung eines Multichip-Bauelements anhand von seitlichen Schnittdarstellungen, wobei eine metallische Ausgangsschicht mit rückseitigen Vertiefungen eingesetzt wird;

**[0062]** Fig. 13 bis Fig. 15 einen weiteren Verfahrensablauf zur Herstellung eines Multichip-Bauelements anhand von seitlichen Schnittdarstellungen, wobei eine metallische Ausgangsschicht mit vorderseitigen Vertiefungen eingesetzt wird;

**[0063]** Fig. 16 und Fig. 17 einen weiteren Verfahrensablauf zur Herstellung eines Multichip-Bauelements anhand von seitlichen Schnittdarstellungen, wobei ein Leiterraum eingesetzt wird; und

**[0064]** Fig. 18 und Fig. 19 einen weiteren Verfahrensablauf zur Herstellung eines Multichip-Bauelements anhand von seitlichen Schnittdarstellungen, wobei eine metallische Ausgangsschicht eingesetzt wird und Aussparungen in der Ausgangsschicht erzeugt werden, durch welche Halbleiterchips an einer Rückseite freigestellt werden.

**[0065]** Anhand der folgenden schematischen Figuren werden mögliche Ausgestaltungen eines Verfahrens zum Herstellen eines oberflächenmontierbaren und in Form eines QFN-Packages (Quad Flat No Leads) verwirklichten Multichip-Bauelements beschrieben. Bei dem Verfahren können aus der Halbleitertechnik und aus der Fertigung elektronischer Bauelemente bekannte Prozesse durchgeführt werden und können in diesen Gebieten übliche Materialien zum Einsatz kommen, so dass hierauf nur teilweise eingegangen wird. In gleicher Weise können zusätzlich zu gezeigten und beschriebenen Prozessen weitere Prozesse durchgeführt werden und können die Bauelemente zusätzlich zu gezeigten und beschriebenen Komponenten mit weiteren Komponenten und Strukturen gefertigt werden. Es wird ferner darauf hingewiesen, dass die Figuren lediglich schematischer Natur sind und nicht maßstabgetreu sind. In diesem Sinne können in den Figuren gezeigte Komponenten und Strukturen zum besseren Verständnis übertrieben groß oder verkleinert dargestellt sein.

**[0066]** Das Verfahren wird zur parallelen Herstellung einer Vielzahl baugleicher Multichip-Bauelemente eingesetzt. Hierbei wird ein zusammenhängender Bauelementverbund gefertigt und nachfolgend in separate Bauelemente vereinzelt. In diesem Sinne zeigt ein Teil der Figuren einen Ausschnitt des Fertigungs-

verbunds im Bereich von einem der hergestellten Bauelemente, und liegen hier gezeigte Gegebenheiten sich vielfach wiederholend in dem Verbund vor. Die folgende Beschreibung trifft auf sämtliche der verbundweise gefertigten Bauelemente zu.

**[0067]** Die Fig. 1 bis Fig. 4 zeigen anhand von seitlichen Schnittdarstellungen ein mögliches Verfahren zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements **101**, welches mehrere Halbleiterchips **150** aufweist. Ergänzend sind in den Fig. 5 bis Fig. 7 Gegebenheiten in einer Vorderseitenansicht, und in den Fig. 8 und Fig. 9 in einer Rückseitenansicht dargestellt. Bei dem Multichip-Bauelement **101** handelt es sich um ein optoelektronisches Bauelement zur Abgabe von Lichtstrahlung. Dementsprechend sind die Halbleiterchips **150** optoelektronische und zur Strahlungserzeugung ausgebildete Halbleiterchips.

**[0068]** Im Laufe des Verfahrens wird eine in Fig. 3 gezeigte Chipanordnung mit einer an einer Rückseite freiliegenden metallischen Leiterstruktur **110** bereitgestellt, und wird anschließend eine Lötstoppschichtung **170** auf der Rückseite ausgebildet, wie in Fig. 4 gezeigt ist. Die Leiterstruktur **110** wird vorliegend durch Strukturieren einer metallischen Ausgangsschicht **130** ausgebildet, wie im Folgenden näher erläutert wird.

**[0069]** Zu Beginn des Verfahrens wird eine metallische Ausgangsschicht **130** bereitgestellt, auf welcher, wie in Fig. 1 im Querschnitt und in Fig. 5 in einer Vorderseitenansicht dargestellt ist, vorderseitig mehrere Halbleiterchips **150** angeordnet werden. Die Halbleiterchips **150** können eine Dicke von 120µm aufweisen. In der hier gezeigten Ausgestaltung wird das Multichip-Bauelement **101** mit drei Halbleiterchips **150** hergestellt. Die Halbleiterchips **150** werden ferner in einer Reihe nebeneinander und mit relativ kleinen Abständen zueinander positioniert. Der Abstand zwischen zwei benachbarten Halbleiterchips **150** kann weniger als 100µm, beispielsweise 50µm, betragen.

**[0070]** Die metallische Ausgangsschicht **130** kann zum Beispiel eine Kupferschicht sein. Des Weiteren kann die Ausgangsschicht **130** eine nicht gezeigte metallische Beschichtung aufweisen, wodurch die Ausgangsschicht **130** lötlöslich und zum Anschließen von Bonddrähten **157** geeignet ist. Die Ausgangsschicht **130** ist zumindest im Bereich der Halbleiterchips **150** unstrukturiert, so dass die Halbleiterchips **150** auf Vollmaterial der Ausgangsschicht **130** angeordnet werden. Auf diese Weise ist eine zuverlässige Chipmontage möglich.

**[0071]** Wie oben angegeben wurde, handelt es sich bei den Halbleiterchips **150** um optoelektronische strahlungsemitterende Halbleiterchips. Möglich ist



zum Beispiel eine Ausgestaltung in Form von Leuchtdiodenchips bzw. LED-Chips (Light Emitting Diode).

**[0072]** Die Halbleiterchips **150** weisen einen Vorderseitenkontakt und einen Rückseitenkontakt auf (nicht dargestellt). Beim Anordnen der Halbleiterchips **150** auf der Ausgangsschicht **130** werden die Halbleiterchips **150** über den Rückseitenkontakt und eine nicht gezeigte elektrisch leitende Verbindungsschicht, zum Beispiel eine Lotschicht oder eine Schicht eines elektrisch leitfähigen Klebstoffs, elektrisch und mechanisch mit der Ausgangsschicht **130** verbunden. Anschließend werden die Vorderseitenkontakte der Halbleiterchips **150**, wie in **Fig. 5** gezeigt ist, über Bonddrähte **157** mit der Ausgangsschicht **130** verbunden.

**[0073]** Auf jedem Halbleiterchip **150** ist ferner, wie in den **Fig. 1** und **Fig. 5** dargestellt ist, ein plättchenförmiges Konversionselement **155** zur Strahlungskonversion vorgesehen, so dass mehrere bzw. drei Chipstapel umfassend jeweils einen Halbleiterchip **150** und ein Konversionselement **155** auf der Ausgangsschicht **130** bereitgestellt werden. Die Konversionselemente **155** sind dazu ausgebildet, eine von den Halbleiterchips **150** erzeugte primäre Lichtstrahlung wenigstens teilweise in eine oder mehrere sekundäre Lichtstrahlungen umzuwandeln. Auf diese Weise kann zum Beispiel eine weiße Lichtstrahlung erzeugt werden. Die Konversionselemente **155** können unter Verwendung eines nicht gezeigten transparenten Klebstoffs auf Vorderseiten der Halbleiterchips **150** befestigt werden. Das Anordnen der Konversionselemente **155** auf den Halbleiterchips **150** kann vor oder nach dem Anschließen der Bonddrähte **157** durchgeführt werden.

**[0074]** Die Konversionselemente **155** weisen solche Abmessungen auf bzw. werden derart auf den Halbleiterchips **150** angeordnet, dass die Vorderseitenkontakte der Halbleiterchips **150** nicht von den Konversionselementen **155** abgedeckt werden.

**[0075]** In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente **101** erfolgt die Chipmontage in der hier gezeigten Ausgestaltung derart, dass für jedes Bauelement **101** drei Chipstapel umfassend einen Halbleiterchip **150** und ein Konversionselement **155** entsprechend den **Fig. 1** und **Fig. 5** auf der metallischen Ausgangsschicht **130** bereitgestellt werden.

**[0076]** Nachfolgend wird, wie in **Fig. 2** im Querschnitt und in **Fig. 6** in einer Vorderseitenansicht gezeigt ist, ein Gehäusematerial **160** auf der mit den Chipstapeln bestückten Ausgangsschicht **130** aufgebracht. Das Gehäusematerial **160** umschließt die Chipstapel und reicht bis zu Vorderseiten der Chipstapel, welche vorliegend durch die Konversionselemente **155** gebildet sind. Hierdurch können die Vorderseiten der Chipsta-

pel weiterhin zur Strahlungsabgabe genutzt werden. Die Bonddrähte **157** können, wie in **Fig. 6** angedeutet ist, vollständig in dem Gehäusematerial **160** eingebettet werden.

**[0077]** Das Aufbringen des Gehäusematerials **160** kann zum Beispiel ein Durchführen eines Spritzpressprozesses (Transfer Molding) umfassen, bei welchem ein nicht gezeigtes Spritzpresswerkzeug mit einer geeigneten Hohlraumstruktur verwendet wird. Hierbei kann das Gehäusematerial **160** als Formmasse (Mold Compound) bezeichnet werden. Für diesen Prozess wird die mit den Chipstapeln versehene Ausgangsschicht **130** in dem Formwerkzeug aufgenommen, und wird das Gehäusematerial **160** mit Hilfe eines Kolbens in die Hohlraumstruktur eingespritzt.

**[0078]** Der Spritzpressprozess kann ein folienunterstützter Spritzpressprozess (FAM, Film Assisted Transfer Molding) sein. Hierbei ist auf einem Werkzeugteil des Spritzpresswerkzeugs eine Folie zur Abdichtung angeordnet. In dem Spritzpressprozess wird dieses Werkzeugteil mit der Folie an die Chipstapel bzw. an die vorderseitigen Konversionselemente **155** angedrückt. Hierdurch kann zuverlässig erreicht werden, dass das Gehäusematerial **160** ohne Abdecken der Vorderseiten der Chipstapel auf der Ausgangsschicht **130** aufgebracht wird.

**[0079]** Das Gehäusematerial **160** kann ein Kunststoffmaterial, zum Beispiel ein Epoxidmaterial oder Silikonmaterial, aufweisen. Des Weiteren kann das Gehäusematerial **160** wenigstens ein weiteres in dem Kunststoffmaterial enthaltenes Material, zum Beispiel ein anorganisches Füllmaterial, aufweisen (nicht dargestellt). Hierbei kann es sich um Streupartikel zum Beispiel aus TiO<sub>2</sub> handeln, wodurch das Gehäusematerial **160** eine weiße Farbe besitzen kann. In dem Kunststoffmaterial kann gegebenenfalls auch wenigstens ein Farbstoff enthalten sein, wodurch das Gehäusematerial eine andere Farbe besitzen kann. Möglich ist zum Beispiel die Verwendung von Ruß, um eine schwarze Farbe bereitzustellen.

**[0080]** In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente **101** erstreckt sich das auf der Ausgangsschicht **130** aufgebrachte Gehäusematerial **160** über die Bereiche von sämtlichen der im Verbund hergestellten Bauelemente **101**.

**[0081]** Nachfolgend werden an der Rückseite der nach dem Aufbringen des Gehäusematerials **160** vorliegenden Chipanordnung, wie in **Fig. 3** gezeigt ist und auch in **Fig. 6** angedeutet ist, linienförmige Aussparungen **135** erzeugt, welche die metallische Ausgangsschicht **130** durchtrennen. Auf diese Weise wird eine Leiterstruktur **110** mit mehreren Leiterabschnitten **111** bereitgestellt, zwischen welchen sich die Aussparungen **135** befinden. In der Vorder- bzw.

Rückseitenansicht verlaufen die Aussparungen **135** in einer Richtung parallel zueinander und in Bereichen neben bzw. zwischen den Halbleiterchips **150**.

**[0082]** Das Erzeugen der Aussparungen **135** kann auf mechanische Art und Weise, zum Beispiel durch Sägen, durchgeführt werden. Eine weitere mögliche Vorgehensweise ist ein Durchtrennen der Ausgangsschicht **130** mit Hilfe eines Lasers. Bei Anwendung solcher Prozesse können sich die erzeugten Aussparungen **135** zum Teil in das Gehäusematerial **160** hinein erstrecken, wie in **Fig. 3** angedeutet ist. Alternativ können die Aussparungen **135** durch rückseitiges Ätzen unter Verwendung einer zuvor auf der Ausgangsschicht **130** ausgebildeten Ätz- bzw. Photolackmaske erzeugt werden. Auf diese Weise kann abweichend von **Fig. 3** lediglich die Ausgangsschicht **130** durchtrennt werden.

**[0083]** In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente **101** sind in **Fig. 6** ergänzend Trennlinien **190** angedeutet, entlang welchen der Bauelementverbund am Ende des Verfahrens vereinzelt und damit das gezeigte Multichip-Bauelement **101** von anderen Bauelementen **101** separiert wird. Es ist ferner eine Ausgestaltung angedeutet, in welcher die Aussparungen **135** nicht auf den geometrischen Bereich eines Bauelements **101** begrenzt sind, sondern sich über mehrere Bauelemente **101** erstrecken. Daher sind auch die Leiterabschnitte **111** zunächst noch mehreren Bauelementen **101** zugeordnet. Im Rahmen des Vereinzeln des Bauelementverbunds werden die Leiterabschnitte **111** durchtrennt, und erhalten damit erst ihre endgültige und bei den Bauelementen **101** vorgesehene geometrische Form.

**[0084]** Die nach dem Erzeugen der Aussparungen **135** vorliegende und die Leiterstruktur **110** aufweisende Chipanordnung wird anschließend auf der Rückseite, wie in **Fig. 4** im Querschnitt und in **Fig. 8** in einer Rückseitenansicht gezeigt ist, mit einer Lötstoppbeschichtung **170** versehen. Die Lötstoppbeschichtung **170** weist eine Gitterform auf. Hierbei wird ein Teil der Leiterstruktur **110** mit der Lötstoppbeschichtung **170** bedeckt, während rückseitige Oberflächenbereiche **121** der Leiterabschnitte **111** der Leiterstruktur **110**, welche in der Rückseitenansicht von der Lötstoppbeschichtung **170** umschlossen sind, freigestellt sind. Die Lötstoppbeschichtung **170** wird im Bereich der Aussparungen **135** ausgebildet, so dass die Aussparungen **135** mit der Lötstoppbeschichtung **170** verfüllt werden und die Lötstoppbeschichtung **170** die Leiterstruktur **110** seitlich der Aussparungen **135** bedeckt. Die Lötstoppbeschichtung **170** wird aufgrund der Gitterform ferner in anderen Bereichen außerhalb und zwischen der Aussparungen **135** auf der Leiterstruktur **110** ausgebildet.

**[0085]** Die freiliegenden Bereiche **121**, mit deren Hilfe eine Oberflächenmontage des fertigen Multichip-Bauelements **101** erfolgen kann, werden im Folgenden als Anschlussbereiche **121** bzw. Anschlussflächen **121** bezeichnet. Für das gezeigte Multichip-Bauelement **101** ist eine Ausgestaltung mit vier, und entsprechend den Halbleiterchips **150** auf der entgegen gesetzten Seite, in einer Reihe nebeneinander angeordneten Anschlussbereichen **121** vorgesehen.

**[0086]** Die lateralen Formen und Abmessungen, sowie auch die Abstände der rückseitigen Anschlussbereiche **121** des Multichip-Bauelements **101**, werden bei dem vorliegenden Verfahrensablauf mit Hilfe der die Leiterstruktur **110** teilweise bedeckenden Lötstoppbeschichtung **170** definiert. Dadurch können, wie in **Fig. 4** gezeigt ist, Abstände zwischen den Anschlussbereichen **121** verwirklicht werden, welche größer sind als Abstände zwischen den Halbleiterchips **150**. Beispielsweise können benachbarte Anschlussbereiche **121** einen Abstand von mehr als 100µm, zum Beispiel einen Abstand von 300µm, aufweisen.

**[0087]** Die Lötstoppbeschichtung **170** ist aus einem Material ausgebildet, welches nicht mit einem Lotmittel benetzbar ist. Auf diese Weise kann an Stellen, welche mit der Lötstoppbeschichtung **170** maskiert sind, eine Benetzung mit einem Lotmittel verhindert werden. In diesem Zusammenhang kann zum Beispiel eine Ausgestaltung der Lötstoppbeschichtung **170** aus einem Lötstopplack in Betracht kommen. Dieser kann ein Epoxidharz sein bzw. einen Epoxidharz aufweisen.

**[0088]** Die Lötstoppbeschichtung **170** kann auch aus einem anderen Material bzw. Kunststoffmaterial ausgebildet sein. Hierunter fällt zum Beispiel ein Silikonmaterial oder Polyimid.

**[0089]** Das Aufbringen der Lötstoppbeschichtung **170** auf der Unterseite der Chipanordnung kann zum Beispiel ein Durchführen eines Druckverfahrens umfassen. Hierbei kann die Lötstoppbeschichtung **170** mit der in den **Fig. 4** und **Fig. 8** gezeigten Struktur aufgedruckt werden. Möglich ist zum Beispiel das Durchführen eines Siebdruckverfahrens oder eines Schablonendruckverfahrens.

**[0090]** Eine weitere mögliche Vorgehensweise zum Ausbilden der Lötstoppbeschichtung **170** besteht darin, Material der Lötstoppbeschichtung **170** zunächst großflächig auf der Rückseite der Chipanordnung aufzubringen, beispielsweise mittels Drucken, und nachfolgend zu strukturieren. In diesem Zusammenhang kann zum Beispiel ein photosensitiver Lötstopplack zum Einsatz kommen, und kann das Strukturieren zum Bereitstellen der gewünschten Form der Lötstoppbeschichtung **170** durch selektives Be-

lichten und anschließendes Entwickeln durchgeführt werden.

**[0091]** Abhängig von dem verwendeten Material der Lötstoppbeschichtung **170** kann das Strukturieren auch auf andere Art und Weise durchgeführt werden. Möglich ist zum Beispiel ein Ätzen unter Verwendung einer geeigneten Ätz- bzw. Photolackmaske.

**[0092]** Des Weiteren kann es in Betracht kommen, die Lötstoppbeschichtung **170** bzw. Material der Lötstoppbeschichtung **170** in Form einer Folie auf der Rückseite der Chipanordnung aufzubringen, zum Beispiel durch Laminieren. Die Folie kann aus einem der oben genannten Materialien ausgebildet sein. Die Folie kann derart bereitgestellt werden, dass die Folie bereits vor dem Aufbringen auf der Chipanordnung eine den **Fig. 4** und **Fig. 8** entsprechende Struktur aufweist. Ferner kann eine unstrukturierte Folie aufgebracht werden, welche nachfolgend strukturiert wird, um die gewünschte Form der Lötstoppbeschichtung **170** bereitzustellen. Hierbei kann eine der vorgenannten Vorgehensweisen, zum Beispiel Belichten und Entwickeln, zur Anwendung kommen.

**[0093]** In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente **101** wird die Lötstoppbeschichtung **170** derart ausgebildet, dass sich die Gitterform über den in **Fig. 8** dargestellten Bereich hinaus fortsetzt, und somit jedes Bauelement **101** die gezeigte Ausgestaltung mit vier und in einer Reihe nebeneinander angeordneten Anschlussbereichen **121** erhält.

**[0094]** Der nach dem Aufbringen der Lötstoppbeschichtung **170** vorliegende Bauelementverbund wird anschließend vereinzelt. Bei diesem Prozess erfolgt ein Durchtrennen des Gehäusematerials **160**, der Leiterstruktur **110** und der Lötstoppbeschichtung **170** entlang von Trennlinien **190**, wie in den **Fig. 6** und **Fig. 8** angedeutet ist. Das Durchtrennen kann zum Beispiel mit Hilfe eines Sägeprozesses durchgeführt werden. Hierdurch werden separate Multichip-Bauelemente **101** bereitgestellt, welche im Querschnitt den in **Fig. 4** gezeigten Aufbau besitzen. Ergänzend sind in **Fig. 7** eine Vorderseitenansicht, und in **Fig. 9** eine Rückseitenansicht eines vereinzelt Bauelements **101** dargestellt. Die in dem Verbund noch mehreren Bauelementen **101** zugeordneten Leiterabschnitte **111** werden bei dem Vereinzeln durchtrennt, und erhalten dadurch ihre endgültige, in den **Fig. 7** und **Fig. 9** gezeigte Form.

**[0095]** Das in dieser Art und Weise hergestellte Multichip-Bauelement **101** weist drei Halbleiterchips **150** und eine Leiterstruktur **110** umfassend vier separate Leiterabschnitte **111** mit jeweils einer rückseitigen Anschlussfläche **121** auf. Auf drei Leiterabschnitten **111** ist jeweils ein Halbleiterchip **150** bzw. Chipstapel aus Halbleiterchip **150** und Konversionselement **155**

angeordnet. Mit Hilfe der Leiterabschnitte **111** und der Bonddrähte **157**, welche jeweils an einen Vorderseitenkontakt eines Halbleiterchips **150** und an einen benachbarten Leiterabschnitt **111** angeschlossen sind, sind die Halbleiterchips **150** elektrisch in Reihe verbunden. Ein in Bezug auf die Reihe der Leiterabschnitte **111** außen liegender, in den **Fig. 4** und **Fig. 7** rechts angeordneter Leiterabschnitt **111** trägt keinen Halbleiterchip **150**, und ist über einen Bonddraht **157** an einen Vorderseitenkontakt eines auf einem benachbarten Leiterabschnitt **111** angeordneten Halbleiterchips **150** angeschlossen.

**[0096]** Das Multichip-Bauelement **101** ist für eine Oberflächenmontage (SMT, Surface Mounting Technology) durch Löten geeignet. Hierbei können die vier Anschlussflächen **121** des Bauelements **101** über ein Lotmittel elektrisch mit Anschlussflächen einer weiteren Vorrichtung, zum Beispiel einer Leiterplatte, verbunden werden (nicht dargestellt).

**[0097]** Über die beiden äußeren Anschlussflächen **121** kann dem Multichip-Bauelement **101** und damit den Halbleiterchips **150** elektrische Energie zur Strahlungserzeugung zugeführt werden. Wie oben angegeben wurde, kann die Primärstrahlung der Halbleiterchips **150** wenigstens teilweise mit Hilfe der Konversionselemente **155** konvertiert werden. Die konvertierte Strahlung einschließlich eines gegebenenfalls vorhandenen nicht konvertierten Strahlungsanteils kann von den freiliegenden Vorderseiten der Konversionselemente **155** emittiert werden.

**[0098]** Die beiden innen liegenden Anschlussflächen **121** können zur mechanischen Befestigung und Entwärmung des Bauelements **101** genutzt werden.

**[0099]** Die Lötstoppbeschichtung **170** sorgt für eine Trennung und damit für eine zuverlässige elektrische Isolation der Anschlussflächen **121**, welche aufgrund der Lötstoppbeschichtung **170** einen relativ großen Abstand zueinander aufweisen können. Wie oben angegeben wurde, kann der Abstand im Bereich von 300µm liegen. Infolgedessen kann bei einer Oberflächenmontage des Multichip-Bauelements **101** zuverlässig verhindert werden, dass mehrere Anschlussflächen **121** in gemeinsamer Weise mit einem Lotmittel benetzt und dadurch kurzgeschlossen werden.

**[0100]** Die Halbleiterchips **150** weisen im Gegensatz dazu einen kleineren Abstand, zum Beispiel wie oben angegeben im Bereich von 50µm auf. Dies gilt daher in entsprechender Weise für die auf den Halbleiterchips **150** angeordneten Konversionselemente **155**, von deren Vorderseiten die Strahlung im Betrieb des Bauelements **101** abgegeben wird. Aufgrund der kleinen Abstände ist eine Strahlungsemission mit einer hohen Homogenität möglich.

**[0101]** Weitere Vorteile ergeben sich aufgrund der Verwendung der metallischen Ausgangsschicht **130**, welche erst nach der Chipmontage und dem Aufbringen des Gehäusematerials **160** in die Leiterstruktur **110** strukturiert wird. Auf diese Weise ist eine zuverlässige Chipmontage möglich, und kann eine rückseitige Verunreinigung der Anschlussflächen **121** mit Gehäusematerial **160** beim Aufbringen desselben vermieden werden.

**[0102]** Darüber hinaus ist die Möglichkeit gegeben, eine Ausgangsschicht **130** mit einer relativ kleinen Schichtdicke einzusetzen. Denkbar ist zum Beispiel eine Dicke von weniger als 150µm, zum Beispiel von 100µm. Hierbei kann die Ausgangsschicht **130** eine Folie sein. Bei einem Anordnen der Halbleiterchips **150** auf der Ausgangsschicht **130** durch Löten kann mit Hilfe der kleinen Schichtdicke ein Auftreten von mechanischem Stress, bedingt durch unterschiedliche Wärmeausdehnungskoeffizienten der Halbleiterchips **150** und der Ausgangsschicht **130**, klein gehalten werden. Auf diese Weise kann eine nach dem Lötprozess gegebenenfalls vorliegende Durchbiegung der Halbleiterchips **150** (Chip Warpage) möglichst klein bzw. vernachlässigbar sein. Infolgedessen besteht nur eine geringe Gefahr eines Ablösens der Konversionselemente **155** von den Halbleiterchips **150** und einer hiermit verbundenen Farbortverschiebung (Colour Shift).

**[0103]** Im Folgenden werden mögliche Varianten und Abwandlungen des anhand der **Fig. 1** bis **Fig. 9** erläuterten Verfahrens beschrieben. Übereinstimmende Verfahrensschritte und Merkmale sowie gleiche und gleich wirkende Komponenten werden im Folgenden nicht erneut detailliert beschrieben. Für Details hierzu wird stattdessen auf die vorstehende Beschreibung Bezug genommen. Des Weiteren können Aspekte und Details, welche in Bezug auf eine Verfahrensvariante genannt werden, auch in Bezug auf eine andere Verfahrensvariante zur Anwendung kommen und können Merkmale von zwei oder mehreren Ausgestaltungen miteinander kombiniert werden.

**[0104]** Eine mögliche Abwandlung besteht zum Beispiel darin, durch das Erzeugen der die Ausgangsschicht **130** durchtrennenden Aussparungen **135** separate Leiterabschnitte **111** auszubilden, welche in Bezug auf die verbundweise Fertigung von mehreren Multichip-Bauelementen **101** nicht mehreren Bauelementen **101**, sondern lediglich den einzelnen Bauelementen **101** zugeordnet sind. Hierbei können die Aussparungen **135** in Form einer zusammenhängenden Gitterstruktur in Bereichen neben bzw. zwischen den Halbleiterchips **150** erzeugt werden. Die Lötstoppbeschichtung **170** kann hierauf abgestimmt im Bereich der Aussparungen **135** auf der Rückseite der betreffenden Chipanordnung ausgebildet werden.

**[0105]** In einer weiteren Abwandlung kann ein Multichip-Bauelement mit einer anderen Anzahl an Halbleiterchips **150** bzw. Chipstapeln gefertigt werden. Dies ist zum Beispiel der Fall bei den anhand der folgenden Figuren erläuterten Verfahrensabläufen, bei welchen Multichip-Bauelemente mit zwei statt drei Halbleiterchips **150** hergestellt werden. Die hier beschriebenen Verfahren können ferner derart durchgeführt werden, dass Multichip-Bauelemente mit einer größeren Anzahl an Halbleiterchips **150** ausgebildet werden.

**[0106]** In einer weiteren Abwandlung kommt eine strukturierte metallische Ausgangsschicht **130** mit Vertiefungen zum Einsatz. Ein in diesem Sinne durchgeführter Verfahrensablauf zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements **102** ist anhand von seitlichen Schnittdarstellungen in den **Fig. 10** bis **Fig. 12** gezeigt. Hierbei wird eine Ausgangsschicht **130** mit rückseitigen Vertiefungen **131** bereitgestellt, und wird die Ausgangsschicht **130** anschließend, wie in **Fig. 10** gezeigt ist, vorderseitig mit Chipstapeln umfassend einen Halbleiterchip **150** und ein Konversionselement **155** sowie mit einem die Chipstapel umschließenden Gehäusematerial **160** versehen.

**[0107]** Die Vertiefungen **131** können durch einen Ätzprozess unter Verwendung einer auf der Ausgangsschicht **130** ausgebildeten Ätzbzw. Photolackmaske hergestellt werden. Die Vertiefungen **131** können eine Tiefe etwa halb so groß wie eine Dicke der Ausgangsschicht **130** aufweisen, und somit Halbätzungen darstellen. Bei einer Dicke der Ausgangsschicht **130** von 100µm kann die Ausgangsschicht **130** im Bereich der Vertiefungen **131** eine Materialstärke von ca. 50µm aufweisen.

**[0108]** Die Vertiefungen **131** können, wie später erzeugte Aussparungen **135**, in einer Richtung parallel zueinander verlaufend ausgebildet werden, also senkrecht zur Zeichenebene der **Fig. 10** bis **Fig. 12**. In Bezug auf eine verbundweise Herstellung mehrerer Multichip-Bauelemente **102** können sich die Vertiefungen **131**, wie auch die später ausgebildeten Aussparungen **135**, über die Bereiche von mehreren der herzustellenden Bauelemente **102** erstrecken.

**[0109]** Die Chipmontage auf der mit den Vertiefungen **131** bereitgestellten Ausgangsschicht **130** erfolgt derart, dass die Ausgangsschicht **130** in Bereichen zwischen Vertiefungen **131** mit den Halbleiterchips **150** bestückt wird. Wie in **Fig. 10** gezeigt ist, können die Halbleiterchips **150** die betreffenden Vertiefungen **131** am Rand zum Teil überlappen. Ferner werden nicht gezeigte Bonddrähte an die Ausgangsschicht **130** und an Vorderseitenkontakte der Halbleiterchips **150** angeschlossen. Nach der Chipmontage kann, von oben betrachtet, eine zu **Fig. 5** vergleichbare Anordnung mit zwei Chipstapeln vorliegen.

**[0110]** In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente **102** werden für jedes Bauelement **102** zwei Chipstapel auf der Ausgangsschicht **130** bereitgestellt. Anschließend wird das für sämtliche Bauelemente **102** vorgesehene Gehäusematerial **160** auf der Ausgangsschicht **130** aufgebracht.

**[0111]** Nach dem Aufbringen des Gehäusematerials **160** werden an der Rückseite der betreffenden Chipanordnung, wie in **Fig. 11** gezeigt ist, Aussparungen **135** erzeugt, welche die Ausgangsschicht **130** durchtrennen. Auf diese Weise wird eine Leiterstruktur **110** mit mehreren Leiterabschnitten **111** bereitgestellt. Die Aussparungen **135** können in einer Richtung parallel zueinander und in Bereichen neben bzw. zwischen den Halbleiterchips **150** verlaufen. Das Ausbilden der Aussparungen **135** erfolgt im Bereich von Vertiefungen **131** der Ausgangsschicht **130**, wodurch sich dieser Schritt einfach und schnell durchführen lässt. Die Aussparungen **135** werden mit einer gegenüber den Vertiefungen **131** geringeren Breite ausgebildet. Auch können die Aussparungen **135**, wie in **Fig. 11** gezeigt ist, jeweils in der Mitte der zugehörigen Vertiefungen **131** ausgebildet werden. Die durch das Erzeugen der Aussparungen **131** gebildeten Leiterabschnitte **111** können zunächst noch mehreren Bauelementen **102** zugeordnet sein.

**[0112]** Die nach dem Erzeugen der Aussparungen **135** vorliegende Chipanordnung wird anschließend auf der Rückseite, wie in **Fig. 12** gezeigt ist, mit einer Lötstoppbeschichtung **170** versehen. Die Lötstoppbeschichtung **170** kann eine Gitterform aufweisen, und in einer Rückseitenansicht freiliegende Anschlussbereiche **121** der Leiterabschnitte **111** der Leiterstruktur **110** umschließen. Für das Multichip-Bauelement **102** ist eine Ausgestaltung mit drei und in einer Reihe nebeneinander angeordneten Anschlussbereichen **121** vorgesehen. Von unten betrachtet kann in diesem Sinne eine zu **Fig. 8** vergleichbare Struktur mit drei Anschlussbereichen **121** vorliegen.

**[0113]** Die Lötstoppbeschichtung **170** wird im Bereich der Vertiefungen **131** und Aussparungen **135** ausgebildet, so dass diese, wie in **Fig. 12** gezeigt ist, mit der Lötstoppbeschichtung **170** verfüllt werden. An diesen Stellen kann die Lötstoppbeschichtung **170** bündig mit den Anschlussflächen **121** abschließen. Aufgrund der Gitterform kann ein Aufbringen der Lötstoppbeschichtung **170** auf der Leiterstruktur **110** auch in anderen Bereichen außerhalb und zwischen den Vertiefungen **131** und Aussparungen **135** erfolgen. Die Lötstoppbeschichtung **170** bedeckt einen Teil der Leiterstruktur **110**, so dass mit Hilfe der Lötstoppbeschichtung **170** Formen und Abstände der rückseitigen Anschlussbereiche **121** festgelegt werden. Wie in **Fig. 12** gezeigt ist, können Abstände zwischen den Anschlussbereichen **121** ver-

wirklicht werden, welche größer sind als Abstände zwischen den Halbleiterchips **150**.

**[0114]** In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente **102** kann die Lötstoppbeschichtung **170** sich über sämtliche herzustellenden Bauelemente **102** erstreckend ausgebildet werden, so dass jedes Bauelement **102** eine Ausgestaltung mit drei Anschlussbereichen **121** erhält. Des Weiteren wird der nach dem Aufbringen der Lötstoppbeschichtung **170** vorliegende Bauelementverbund vereinzelt, wodurch separate Multichip-Bauelemente **102** mit dem in **Fig. 12** gezeigten Aufbau bereitgestellt werden. Die in dem Verbund noch mehreren Bauelementen **102** zugeordneten Leiterabschnitte **111** können bei dem Vereinzeln durchtrennt werden.

**[0115]** Das auf diese Weise hergestellte Multichip-Bauelement **102** weist zwei Halbleiterchips **150** und eine Leiterstruktur **110** umfassend drei separate Leiterabschnitte **111** mit jeweils einer rückseitigen Anschlussfläche **121** auf. Von oben betrachtet kann eine zu **Fig. 7**, und von unten betrachtet eine zu **Fig. 9** vergleichbare Struktur vorliegen. Bei dem Bauelement **102** ist auf zwei Leiterabschnitten **111** jeweils ein Halbleiterchip **150** bzw. Chipstapel angeordnet. Mit Hilfe der Leiterabschnitte **111** und der in **Fig. 12** nicht gezeigten Bonddrähte, welche jeweils an einen Vorderseitenkontakt eines Halbleiterchips **150** und an einen benachbarten Leiterabschnitt **111** angeschlossen sind, sind die Halbleiterchips **150** elektrisch in Reihe geschaltet. Ein außen liegender, in **Fig. 12** rechts angeordneter Leiterabschnitt **111** trägt keinen Halbleiterchip **150** und ist über einen Bonddraht an einen Vorderseitenkontakt eines auf einem benachbarten Leiterabschnitt **111** angeordneten Halbleiterchips **150** angeschlossen.

**[0116]** In einer Abwandlung des zuvor erläuterten Verfahrensablaufs kann die Lötstoppbeschichtung **170** derart ausgebildet werden, dass sich die Lötstoppbeschichtung **170** im Bereich der Vertiefungen **131** abweichend von **Fig. 12** auch seitlich der Vertiefungen **131** auf der Leiterstruktur **110** befindet.

**[0117]** Eine weitere Abwandlung besteht darin, die Aussparungen **135** in Form einer zusammenhängenden Gitterstruktur zu erzeugen, so dass in Bezug auf die verbundweise Fertigung von mehreren Multichip-Bauelementen **102** separate und den einzelnen Bauelementen **102** zugeordnete Leiterabschnitte **111** gebildet werden. Für die Vertiefungen **131** kann eine Ausgestaltung in Form einer entsprechenden Gitterstruktur vorgesehen werden, wodurch die Aussparungen **135** auf einfache Weise im Bereich von Vertiefungen **131** erzeugt werden können. Die Lötstoppbeschichtung **170** kann hierauf abgestimmt im Bereich der Vertiefungen **131** und Aussparungen **135**

auf der Rückseite der betreffenden Chipanordnung ausgebildet werden.

**[0118]** Die **Fig. 13** bis **Fig. 15** zeigen anhand von seitlichen Schnittdarstellungen einen weiteren Verfahrensablauf zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements **103**. Hierbei wird eine metallische Ausgangsschicht **130** mit vorderseitigen Vertiefungen **132** bereitgestellt, und wird die Ausgangsschicht **130** nachfolgend, wie in **Fig. 13** gezeigt ist, vorderseitig mit Chipstapeln umfassend einen Halbleiterchip **150** und ein Konversionselement **155** sowie mit einem die Chipstapel umschließenden Gehäusematerial **160** versehen.

**[0119]** Die vorderseitigen Vertiefungen **132** können durch einen Ätzprozess unter Verwendung einer auf der Ausgangsschicht **130** ausgebildeten Ätzmaske hergestellt werden, und können Halbätzungen sein. Bei einer Dicke der Ausgangsschicht **130** von 100µm kann die Ausgangsschicht **130** im Bereich der Vertiefungen **132** eine Materialstärke von 50µm aufweisen. Ferner können die Vertiefungen **132**, wie später erzeugte Aussparungen **135**, in einer Richtung parallel zueinander verlaufend ausgebildet werden, also senkrecht zur Zeichenebene der **Fig. 13** bis **Fig. 15**. In Bezug auf eine verbundweise Herstellung mehrerer Multichip-Bauelemente **103** können sich die Vertiefungen **132**, wie auch die später ausgebildeten Aussparungen **135**, über die Bereiche von mehreren der herzustellenden Bauelemente **103** erstrecken.

**[0120]** Die Chipmontage auf der Ausgangsschicht **130** mit den Vertiefungen **132** erfolgt derart, dass die Ausgangsschicht **130** in Bereichen zwischen Vertiefungen **132** mit den Halbleiterchips **150** bestückt wird. Wie in **Fig. 13** gezeigt ist, können die Halbleiterchips **150** die betreffenden Vertiefungen **132** am Rand zum Teil überlappen. Ferner werden nicht gezeigte Bonddrähte an die Ausgangsschicht **130** und an Vorderseitenkontakte der Halbleiterchips **150** angeschlossen. Nach der Chipmontage kann, von oben betrachtet, eine zu **Fig. 5** vergleichbare Anordnung mit zwei Chipstapeln vorliegen.

**[0121]** In Bezug auf die verbundweise Fertigung werden vor dem Aufbringen des Gehäusematerials **160** für jedes herzustellende Bauelement **103** zwei Chipstapel auf der Ausgangsschicht **130** bereitgestellt.

**[0122]** Nachfolgend werden an der Rückseite der Chipanordnung, wie in **Fig. 14** gezeigt ist, Aussparungen **135** erzeugt, welche die Ausgangsschicht **130** durchtrennen. Auf diese Weise wird eine Leiterstruktur **110** mit mehreren Leiterabschnitten **111** bereitgestellt. Die Aussparungen **135** können in einer Richtung parallel zueinander und in Bereichen neben bzw. zwischen den Halbleiterchips **150** verlaufen. Die Aussparungen **135** werden auf einfache Weise im Be-

reich von Vertiefungen **132** der Ausgangsschicht **130**, und mit einer gegenüber den Vertiefungen **132** geringeren Breite ausgebildet. Die Aussparungen **135** können mit einer Breite gefertigt werden, welche den Chip-zu-Chip-Abstand übersteigt. Auch können die Aussparungen **135**, wie in **Fig. 11** gezeigt ist, mittig in Bezug auf die zugehörigen Vertiefungen **132** ausgebildet werden. Die durch das Erzeugen der Aussparungen **135** gebildeten Leiterabschnitte **111** können zunächst noch mehreren Bauelementen **103** zugeordnet sein.

**[0123]** Anschließend wird auf der Rückseite der Chipanordnung, wie in **Fig. 15** gezeigt ist, eine Lötstoppbeschichtung **170** ausgebildet. Die Lötstoppbeschichtung **170** kann eine Gitterform aufweisen, und in einer Rückseitenansicht freiliegende Anschlussbereiche **121** der Leiterabschnitte **111** der Leiterstruktur **110** umschließen. Für das Multichip-Bauelement **103** ist eine Ausgestaltung mit drei und in einer Reihe nebeneinander angeordneten Anschlussbereichen **121** vorgesehen. Von unten betrachtet kann in diesem Sinne eine zu **Fig. 8** vergleichbare Struktur mit drei Anschlussbereichen **121** vorliegen.

**[0124]** Die Lötstoppbeschichtung **170** wird im Bereich der Aussparungen **135** ausgebildet, so dass diese mit der Lötstoppbeschichtung **170** verfüllt werden. Die Leiterstruktur **110** wird auch seitlich der Aussparungen **135**, sowie in Bereichen außerhalb und zwischen den Aussparungen **135**, mit der Lötstoppbeschichtung **170** bedeckt. Mit Hilfe der die Leiterstruktur **110** zum Teil bedeckenden Lötstoppbeschichtung **170** werden Formen und Abstände der rückseitigen Anschlussbereiche **121** festgelegt. Wie in **Fig. 15** gezeigt ist, können Abstände zwischen den Anschlussbereichen **121** verwirklicht werden, welche größer sind als Abstände zwischen den Halbleiterchips **150**.

**[0125]** In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente **103** kann die Lötstoppbeschichtung **170** sich über sämtliche herzustellenden Bauelemente **103** erstreckend ausgebildet werden. Anschließend wird der Bauelementverbund vereinzelt, wodurch separate Multichip-Bauelemente **103** mit dem in **Fig. 15** gezeigten Aufbau bereitgestellt werden. Die in dem Verbund noch mehreren Bauelementen **103** zugeordneten Leiterabschnitte **111** können bei diesem Vorgang durchtrennt werden.

**[0126]** Das auf diese Weise hergestellte Multichip-Bauelement **103** weist wie das zuvor erläuterte Bauelement **102** zwei Halbleiterchips **150** und eine Leiterstruktur **110** umfassend drei separate Leiterabschnitte **111** mit jeweils einer rückseitigen Anschlussfläche **121** auf. Von oben betrachtet kann eine zu **Fig. 7**, und von unten betrachtet eine zu **Fig. 9** vergleichbare Struktur vorliegen. Die Halbleiterchips **150** sind mit

Hilfe der Leiterabschnitte **111** und der in **Fig. 15** nicht gezeigten Bonddrähte elektrisch in Reihe geschaltet.

**[0127]** Eine mögliche Abwandlung des zuvor erläuterten Verfahrensablaufs besteht darin, die Aussparungen **135** in Form einer zusammenhängenden Gitterstruktur zu erzeugen, so dass in Bezug auf die verbundweise Fertigung von mehreren Multichip-Bauelementen **103** separate und den einzelnen Bauelementen **103** zugeordnete Leiterabschnitte **111** gebildet werden. Für die Vertiefungen **132** kann eine Ausgestaltung in Form einer entsprechenden Gitterstruktur vorgesehen werden, wodurch die Aussparungen **135** im Bereich von Vertiefungen **132** erzeugt werden können. Die Lötstopppbeschichtung **170** kann hierauf abgestimmt im Bereich der Aussparungen **135** auf der Rückseite der betreffenden Chipanordnung ausgebildet werden.

**[0128]** Die **Fig. 16** und **Fig. 17** zeigen anhand von seitlichen Schnittdarstellungen einen weiteren Verfahrensablauf zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements **104**. Hierbei wird ein strukturierter metallischer Leiterrahmen **140** bereitgestellt, welcher anschließend, wie in **Fig. 16** gezeigt ist, vorderseitig mit Chipstapeln umfassend einen Halbleiterchip **150** und ein Konversionselement **155** und mit einem die Chipstapel umschließenden Gehäusematerial **160** versehen wird.

**[0129]** Der Leiterrahmen **140** bildet bereits eine entsprechende Leiterstruktur **110** der in **Fig. 16** gezeigten Chipanordnung. Der Leiterrahmen **140** weist Leiterabschnitte **111** und die Leiterabschnitte **111** verbindende Verbindungsstege **115** auf. In Bezug auf eine verbundweise Herstellung mehrerer Multichip-Bauelemente **104** weist der Leiterrahmen **140** für jedes Bauelement **104** drei und in einer Reihe nebeneinander angeordnete Leiterabschnitte **111** auf, wobei jeweils zwei der Leiterabschnitte **111** mit einem Chipstapel bestückt werden. Lediglich die Leiterabschnitte **111** verschiedener zu fertigender Bauelemente **104** sind über die Verbindungsstege **115** verbunden.

**[0130]** Im Rahmen der Chipmontage werden Halbleiterchips **150** mit deren Rückseitenkontakten auf Leiterabschnitten **111** angeordnet, zum Beispiel durch Löten oder Aufkleben. Ferner erfolgt ein Anschließen von nicht dargestellten Bonddrähten an Vorderseitenkontakte der Halbleiterchips **150** und an Leiterabschnitte **111** benachbart zu den die Halbleiterchips **150** tragenden Leiterabschnitten **111**, so dass für jedes Bauelement **104** eine zu **Fig. 7** vergleichbare Reihenverbindung von zwei Halbleiterchips **150** verwirklicht werden kann. Vor oder nach dem Anschließen der Bonddrähte werden Konversionselemente **155** auf den Halbleiterchips **150** angeordnet.

**[0131]** Das nachfolgende Aufbringen des Gehäusematerials **160** kann durch einen Spritzpressprozess durchgeführt werden. Hierbei wird der mit den Chipstapeln versehene Leiterrahmen **140** in einem entsprechenden Spritzpresswerkzeug aufgenommen und mit dem Gehäusematerial **160** derart umspritzt, dass das Gehäusematerial **160** die Chipstapel bis zu deren Vorderseiten reichend umschließt. Das Gehäusematerial **160** wird auch in Bereichen seitlich der Leiterabschnitte **111** und zwischen den Leiterabschnitten **111** angeordnet. Es kann ein folienunterstützter Spritzpressprozess durchgeführt werden, bei welchem ein Werkzeugteil mit einer Folie an die Chipstapel angedrückt wird.

**[0132]** Die nach dem Aufbringen des Gehäusematerials **160** vorliegende Chipanordnung wird anschließend auf der Rückseite, wie in **Fig. 17** gezeigt ist, mit einer Lötstopppbeschichtung **170** versehen. Dies erfolgt derart, dass der Leiterrahmen **140** bzw. die Leiterabschnitte **111** zum Teil mit der Lötstopppbeschichtung **170** bedeckt werden. Die Lötstopppbeschichtung **170** kann eine Gitterform aufweisen und in einer Rückseitenansicht jeweils einen freiliegenden Anschlussbereich **121** von jedem der Leiterabschnitte **111** umschließen. Für das Multichip-Bauelement **104** ist eine Ausgestaltung mit drei und in einer Reihe nebeneinander angeordneten Anschlussbereichen **121** vorgesehen.

**[0133]** Die Lötstopppbeschichtung **170** bedeckt einen Teil des Leiterrahmens **140**, so dass mit Hilfe der Lötstopppbeschichtung **170** Formen und Abstände der rückseitigen Anschlussbereiche **121** festgelegt werden. Wie in **Fig. 17** gezeigt ist, können Abstände zwischen den Anschlussbereichen **121** verwirklicht werden, welche größer sind als Abstände zwischen den Halbleiterchips **150**.

**[0134]** In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente **104** kann die Lötstopppbeschichtung **170** sich über sämtliche herzustellenden Bauelemente **104** erstreckend ausgebildet werden, so dass jedes Bauelement **104** eine Ausgestaltung mit drei Anschlussbereichen **121** erhält. Des Weiteren wird der nach dem Aufbringen der Lötstopppbeschichtung **170** vorliegende Bauelementverbund vereinzelt, wodurch separate Multichip-Bauelemente **104** mit dem in **Fig. 17** gezeigten Aufbau bereitgestellt werden. Im Rahmen des Vereinzeln des Bauelementverbunds werden die Verbindungsstege **115** des Leiterrahmens **140** durchtrennt, so dass die Leiterabschnitte **111** der einzelnen Bauelemente **104** nicht mehr durch Material des Leiterrahmens **140** verbunden und dadurch nicht mehr kurzgeschlossen sind.

**[0135]** Das auf diese Weise hergestellte Multichip-Bauelement **104** weist vergleichbar zu den zuvor erläuterten Bauelementen **102**, **103** zwei Halbleiter-

chips **150** und drei separate Leiterabschnitte **111** mit jeweils einer rückseitigen Anschlussfläche **121** auf, wobei auf zwei Leiterabschnitten **111** jeweils ein Halbleiterchip **150** angeordnet ist. Mit Hilfe der Leiterabschnitte **111** und der in **Fig. 17** nicht gezeigten Bonddrähte, welche jeweils an einen Vorderseitenkontakt eines Halbleiterchips **150** und an einen benachbarten Leiterabschnitt **111** angeschlossen sind, sind die Halbleiterchips **150** elektrisch in Reihe verbunden.

**[0136]** Die **Fig. 18** und **Fig. 19** zeigen anhand von seitlichen Schnittdarstellungen einen weiteren Verfahrensablauf zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements **105**. Hierbei wird, vergleichbar zu dem Verfahrensablauf der **Fig. 1** bis **Fig. 4**, eine metallische Ausgangsschicht **130** bereitgestellt, welche anschließend, wie in **Fig. 18** gezeigt ist, vorderseitig mit Chipstapeln umfassend einen Halbleiterchip **150** und ein Konversionselement **155** und mit einem die Chipstapel umschließenden Gehäusematerial **160** versehen wird. Im Rahmen der Chipmontage werden nicht gezeigte Bonddrähte an die Ausgangsschicht **130** und an Vorderseitenkontakte der Halbleiterchips **150** angeschlossen. Nach der Chipmontage kann, von oben betrachtet, eine zu **Fig. 5** vergleichbare Anordnung mit zwei Chipstapeln vorliegen. In Bezug auf eine verbundweise Fertigung mehrere Multichip-Bauelemente **105** werden für jedes Bauelement **105** zwei Chipstapel auf der Ausgangsschicht **130** bereitgestellt.

**[0137]** Nachfolgend werden an der Rückseite, wie ebenfalls in **Fig. 18** gezeigt ist, Aussparungen **136** ausgebildet, welche die Ausgangsschicht **130** durchtrennen. Auf diese Weise wird eine Leiterstruktur **110** mit mehreren Leiterabschnitten **111** bereitgestellt. Die Aussparungen **136** können in einer Richtung parallel zueinander und in Bereichen neben bzw. zwischen den Halbleiterchips **150** verlaufen. Die Aussparungen **136** können durch rückseitiges Ätzen unter Verwendung einer zuvor auf der Ausgangsschicht **130** ausgebildeten Ätzmaske erzeugt werden. Die durch das Erzeugen der Aussparungen **136** gebildeten Leiterabschnitte **111** können zunächst noch mehreren Bauelementen **103** zugeordnet sein.

**[0138]** Die Aussparungen **136** werden mit einer gegenüber den Aussparungen **135** größeren Breite ausgebildet. Auch erfolgt dieser Schritt derart, dass die Rückseiten von Halbleiterchips **150**, wie in **Fig. 16** gezeigt ist, am Rand zum Teil freigestellt werden.

**[0139]** Anschließend wird auf der Rückseite der Chipanordnung, wie in **Fig. 19** gezeigt ist, eine Lötstoppbeschichtung **170** ausgebildet. Die Lötstoppbeschichtung **170** wird im Bereich der Aussparungen **136** ausgebildet, so dass die Aussparungen **136** mit der Lötstoppbeschichtung **170** verfüllt und die zuvor freiliegenden rückseitigen Teilbereiche der Halbleiterchips **150** abgedeckt werden. Die Lötstoppbe-

schichtung **170** bewirkt eine Trennung von rückseitigen Anschlussbereichen **121** der Leiterabschnitte **111** der Leiterstruktur **110**. Hierbei können die Abstände der Anschlussbereiche **121**, zumindest in dem in **Fig. 19** gezeigten Querschnitt, in welchem die Lötstoppbeschichtung **170** lediglich innerhalb der Aussparungen **136** angeordnet ist, durch die rückgeätzten Aussparungen **136** definiert sein.

**[0140]** Die Lötstoppbeschichtung **170** kann eine Gitterform aufweisen, so dass die Anschlussbereiche **121** in einer Rückseitenansicht von der Lötstoppbeschichtung **170** umschlossen sein können. Hierbei kann die Lötstoppbeschichtung **170** stellenweise auch außerhalb der Aussparungen **136** auf der Leiterstruktur **110** angeordnet sein. Für das Multichip-Bauelement **105** ist eine Ausgestaltung mit drei und in einer Reihe nebeneinander angeordneten Anschlussbereichen **121** vorgesehen. In diesem Sinne kann von unten betrachtet eine zu **Fig. 8** vergleichbare Struktur vorliegen.

**[0141]** In Bezug auf die verbundweise Herstellung mehrerer Multichip-Bauelemente **105** kann die Lötstoppbeschichtung **170** sich über sämtliche herzustellenden Bauelemente **105** erstreckend ausgebildet werden. Anschließend wird der Bauelementverbund vereinzelt, wodurch separate Multichip-Bauelemente **105** mit dem in **Fig. 19** gezeigten Aufbau bereitgestellt werden. Die in dem Verbund noch mehreren Bauelementen **105** zugeordneten Leiterabschnitte **111** können bei diesem Vorgang durchtrennt werden.

**[0142]** Das auf diese Weise hergestellte Multichip-Bauelement **105** weist zwei Halbleiterchips **150** und eine Leiterstruktur **110** umfassend drei separate Leiterabschnitte **111** mit jeweils einer rückseitigen Anschlussfläche **121** auf. Von oben betrachtet kann eine zu **Fig. 7**, und von unten betrachtet eine zu **Fig. 9** vergleichbare Struktur vorliegen. Die Halbleiterchips **150** sind mit Hilfe der Leiterabschnitte **111** und der in **Fig. 19** nicht gezeigten Bonddrähte elektrisch in Reihe geschaltet.

**[0143]** Eine mögliche Abwandlung des zuvor erläuterten Verfahrensablaufs besteht darin, die Aussparungen **136** in Form einer zusammenhängenden Gitterstruktur zu erzeugen, so dass in Bezug auf die verbundweise Fertigung von mehreren Multichip-Bauelementen **105** separate und den einzelnen Bauelementen **105** zugeordnete Leiterabschnitte **111** gebildet werden. Die Lötstoppbeschichtung **170** kann hierauf abgestimmt im Bereich der Aussparungen **136** bzw. lediglich innerhalb der Aussparungen **136** auf der Rückseite der betreffenden Chipanordnung ausgebildet werden.

**[0144]** Die anhand der Figuren erläuterten Ausführungsformen stellen bevorzugte bzw. beispielhaf-



te Ausführungsformen der Erfindung dar. Neben den beschriebenen und abgebildeten Ausführungsformen sind weitere Ausführungsformen vorstellbar, welche weitere Abwandlungen und/oder Kombinationen von Merkmalen umfassen können. Es ist zum Beispiel möglich, anstelle der oben angegebenen Materialien andere Materialien zu verwenden.

**[0145]** Eine weitere Variante besteht zum Beispiel darin, anstelle einer gitterförmigen Lötstoppbeschichtung **170** eine Lötstoppbeschichtung **170** auf der Rückseite einer bereitgestellten Chipanordnung auszubilden, welche mehrere separate Teilabschnitte aufweist. In Bezug auf den anhand der **Fig. 1** bis **Fig. 9** erläuterten Verfahrensablauf kann die Lötstoppbeschichtung **170** zum Beispiel in Form von streifenförmigen und in einer Richtung parallel zueinander verlaufenden Teilabschnitten verwirklicht werden. Die Teilabschnitte der Lötstoppbeschichtung **170** können, abgestimmt auf die parallel verlaufenden Aussparungen **135**, im Bereich der Aussparungen **135** ausgebildet werden. In Bezug auf eine verbundweise Herstellung mehrerer Multichip-Bauelemente können sich die Teilabschnitte der Lötstoppbeschichtung **170** über mehrere Bauelemente erstrecken, und können die Teilabschnitte beim Vereinzeln durchtrennt werden. Ein auf diese Weise hergestelltes Multichip-Bauelement kann eine separate Teilabschnitte umfassende Lötstoppbeschichtung **170** aufweisen, wobei die Teilabschnitte der Lötstoppbeschichtung **170** zwischen rückseitigen Anschlussbereichen **121** angeordnet sind und diese trennen.

**[0146]** Die vorgenannte Abwandlung kann in entsprechender Weise für die anhand der anderen Figuren erläuterten Verfahrensabläufe zur Anwendung kommen. In Bezug auf das Verfahren der **Fig. 18** und **Fig. 19** können solche Teilabschnitte der Lötstoppbeschichtung **170** lediglich innerhalb der Aussparungen **136** ausgebildet werden, um die Aussparungen **136** zu verfüllen.

**[0147]** In einer weiteren Variante kann ein Aufbringen eines Gehäusematerials **160** auf einer mit Chipstapeln versehenen Ausgangsschicht **130** durch Vergießen erfolgen. In dieser Ausgestaltung kann das Gehäusematerial **160** als Vergussmaterial **160** bezeichnet werden. Hierbei kann vor oder nach der Chipmontage ein Rahmen auf der Ausgangsschicht **130** ausgebildet werden, und kann der von dem Rahmen umschlossene Bereich durch Vergießen mit dem Vergussmaterial **160** verfüllt werden. Auf diese Weise kann das Vergussmaterial **160** angrenzend an die Chipstapel und bis zu deren Vorderseiten reichend ausgebildet werden.

**[0148]** Des Weiteren können Multichip-Bauelemente mit von den Figuren und der vorhergehenden Beschreibung abweichenden Anzahlen, geometrischen

Anordnungen und/oder Formen von Anschlussbereichen **121** und Halbleiterchips **150** gefertigt werden.

**[0149]** Anstelle von Halbleiterchips **150** mit einem Vorderseitenkontakt und einem Rückseitenkontakt können andere Bauformen von Halbleiterchips eingesetzt werden. Hierzu gehören Halbleiterchips mit lediglich Vorderseitenkontakten oder Halbleiterchips mit lediglich Rückseitenkontakten. Bei Verwendung solcher Halbleiterchips können hieran angepasste Leiterstrukturen **110** eingesetzt bzw. hergestellt werden.

**[0150]** Des Weiteren können neben strahlungsemitternden Halbleiterchips andere Halbleiterchips, zum Beispiel strahlungsempfangende Halbleiterchips, verwendet werden. Auch ist es möglich, nicht nur optoelektronische Halbleiterchips, sondern andere Typen von Halbleiterchips zu verwenden.

**[0151]** Eine weitere Variante ist eine Herstellung von Multichip-Bauelementen mit verschiedenen Chiptypen. Beispielsweise kann ein hybrides Multichip-Bauelement gefertigt werden, welches (wenigstens) einen strahlungsemitternden Halbleiterchip und (wenigstens) einen strahlungsempfangenden Halbleiterchip aufweist.

**[0152]** Obwohl die Erfindung im Detail durch bevorzugte Ausführungsbeispiele näher illustriert und beschrieben wurde, so ist die Erfindung nicht durch die offenbarten Beispiele eingeschränkt und andere Variationen können vom Fachmann hieraus abgeleitet werden, ohne den Schutzzumfang der Erfindung zu verlassen.

#### Bezugszeichenliste

<b>101, 102</b>	Bauelement
<b>103, 104</b>	Bauelement
<b>105</b>	Bauelement
<b>110</b>	Leiterstruktur
<b>111</b>	Leiterabschnitt
<b>115</b>	Verbindungssteg
<b>121</b>	Anschlussbereich
<b>130</b>	Ausgangsschicht
<b>131, 132</b>	Vertiefung
<b>135, 136</b>	Aussparung
<b>140</b>	Leiterrahmen
<b>150</b>	Halbleiterchip
<b>155</b>	Konversionselement
<b>157</b>	Bonddraht
<b>160</b>	Gehäusematerial
<b>170</b>	Lötstoppbeschichtung
<b>190</b>	Trennlinie

**Patentansprüche**

1. Verfahren zum Herstellen eines oberflächenmontierbaren Multichip-Bauelements (**101, 102, 103, 104, 105**), umfassend:

Bereitstellen einer Chipanordnung, wobei die Chipanordnung eine an einer Rückseite freiliegende metallische Leiterstruktur (**110**), mehrere Halbleiterchips (**150**) und ein Gehäusematerial (**160**) aufweist; und Ausbilden einer Lötstoppbeschichtung (**170**) auf der Rückseite der bereitgestellten Chipanordnung, wobei die Lötstoppbeschichtung (**170**) Anschlussbereiche (**121**) der Leiterstruktur (**110**) trennt.

2. Verfahren nach Anspruch 1, wobei das Bereitstellen der Chipanordnung Folgendes umfasst:

Bereitstellen einer metallischen Ausgangsschicht (**130**);

Anordnen der Halbleiterchips (**150**) auf der Ausgangsschicht (**130**);

Aufbringen des Gehäusematerials (**160**) auf der Ausgangsschicht (**130**); und

Ausbilden der Leiterstruktur (**110**) nach dem Anordnen der Halbleiterchips (**150**) und dem Aufbringen des Gehäusematerials (**160**) durch Erzeugen von die Ausgangsschicht (**130**) durchtrennenden Aussparungen (**135, 136**).

3. Verfahren nach Anspruch 2, wobei die bereitgestellte Ausgangsschicht (**130**) eine Dicke von weniger als 150µm aufweist.

4. Verfahren nach einem der Ansprüche 2 oder 3, wobei die Rückseite der Chipanordnung bei dem Ausbilden der Lötstoppbeschichtung (**170**) wenigstens im Bereich der Aussparungen (**135, 136**) mit der Lötstoppbeschichtung (**170**) bedeckt wird.

5. Verfahren nach einem der Ansprüche 2 bis 4, wobei die bereitgestellte Ausgangsschicht (**130**) Vertiefungen (**131, 132**) an einer Vorderseite oder an einer Rückseite aufweist.

6. Verfahren nach einem der Ansprüche 2 bis 5, wobei Rückseiten von Halbleiterchips (**150**) in einem Teilbereich durch das Erzeugen der Aussparungen (**136**) freigestellt und nachfolgend mit der Lötstoppbeschichtung (**170**) bedeckt werden.

7. Verfahren nach Anspruch 1, wobei das Bereitstellen der Chipanordnung Folgendes umfasst:

Bereitstellen eines metallischen Leiterrahmens (**140**), welcher die Leiterstruktur (**110**) bildet;

Anordnen der Halbleiterchips (**150**) auf dem Leiterraahmen (**140**); und

Aufbringen des Gehäusematerials (**160**) auf dem Leiterraahmen (**140**).

8. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Leiterstruktur (**110**) bei dem Ausbilden der Lötstoppbeschichtung (**170**) zum Teil mit der Lötstoppbeschichtung (**170**) bedeckt wird.

9. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Lötstoppbeschichtung (**170**) mit einer die Anschlussbereiche (**121**) umschließenden Form ausgebildet wird.

10. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Halbleiterchips (**150**) optoelektronische Halbleiterchips sind.

11. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Bereitstellen der Chipanordnung derart erfolgt, dass das Gehäusematerial (**160**) auf der Leiterstruktur (**110**) angeordnet ist und an die Halbleiterchips (**150**) angrenzt.

12. Oberflächenmontierbares Multichip-Bauelement (**101, 102, 103, 104, 105**), aufweisend eine an einer Rückseite zugängliche Leiterstruktur (**110**), mehrere Halbleiterchips (**150**), ein Gehäusematerial (**160**) und eine an der Rückseite ausgebildete Lötstoppbeschichtung (**170**), wobei die Lötstoppbeschichtung (**170**) Anschlussbereiche (**121**) der Leiterstruktur (**110**) trennt.

Es folgen 11 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1

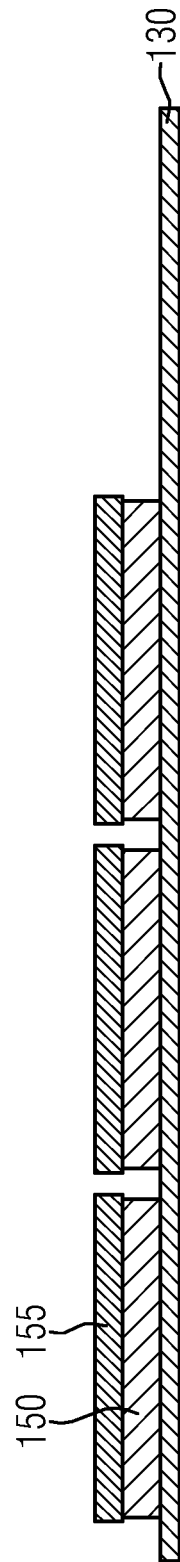


FIG 2

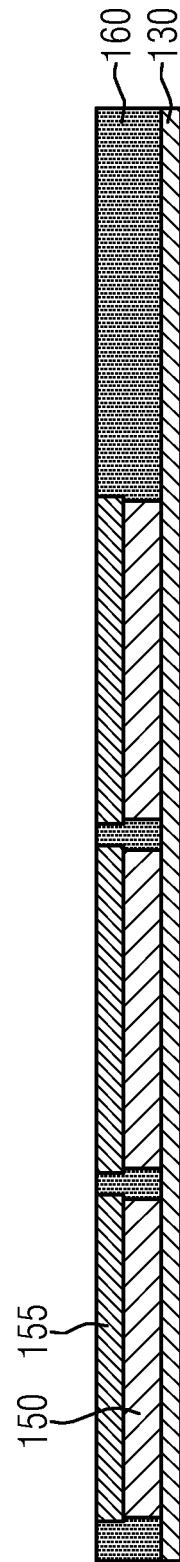


FIG 3

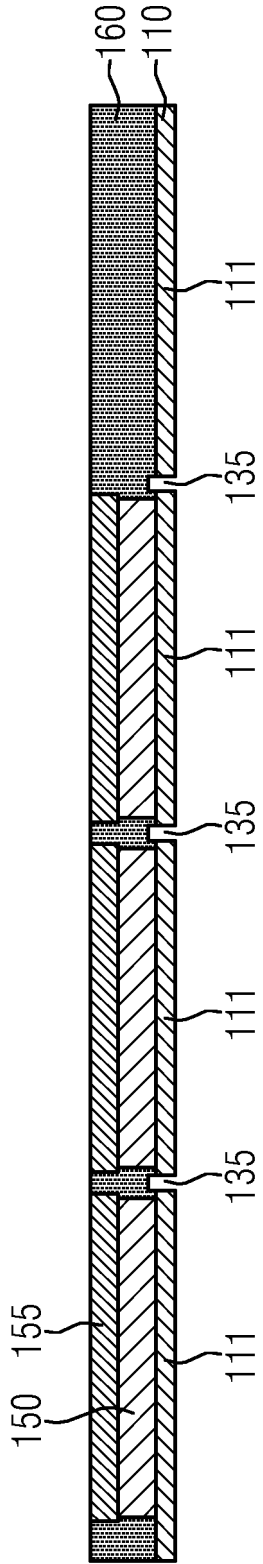


FIG 4

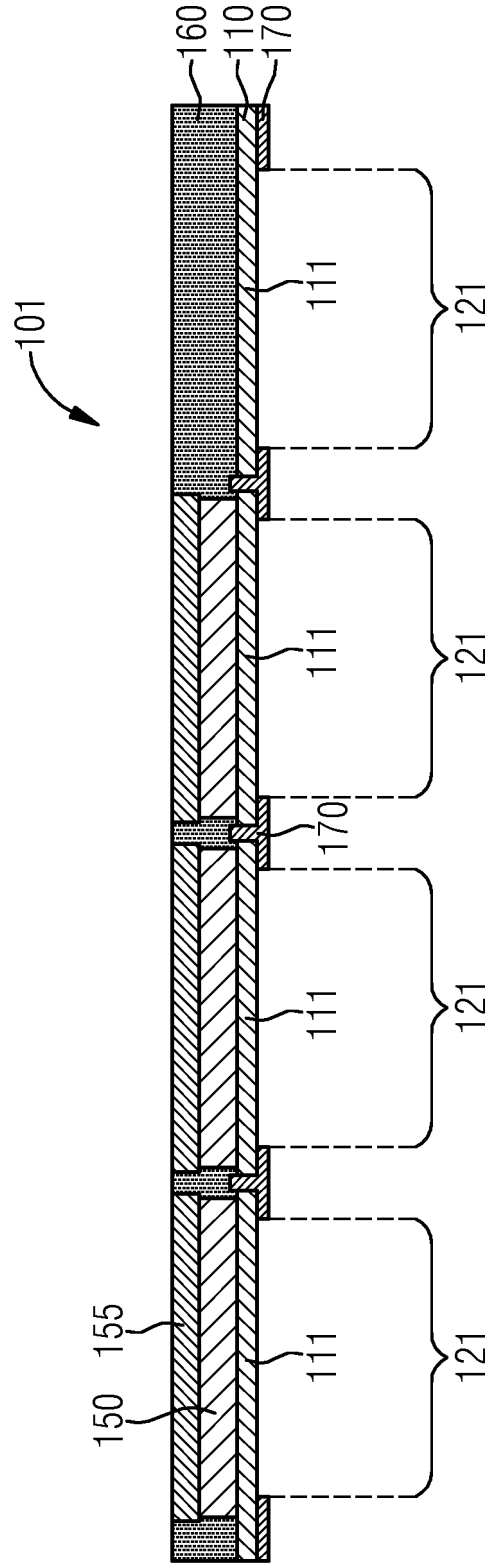


FIG 5

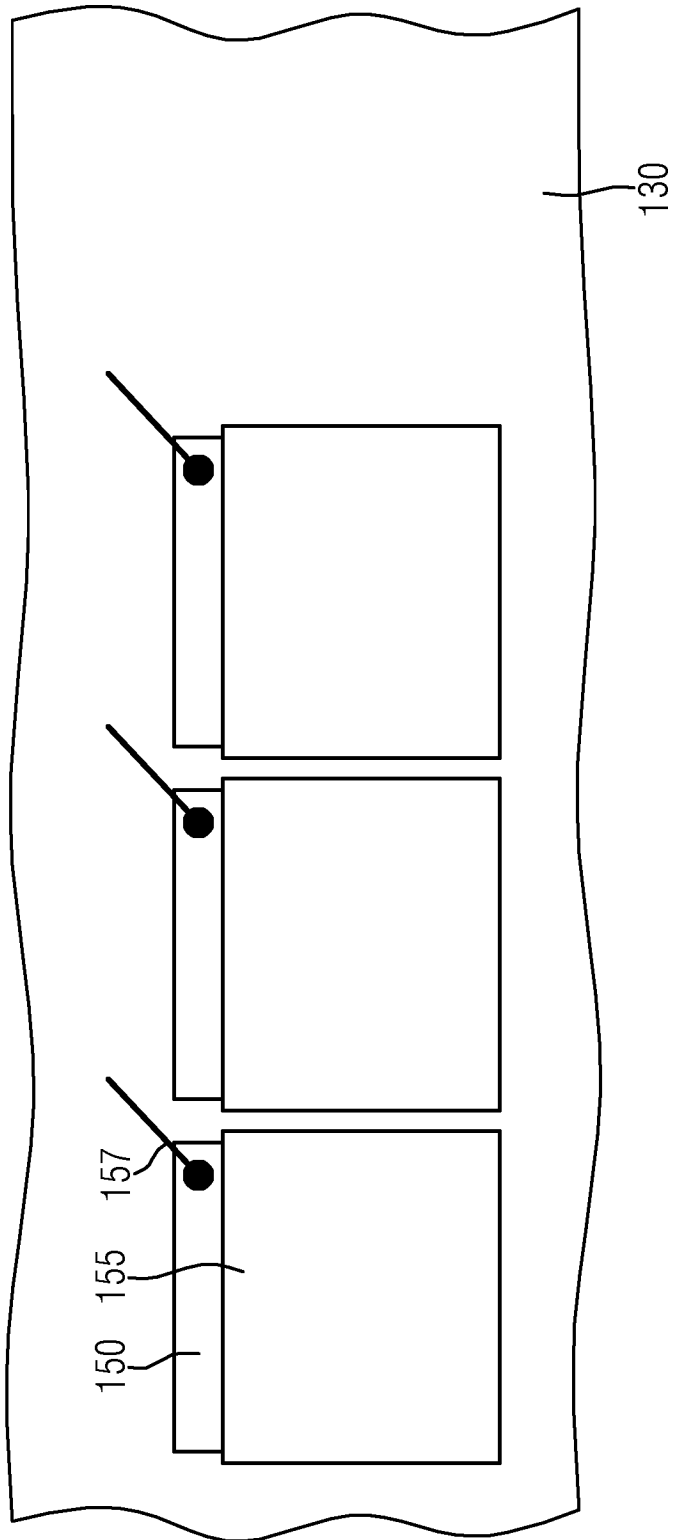


FIG 6

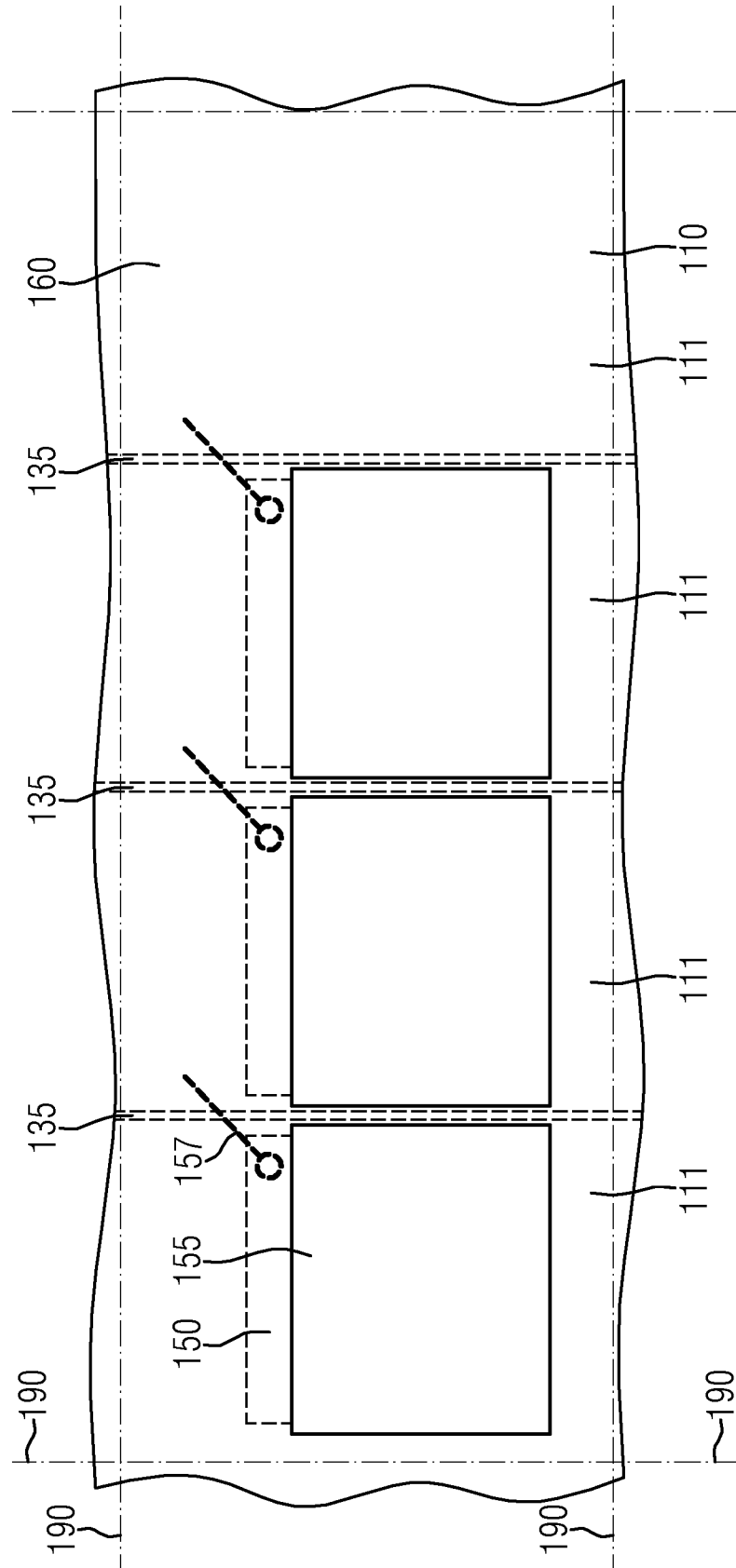


FIG 7

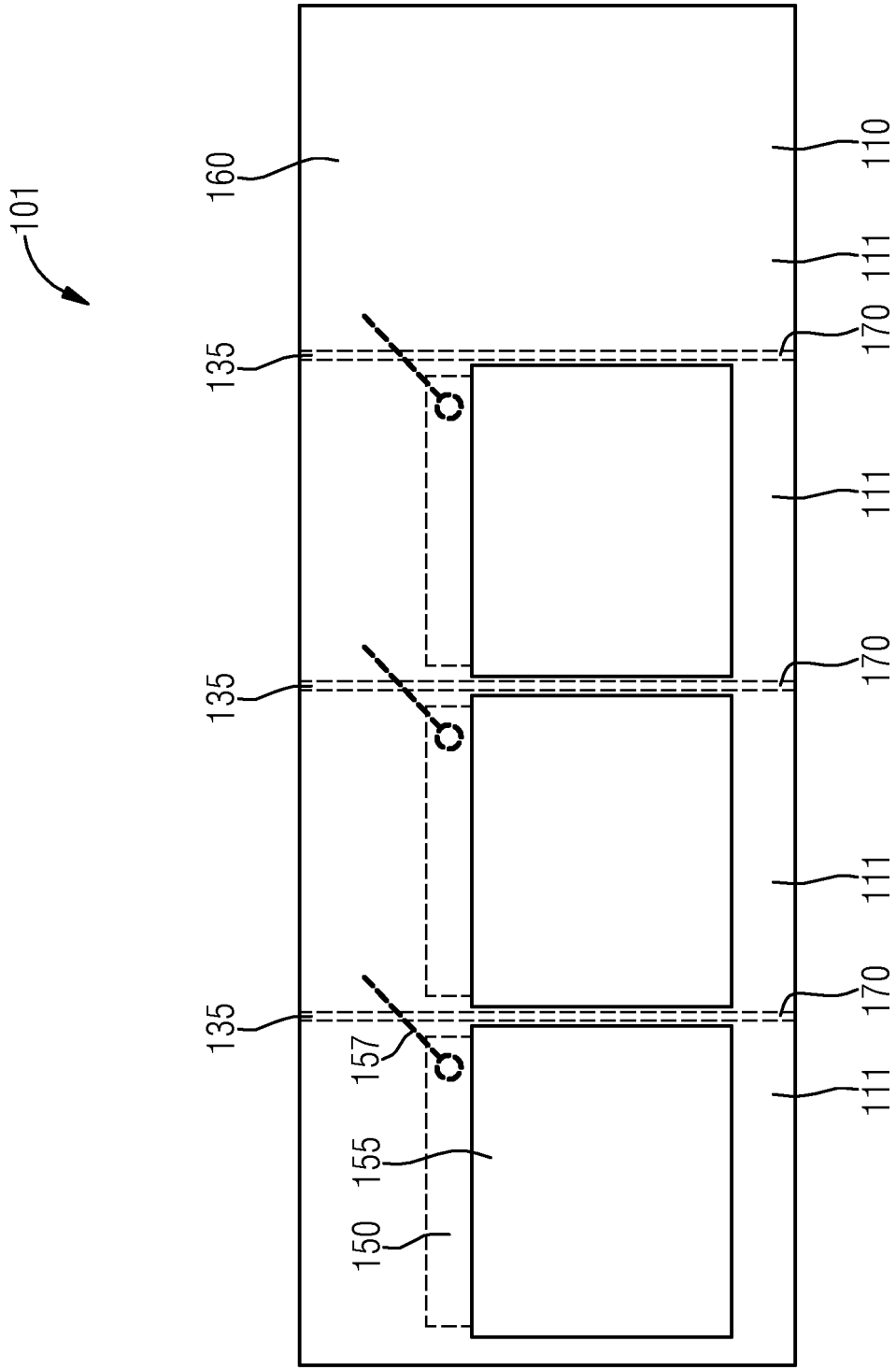


FIG 8

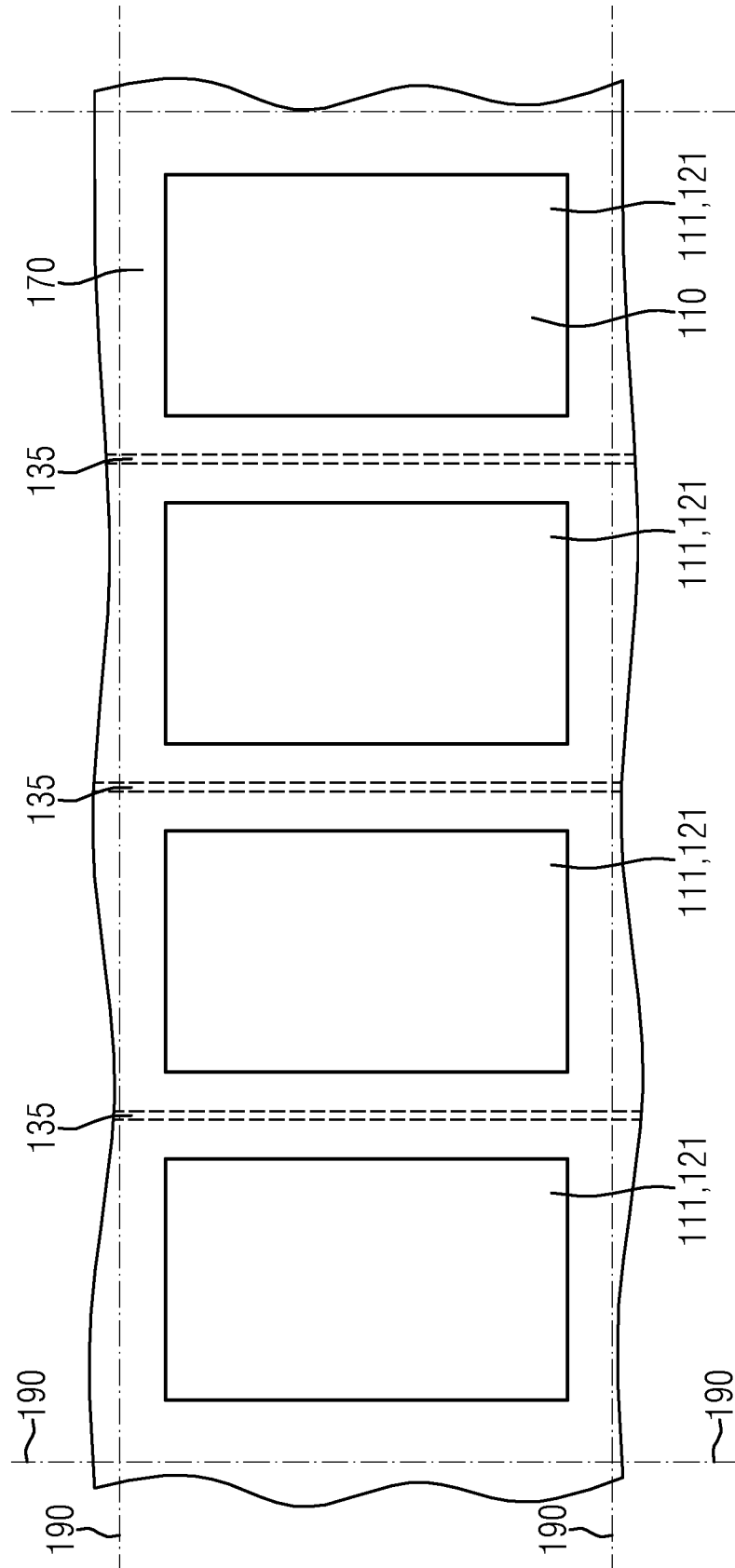




FIG 9

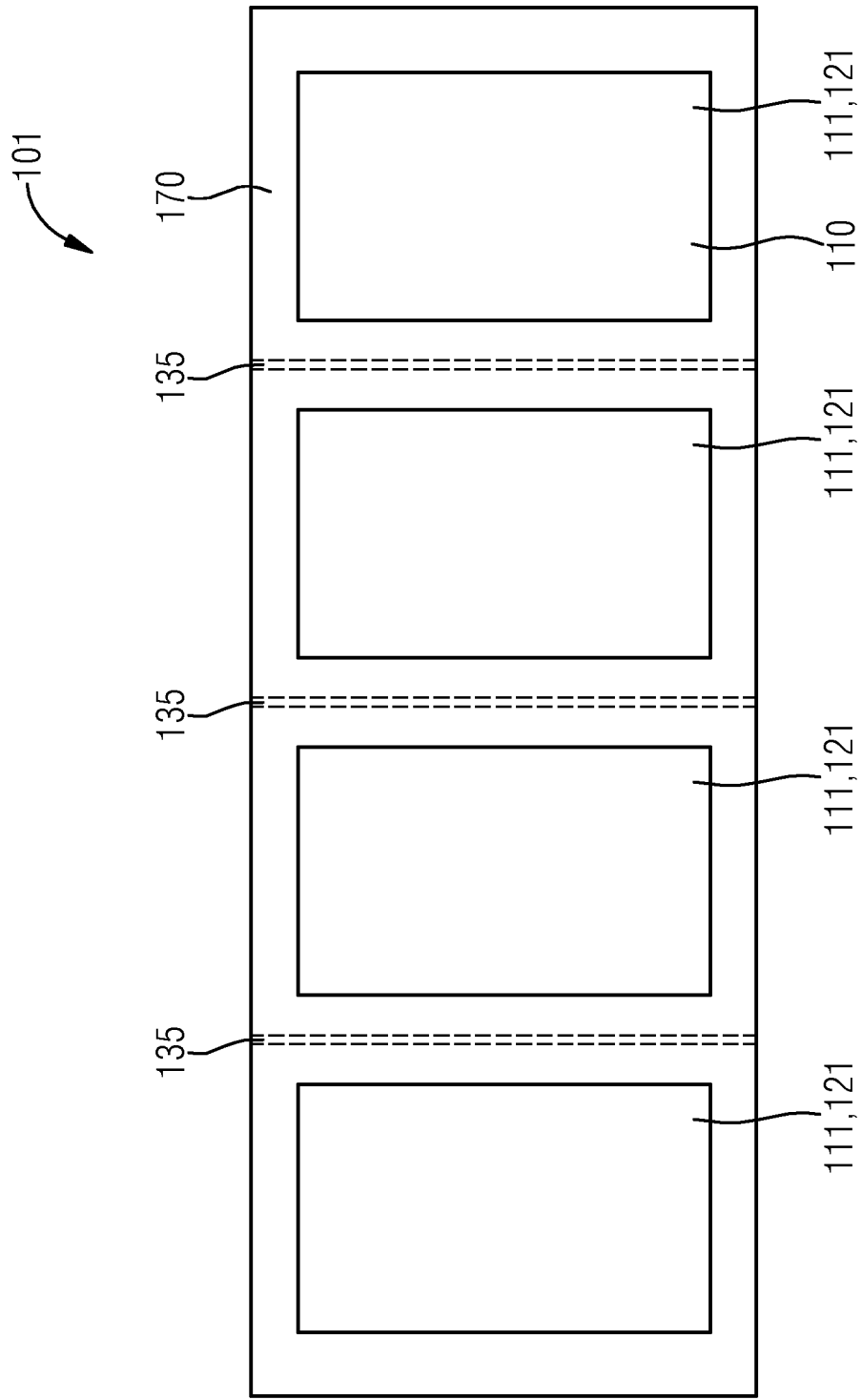


FIG 10

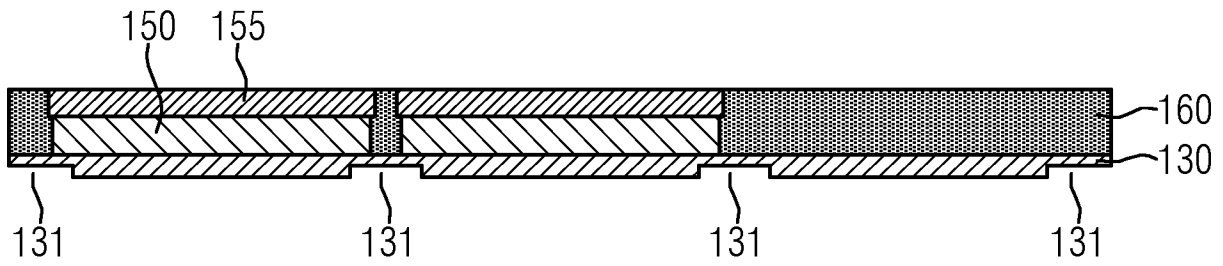


FIG 11

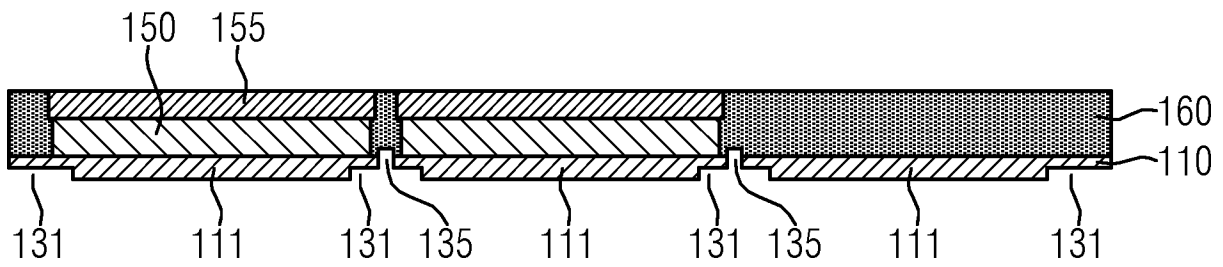


FIG 12

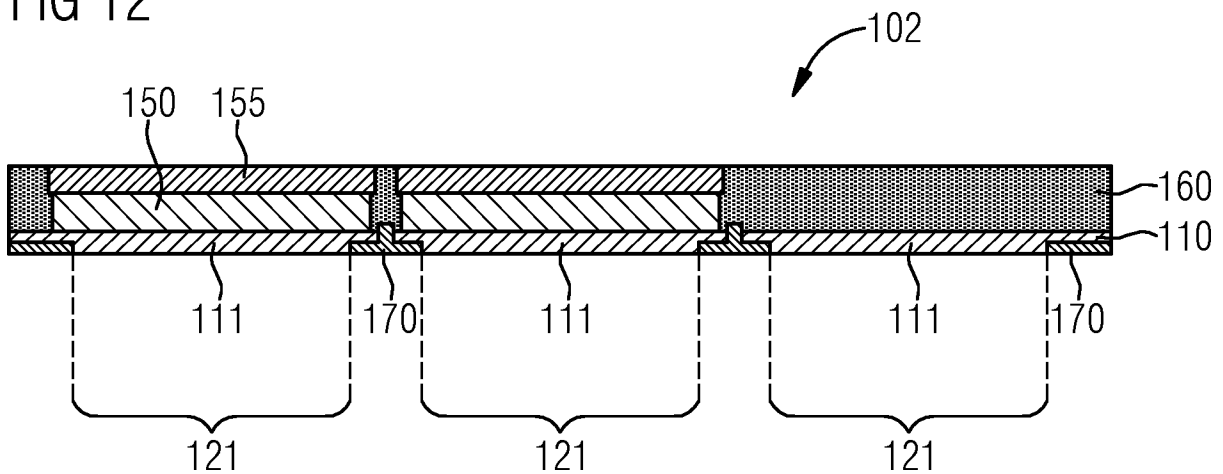


FIG 13

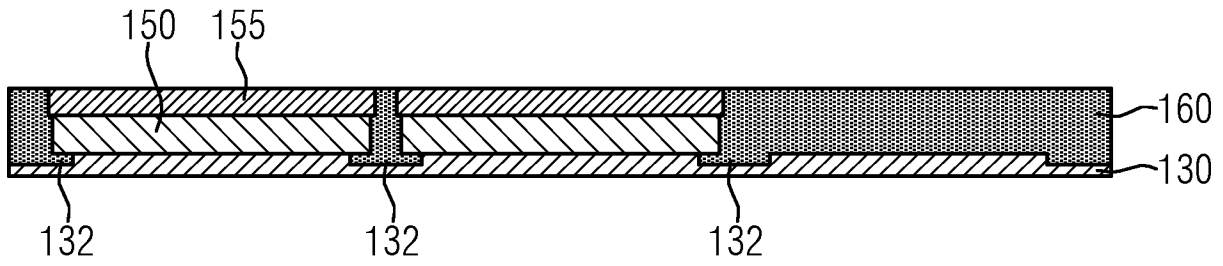


FIG 14

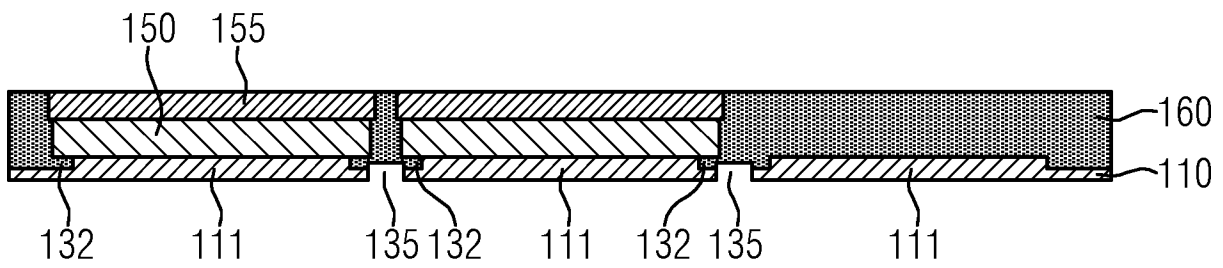


FIG 15

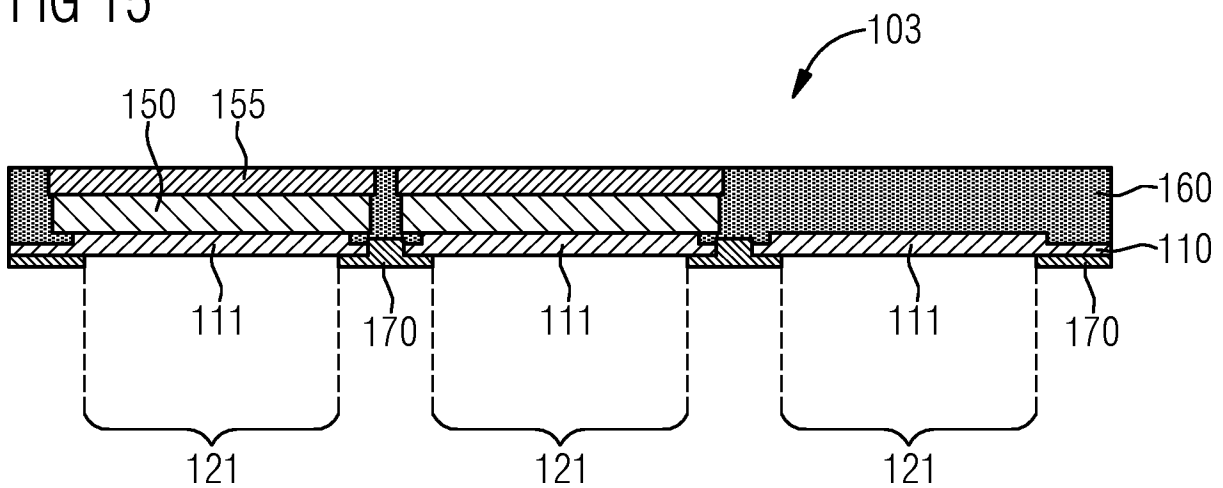


FIG 16

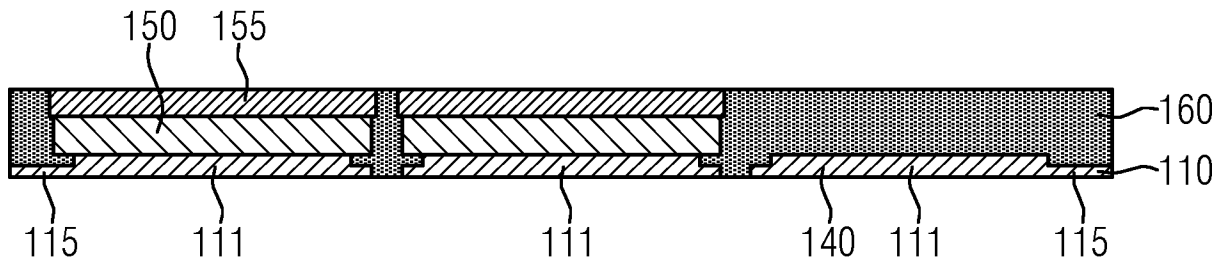


FIG 17

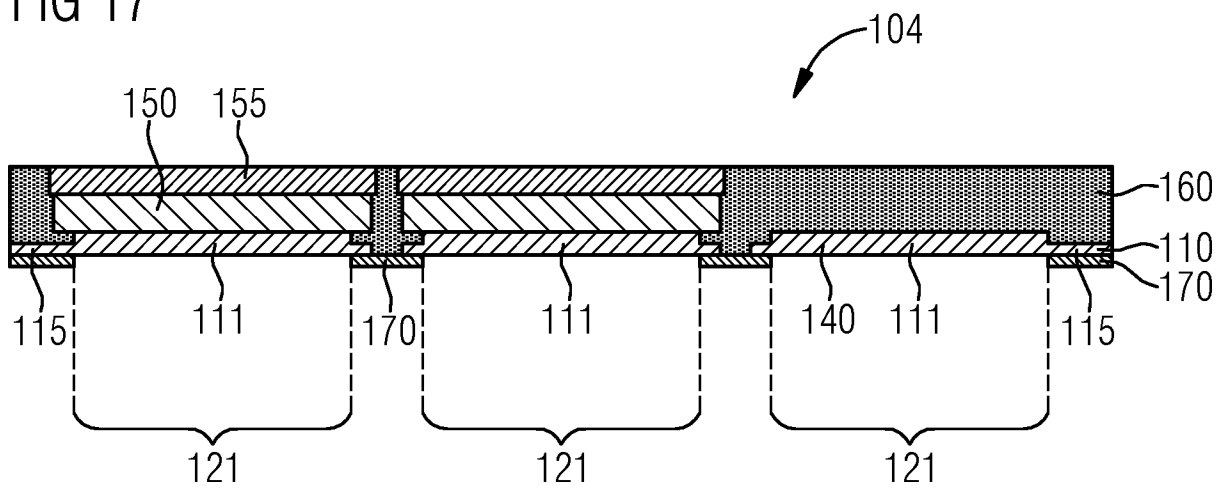


FIG 18

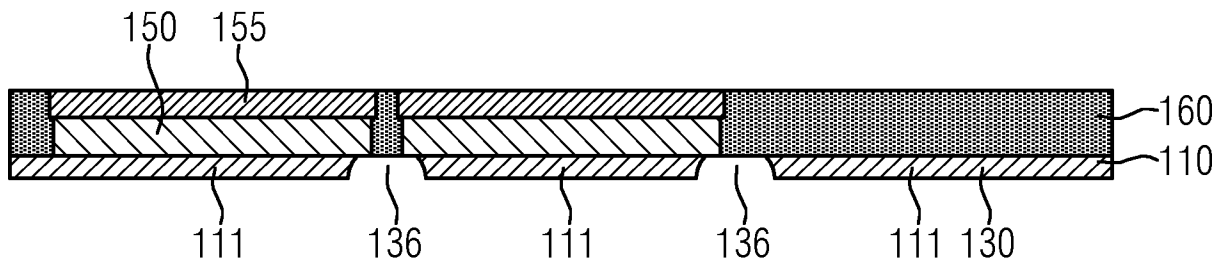


FIG 19

