

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7558938号
(P7558938)

(45)発行日 令和6年10月1日(2024.10.1)

(24)登録日 令和6年9月20日(2024.9.20)

(51)国際特許分類 F I
H 0 4 L 69/322 (2022.01) H 0 4 L 69/322
H 0 4 N 5/00 (2011.01) H 0 4 N 5/00

請求項の数 20 (全58頁)

(21)出願番号	特願2021-526007(P2021-526007)	(73)特許権者	316005926 ソニーセミコンダクタソリューションズ 株式会社 神奈川県厚木市旭町四丁目14番1号
(86)(22)出願日	令和2年6月1日(2020.6.1)	(74)代理人	100121131 弁理士 西川 孝
(86)国際出願番号	PCT/JP2020/021544	(74)代理人	稲本 義雄
(87)国際公開番号	WO2020/250727	(74)代理人	100168686 弁理士 三浦 勇介
(87)国際公開日	令和2年12月17日(2020.12.17)	(72)発明者	細江 隆 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ 株式会社内
審査請求日	令和5年4月14日(2023.4.14)	審査官	中川 幸洋
(31)優先権主張番号	特願2019-110793(P2019-110793)		
(32)優先日	令和1年6月14日(2019.6.14)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 送信装置、送信方法、受信装置、受信方法、および送受信装置

(57)【特許請求の範囲】

【請求項1】

ビット幅が異なる複数種類の単位データを格納したペイロードであって、ビット幅の種類ごとに画像の1ラインを構成する分の前記単位データを格納した前記ペイロードを生成し、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを前記ペイロードに付加することによって、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを生成するパケット生成部と、
前記パケットを送信する送信部と
を備える送信装置。

【請求項2】

前記パケット生成部は、前記単位データのビット幅が前記ペイロード内で周期的に切り替わる前記ペイロードを生成する
請求項1に記載の送信装置。

【請求項3】

前記パケット生成部は、ビット幅が同じ前記単位データを連続して格納した前記ペイロードを生成する
請求項2に記載の送信装置。

【請求項4】

前記パケット生成部は、ビット幅が周期的に切り替わることを表すモード情報とともに

、前記単位データの並び順と、ビット幅の切り替わりの周期とのうちの少なくともいずれかを表す情報を前記分離情報として含む前記ヘッダを付加する

請求項 2 に記載の送信装置。

【請求項 5】

前記パケット生成部は、複数の撮像素子により撮像して得られたそれぞれの画像を構成する画素を前記単位データとして格納した前記ペイロードを含む前記パケットを生成する
請求項 2 に記載の送信装置。

【請求項 6】

前記パケット生成部は、前記単位データのビット幅が前記ペイロード内で部分的に切り替わる前記ペイロードを生成する

請求項 1 に記載の送信装置。

【請求項 7】

前記パケット生成部は、ビット幅が部分的に切り替わることを表すモード情報とともに、前記単位データのビット幅が切り替わる部分の数、前記部分の開始位置、および、前記部分の幅のうちの少なくともいずれかを表す情報を前記分離情報として含む前記ヘッダを付加する

請求項 6 に記載の送信装置。

【請求項 8】

前記パケット生成部は、画像を解析することによって検出された注目領域を構成する画素と非注目領域を構成する画素を、それぞれビット幅が異なる前記単位データとして格納した前記ペイロードを含む前記パケットを生成する

請求項 6 に記載の送信装置。

【請求項 9】

前記パケット生成部は、前記所定のフォーマットで規定されるデータ長の前記ヘッダに格納することができない前記分離情報の一部を、前記ペイロードの先頭に格納する

請求項 1 に記載の送信装置。

【請求項 10】

前記パケット生成部は、所定のセンサの測定結果を表す各項目の情報を前記単位データとして格納した前記ペイロードを含む前記パケットを生成する

請求項 1 に記載の送信装置。

【請求項 11】

前記送信部は、前記パケットを構成するパケットデータを複数のレーンに分配し、それぞれの前記レーンの前記パケットデータに対して制御情報の挿入を含む処理を並列に行い、処理を施して得られた前記パケットデータを受信装置との間の伝送路上に出力する

請求項 1 に記載の送信装置。

【請求項 12】

送信装置が、
ビット幅が異なる複数種類の単位データを格納したペイロードであって、ビット幅の種類ごとに画像の 1 ラインを構成する分の前記単位データを格納した前記ペイロードを生成し、

複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを前記ペイロードに付加することによって、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを生成し、

前記パケットを送信する

送信方法。

【請求項 13】

ビット幅が異なる複数種類の単位データを格納したペイロードであって、ビット幅の種類ごとに画像の 1 ラインを構成する分の前記単位データを格納した前記ペイロードに、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを付加することによって生成された、伝送対象のデータを所定のフォーマ

10

20

30

40

50

ットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを受信する受信部と、

ビット幅が異なるそれぞれの前記単位データを前記分離情報に基づいて分離し、出力する分離部と

を備える受信装置。

【請求項 14】

前記分離部は、前記単位データのビット幅が前記ペイロード内で周期的に切り替わる前記ペイロードから、前記単位データを分離する

請求項 13 に記載の受信装置。

【請求項 15】

前記分離部は、ビット幅が周期的に切り替わることを表すモード情報とともに、前記単位データの並び順と、ビット幅の切り替わりの周期とのうちの少なくともいずれかを表す情報を含む前記分離情報に基づいて、前記単位データを分離する

請求項 14 に記載の受信装置。

【請求項 16】

前記分離部は、前記単位データのビット幅が前記ペイロード内で部分的に切り替わる前記ペイロードから、前記単位データを分離する

請求項 13 に記載の受信装置。

【請求項 17】

前記分離部は、ビット幅が部分的に切り替わることを表すモード情報とともに、前記単位データのビット幅が切り替わる部分の数、前記部分の開始位置、および、前記部分の幅のうちの少なくともいずれかを表す情報を含む前記分離情報に基づいて、前記単位データを分離する

請求項 16 に記載の受信装置。

【請求項 18】

前記受信部は、複数のレーンのデータとして送信装置から並列に伝送路上に出力されたパケットデータを受信し、

前記分離部は、それぞれの前記レーンの前記パケットデータを一系統のデータに統合して得られた前記パケットの前記ペイロードから、前記単位データを分離する

請求項 13 に記載の受信装置。

【請求項 19】

受信装置が、

ビット幅が異なる複数種類の単位データを格納したペイロードであって、ビット幅の種類ごとに画像の 1 ラインを構成する分の前記単位データを格納した前記ペイロードに、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを付加することによって生成された、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを受信し、

ビット幅が異なるそれぞれの前記単位データを前記分離情報に基づいて分離し、出力する受信方法。

【請求項 20】

ビット幅が異なる複数種類の単位データを格納したペイロードであって、ビット幅の種類ごとに画像の 1 ラインを構成する分の前記単位データを格納した前記ペイロードを生成し、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを前記ペイロードに付加することによって、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを生成するパケット生成部と、

前記パケットを送信する送信部と

を備える送信装置と、

前記パケットを受信する受信部と、

10

20

30

40

50

ビット幅が異なるそれぞれの前記単位データを前記分離情報に基づいて分離し、出力する分離部と

を備える受信装置と
を含む送受信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、送信装置、送信方法、受信装置、受信方法、および送受信装置に関し、特に、ビット幅が異なる複数のデータを1つのパケットのペイロードに格納して伝送することができるようにした送信装置、送信方法、受信装置、受信方法、および送受信装置に関する。

10

【背景技術】

【0002】

イメージセンサ - DSP間などのチップ間のデータ伝送のインタフェースの規格として、MIPI(Mobile Industry Processor Interface)規格、SLVS-EC(Scalable Low Voltage Signaling-Embedded Clock)規格がある。

【0003】

MIPI規格、SLVS-EC規格においては、伝送対象の1フレームの画像を構成する各画素のデータを1ライン単位で1パケットのペイロードに格納し、伝送するようになっている。1パケットのペイロードには、1ラインを構成する、同じビット幅の1種類の階調の画素のデータが格納される。

20

【先行技術文献】

【特許文献】

【0004】

【文献】特開2012 - 120159号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来のMIPI規格等においては、ビット幅が異なる複数種類の階調の画素のデータを1パケットのペイロードに格納して伝送することができない。

30

【0006】

本技術はこのような状況に鑑みてなされたものであり、ビット幅が異なる複数のデータを1つのパケットのペイロードに格納して伝送することができるようにするものである。

【課題を解決するための手段】

【0007】

本技術の第1の側面の送信装置は、ビット幅が異なる複数種類の単位データを格納したペイロードであって、ビット幅の種類ごとに画像の1ラインを構成する分の前記単位データを格納した前記ペイロードを生成し、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを前記ペイロードに付加することによって、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを生成するパケット生成部と、前記パケットを送信する送信部とを備える。

40

【0008】

本技術の第2の側面の受信装置は、ビット幅が異なる複数種類の単位データを格納したペイロードであって、ビット幅の種類ごとに画像の1ラインを構成する分の前記単位データを格納した前記ペイロードを生成し、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを前記ペイロードに付加することによって生成された、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを受信する受信部と、ビット幅が異なるそれぞれの前記単位データを前記分離情報に基づいて分離し、出力する分離部とを

50

備える。

【 0 0 0 9 】

本技術の第1の側面においては、ビット幅が異なる複数種類の単位データを格納したペイロードであって、ビット幅の種類ごとに画像の1ラインを構成する分の前記単位データを格納した前記ペイロードを生成し、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを前記ペイロードに付加することによって、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットが生成され、前記パケットが送信される。

【 0 0 1 0 】

本技術の第2の側面においては、ビット幅が異なる複数種類の単位データを格納したペイロードであって、ビット幅の種類ごとに画像の1ラインを構成する分の前記単位データを格納した前記ペイロードに、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを付加することによって生成された、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットが受信され、ビット幅が異なるそれぞれの前記単位データが前記分離情報に基づいて分離され、出力される。

10

【図面の簡単な説明】

【 0 0 1 1 】

【図1】本技術の一実施形態に係る伝送システムの構成例を示す図である。

【図2】データ伝送に用いられるフォーマットの例を示す図である。

20

【図3】ヘッダに含まれる情報を拡大して示す図である。

【図4】ペイロードに格納されるデータの例を示す図である。

【図5】データ伝送の例を示す図である。

【図6】Multi cameraシステムの例を示す図である。

【図7】ROIセンサシステムの例を示す図である。

【図8】ROIセンサの出力の例を示す図である。

【図9】格納パターンの例を示す図である。

【図10】格納パターンの他の例を示す図である。

【図11】格納パターンのさらに他の例を示す図である。

【図12】格納パターンの例を示す図である。

30

【図13】分離情報の例を示す図である。

【図14】Data IDの値の意味の例を示す図である。

【図15】Data IDの設定例を示す図である。

【図16】Data IDの他の設定例を示す図である。

【図17】分離情報の使用例を示す図である。

【図18】分離情報の他の使用例を示す図である。

【図19】ROI画像の例を示す図である。

【図20】分離情報の格納の例を示す図である。

【図21】送信部の構成例を示すブロック図である。

【図22】データ伝送の例を示す図である。

40

【図23】streamの例を示す図である。

【図24】送信部の他の構成例を示すブロック図である。

【図25】データ伝送の他の例を示す図である。

【図26】streamの例を示す図である。

【図27】受信部の構成例を示すブロック図である。

【図28】送信部の処理について説明するフローチャートである。

【図29】受信部の処理について説明するフローチャートである。

【図30】TOFセンサシステムの例を示す図である。

【図31】TOFセンサの出力データのフォーマットの例を示す図である。

【図32】パケットの構成例を示す図である。

50

【図 3 3】送信部と受信部の構成例を示す図である。

【図 3 4】ヘッダ情報の例を示す図である。

【図 3 5】各画素の画素値が 8 ビットで表される場合の Pixel to Byte 変換の例を示す図である。

【図 3 6】各画素の画素値が 10 ビットで表される場合の Pixel to Byte 変換の例を示す図である。

【図 3 7】各画素の画素値が 12 ビットで表される場合の Pixel to Byte 変換の例を示す図である。

【図 3 8】各画素の画素値が 14 ビットで表される場合の Pixel to Byte 変換の例を示す図である。

10

【図 3 9】各画素の画素値が 16 ビットで表される場合の Pixel to Byte 変換の例を示す図である。

【図 4 0】ペイロードデータの例を示す図である。

【図 4 1】ペイロードデータの他の例を示す図である。

【図 4 2】パリティが挿入されたペイロードデータの例を示す図である。

【図 4 3】ペイロードデータにヘッダを付加した状態を示す図である。

【図 4 4】ペイロードデータにヘッダとフッタを付加した状態を示す図である。

【図 4 5】パリティが挿入されたペイロードデータにヘッダを付加した状態を示す図である。

【図 4 6】パケットデータの割り当ての例を示す図である。

20

【図 4 7】制御コードの例を示す図である。

【図 4 8】K Character の値を示す図である。

【図 4 9】Pad Code の挿入の例を示す図である。

【図 5 0】制御コード挿入後のパケットデータの例を示す図である。

【図 5 1】Data Skew の補正の例を示す図である。

【図 5 2】コンピュータの構成例を示すブロック図である。

【発明を実施するための形態】

【0012】

以下、本技術を実施するための形態について説明する。説明は以下の順序で行う。

1. 伝送システムの構成例
2. フレームフォーマット
3. 階調が異なる複数の画素のデータを格納するペイロードの例
4. アプリケーションの例
5. 格納パターンの例
6. 分離情報の例
7. 送信部と受信部の構成
8. 送信部と受信部の動作
9. 他のアプリケーションの例
10. SLVS-EC 規格について
11. 変形例

30

40

【0013】

< 伝送システムの構成例 >

図 1 は、本技術の一実施形態に係る伝送システムの構成例を示す図である。

【0014】

図 1 の伝送システム 1 は、送信側 LSI 1 1 と受信側 LSI 1 2 から構成される。送信側 LSI 1 1 と受信側 LSI 1 2 は、例えば、デジタルカメラや携帯電話機などの、撮像機能を有する同じ装置内に設けられる。送信側 LSI 1 1 には情報処理部 2 1 と送信部 2 2 が設けられ、受信側 LSI 1 2 には受信部 3 1 と情報処理部 3 2 が設けられる。

【0015】

送信側 LSI 1 1 の情報処理部 2 1 は、CMOS (Complementary Metal Oxide Semicon

50

ductor)イメージセンサなどの撮像素子を有している。情報処理部 2 1 は、撮像素子において受光した光の光電変換によって得られた信号のA/D変換などを行い、1フレームの画像を構成する画素データを、1画素のデータずつ順に送信部 2 2 に出力する。

【 0 0 1 6 】

送信部 2 2 は、情報処理部 2 1 から供給された各画素のデータを、例えば情報処理部 2 1 から供給された順に複数の伝送路に割り当て、複数の伝送路を介して並列に受信側LSI 1 2 に送信する。図 1 の例においては、8本の伝送路を用いて画素データの伝送が行われている。送信側LSI 1 1 と受信側LSI 1 2 の間の伝送路は有線の伝送路であってもよいし、無線の伝送路であってもよい。以下、適宜、送信側LSI 1 1 と受信側LSI 1 2 の間の伝送路をレーン (Lane) という。

10

【 0 0 1 7 】

受信側LSI 1 2 の受信部 3 1 は、8本のレーンを介して送信部 2 2 から伝送されてきた画素データを受信し、各画素のデータを情報処理部 3 2 に順に出力する。

【 0 0 1 8 】

情報処理部 3 2 は、受信部 3 1 から供給された画素データに基づいて1フレームの画像を生成し、生成した画像を用いて各種の画像処理を行う。送信側LSI 1 1 から受信側LSI 1 2 に伝送される画像データは例えばRAWデータであり、情報処理部 3 2 においては、画像データの圧縮、画像の表示、記録媒体に対する画像データの記録などの各種の処理が行われる。RAWデータ以外に、JPEGデータや、画素データ以外の付加データが送信側LSI 1 1 から受信側LSI 1 2 に対して伝送されることもある。

20

【 0 0 1 9 】

以上のように、伝送システム 1 の送信側LSI 1 1 に設けられる送信部 2 2 と、受信側LSI 1 2 に設けられる受信部 3 1 の間では、複数のレーンを用いたデータの送受信が行われる。

【 0 0 2 0 】

送信部 2 2 と受信部 3 1 が同じ数ずつ設けられるようにすることも可能である。この場合、複数のレーンを用いたデータの送受信が、それぞれの送信部 2 2 と受信部 3 1 の組の間で行われる。

【 0 0 2 1 】

送信部 2 2 と受信部 3 1 の間のデータの送受信は、例えば、SLVS-EC規格に従って行われる。

30

【 0 0 2 2 】

SLVS-EC規格においては、信号処理の内容に応じて、アプリケーションレイヤ (Application Layer)、リンクレイヤ (LINK Layer)、および物理レイヤ (PHY Layer) が定義されている。各レイヤの信号処理が、送信側 (Tx) である送信部 2 2 と、受信側 (Rx) である受信部 3 1 のそれぞれにおいて行われる。

【 0 0 2 3 】

詳細については後述するが、リンクレイヤにおいては、基本的に、以下の機能を実現するための信号処理が行われる。

- 1 . ピクセルデータ - バイトデータ変換
- 2 . ペイロードデータのエラー訂正
- 3 . パケットデータと補助データの伝送
- 4 . パケットフッタを用いた、ペイロードデータのエラー訂正
- 5 . レーンマネジメント
- 6 . パケット生成のためのプロトコルマネジメント

40

【 0 0 2 4 】

一方、物理レイヤにおいては、基本的に、以下の機能を実現するための信号処理が行われる。

- 1 . 制御コードの生成と抽出
- 2 . バンド幅の制御
- 3 . レーン間のskewの制御

50

- 4 . シンボルの配置
- 5 . ビット同期のためのシンボルコーディング
- 6 . SERDES(SERializer/DESerializer)
- 7 . クロックの生成と再生
- 8 . SLVS(Scalable Low Voltage Signaling)信号の伝送

【 0 0 2 5 】

<フレームフォーマット>

図 2 は、送信側LSI 1 1 - 受信側LSI 1 2 間のデータ伝送に用いられるフォーマットの例を示す図である。

【 0 0 2 6 】

送信側LSI 1 1 - 受信側LSI 1 2 間においては、例えば、1 フレームの画像毎に、図 2 に示すようなフレームフォーマットを用いて、データの伝送が行われる。複数フレームの画像の伝送が、図 2 に示すようなフレームフォーマットを用いて行われることもある。

【 0 0 2 7 】

有効画素領域 A 1 は、撮像された画像の有効画素の領域である。伝送対象の画像が有効画素領域 A 1 に配置される。有効画素領域 A 1 の左側には、垂直方向の画素数が有効画素領域 A 1 の垂直方向の画素数と同じであるマージン領域 A 2 が設定される。

【 0 0 2 8 】

有効画素領域 A 1 の上側には、水平方向の画素数が、有効画素領域 A 1 とマージン領域 A 2 全体の水平方向の画素数と同じである前ダミー領域 A 3 が設定される。図 2 の例においては、前ダミー領域 A 3 にはEmbedded Dataが挿入されている。Embedded Dataは、シャッタースピード、絞り値、ゲインなどの、情報処理部 2 1 による撮像に関する設定値の情報が含まれる。後ダミー領域 A 4 にEmbedded Dataが挿入されることもある。

【 0 0 2 9 】

有効画素領域 A 1 の下側には、水平方向の画素数が、有効画素領域 A 1 とマージン領域 A 2 全体の水平方向の画素数と同じである後ダミー領域 A 4 が設定される。

【 0 0 3 0 】

有効画素領域 A 1 、マージン領域 A 2 、前ダミー領域 A 3 、および後ダミー領域 A 4 から画像データ領域 A 1 1 が構成される。

【 0 0 3 1 】

画像データ領域 A 1 1 を構成する各ラインの前にはヘッダが付加され、ヘッダの前にはStart Codeが付加される。また、画像データ領域 A 1 1 を構成する各ラインの後ろにはフッタがオプションで付加され、フッタの後ろにはEnd Codeなどの後述する制御コードが付加される。フッタが付加されない場合、画像データ領域 A 1 1 を構成する各ラインの後ろにEnd Codeなどの制御コードが付加される。

【 0 0 3 2 】

例えば1 フレームの画像を送信側LSI 1 1 から受信側LSI 1 2 に伝送する毎に、図 2 に示すフォーマットのデータ全体が伝送データとして伝送される。

【 0 0 3 3 】

図 2 の上方に示す帯は、下側に示す伝送データの伝送に用いられるパケットの構造を示している。水平方向の画素の並びをラインとすると、1 つのパケットのペイロードには、画像データ領域 A 1 1 の1 ラインを構成する画素のデータが格納される。1 フレームの画像データ全体の伝送は、画像データ領域 A 1 1 の垂直方向の画素数以上の数のパケットを用いて行われることになる。

【 0 0 3 4 】

1 ライン分の画素データが格納されたペイロードに、ヘッダとフッタが付加されることによって1 パケットが構成される。ヘッダには、Frame Start, Frame End, Line Valid, Line Numberなどの、ペイロードに格納されている画素データの付加的な情報が含まれる。各パケットには、制御コードであるStart CodeとEnd Codeが少なくとも付加される。

【 0 0 3 5 】

10

20

30

40

50

このように、1フレームの画像を構成する画素データをライン毎に伝送するフォーマットを採用することによって、ヘッダ等の付加的な情報やStart Code, End Codeなどの制御コードをライン毎のブランキング期間中に伝送することが可能になる。

【0036】

図3は、ヘッダに含まれる情報を拡大して示す図である。

【0037】

図3に示すように、ヘッダは、ヘッダ情報とHeader ECCから構成される。

【0038】

ヘッダ情報には、Frame Start, Frame End, Line Valid, Line Number, Embedded Line, Data ID, Reservedが含まれる。

【0039】

Frame Startは、フレームの先頭を示す1ビットの情報である。図2の画像データ領域A11の1ライン目の画素データの伝送に用いられるパケットのヘッダのFrame Startには1の値が設定され、他のラインの画素データの伝送に用いられるパケットのヘッダのFrame Startには0の値が設定される。

【0040】

Frame Endは、フレームの終端を示す1ビットの情報である。有効画素領域A1の終端ラインの画素データをペイロードに含むパケットのヘッダのFrame Endには1の値が設定され、他のラインの画素データの伝送に用いられるパケットのヘッダのFrame Endには0の値が設定される。

【0041】

Frame StartとFrame Endが、フレームに関する情報であるフレーム情報となる。

【0042】

Line Validは、ペイロードに格納されている画素データのラインが有効画素のラインであるのか否かを表す1ビットの情報である。有効画素領域A1内のラインの画素データの伝送に用いられるパケットのヘッダのLine Validには1の値が設定され、他のラインの画素データの伝送に用いられるパケットのヘッダのLine Validには0の値が設定される。

【0043】

Line Numberは、ペイロードに格納されている画素データにより構成されるラインのライン番号を表す13ビットの情報である。

【0044】

Line ValidとLine Numberが、ラインに関する情報であるライン情報となる。

【0045】

Embedded Lineは、Embedded Dataが挿入されているラインの伝送に用いられるパケットであるのか否かを表す1ビットの情報である。例えば、Embedded Dataを含むラインの伝送に用いられるパケットのヘッダのEmbedded Lineには1の値が設定され、他のラインの伝送に用いられるパケットのヘッダのEmbedded Lineには0の値が設定される。

【0046】

Data IDは、伝送対象のデータの識別子である。Data IDには例えば4ビットが割り当てられる。後述するように、Data IDにより、階調が異なる複数の画素のデータがペイロードに格納されていることが表される。

【0047】

Data IDの後方の領域はReserved領域となる。

【0048】

図3に示すように、ヘッダ情報に続けて配置されるHeader ECCには、ヘッダ情報に基づいて計算された誤り検出符号であるCRC(Cyclic Redundancy Check)符号が含まれる。また、Header ECCには、CRC符号に続けて、ヘッダ情報とCRC符号の組である8バイトの情報と同じ情報が2つ含まれる。

【0049】

10

20

30

40

50

すなわち、1つのパケットのヘッダには、同じヘッダ情報とCRC符号の組が3つ含まれる。ヘッダ全体のデータ量は、例えば、1組目のヘッダ情報とCRC符号の組の8バイトと、2組目のヘッダ情報とCRC符号の組の8バイトと、3組目のヘッダ情報とCRC符号の組の8バイトとの、あわせて24バイトになる。

【0050】

<階調が異なる複数の画素のデータを格納するペイロードの例>

図4は、ペイロードに格納されるデータの例を示す図である。

【0051】

図4に示すように、送信側LSI11 - 受信側LSI12間で伝送されるパケットのペイロードには、Type1データとType2データの、複数の階調の画素のデータが格納される。

10

【0052】

Type1データは、8ビットの階調の画素（階調が8ビットで表される画素）のデータである。Type2データは、12ビットの階調の画素（階調が12ビットで表される画素）のデータである。

【0053】

すなわち、図4に示す1つのパケットのペイロードには、1つの画素のデータを単位データとして、データ単位毎のビット幅が異なる複数種類の単位データが格納される。

【0054】

図4の例においては、Type1データとType2データが交互に配置されている。Type1データとType2データの文字が付されている1つのブロックが、それぞれ、8ビットの1つの画素のデータと、12ビットの1つの画素のデータを表す。図4に示す格納パターンは、複数の階調の画素のデータが、1画素のデータ毎に周期的に格納される場合のパターンとなる。

20

【0055】

図4に示すようなデータがペイロードに格納されたパケットを受信した受信側LSI12の受信部31においては、実線の矢印の先に示すように、Type1データを分離することによって、8ビットの画素から構成される1ラインが取得される。また、一点鎖線の矢印の先に示すように、Type2データを分離することによって、12ビットの画素から構成される1ラインが取得される。

【0056】

ヘッダには、図3を参照して説明した情報の他に、複数の階調の画素のデータがペイロードに格納されていることを表す情報と、Type1データ、Type2データの周期と範囲を表す情報が含まれている。受信側LSI12においては、これらの情報を含む分離情報に基づいて、Type1データとType2データが分離される。

30

【0057】

1フレームを構成する各ラインを伝送するパケットを対象としてType1データ、Type2データの分離が順次行われることにより、受信側LSI12においては、8ビットの画素から構成される1フレームの画像全体と、12ビットの画素から構成される1フレームの画像全体が取得される。

【0058】

このように、1ラインの画素のデータ全体を1つのパケットを用いて伝送する場合において、複数の階調の画素のデータを1つのペイロードに混在させることができるようにすることにより、データ伝送の効率化を図ることができる。

40

【0059】

複数の階調の画素のデータを1つのペイロードに混在させることができない場合、すなわち、1つのパケットのペイロードには1種類の階調の画素のデータしか格納することができないとした場合について考える。この場合、仮に、8ビットの画像（8ビットの画素から構成される画像）と12ビットの画像（12ビットの画素から構成される画像）を伝送するとしたときには、図5に示すように、ライン毎に2つのパケットを用いる必要がある。

50

【 0 0 6 0 】

図 3 を参照して説明したように、SLVS-EC規格においては、1 ラインのデータを伝送するごとに制御コードが設定される。2 つのパケットを伝送する場合、1 つのパケットを伝送する場合と比べて、制御コードなどの数が増える分だけデータ伝送の効率が低下することになる。複数の階調の画素のデータを1 つのペイロードに混在させることができるようにすることにより、そのようなデータ伝送の効率の低下を防ぐことが可能となる。

【 0 0 6 1 】

< アプリケーションの例 >

複数の階調の画素のデータを1 つのペイロードに混在させた伝送方式は、各種のアプリケーションに適用可能である。以下、適宜、複数の階調の画素のデータを1 つのペイロードに混在させた伝送方式を、多階調伝送方式という。

10

【 0 0 6 2 】

・ Multi camera (多眼) システム

図 6 は、Multi camera システムの例を示す図である。

【 0 0 6 3 】

Multi camera システムは、複数のイメージセンサにより例えば同時に撮像を行って得られた複数の画像を伝送するシステムである。

【 0 0 6 4 】

図 6 の例においては、イメージセンサ S 1 により撮像された 1 2 ビットの画像と、イメージセンサ S 2 により撮像された 1 0 ビットの画像がそれぞれのイメージセンサから出力され、多眼処理 LSI に入力されている。

20

【 0 0 6 5 】

多眼処理 LSI においては、1 2 ビットの画像を構成する所定のラインの画素全体と、1 0 ビットの画像を構成する所定のラインの画素全体とを1 つのペイロードに格納したパケットが生成され、host controller に伝送される。図 6 の例においては、イメージセンサ S 1 により撮像された 1 2 ビットの画像は RGB 画像とされ、イメージセンサ S 2 により撮像された 1 0 ビットの画像は Depth 画像とされている。

【 0 0 6 6 】

このように、Multi camera システムにおいては、多眼処理 LSI から host controller に対するデータ伝送に多階調伝送方式が用いられる。

30

【 0 0 6 7 】

Multi camera システムを図 1 の伝送システム 1 の構成において実現する場合、例えば、イメージセンサ S 1 , S 2 の機能は情報処理部 2 1 により実現される (複数のイメージセンサが情報処理部 2 1 に設けられる) 。また、多眼処理 LSI の機能は送信部 2 2 により実現される。host controller の機能は、受信部 3 1 と情報処理部 3 2 により実現される。

【 0 0 6 8 】

多階調伝送方式を Multi camera システムに適用することにより、1 2 ビットの RGB 画像と 1 0 ビットの Depth 画像を効率的に伝送し、低レイテンシーなデータ伝送を実現することが可能となる。

【 0 0 6 9 】

・ ROI (Region of Interest) センサシステム

図 7 は、ROI センサシステムの例を示す図である。

40

【 0 0 7 0 】

ROI センサシステムは、画像を解析することによって ROI 領域 (注目領域) と非 ROI 領域を設定し、それぞれの領域の画素のデータを異なる階調のデータとして伝送するシステムである。

【 0 0 7 1 】

図 7 の例においては、撮像された画像を ROI センサ S 1 1 において解析して得られた、例えば 1 2 ビットの ROI 領域の画素と 8 ビットの非 ROI 領域の画素が ROI センサ S 1 1 から出力され、画像処理 LSI に入力されている。

50

【 0 0 7 2 】

図 8 は、ROI センサ S 1 1 の出力の例を示す図である。

【 0 0 7 3 】

ROI センサ S 1 1 においては、画像の解析結果に基づいて、図 8 に示すようにして ROI 領域と非 ROI 領域が設定される。図 8 の例においては、画像全体のうち、左上方の略正方形の領域と右下方の平行四辺形の領域がそれぞれ ROI 領域 # 1 , # 2 として設定され、それ以外の領域が非 ROI 領域として設定されている。

【 0 0 7 4 】

図 7 の画像処理 LSI においては、画像を構成する所定のラインの伝送時、そのラインに ROI 領域の画素と非 ROI 領域の画素が含まれるときには、階調が異なる ROI 領域の画素と非 ROI 領域の画素とを 1 つのペイロードに格納したパッケージが生成され、host controller に伝送される。

【 0 0 7 5 】

このように、ROI センサシステムにおいては、画像処理 LSI から host controller に対するデータ伝送に多階調伝送方式が用いられる。

【 0 0 7 6 】

ROI センサシステムを図 1 の伝送システム 1 の構成において実現する場合、例えば、ROI センサ S 1 1 の機能は情報処理部 2 1 により実現され、画像処理 LSI の機能は送信部 2 2 により実現される。host controller の機能は、受信部 3 1 と情報処理部 3 2 により実現される。

【 0 0 7 7 】

多階調伝送方式を ROI センサシステムに適用することにより、12 ビットの ROI 領域のデータと 8 ビットの非 ROI 領域のデータを効率的に伝送することが可能となる。また、非 ROI 領域のデータを、階調を抑えた形で伝送することが可能となる。

【 0 0 7 8 】

以上のように、多階調伝送方式は、階調が異なる複数の画素のデータを伝送する各種のシステムに適用可能である。1 画素のデータ以外を単位データとして伝送するシステムに適用する場合については後述する。

【 0 0 7 9 】

< 格納パターンの例 >

・ 格納パターンの例 1

図 9 は、格納パターンの例を示す図である。

【 0 0 8 0 】

図 9 の例においては、ペイロード全体のうち、位置 P 1 から位置 P 2 までの区間に Type 1 データが格納され、位置 P 2 から位置 P 3 までの区間に Type 2 データが格納されている。位置 P 1 から位置 P 2 までの区間には、Type 1 データが 1 ラインを構成する画素の分だけ連続して格納される。また、位置 P 2 から位置 P 3 までの区間には、Type 2 データが 1 ラインを構成する画素の分だけ連続して格納される。

【 0 0 8 1 】

この場合、ヘッダに格納される分離情報には、Type 1 データ、Type 2 データの周期と範囲を表す情報が少なくとも含まれる。

【 0 0 8 2 】

受信部 3 1 においては、位置 P 2 において階調が切り替わることが分離情報に基づいて特定され、Type 1 データと Type 2 データのそれぞれのデータが分離される。

【 0 0 8 3 】

このように、多階調伝送方式においては、Type 1 データと Type 2 データを、それぞれ複数画素分まとめて格納することが可能とされる。

【 0 0 8 4 】

・ 格納パターンの例 2

図 1 0 は、格納パターンの他の例を示す図である。

10

20

30

40

50

【 0 0 8 5 】

図 1 0 の例においては、Type1データ、Type2データ、Type3データの、階調が異なる 3 種類の画素のデータが交互に配置されている。Type1データ、Type2データ、Type3データは、それぞれ、8 ビット、1 2 ビット、1 4 ビットの画素のデータである。

【 0 0 8 6 】

この場合、ヘッダに格納される分離情報には、Type1データ、Type2データ、Type3データの周期と範囲を表す情報が少なくとも含まれる。

【 0 0 8 7 】

受信部 3 1 においては、階調の切り替わり位置が分離情報に基づいて特定され、Type1データ、Type2データ、Type3データのそれぞれのデータが分離される。

10

【 0 0 8 8 】

このように、多階調伝送方式においては、階調が異なる 3 種類以上の画素のデータを格納することが可能とされる。1 つのペイロードに格納する画素の階調の数に制限はない。

【 0 0 8 9 】

なお、1 つのペイロードに格納する階調(ビット幅)の組み合わせにも制限はない。8 ビットの画素と 1 2 ビットの画素との組み合わせだけでなく、例えば、1 0 ビットの画素と 1 4 ビットの画素との組み合わせも可能である。

【 0 0 9 0 】

・格納パターンの例 3

図 1 1 は、格納パターンのさらに他の例を示す図である。

20

【 0 0 9 1 】

図 1 1 の例においては、2 画素分のType2データと 1 画素分のType1データが交互に格納されている。図 1 1 において、Type2データの 1 つのブロックの幅が長いことは、2 画素分のType2データが連続して格納されることを表す。図 1 1 に示す格納パターンは、複数の階調の画素のデータが、Type1データについては 2 画素分のType2データを挟んで周期的に、Type2データについては 1 画素分のType1データを挟んで周期的に格納される場合のパターンとなる。

【 0 0 9 2 】

この場合、ヘッダに格納される分離情報には、Type1データ、Type2データの周期と範囲を表す情報が少なくとも含まれる。

30

【 0 0 9 3 】

受信部 3 1 においては、階調の切り替わり位置が分離情報に基づいて特定され、Type1データとType2データのそれぞれのデータが分離される。

【 0 0 9 4 】

このように、多階調伝送方式においては、階調の切り替わりの周期をType1データとType2データとで異なる周期として格納することが可能とされる。

【 0 0 9 5 】

・格納パターンの例 4

図 1 2 は、格納パターンの例を示す図である。

【 0 0 9 6 】

図 1 2 の例においては、ペイロード全体のうち、位置 P 1 1 から位置 P 1 2 までの区間にType1データが格納され、位置 P 1 2 から位置 P 1 3 までの区間にType2データが格納されている。また、位置 P 1 3 から位置 P 1 4 までの区間にType1データが格納されている。

40

【 0 0 9 7 】

位置 P 1 1 から位置 P 1 2 までの区間と、位置 P 1 3 から位置 P 1 4 までの区間には、それぞれ、Type1データが複数の画素の分だけ連続して格納される。また、位置 P 1 2 から位置 P 1 3 までの区間には、Type2データが複数の画素の分だけ連続して格納される。

【 0 0 9 8 】

この場合、ヘッダに格納される分離情報には、Type1データ、Type2データのそれぞれ

50

の範囲を表す情報が少なくとも含まれる。

【0099】

受信部31においては、位置P12と位置P13のそれぞれにおいて階調が切り替わることが分離情報に基づいて特定され、Type1データとType2データのそれぞれのデータが分離される。

【0100】

このように、多階調伝送方式においては、Type2データを所定の区間に部分的に格納し、Type1データを他の部分に格納することが可能とされる。

【0101】

図12に示す格納パターンは、例えば、ROIセンサシステムにおいて、ROI領域の画素と非ROI領域の画素とを伝送する場合に用いられる。後述するように、位置P12は、例えばラインの先頭（左端）を基準としたときのROI領域の開始位置（左端の画素の位置）に対応し、位置P13はROI領域の終了位置（右端の画素の位置）に対応する。

10

【0102】

なお、図9乃至図11に示す格納パターンは、例えばMulti cameraシステムにおいて用いられる。

【0103】

このように、多階調伝送方式における格納パターンは、アプリケーションなどに応じて任意に選択可能である。

【0104】

<分離情報の例>

20

ここで、分離情報の詳細について説明する。多階調伝送方式によって複数の階調の画素のデータが1つのペイロードに格納されたパケットを受信した受信部31においては、ヘッダに含まれる分離情報に基づいて、それぞれの画素のデータが分離される。

【0105】

図13は、分離情報の例を示す図である。

【0106】

図13に示すように、Data ID（図3）に加えて、Data mode、Data step 1、Data step 2、Data_ROI_Num、Data ROI start 1、Data ROI width 1が分離情報として用いられる。Data ID以外のData mode、Data step 1、Data step 2、Data_ROI_Num、Data ROI start 1、Data ROI width 1は、例えば、ヘッダの空き領域であるReserved領域（図3）を用いて記述される。

30

【0107】

Data IDは4ビットの情報である。Data IDは、ペイロードに格納されているデータのデータタイプ（Type）を表すとともに、Multiple streamの識別子として用いられる。

【0108】

図14は、Data IDの値の意味の例を示す図である。

【0109】

Data IDを構成する4ビットのうちの[3:2]の上位2ビットは、ペイロードに格納されているデータのデータタイプを表す。

40

【0110】

例えば、上位2ビットの値が0であることは、複数の階調のデータがペイロードに格納されていないことを表す。

【0111】

上位2ビットの値が1であることは、8ビット/12ビットの順に、複数の階調のデータがペイロードに格納されていることを表す。

【0112】

上位2ビットの値が2であることは、12ビット/8ビットの順に、複数の階調のデータがペイロードに格納されていることを表す。

【0113】

50

Data IDを構成する4ビットのうちの[1:0]の下位2ビットは、Multiple streamの識別子として用いられる。ここで、streamは、データの系統に相当する。[1:0]の下位2ビットを用いて、どの系統のデータの伝送に用いられているパケットであるのかが識別される。

【0114】

例えば、下位2ビットの値が0であることは、1 stream目のデータの伝送に用いられているパケットであることを表す。

【0115】

下位2ビットの値が1であることは、2 stream目のデータの伝送に用いられているパケットであることを表す。

【0116】

下位2ビットの値が2であることは、3 stream目のデータの伝送に用いられているパケットであることを表す。

【0117】

ペイロードに格納されているデータのデータタイプを表すことに上位3ビットが用いられ、Multiple streamの識別子に下位1ビットが用いられるといったように、それぞれの情報に割り当てられるビット幅は任意に変更可能である。

【0118】

ペイロードに格納されているデータのデータタイプが、Data IDとは別に規定された所定のビット数の情報によって表されるようにしてもよい。

【0119】

図15は、Data IDの設定例を示す図である。

【0120】

図15に示すように、Line Aのデータの伝送に用いられるパケットのペイロードの前半にType1データが格納され、ペイロードの後半にType2データが格納されている場合、Data IDの値として0100が設定される。図15に示すデータの格納パターンは、図9を参照して説明したパターンと同じである。

【0121】

Data IDの上位2ビットの値が1h(01)であることにより、8ビット/12ビットの順に、複数の階調の画素のデータがペイロードに格納されていることが表される。また、下位2ビットの値が0h(00)であることにより、1 stream目としてのLine Aのデータの伝送に用いられているパケットであることが表される。

【0122】

図16は、Data IDの他の設定例を示す図である。

【0123】

図16に示すように、Line Aのデータの伝送に用いられるパケットのペイロード全体にType1データが格納され、Line Bのデータの伝送に用いられるパケットのペイロード全体にType2データが格納されている場合について説明する。この場合、Line Aのデータの伝送に用いられるパケットにはData IDの値として0000が設定される。また、Line Bのデータの伝送に用いられるパケットにはData IDの値として0001が設定される。

【0124】

Line Aのデータの伝送に用いられるパケットに設定されているData IDの上位2ビットの値が0h(00)であることにより、複数の階調の画素のデータがペイロードに格納されていないことが表される。また、下位2ビットの値が0h(00)であることにより、1 stream目としてのLine Aのデータの伝送に用いられているパケットであることが表される。

【0125】

一方、Line Bのデータの伝送に用いられるパケットに設定されているData IDの上位2ビットの値が0h(00)であることにより、複数の階調の画素のデータがペイロードに格納されていないことが表される。また、下位2ビットの値が1h(01)であることにより、2 stream目としてのLine Bのデータの伝送に用いられているパケットであることが表される。

10

20

30

40

50

【 0 1 2 6 】

このように、Data IDにより、複数の階調の画素のデータがペイロードに格納されているか否かと、複数の階調の画素のデータがペイロードに格納されている場合に、データの並び順とが少なくとも表される。

【 0 1 2 7 】

図 1 3 の説明に戻り、Data modeは 1 ビットの情報である。Data modeは、画素の階調が周期的に切り替わるか、または、部分的に切り替わるかを表す。

【 0 1 2 8 】

例えば、Data modeの値が 0 であることは、画素の階調が周期的に切り替わることを表す。

【 0 1 2 9 】

また、Data modeの値が 1 であることは、画素の階調が部分的に切り替わることを表す。

【 0 1 3 0 】

Data step 1は 2 バイトの情報である。Data step 1は、Data mode=0のときの、Type1データの切り替わり周期を表す。

【 0 1 3 1 】

Data step 2は 2 バイトの情報である。Data step 2は、Data mode=0のときの、Type2データの切り替わり周期を表す。

【 0 1 3 2 】

Data_ROI_Numは、ROI領域の数を表す。当該パケットがROI領域を構成する画素の伝送に用いられる場合に、ROI領域の数がData_ROI_Numにより表される。Data_ROI_Numには、例えば、想定されるROI領域の最大の数に応じた所定のビット幅が割り当てられる。

【 0 1 3 3 】

Data ROI start 1は、例えば 2 バイトの情報である。Data ROI start 1は、1 つ目のROI領域のX座標（開始位置）を表す。

【 0 1 3 4 】

Data ROI width 1は、例えば 2 バイトの情報である。Data ROI width 1は、1 つ目のROI領域の幅を表す。Data ROI start 1により指定されるX座標に、Data ROI width 1により指定される幅を加えた座標が、1 つ目のROI領域の終了位置の座標となる。

【 0 1 3 5 】

Data_ROI_Numの値が 2 以上である場合、すなわち、2 以上のROI領域を構成する画素の伝送にパケットが用いられる場合、ROI領域毎に、Data ROI startとData ROI widthが記述される。

【 0 1 3 6 】

図 1 7 は、分離情報の使用例を示す図である。

【 0 1 3 7 】

Multi cameraシステム（図 6 ）に多階調伝送方式を適用した場合、図 1 7 において太字で示すように、分離情報を構成する各情報のうちの、Data ID、Data mode、Data step 1、Data step 2が用いられる。

【 0 1 3 8 】

Type1データとType2データが 1 画素のデータ毎に交互にペイロードに格納される場合（図 4 ）、Data IDの値として例えば 0100 が設定される。

【 0 1 3 9 】

また、Data modeの値として 0 の値が設定され、Data step 1、Data step 2の値としてそれぞれ 1 の値が設定される。

【 0 1 4 0 】

Data modeの値が 0 であることは、画素の階調が周期的に切り替わることを表す。また、Data step 1、Data step 2の値が 1 であることは、8 ビットから 1 2 ビットへの階調

10

20

30

40

50

の切り替わりと、12ビットから8ビットへの階調の切り替わりが、それぞれ1画素のデータ毎に生じることを表す。

【0141】

図18は、分離情報の他の使用例を示す図である。

【0142】

ROIセンサシステム(図7)に多階調伝送方式を適用した場合、図18において太字で示すように、分離情報を構成する各情報のうちの、Data ID、Data mode、Data ROI Num、Data ROI start 1、Data ROI width 1が用いられる。ROI領域の数に応じて、適宜、Data ROI startとData ROI widthが追加して記述される。

【0143】

例えば、図19に示す画像を構成する、太線で示すラインL1の画素のデータを伝送する場合について説明する。図19に示す伝送対象の画像は、図8を参照して説明した画像と同じ画像である。伝送対象の画像にはROI領域#1、#2が設定されている。ラインL1には、位置P1から位置P2の区間に、ROI領域#2を構成する画素が含まれる。

【0144】

この場合、Data IDの値として例えば0100の値が設定され、Data modeの値として1の値が設定される。Data modeの値が1であることは、画素の階調が部分的に切り替わることを表す。

【0145】

また、Data ROI Numの値として、ROI領域の数が1であることを表す値が設定される。Data ROI start 1の値として、図19の位置P1のX座標を表す値が設定され、Data ROI width 1の値として、図19の位置P1から位置P2までの距離に相当する幅を表す値が設定される。

【0146】

図19の下段に示すように、ペイロードには、位置P1から位置P2の区間に対応する区間にType2データが部分的に格納され、それ以外の区間にType1データが格納される。

【0147】

図20は、分離情報の格納の例を示す図である。

【0148】

図20に示すように、分離情報の一部が、ペイロードの先頭に格納されるようにすることも可能である。

【0149】

例えばROIセンサシステムに多階調伝送方式を適用した場合、ROI領域の数によっては、Data ROI startとData ROI widthをヘッダに収めることができないことがある。Data ROI startとData ROI widthはROI領域毎に設定される情報であるため、伝送対象のラインに含まれるROI領域の数が多い場合には、Data ROI startとData ROI widthのデータ量が、ヘッダの空き領域のデータ量を超えることがある。

【0150】

図20に示すように、ペイロードの先頭を分離情報の一部の格納のために用いることにより、伝送対象のラインに含まれるROI領域の数が多い場合であっても、それぞれのROI領域に関する情報を伝送することが可能となる。

【0151】

<送信部と受信部の構成>

・送信部の構成

図21は、送信部22の構成例を示すブロック図である。

【0152】

図21に示すように、送信部22は、Core51-1、Core_sub51-2、メモリ52、Lane分配部53、8B10Bシンボルエンコーダ54、およびPHYアナログ処理部55から構成される。

【0153】

10

20

30

40

50

例えば、情報処理部 2 1 から出力された 1 系統目のstreamはCore 5 1 - 1 に入力され、2 系統目のstreamはCore_sub 5 1 - 2 に入力される。Core 5 1 - 1 とCore_sub 5 1 - 2 は外部から供給された信号を処理する信号処理回路である。

【 0 1 5 4 】

Core 5 1 - 1 は、信号処理部 6 1、制御部 6 2、および状態制御部 6 3 から構成される。信号処理部 6 1 は、Packing部 7 1、ヘッダ/フッタ生成部 7 2、およびパケット生成部 7 3 から構成される。

【 0 1 5 5 】

信号処理部 6 1 のPacking部 7 1 は、外部から供給されたstreamを構成するデータを、8 ビット単位、1 2 ビット単位などの所定のビット幅のデータに区切ることによって、所定のビット幅の画素のデータ(所定のビット幅を有する単位データ)を生成する。Packing部 7 1 は、各画素のデータをメモリ 5 2 に出力し、記憶させる。

10

【 0 1 5 6 】

ヘッダ/フッタ生成部 7 2 は、メモリ 5 2 に記憶されているデータを参照し、ペイロードにおける各画素のデータの格納パターンに応じた分離情報を生成する。ヘッダ/フッタ生成部 7 2 は、分離情報を含むヘッダを生成し、パケット生成部 7 3 に出力するとともに、適宜、所定の情報を含むフッタをパケット生成部 7 3 に出力する。

【 0 1 5 7 】

パケット生成部 7 3 は、メモリ 5 2 に記憶されている画素のデータを読み出し、各画素のデータを格納パターンに応じて格納することによってペイロードを生成する。パケット生成部 7 3 は、ヘッダ/フッタ生成部 7 2 により生成されたヘッダなどをペイロードに付加することによってパケットを生成し、Lane分配部 5 3 に出力する。

20

【 0 1 5 8 】

制御部 6 2 は、信号処理部 6 1 における全体の処理を制御する。例えば、ヘッダ/フッタ生成部 7 2 が生成するペイロードにおける各画素のデータの格納パターンが制御部 6 2 により制御される。

【 0 1 5 9 】

状態制御部 6 3 は、信号処理部 6 1 の状態を制御する。信号処理部 6 1 の各処理が、状態制御部 6 3 により設定された状態に応じて行われる。

【 0 1 6 0 】

30

Core_sub 5 1 - 2 は、Core 5 1 - 1 と同様の構成を有する。Core_sub 5 1 - 2 においては、外部から供給された 2 系統目のstreamを対象として、Core 5 1 - 1 において行われる処理と同様の処理が行われる。

【 0 1 6 1 】

メモリ 5 2 は、例えばSRAM(Static Random Access Memory)により構成され、Core 5 1 - 1 とCore_sub 5 1 - 2 の共有のFIFOとして機能する。メモリ 5 2 に記憶された各画素のデータは、記憶された順に読み出される。

【 0 1 6 2 】

図 2 2 は、データ伝送の例を示す図である。

【 0 1 6 3 】

40

図 2 2 の矢印 A 1 , A 2 で示すように、情報処理部 2 1 から供給された 2 系統のstreamを伝送する場合について説明する。

【 0 1 6 4 】

例えば、Multi cameraシステムにおいては、複数のイメージセンサを含む情報処理部 2 1 から出力された 2 系統のstreamが送信部 2 2 に入力される。図 2 3 の A に示すように、Core 5 1 - 1 に入力される 1 系統目のstreamは、8 ビットの画素のデータである。また、図 2 3 の B に示すように、Core_sub 5 1 - 2 に入力される 2 系統目のstreamは、1 2 ビットの画素のデータである。

【 0 1 6 5 】

8 ビットの画素のデータからなる 1 系統目のstreamは、Core 5 1 - 1 のPacking部 7

50

1における処理を経てメモリ52に記憶される。また、12ビットの画素のデータからなる2系統目のstreamは、Core_sub51-2のPacking部71における処理を経てメモリ52に記憶される。

【0166】

2系統のstreamを1系統のstreamとしてまとめて伝送する場合、メモリ52に記憶されたデータが、図22の矢印A3に示すようにして、Core51-1により順次読み出される。また、Core51-1において、複数の階調の画素のデータを1つのペイロードに格納した、図23のBに示すような多階調伝送方式のパケットが生成される。

【0167】

図23のBに示すパケットのペイロードには、図4を参照して説明した格納パターンと同じ格納パターンに従って、8ビットの画素のデータと12ビットの画素のデータが格納されている。

【0168】

このように、Multi cameraシステムにおいて2系統のstreamを1系統のstreamとしてまとめて伝送する場合、Core51-1の出力とCore_sub51-2の出力のうちの、片側の出力のみが用いられる。Core51-1からLane分配部53に対しては、複数の階調の画素のデータをペイロードに格納したパケットが供給される。

【0169】

図21の説明に戻り、Lane分配部53は、Core51-1のパケット生成部73からパケットが供給された場合、パケットを構成するデータを複数のレーンに分配し、各レーンのデータを並列に8B10Bシンボルエンコーダ54に出力する。

【0170】

Core_sub51-2のパケット生成部73からパケットが供給された場合も同様に、Lane分配部53は、パケットを構成するデータを複数のレーンに分配し、各レーンのデータを並列に8B10Bシンボルエンコーダ54に出力する。

【0171】

物理レイヤの処理である8B10Bシンボルエンコーダ54、PHYアナログ処理部55の処理は、レーン毎に並列に行われる。

【0172】

8B10Bシンボルエンコーダ54は、Lane分配部53から供給されたデータに対して8B10B変換を施し、10ビット単位のデータとしてPHYアナログ処理部55に出力する。

【0173】

PHYアナログ処理部55の同期部81は、各レーンのデータを同期させて送信部82に出力する。

【0174】

送信部82は、同期部81から供給された各レーンのデータを伝送路上に出力する。送信部82から伝送路上に出力されたデータは、受信部31により受信される。

【0175】

図24は、送信部22の他の構成例を示すブロック図である。

【0176】

図24に示す送信部22の構成は、Core51-1、Core_sub51-2のそれぞれがFIFOを有している点で、図21の構成と異なる。図24に示す構成のうち、上述した構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

【0177】

Core51-1を構成する信号処理部61のPacking部71は、外部から供給されたstreamを構成するデータを、所定のビット幅のデータに区切ることによって、所定のビット幅の画素のデータを生成する。Packing部71は、各画素のデータをFIFO74に出力し、記憶させる。

【0178】

ヘッダ/フッタ生成部72は、FIFO74に記憶されているデータを参照し、ペイロード

10

20

30

40

50

における各画素のデータの格納パターンに応じた分離情報を生成する。ヘッダ/フッタ生成部 7 2 は、分離情報を含むヘッダを生成し、パケット生成部 7 3 に出力するとともに、適宜、所定の情報を含むフッタをパケット生成部 7 3 に出力する。

【 0 1 7 9 】

パケット生成部 7 3 は、FIFO 7 4 に記憶されている画素のデータを読み出し、各画素のデータを格納パターンに応じて格納することによってペイロードを生成する。パケット生成部 7 3 は、ヘッダ/フッタ生成部 7 2 により生成されたヘッダなどをペイロードに付加することによってパケットを生成し、Lane 分配部 5 3 に出力する。

【 0 1 8 0 】

Core_sub 5 1 - 2 は、Core 5 1 - 1 と同様の構成を有する。Core_sub 5 1 - 2 においては、外部から供給された 2 系統目の stream を対象として、Core 5 1 - 1 において行われる処理と同様の処理が行われる。

10

【 0 1 8 1 】

図 2 5 は、データ伝送の他の例を示す図である。

【 0 1 8 2 】

図 2 5 の矢印 A 1 1 , A 1 2 で示すように、情報処理部 2 1 から供給された 1 系統の stream を伝送する場合について説明する。矢印 A 1 1 , A 1 2 は、1 系統の stream として、階調が異なるデータが供給されることを表す。

【 0 1 8 3 】

例えば、ROI センサシステムにおいては、ROI 領域を構成する画素のデータと非 ROI 領域を構成する画素のデータが、図 2 6 の A に示すように、1 系統の stream として送信部 2 2 に入力される。図 2 6 の A に示す stream を構成するデータは、図 1 9 を参照して説明した、ROI 領域を構成する画素と非 ROI 領域を構成する画素を含む 1 ラインのデータである。

20

【 0 1 8 4 】

8 ビットの画素のデータと 1 2 ビットの画素のデータを含む 1 系統の stream は、Core 5 1 - 1 の Packing 部 7 1 における処理を経て FIFO 7 4 に記憶される。

【 0 1 8 5 】

FIFO 7 4 に記憶されたデータが、矢印 A 1 3 に示すようにして、パケット生成部 7 3 により順次読み出される。また、複数の階調の画素のデータを 1 つのペイロードに格納した、図 2 6 の B に示すような多階調伝送方式のパケットが生成される。

30

【 0 1 8 6 】

図 2 6 の B に示すパケットのペイロードには、図 1 2 を参照して説明した格納パターンと同じ格納パターンに従って、8 ビットの画素のデータと 1 2 ビットの画素のデータが格納されている。

【 0 1 8 7 】

このように、外部から入力された 1 系統の stream を伝送するアプリケーションにおいては、例えば図 2 5 の構成が用いられる。また、外部から入力された 2 系統の stream を伝送するアプリケーションにおいては、例えば図 2 1 の構成が用いられる。

【 0 1 8 8 】

・受信部の構成

40

図 2 7 は、受信部 3 1 の構成例を示すブロック図である。

【 0 1 8 9 】

図 2 7 に示すように、受信部 3 1 は、PHY アナログ処理部 1 0 1、10B8B シンボルデコーダ 1 0 2、Lane 統合部 1 0 3、および Core 1 0 4 から構成される。送信部 2 2 から伝送路上に出力されたデータは、PHY アナログ処理部 1 0 1 に入力される。

【 0 1 9 0 】

物理レイヤの処理である PHY アナログ処理部 1 0 1、10B8B シンボルデコーダ 1 0 2 の処理は、レーン毎に並列に行われる。

【 0 1 9 1 】

PHY アナログ処理部 1 0 1 の受信部 1 1 1 は、伝送路を介して送信部 2 2 から伝送され

50

てきたパケットのデータを表すレーン毎の信号を受信し、同期部 1 1 2 に出力する。

【 0 1 9 2 】

同期部 1 1 2 は、受信部 1 1 1 から供給された信号のエッジを検出することによってビット同期をとり、エッジの検出周期に基づいてクロック信号を生成する。また、同期部 1 1 2 は、生成したクロック信号に従って、受信部 1 1 1 において受信された信号のサンプリングを行い、サンプリングによって得られたパケットのデータを 10B8B シンボルデコーダ 1 0 2 に出力する。

【 0 1 9 3 】

10B8B シンボルデコーダ 1 0 2 は、同期部 1 1 2 から供給されたデータに対して 10B8B 変換を施し、8 ビット単位のデータとして Lane 統合部 1 0 3 に出力する。

10

【 0 1 9 4 】

Lane 統合部 1 0 3 は、10B8B シンボルデコーダ 1 0 2 から供給された各レーンのデータを、送信部 2 2 の Lane 分配部 5 3 (図 2 1) による各レーンへの分配順と逆順で並び替えることによって統合する。Lane 統合部 1 0 3 は、統合したパケットのデータを Core 1 0 4 に出力する。

【 0 1 9 5 】

Core 1 0 4 は、信号処理部 1 2 1、制御部 1 2 2、および状態制御部 1 2 3 から構成される。信号処理部 1 2 1 は、パケット解析部 1 3 1、分離部 1 3 2、および出力部 1 3 3 - 1、1 3 3 - 2 から構成される。

【 0 1 9 6 】

信号処理部 1 2 1 のパケット解析部 1 3 1 は、Lane 統合部 1 0 3 から供給されたパケットのデータを受信し、パケットの解析を行う。例えば、パケット解析部 1 3 1 は、パケットを構成するペイロードのデータを分離部 1 3 2 に出力するとともに、ヘッダを解析する。パケット解析部 1 3 1 は、ヘッダに含まれる分離情報に基づいて、階調の切り替わり位置などを表す情報を分離部 1 3 2 に出力する。

20

【 0 1 9 7 】

分離部 1 3 2 は、ペイロードに格納されているそれぞれの階調の画素のデータを、パケット解析部 1 3 1 から供給された情報により表される階調の切り替わり位置などに基づいて分離する。分離部 1 3 2 は、8 ビットの画素のデータを出力部 1 3 3 - 1 に出力し、1 2 ビットの画素のデータを出力部 1 3 3 - 2 に出力するといったように、分離した画素のデータを階調に応じて振り分ける。

30

【 0 1 9 8 】

出力部 1 3 3 - 1 の FIFO 1 4 1 は、分離部 1 3 2 から供給されたデータを記憶する。FIFO 1 4 1 に記憶されたデータは、記憶された順にピクセルデータ変換部 1 4 2 により読み出される。

【 0 1 9 9 】

ピクセルデータ変換部 1 4 2 は、FIFO 1 4 1 から読み出したデータを 8 ビットの階調の画素のデータに変換し、出力する。

【 0 2 0 0 】

出力部 1 3 3 - 2 は、出力部 1 3 3 - 1 と同様の構成を有している。出力部 1 3 3 - 2 においては、分離部 1 3 2 から供給されたデータを対象として、出力部 1 3 3 - 1 において行われる処理と同様の処理が行われる。出力部 1 3 3 - 2 のピクセルデータ変換部 1 4 2 からは、1 2 ビットの画素のデータが出力される。

40

【 0 2 0 1 】

制御部 1 2 2 は、Core 1 0 4 における全体の処理を制御する。

【 0 2 0 2 】

状態制御部 1 2 3 は、Core 1 0 4 の状態を制御する。Core 1 0 4 の各処理が、状態制御部 1 2 3 により設定された状態に応じて行われる。

【 0 2 0 3 】

< 送信部と受信部の動作 >

50

以上のような構成を有する送信部 2 2 と受信部 3 1 の動作について説明する。

【 0 2 0 4 】

・送信部の動作

はじめに、図 2 8 のフローチャートを参照して、多階調伝送方式によってデータを送信する送信部 2 2 の処理について説明する。

【 0 2 0 5 】

図 2 8 の処理は、例えば、情報処理部 2 1 から出力された 1 系統目の stream が Core 5 1 - 1 に入力され、2 系統目の stream が Core_sub 5 1 - 2 に入力されたときに開始される。

【 0 2 0 6 】

ステップ S 1 において、複数階調の画素のデータがメモリ 5 2 に記憶される。すなわち、Core 5 1 - 1 を構成する信号処理部 6 1 の Packing 部 7 1 は、例えば 8 ビットの画素のデータをメモリ 5 2 に出力し、記憶させる。また、Core_sub 5 1 - 2 を構成する信号処理部 6 1 の Packing 部 7 1 は、例えば 1 2 ビットの画素のデータをメモリ 5 2 に出力し、記憶させる。

【 0 2 0 7 】

ステップ S 2 において、ヘッダ/フッタ生成部 7 2 は、各画素のデータの格納パターンに応じた、Data ID などの分離情報を含むヘッダを生成する。

【 0 2 0 8 】

ステップ S 3 において、パケット生成部 7 3 は、メモリ 5 2 に記憶されている画素のデータを読み出し、各画素のデータを格納パターンに応じて格納することによって、複数の階調の画素のデータが格納されたペイロードを生成する。

【 0 2 0 9 】

ステップ S 4 において、パケット生成部 7 3 は、ヘッダ/フッタ生成部 7 2 により生成されたヘッダなどをペイロードに付加することによってパケットを生成する。

【 0 2 1 0 】

ステップ S 5 において、Lane 分配部 5 3 は、Core 5 1 - 1 のパケット生成部 7 3 から供給されたパケットを構成するデータを複数のレーンに分配し、出力する。

【 0 2 1 1 】

ステップ S 6 において、PHY アナログ処理部 5 5 は、各レーンのデータに対して物理レイヤの処理を施し、各レーンのデータを送信部 8 2 から送信する。

【 0 2 1 2 】

以上の処理が、1 フレームを構成する各ラインを対象として繰り返し行われる。

【 0 2 1 3 】

・受信部の動作

次に、図 2 9 のフローチャートを参照して、多階調伝送方式によって送信されてきたデータを受信する受信部 3 1 の処理について説明する。

【 0 2 1 4 】

図 2 9 の処理は、例えば、送信部 2 2 から伝送されてきたパケットのデータを表すレーン毎の信号が供給されたときに開始される。

【 0 2 1 5 】

ステップ S 1 1 において、PHY アナログ処理部 1 0 1 は、受信部 1 1 1 において受信した信号の同期をとるなどして、パケットのデータを受信する。

【 0 2 1 6 】

ステップ S 1 2 において、Lane 統合部 1 0 3 は、PHY アナログ処理部 1 0 1 の 10B8B シンボルデコーダ 1 0 2 から供給された各レーンのデータを統合する。

【 0 2 1 7 】

ステップ S 1 3 において、信号処理部 1 2 1 のパケット解析部 1 3 1 は、Lane 統合部 1 0 3 から供給されたパケットのデータを受信し、ヘッダの解析を行う。分離情報の解析が行われることによって、階調の切り替わり位置などが特定される。

10

20

30

40

50

【0218】

ステップS14において、分離部132は、ペイロードに格納されているそれぞれの階調の画素のデータを、パケット解析部131によるヘッダの解析結果に基づいて分離する。分離部132から出力部133-1に対しては、例えば8ビットの画素のデータが出力される。また、分離部132から出力部133-2に対しては、例えば12ビットの画素のデータが出力される。

【0219】

ステップS15において、出力部133-1のピクセルデータ変換部142は、FIFO141から読み出したデータを8ビットの階調の画素のデータに変換し、出力する。また、出力部133-2のピクセルデータ変換部142は、FIFO141から読み出したデータを12ビットの階調の画素のデータに変換し、出力する。

10

【0220】

以上の処理が、各ラインの画素のデータを格納するパケットが送信部22から伝送されてくる間、繰り返し行われる。

【0221】

<他のアプリケーションの例>

以上においては、画素のデータを伝送する場合について説明したが、多階調伝送方式は、画素のデータ以外の各種のデータの伝送に用いることが可能である。

【0222】

図30は、TOF(Time of Flight)センサシステムの例を示す図である。

20

【0223】

TOFセンサシステムは、光源から発した光の反射光を検出することによって、対象物までの距離を測定するシステムである。

【0224】

図30の例においては、測定結果を表す情報がTOFセンサS21から出力され、情報処理LSIに入力されている。測定結果には、例えば、キャリブレーションに用いられた値を表す情報であるキャリブレーション情報と、対象のヒストグラムを表す情報であるヒストグラム情報が含まれる。

【0225】

図31は、TOFセンサS21の出力データのフォーマットの例を示す図である。

30

【0226】

図31に示すように、TOFセンサS21からは、あらかじめ決められた所定の数のキャリブレーション情報とヒストグラム情報が出力データとして出力される。図31の例においては、N+1個のキャリブレーション情報とヒストグラム情報によって1つの出力データが構成される。キャリブレーション情報のビット幅は8ビットであり、ヒストグラム情報のビット幅は12ビットである。

【0227】

すなわち、TOFセンサS21の出力データは、ビット幅が異なる複数の項目のデータから構成される。このような所定のフォーマットを有する出力データが、測定が行われる毎にTOFセンサS21から出力される。

40

【0228】

情報処理LSIにおいては、TOFセンサS21から供給された出力データ全体を1ラインのデータとして1つのペイロードに格納したパケットが生成され、host controllerに伝送される。

【0229】

図32は、パケットの構成例を示す図である。

【0230】

図32に示すように、パケットのペイロードには、N+1個のキャリブレーション情報が連続して格納され、それに続けて、N+1個のヒストグラム情報が連続して格納される。

【0231】

50

すなわち、図 3 2 に示す 1 つのパケットのペイロードには、測定結果を表す 1 つの項目のデータを単位データとして、データ単位毎のビット幅が異なる複数種類の単位データが格納される。

【 0 2 3 2 】

このように、伝送対象のデータが所定のフォーマットを有しており、ビット幅が異なる複数の項目がフォーマットに含まれている場合、送信部 2 2 は、複数の項目のデータ全体を 1 つのペイロードに格納し、多階調伝送方式によって伝送することができる。

【 0 2 3 3 】

なお、TOFセンサシステムを図 1 の伝送システム 1 の構成において実現する場合、例えば、TOFセンサ S 2 1 の機能は情報処理部 2 1 により実現され、画像処理LSIの機能は送信部 2 2 により実現される。host controllerの機能は、受信部 3 1 と情報処理部 3 2 により実現される。

10

【 0 2 3 4 】

多階調伝送方式をTOFセンサシステムに適用することにより、ビット幅が異なる複数の項目の情報を効率的に伝送することが可能となる。

【 0 2 3 5 】

< SLVS-EC規格について >

ここで、SLVS-EC規格について説明する。

【 0 2 3 6 】

図 3 3 は、送信部 2 2 と受信部 3 1 の詳細な構成例を示す図である。

20

【 0 2 3 7 】

図 3 3 の左側に破線で囲んで示す構成が送信部 2 2 の構成であり、右側に破線で囲んで示す構成が受信部 3 1 の構成である。送信部 2 2 と受信部 3 1 は、それぞれ、リンクレイヤの構成と物理レイヤの構成からなる。送信部 2 2 と受信部 3 1 のそれぞれのレイヤにおいては、上述した処理以外の各種の処理が実際には行われる。

【 0 2 3 8 】

実線 L 2 より上側に示す構成がリンクレイヤの構成であり、実線 L 2 より下側に示す構成が物理レイヤの構成である。送信部 2 2 において、実線 L 2 より上側に示す構成がリンクレイヤの信号処理を行う構成となり、実線 L 2 より下側に示す構成が物理レイヤの信号処理を行う構成となる。

30

【 0 2 3 9 】

また、受信部 3 1 において、実線 L 2 より下側に示す構成が物理レイヤの信号処理を行う構成となり、実線 L 2 より上側に示す構成がリンクレイヤの信号処理を行う構成となる。

【 0 2 4 0 】

なお、実線 L 1 の上に示す構成はアプリケーションレイヤの構成である。システム制御部 2 1 1、フレームデータ入力部 2 1 2、およびレジスタ 2 1 3 は例えば情報処理部 2 1 において実現される。

【 0 2 4 1 】

システム制御部 2 1 1 は、送信部 2 2 のLINK-TXプロトコル管理部 2 2 1 と通信を行い、フレームフォーマットに関する情報を提供するなどして画像データの伝送を制御する。

40

【 0 2 4 2 】

フレームデータ入力部 2 1 2 は、伝送対象の画像を構成する各画素のデータを送信部 2 2 のPixel to Byte変換部 2 2 2 に供給する。

【 0 2 4 3 】

レジスタ 2 1 3 は、Pixel to Byte変換のビット数やLane数等の情報を記憶する。レジスタ 2 1 3 に記憶されている情報に従って画像データの送信処理が行われる。

【 0 2 4 4 】

また、アプリケーションレイヤの構成のうちのフレームデータ出力部 3 4 1、レジスタ 3 4 2、およびシステム制御部 3 4 3 は情報処理部 3 2 において実現される。

【 0 2 4 5 】

50

フレームデータ出力部 3 4 1 は、受信部 3 1 から供給された各ラインの画素データに基づいて 1 フレームの画像を生成し、出力する。フレームデータ出力部 3 4 1 から出力された画像を用いて各種の処理が行われる。

【 0 2 4 6 】

レジスタ 3 4 2 は、Byte to Pixel 変換のビット数や Lane 数などの、画像データの受信に関する各種の設定値を記憶する。レジスタ 3 4 2 に記憶されている情報に従って画像データの受信処理が行われる。

【 0 2 4 7 】

システム制御部 3 4 3 は、LINK-RX プロトコル管理部 3 2 1 と通信を行い、モードチェンジ等のシーケンスを制御する。

【 0 2 4 8 】

・送信部 2 2 のリンクレイヤの構成

はじめに、送信部 2 2 のリンクレイヤの構成について説明する。

【 0 2 4 9 】

送信部 2 2 のリンクレイヤ処理部 2 2 A には、リンクレイヤの構成として、LINK-TX プロトコル管理部 2 2 1、Pixel to Byte 変換部 2 2 2、ペイロード ECC 挿入部 2 2 3、パケット生成部 2 2 4、およびレーン分配部 2 2 5 が設けられる。LINK-TX プロトコル管理部 2 2 1 は、状態制御部 2 3 1、ヘッダ生成部 2 3 2、データ挿入部 2 3 3、およびフッタ生成部 2 3 4 から構成される。

【 0 2 5 0 】

例えば、Pixel to Byte 変換部 2 2 2 は、図 2 1 の Packing 部 7 1 に対応する。パケット生成部 2 2 4 は、図 2 1 のパケット生成部 7 3 に対応する。レーン分配部 2 2 5 は、図 2 1 の Lane 分配部 5 3 に対応する。ヘッダ生成部 2 3 2 とフッタ生成部 2 3 4 は、図 2 1 のヘッダ / フッタ生成部 7 2 に対応する。すなわち、図 2 1 等に示す構成は、送信部 2 2 の構成を簡略化して示す構成となる。

【 0 2 5 1 】

LINK-TX プロトコル管理部 2 2 1 の状態制御部 2 3 1 は、送信部 2 2 のリンクレイヤの状態を管理する。

【 0 2 5 2 】

ヘッダ生成部 2 3 2 は、1 ライン分の画素データが格納されたペイロードに付加されるヘッダを生成し、パケット生成部 2 2 4 に出力する。

【 0 2 5 3 】

図 3 4 は、ヘッダ情報と CRC 符号の 1 つの組を構成する 8 バイトのビット配列の例を示す図である。

【 0 2 5 4 】

ヘッダを構成する 8 バイトのうち 1 番目の 1 バイトであるバイト H 7 には、1 ビット目から順に、Frame Start, Frame End, Line Valid の各 1 ビットと、Line Number の 1 3 ビットのうちの 1 ~ 5 ビット目が含まれる。また、2 番目の 1 バイトであるバイト H 6 には、Line Number の 1 3 ビットのうちの 6 ~ 1 3 ビット目が含まれる。

【 0 2 5 5 】

3 番目の 1 バイトであるバイト H 5 から 6 番目の 1 バイトであるバイト H 2 が Reserved となる。多階調伝送方式においては、この Reserved 領域を用いて分離情報などが記述される。7 番目の 1 バイトであるバイト H 1 と 8 番目の 1 バイトであるバイト H 0 には CRC 符号の各ビットが含まれる。

【 0 2 5 6 】

図 3 3 の説明に戻り、ヘッダ生成部 2 3 2 は、システム制御部 2 1 1 による制御に従ってヘッダ情報を生成する。例えば、システム制御部 2 1 1 からは、フレームデータ入力部 2 1 2 が出力する画素データのライン番号を表す情報や、フレームの先頭、終端を表す情報が供給される。

【 0 2 5 7 】

10

20

30

40

50

また、ヘッダ生成部 2 3 2 は、ヘッダ情報を生成多項式に適用してCRC符号を計算する。ヘッダ情報に付加されるCRC符号の生成多項式は例えば下式 (1) により表される。

【数 1】

$$\text{CRC16} = X^{16} + X^{15} + X^2 + 1 \quad \dots (1)$$

【 0 2 5 8 】

ヘッダ生成部 2 3 2 は、ヘッダ情報にCRC符号を付加することによってヘッダ情報とCRC符号の組を生成し、同じヘッダ情報とCRC符号の組を 3 組繰り返して配置することによってヘッダを生成する。ヘッダ生成部 2 3 2 は、生成したヘッダをパケット生成部 2 2 4 10

【 0 2 5 9 】

データ挿入部 2 3 3 は、スタッフィング (stuffing) に用いられるデータを生成し、Pixel to Byte変換部 2 2 2 とレーン分配部 2 2 5 に出力する。Pixel to Byte変換部 2 2 2 に供給されたスタッフィングデータであるペイロードスタッフィングデータは、Pixel to Byte変換後の画素データに付加され、ペイロードに格納される画素データのデータ量の調整に用いられる。また、レーン分配部 2 2 5 に供給されたスタッフィングデータであるレーンスタッフィングデータは、レーン割り当て後のデータに付加され、レーン間のデータ量の調整に用いられる。

【 0 2 6 0 】

フッタ生成部 2 3 4 は、システム制御部 2 1 1 による制御に応じて、適宜、ペイロードデータを生成多項式に適用して 3 2 ビットのCRC符号を計算し、計算により求めたCRC符号をフッタとしてパケット生成部 2 2 4 に出力する。フッタとして付加されるCRC符号の生成多項式は例えば下式 (2) により表される。

【数 2】

$$\text{CRC32} = X^{32} + X^{31} + X^4 + X^3 + X + 1 \quad \dots (2)$$

【 0 2 6 1 】

Pixel to Byte変換部 2 2 2 は、フレームデータ入力部 2 1 2 から供給された画素データを取得し、各画素のデータを 1 バイト単位のデータに変換するPixel to Byte変換を行う。例えば、画像の各画素の画素値 (RGB) は、8 ビット、1 0 ビット、1 2 ビット、1 4 ビット、1 6 ビットのうちのいずれかのビット数で表される。

【 0 2 6 2 】

図 3 5 は、各画素の画素値が 8 ビットで表される場合のPixel to Byte変換の例を示す図である。

【 0 2 6 3 】

Data[0]がLSBを表し、数字の最も大きいData[7]がMSBを表す。白抜き矢印で示すように、この場合、画素Nの画素値を表すData[7]~[0]の 8 ビットは、Data[7]~[0]からなるByte Nに変換される。各画素の画素値が 8 ビットで表される場合、Pixel to Byte変換後のバイト単位のデータの数は、画素の数と同じ数になる。

【 0 2 6 4 】

図 3 6 は、各画素の画素値が 1 0 ビットで表される場合のPixel to Byte変換の例を示す図である。

【 0 2 6 5 】

この場合、画素Nの画素値を表すData[9]~[0]の 1 0 ビットは、Data[9]~[2]からなるByte 1.25*Nに変換される。

【 0 2 6 6 】

画素N+1~N+3についても同様に、それぞれの画素値を表すData[9]~[0]の 1 0 ビットが、Data[9]~[2]からなるByte 1.25*N+1~Byte 1.25*N+3に変換される。また、画素 50

N ~ N+3のそれぞれの下位のビットであるData[1]とData[0]が集められてByte $1.25 * N + 4$ に変換される。各画素の画素値が10ビットで表される場合、Pixel to Byte変換後のバイト単位のデータの数は、画素の数の1.25倍の数になる。

【0267】

図37は、各画素の画素値が12ビットで表される場合のPixel to Byte変換の例を示す図である。

【0268】

この場合、画素Nの画素値を表すData[11] ~ [0]の12ビットは、Data[11] ~ [4]からなるByte $1.5 * N$ に変換される。

【0269】

画素N+1についても同様に、画素N+1の画素値を表すData[11] ~ [0]の12ビットが、Data[11] ~ [4]からなるByte $1.5 * N + 1$ に変換される。また、画素Nと画素N+1のそれぞれの下位のビットであるData[3] ~ [0]が集められてByte $1.5 * N + 2$ に変換される。各画素の画素値が12ビットで表される場合、Pixel to Byte変換後のバイト単位のデータの数は、画素の数の1.5倍の数になる。

【0270】

図38は、各画素の画素値が14ビットで表される場合のPixel to Byte変換の例を示す図である。

【0271】

この場合、画素Nの画素値を表すData[13] ~ [0]の14ビットは、Data[13] ~ [6]からなるByte $1.75 * N$ に変換される。

【0272】

画素N+1 ~ N+3についても同様に、それぞれの画素値を表すData[13] ~ [0]の14ビットが、Data[13] ~ [6]からなるByte $1.75 * N + 1$ ~ Byte $1.75 * N + 3$ に変換される。また、画素N ~ N+3のビットのうちの残ったビットが下位のビットから順に集められ、例えば、画素NのビットであるData[5] ~ [0]と、画素N+1のビットであるData[5], [4]がByte $1.75 * N + 4$ に変換される。

【0273】

同様に、画素N+1のビットであるData[3] ~ [0]と、画素N+2のビットであるData[5] ~ [2]がByte $1.75 * N + 5$ に変換され、画素N+2のビットであるData[1], [0]と、画素N+3のビットであるData[5] ~ [0]がByte $1.75 * N + 6$ に変換される。各画素の画素値が14ビットで表される場合、Pixel to Byte変換後のバイト単位のデータの数は、画素の数の1.75倍の数になる。

【0274】

図39は、各画素の画素値が16ビットで表される場合のPixel to Byte変換の例を示す図である。

【0275】

この場合、画素Nの画素値を表すData[15] ~ [0]の16ビットは、Data[15] ~ [8]からなるByte $2 * N$ とData[7] ~ [0]からなるByte $2 * N + 1$ に変換される。各画素の画素値が16ビットで表される場合、Pixel to Byte変換後のバイト単位のデータの数は、画素の数の2倍の数になる。

【0276】

図33のPixel to Byte変換部222は、このようなPixel to Byte変換を例えばラインの左端の画素から順に各画素を対象として行う。また、Pixel to Byte変換部222は、Pixel to Byte変換によって得られたバイト単位の画素データに、データ挿入部233から供給されたペイロードスタッフィングデータを付加することによってペイロードデータを生成し、ペイロードECC挿入部223に出力する。

【0277】

図40は、ペイロードデータの例を示す図である。

【0278】

10

20

30

40

50

図 4 0 は、各画素の画素値が 1 0 ビットで表される場合の Pixel to Byte 変換によって得られた画素データを含むペイロードデータを示している。色を付していない 1 つのブロックが、Pixel to Byte 変換後のバイト単位の画素データを表す。また、色を付している 1 つのブロックが、データ挿入部 2 3 3 により生成されたペイロードスタッフィングデータを表す。なお、多階調伝送方式においては、複数の階調の画素のデータによってペイロードデータが構成される。

【 0 2 7 9 】

Pixel to Byte 変換後の画素データは、変換によって得られた順に、所定の数のグループにグループ化される。図 4 0 の例においては、各画素データがグループ 0 ~ 1 5 の 1 6 グループにグループ化されており、画素 P 0 の MSB を含む画素データがグループ 0 に割り当てられ、画素 P 1 の MSB を含む画素データがグループ 1 に割り当てられている。また、画素 P 2 の MSB を含む画素データがグループ 2 に割り当てられ、画素 P 3 の MSB を含む画素データがグループ 3 に割り当てられ、画素 P 0 ~ P 3 の LSB を含む画素データがグループ 4 に割り当てられている。

10

【 0 2 8 0 】

画素 P 4 の MSB を含む画素データ以降の画素データについても、グループ 5 以降の各グループに順に割り当てられる。ある画素データがグループ 1 5 に割り当てられたとき、それ以降の画素データは、グループ 0 以降の各グループに順に割り当てられる。なお、画素データを表すブロックのうち、3 本の破線が内側に付されているブロックは、Pixel to Byte 変換時に、画素 N ~ N+3 の LSB を含むようにして生成されたバイト単位の画素データを表す。

20

【 0 2 8 1 】

送信部 2 2 のリンクレイヤにおいては、このようにしてグループ化が行われた後、クロック信号によって規定される期間毎に、各グループにおいて同じ位置にある画素データを対象として処理が並行して行われる。すなわち、図 4 0 に示すように 1 6 のグループに画素データが割り当てられた場合、各列に並ぶ 1 6 の画素データを同じ期間内に処理するようにして画素データの処理が進められる。

【 0 2 8 2 】

上述したように、1 つのパケットのペイロードには 1 ラインの画素データが含まれる。図 4 0 に示す画素データ全体が、1 ラインを構成する画素データである。ここでは、図 2 の有効画素領域 A 1 の画素データの処理について説明しているが、マージン領域 A 2 等の他の領域の画素データについても有効画素領域 A 1 の画素データとともに処理される。

30

【 0 2 8 3 】

1 ライン分の画素データがグループ化された後、各グループのデータ長が同じ長さになるように、ペイロードスタッフィングデータが付加される。ペイロードスタッフィングデータは 1 バイトのデータである。

【 0 2 8 4 】

図 4 0 の例においては、グループ 0 の画素データにはペイロードスタッフィングデータが付加されず、破線で囲んで示すように、グループ 1 ~ 1 5 の各画素データには、終端にペイロードスタッフィングデータが 1 つずつ付加されている。画素データとスタッフィングデータからなるペイロードデータのデータ長 (Byte) は下式 (3) により表される。

40

【 数 3 】

$$\text{PayloadLength} = \text{LineLength} \times \frac{\text{BitPix}}{8} + \text{PayloadStuffing} \quad \dots (3)$$

【 0 2 8 5 】

式 (3) の LineLength はラインの画素数を表し、BitPix は 1 画素の画素値を表すビット数を表す。PayloadStuffing はペイロードスタッフィングデータの数を表す。

50

【 0 2 8 6 】

図 4 0 に示すように画素データを 1 6 グループに割り当てるとした場合、ペイロードスタッピングデータの数は下式 (4) により表される。式 (4) の % は剰余を表す。

【 数 4 】

$$\text{PayloadStuffing} = 16 - \left(\left(\text{LineLength} \times \frac{\text{BitPix}}{8} \right) \% 16 \right) \dots (4)$$

10

【 0 2 8 7 】

図 4 1 は、ペイロードデータの他の例を示す図である。

【 0 2 8 8 】

図 4 1 は、各画素の画素値が 1 2 ビットで表される場合の Pixel to Byte 変換によって得られた画素データを含むペイロードデータを示している。

【 0 2 8 9 】

図 4 1 の例においては、画素 P 0 の MSB を含む画素データがグループ 0 に割り当てられ、画素 P 1 の MSB を含む画素データがグループ 1 に割り当てられ、画素 P 0 と画素 P 1 の LSB を含む画素データがグループ 2 に割り当てられている。画素 P 2 の MSB を含む画素データ以降の画素データについても、グループ 3 以降の各グループに順に割り当てられる。画素データを表すブロックのうち、1 本の破線が内側に付されているブロックは、Pixel to Byte 変換時に、画素 N と画素 N+1 の LSB を含むようにして生成されたバイト単位の画素データを表す。

20

【 0 2 9 0 】

図 4 1 の例においては、グループ 0 とグループ 1 の画素データにはペイロードスタッピングデータが付加されず、グループ 2 ~ 1 5 の各画素データには、終端にペイロードスタッピングデータが 1 つずつ付加されている。

【 0 2 9 1 】

このような構成を有するペイロードデータが Pixel to Byte 変換部 2 2 2 からペイロード ECC 挿入部 2 2 3 に供給される。

30

【 0 2 9 2 】

ペイロード ECC 挿入部 2 2 3 は、Pixel to Byte 変換部 2 2 2 から供給されたペイロードデータに基づいて、ペイロードデータの誤り訂正に用いられる誤り訂正符号を計算し、計算により求めた誤り訂正符号であるパリティをペイロードデータに挿入する。誤り訂正符号として、例えばリードソロモン符号が用いられる。なお、誤り訂正符号の挿入はオプションであり、例えば、ペイロード ECC 挿入部 2 2 3 によるパリティの挿入と、フッタ生成部 2 3 4 によるフッタの付加はいずれか一方のみを行うことが可能とされる。

【 0 2 9 3 】

図 4 2 は、パリティが挿入されたペイロードデータの例を示す図である。

【 0 2 9 4 】

図 4 2 に示すペイロードデータは、図 4 1 を参照して説明した、各画素の画素値が 1 2 ビットで表される場合の Pixel to Byte 変換によって得られた画素データを含むペイロードデータである。斜線を付して示すブロックがパリティを表す。

40

【 0 2 9 5 】

図 4 2 の例においては、グループ 0 ~ 1 5 の各グループの先頭の画素データから順に 1 4 個選択され、選択された 2 2 4 個 (2 2 4 バイト) の画素データに基づいて 2 バイトのパリティが求められている。2 バイトのパリティが、その計算に用いられた 2 2 4 個の画素データに続けてグループ 0 , 1 の 1 5 番目のデータとして挿入され、2 2 4 個の画素データと 2 バイトのパリティから 1 つ目の Basic Block が形成される。

【 0 2 9 6 】

50

このように、ペイロードECC挿入部 2 2 3 においては、基本的に、2 2 4 個の画素データに基づいて2 バイトのパリティが生成され、2 2 4 個の画素データに続けて挿入される。

【0 2 9 7】

また、図 4 2 の例においては、1 つ目のBasic Blockに続く2 2 4 個の画素データが各グループから順に選択され、選択された2 2 4 個の画素データに基づいて2 バイトのパリティが求められている。2 バイトのパリティが、その計算に用いられた2 2 4 個の画素データに続けてグループ 2 , 3 の 2 9 番目のデータとして挿入され、2 2 4 個の画素データと2 バイトのパリティから2 つ目のBasic Blockが形成される。

【0 2 9 8】

あるBasic Blockに続く画素データとペイロードスタッフィングデータの数である $16 \times M$ が2 2 4 に満たない場合、残っている $16 \times M$ 個のブロック（画素データとペイロードスタッフィングデータ）に基づいて2 バイトのパリティが求められる。また、求められた2 バイトのパリティがペイロードスタッフィングデータに続けて挿入され、 $16 \times M$ 個のブロックと2 バイトのパリティからExtra Blockが形成される。

【0 2 9 9】

ペイロードECC挿入部 2 2 3 は、パリティを挿入したペイロードデータをパケット生成部 2 2 4 に出力する。パリティの挿入が行われなかった場合、Pixel to Byte変換部 2 2 2 からペイロードECC挿入部 2 2 3 に供給されたペイロードデータは、そのままパケット生成部 2 2 4 に出力される。

【0 3 0 0】

パケット生成部 2 2 4 は、ペイロードECC挿入部 2 2 3 から供給されたペイロードデータに、ヘッダ生成部 2 3 2 により生成されたヘッダを付加することによってパケットを生成する。フッタ生成部 2 3 4 によりフッタの生成が行われている場合、パケット生成部 2 2 4 は、ペイロードデータにフッタを付加することも行う。

【0 3 0 1】

図 4 3 は、ペイロードデータにヘッダを付加した状態を示す図である。

【0 3 0 2】

H 7 ~ H 0 の文字を付して示す2 4 個のブロックは、ヘッダ情報、またはヘッダ情報のCRC符号である、バイト単位のヘッダデータを表す。図 3 を参照して説明したように1 つのパケットのヘッダには、ヘッダ情報とCRC符号の組が3 組合まれる。

【0 3 0 3】

例えばヘッダデータH 7 ~ H 2 はヘッダ情報（6 バイト）であり、ヘッダデータH 1 , H 0 はCRC符号（2 バイト）である。

【0 3 0 4】

図 4 3 の例においては、グループ 0 のペイロードデータには1 つのヘッダデータH 7 が付加され、グループ 1 のペイロードデータには1 つのヘッダデータH 6 が付加されている。グループ 2 のペイロードデータには1 つのヘッダデータH 5 が付加され、グループ 3 のペイロードデータには1 つのヘッダデータH 4 が付加されている。グループ 4 のペイロードデータには1 つのヘッダデータH 3 が付加され、グループ 5 のペイロードデータには1 つのヘッダデータH 2 が付加されている。グループ 6 のペイロードデータには1 つのヘッダデータH 1 が付加され、グループ 7 のペイロードデータには1 つのヘッダデータH 0 が付加されている。

【0 3 0 5】

また、図 4 3 の例においては、グループ 8 のペイロードデータには2 つのヘッダデータH 7 が付加され、グループ 9 のペイロードデータには2 つのヘッダデータH 6 が付加されている。グループ 1 0 のペイロードデータには2 つのヘッダデータH 5 が付加され、グループ 1 1 のペイロードデータには2 つのヘッダデータH 4 が付加されている。グループ 1 2 のペイロードデータには2 つのヘッダデータH 3 が付加され、グループ 1 3 のペイロードデータには2 つのヘッダデータH 2 が付加されている。グループ 1 4 のペイロードデータには2 つのヘッダデータH 1 が付加され、グループ 1 5 のペイロードデータには2 つの

10

20

30

40

50

ヘッダデータH 0 が付加されている。

【0306】

図44は、ペイロードデータにヘッダとフッタを付加した状態を示す図である。

【0307】

F3～F0の文字を付して示す4個のブロックは、フッタとして生成された4バイトのCRC符号であるフッタデータを表す。図44の例においては、フッタデータF3～F0が、グループ0からグループ3のそれぞれのペイロードデータに付加されている。

【0308】

図45は、パリティが挿入されたペイロードデータにヘッダを付加した状態を示す図である。

【0309】

図45の例においては、パリティが挿入された図42のペイロードデータに対して、図43、図44の場合と同様にヘッダデータH7～H0が付加されている。

【0310】

パケット生成部224は、このようにして生成した1パケットを構成するデータであるパケットデータをレーン分配部225に出力する。レーン分配部225に対しては、ヘッダデータとペイロードデータからなるパケットデータ、ヘッダデータとペイロードデータとフッタデータからなるパケットデータ、または、ヘッダデータと、パリティが挿入されたペイロードデータからなるパケットデータが供給されることになる。図3のパケット構造は論理的なものであり、リンクレイヤ、物理レイヤにおいては、図3の構造を有するパケットのデータがバイト単位で処理される。

【0311】

レーン分配部225は、パケット生成部224から供給されたパケットデータを、先頭のデータから順に、Lane0～7のうちのデータ伝送に用いる各レーンに割り当てる。

【0312】

図46は、パケットデータの割り当ての例を示す図である。

【0313】

ここでは、ヘッダデータとペイロードデータとフッタデータからなるパケットデータ(図44)の割り当てについて説明する。Lane0～7の8レーンを用いてデータ伝送を行う場合のパケットデータの割り当ての例を白抜き矢印#1の先に示す。

【0314】

この場合、ヘッダデータH7～H0の3回繰り返しを構成するそれぞれのヘッダデータは、先頭のヘッダデータから順にLane0～7に割り当てられる。あるヘッダデータがLane7に割り当てられたとき、それ以降のヘッダデータは、Lane0以降の各レーンに順に割り当てられる。Lane0～7の各レーンには同じヘッダデータが3個ずつ割り当てられることになる。

【0315】

また、ペイロードデータは、先頭のペイロードデータから順にLane0～7に割り当てられる。あるペイロードデータがLane7に割り当てられたとき、それ以降のペイロードデータは、Lane0以降の各レーンに順に割り当てられる。

【0316】

フッタデータF3～F0は、先頭のフッタデータから順に各レーンに割り当てられる。図46の例においては、ペイロードデータを構成する最後のペイロードスタッフィングデータがLane7に割り当てられており、フッタデータF3～F0がLane0～3に1つつつ割り当てられている。

【0317】

黒色を付して示すブロックはデータ挿入部233により生成されたレーンスタッフィングデータを表す。レーンスタッフィングデータは、1パケット分のパケットデータが各レーンに割り当てられた後、各レーンに割り当てられるデータ長が同じ長さになるように、データの数が少ないレーンに割り当てられる。レーンスタッフィングデータは1バイトの

10

20

30

40

50

データである。図 4 6 の例においては、データの割り当て数の少ないレーンである Lane 4 ~ 7 に対して、レーンスタッフィングデータが 1 つずつ割り当てられている。

【 0 3 1 8 】

パケットデータがヘッダデータとペイロードデータとフッタデータからなる場合のレーンスタッフィングデータの数は下式 (5) により表される。

【 数 5 】

$$\text{LaneStuffing} = \text{LaneNum} - ((\text{PayloadLength} + \text{FooterLength}) \% \text{LaneNum}) \quad \dots (5)$$

10

【 0 3 1 9 】

式 (5) の LaneNum はレーンの数を表し、PayloadLength はペイロードデータ長 (バイト) を表す。また、FooterLength はフッタ長 (バイト) を表す。

【 0 3 2 0 】

また、パケットデータが、ヘッダデータと、パリティが挿入されたペイロードデータからなる場合のレーンスタッフィングデータの数は下式 (6) により表される。式 (6) の ParityLength は、ペイロードに含まれるパリティの総バイト数を表す。

【 数 6 】

$$\text{LaneStuffing} = \text{LaneNum} - ((\text{PayloadLength} + \text{ParityLength}) \% \text{LaneNum}) \quad \dots (6)$$

20

【 0 3 2 1 】

Lane 0 ~ 5 の 6 レーンを用いてデータ伝送を行う場合のパケットデータの割り当ての例を白抜き矢印 # 2 の先に示す。

【 0 3 2 2 】

この場合、ヘッダデータ H 7 ~ H 0 の 3 回繰り返しを構成するそれぞれのヘッダデータは、先頭のヘッダデータから順に Lane 0 ~ 5 に割り当てられる。あるヘッダデータが Lane 5 に割り当てられたとき、それ以降のヘッダデータは、Lane 0 以降の各レーンに順に割り当てられる。Lane 0 ~ 5 の各レーンには 4 個ずつヘッダデータが割り当てられることになる。

30

【 0 3 2 3 】

また、ペイロードデータは、先頭のペイロードデータから順に Lane 0 ~ 5 に割り当てられる。あるペイロードデータが Lane 5 に割り当てられたとき、それ以降のペイロードデータは、Lane 0 以降の各レーンに順に割り当てられる。

【 0 3 2 4 】

フッタデータ F 3 ~ F 0 は、先頭のフッタデータから順に各レーンに割り当てられる。図 4 6 の例においては、ペイロードデータを構成する最後のペイロードスタッフィングデータが Lane 1 に割り当てられており、フッタデータ F 3 ~ F 0 が Lane 2 ~ 5 に 1 つずつ割り当てられている。Lane 0 ~ 5 のパケットデータの数が同じ数であるから、この場合、レーンスタッフィングデータは用いられない。

40

【 0 3 2 5 】

Lane 0 ~ 3 の 4 レーンを用いてデータ伝送を行う場合のパケットデータの割り当ての例を白抜き矢印 # 3 の先に示す。

【 0 3 2 6 】

この場合、ヘッダデータ H 7 ~ H 0 の 3 回繰り返しを構成するそれぞれのヘッダデータは、先頭のヘッダデータから順に Lane 0 ~ 3 に割り当てられる。あるヘッダデータが Lane 3 に割り当てられたとき、それ以降のヘッダデータは、Lane 0 以降の各レーンに順に割り当てられる。Lane 0 ~ 3 の各レーンには 6 個ずつヘッダデータが割り当てられることになる。

50

【0327】

また、ペイロードデータは、先頭のペイロードデータから順にLane0～3に割り当てられる。あるペイロードデータがLane3に割り当てられたとき、それ以降のペイロードデータは、Lane0以降の各レーンに順に割り当てられる。

【0328】

フッタデータF3～F0は、先頭のフッタデータから順に各レーンに割り当てられる。図46の例においては、ペイロードデータを構成する最後のペイロードスタッフィングデータがLane3に割り当てられており、フッタデータF3～F0がLane0～3に1つずつ割り当てられている。Lane0～3の packets データの数が同じ数であるから、この場合、レーンスタッフィングデータは用いられない。

10

【0329】

レーン分配部225は、このようにして各レーンに割り当てた packets データを物理レイヤに出力する。以下、Lane0～7の8レーンを用いてデータを伝送する場合について主に説明するが、データ伝送に用いるレーンの数が他の数の場合であっても同様の処理が行われる。

【0330】

・送信部22の物理レイヤの構成

次に、送信部22の物理レイヤの構成について説明する。

【0331】

送信部22の物理レイヤ処理部22Bには、物理レイヤの構成として、PHY-TX状態制御部241、クロック生成部242、信号処理部243-0乃至243-Nが設けられる。信号処理部243-0は、制御コード挿入部251、8B10Bシンボルエンコーダ252、同期部253、および送信部254から構成される。

20

【0332】

例えば、8B10Bシンボルエンコーダ252は、図21の8B10Bシンボルエンコーダ54に対応する。同期部253は、図21の同期部81に対応する。送信部254は、図21の送信部82に対応する。

【0333】

レーン分配部225から出力された、Lane0に割り当てられた packets データは信号処理部243-0に入力され、Lane1に割り当てられた packets データは信号処理部243-1に入力される。また、LaneNに割り当てられた packets データは信号処理部243-Nに入力される。

30

【0334】

このように、送信部22の物理レイヤには、信号処理部243-0乃至243-Nがレーンの数と同じ数だけ設けられ、各レーンを用いて伝送する packets データの処理が、信号処理部243-0乃至243-Nのそれぞれにおいて並行して行われる。信号処理部243-0の構成について説明するが、信号処理部243-1乃至243-Nも同様の構成を有する。

【0335】

PHY-TX状態制御部241は、信号処理部243-0乃至243-Nの各部を制御する。例えば、信号処理部243-0乃至243-Nにより行われる各処理のタイミングがPHY-TX状態制御部241により制御される。

40

【0336】

クロック生成部242は、クロック信号を生成し、信号処理部243-0乃至243-Nのそれぞれの同期部253に出力する。

【0337】

信号処理部243-0の制御コード挿入部251は、レーン分配部225から供給された packets データに対して制御コードを付加する。制御コードは、予め用意された複数種類のシンボルの中から選択された1つのシンボルにより、または複数種類のシンボルの組み合わせにより表されるコードである。制御コード挿入部251により挿入される各シン

50

ボルは8ビットのデータである。後段の回路で8B10B変換が施されることによって、制御コード挿入部251により挿入された1シンボルは10ビットのデータになる。一方、受信部31においては後述するように受信データに対して10B8B変換が施されるが、受信データに含まれる10B8B変換前の各シンボルは10ビットのデータであり、10B8B変換後の各シンボルは8ビットのデータになる。

【0338】

図47は、制御コード挿入部251により付加される制御コードの例を示す図である。

【0339】

制御コードには、Idle Code, Start Code, End Code, Pad Code, Sync Code, Deskey Code, Standby Codeがある。

【0340】

Idle Codeは、パケットデータの伝送時以外の期間に繰り返し送信されるシンボル群である。Idle Codeは、8B10B CodeであるD CharacterのD00.0(00000000)で表される。

【0341】

Start Codeは、パケットの開始を示すシンボル群である。上述したように、Start Codeはパケットの前に付加される。Start Codeは、3種類のK Characterの組み合わせであるK28.5, K27.7, K28.2, K27.7の4シンボルで表される。それぞれのK Characterの値を図48に示す。

【0342】

End Codeは、パケットの終了を示すシンボル群である。上述したように、End Codeはパケットの後ろに付加される。End Codeは、3種類のK Characterの組み合わせであるK28.5, K29.7, K30.7, K29.7の4シンボルで表される。

【0343】

Pad Codeは、画素データ帯域とPHY伝送帯域の差を埋めるためにペイロードデータ中に挿入されるシンボル群である。画素データ帯域は、情報処理部21から出力され、送信部22に入力される画素データの伝送レートであり、PHY伝送帯域は、送信部22から送信され、受信部31に入力される画素データの伝送レートである。Pad Codeは、4種類のK Characterの組み合わせであるK23.7, K28.4, K28.6, K28.3の4シンボルで表される。

【0344】

図49は、Pad Codeの挿入の例を示す図である。

【0345】

図49の上段は、Pad Code挿入前の、各レーンに割り当てられたペイロードデータを示し、下段は、Pad Code挿入後のペイロードデータを示す。図49の例においては、先頭から3番目の画素データと4番目の画素データの間、6番目の画素データと7番目の画素データの間、12番目の画素データと13番目の画素データの間Pad Codeが挿入されている。このように、Pad Codeは、Lane0~7の各レーンのペイロードデータの同じ位置に挿入される。

【0346】

Lane0に割り当てられたペイロードデータに対するPad Codeの挿入は信号処理部243-0の制御コード挿入部251により行われる。他のレーンに割り当てられたペイロードデータに対するPad Codeの挿入も同様に、信号処理部243-1乃至243-Nにおいてそれぞれ同じタイミングで行われる。Pad Codeの数は、画素データ帯域とPHY伝送帯域の差と、クロック生成部242が生成するクロック信号の周波数などに基づいて決定される。

【0347】

このように、Pad Codeは、画素データ帯域が狭く、PHY伝送帯域が広い場合に、双方の帯域の差を調整するために挿入される。例えば、Pad Codeが挿入されることによって、画素データ帯域とPHY伝送帯域の差が一定の範囲内に収まるように調整される。

10

20

30

40

50

【 0 3 4 8 】

図 4 7 の説明に戻り、Sync Codeは、送信部 2 2 - 受信部 3 1 間のビット同期、シンボル同期を確保するために用いられるシンボル群である。Sync Codeは、K28.5, Any**の 2 シンボルで表される。Any**は、どの種類のシンボルが用いられてもよいことを表す。Sync Codeは、例えば送信部 2 2 - 受信部 3 1 間でパケットデータの伝送が開始される前のトレーニングモード時に繰り返し送信される。

【 0 3 4 9 】

Deskew Codeは、レーン間のData Skew、すなわち、受信部 3 1 の各レーンで受信されるデータの受信タイミングのずれの補正に用いられるシンボル群である。Deskew Codeは、K28.5, Any**の 2 シンボルで表される。Deskew Codeを用いたレーン間のData Skewの補正については後述する。

10

【 0 3 5 0 】

Standby Codeは、送信部 2 2 の出力がHigh-Z (ハイインピーダンス) などの状態になり、データ伝送が行われなくなることを受信部 3 1 に通知するために用いられるシンボル群である。すなわち、Standby Codeは、パケットデータの伝送を終了し、Standby状態になるときに受信部 3 1 に対して伝送される。Standby Codeは、K28.5, Any**の 2 シンボルで表される。

【 0 3 5 1 】

制御コード挿入部 2 5 1 は、このような制御コードを付加したパケットデータを8B10Bシンボルエンコーダ 2 5 2 に出力する。

20

【 0 3 5 2 】

図 5 0 は、制御コード挿入後のパケットデータの例を示す図である。

【 0 3 5 3 】

図 5 0 に示すように、信号処理部 2 4 3 - 0 乃至 2 4 3 - Nにおいては、それぞれ、パケットデータの前にStart Codeが付加され、ペイロードデータにPad Codeが挿入される。パケットデータの後ろにはEnd Codeが付加され、End Codeの後ろにDeskew Codeが付加される。図 5 0 の例においては、Deskew Codeの後ろにIdle Codeが付加されている。

【 0 3 5 4 】

8B10Bシンボルエンコーダ 2 5 2 は、制御コード挿入部 2 5 1 から供給されたパケットデータ (制御コードが付加されたパケットデータ) に対して8B10B変換を施し、10ビット単位のデータに変換したパケットデータを同期部 2 5 3 に出力する。

30

【 0 3 5 5 】

同期部 2 5 3 は、8B10Bシンボルエンコーダ 2 5 2 から供給されたパケットデータの各ビットを、クロック生成部 2 4 2 により生成されたクロック信号に従って送信部 2 5 4 に出力する。なお、送信部 2 2 に同期部 2 5 3 が設けられないようにしてもよい。この場合、8B10Bシンボルエンコーダ 2 5 2 から出力されたパケットデータは、送信部 2 5 4 にそのまま供給される。

【 0 3 5 6 】

送信部 2 5 4 は、Lane0を構成する伝送路を介して、同期部 2 5 3 から供給されたパケットデータを受信部 3 1 に送信する。8レーンを用いてデータ伝送が行われる場合、Lane 1 ~ 7を構成する伝送路をも用いてパケットデータが受信部 3 1 に送信される。

40

【 0 3 5 7 】

・受信部 3 1 の物理レイヤの構成

次に、受信部 3 1 の物理レイヤの構成について説明する。

【 0 3 5 8 】

受信部 3 1 の物理レイヤ処理部 3 1 Aには、物理レイヤの構成として、PHY-RX状態制御部 3 0 1、信号処理部 3 0 2 - 0 乃至 3 0 2 - Nが設けられる。信号処理部 3 0 2 - 0 は、受信部 3 1 1、クロック生成部 3 1 2、同期部 3 1 3、シンボル同期部 3 1 4、10B 8Bシンボルデコーダ 3 1 5、スキュー補正部 3 1 6、および制御コード除去部 3 1 7 から

50

構成される。

【0359】

例えば、受信部311は、図27の受信部111に対応する。同期部313は、図27の同期部112に対応する。10B8Bシンボルデコーダ315は、図27の10B8Bシンボルデコーダ102に対応する。すなわち、図27に示す構成は、受信部31の構成を簡略化して示す構成となる。

【0360】

Lane0を構成する伝送路を介して送信されてきたパケットデータは信号処理部302-0に入力され、Lane1を構成する伝送路を介して送信されてきたパケットデータは信号処理部302-1に入力される。また、LaneNを構成する伝送路を介して送信されてきたパケットデータは信号処理部302-Nに入力される。

10

【0361】

このように、受信部31の物理レイヤには、信号処理部302-0乃至302-Nがレーンの数と同じ数だけ設けられ、各レーンを用いて伝送されてきたパケットデータの処理が、信号処理部302-0乃至302-Nのそれぞれにおいて並行して行われる。信号処理部302-0の構成について説明するが、信号処理部302-1乃至302-Nも同様の構成を有する。

【0362】

受信部311は、Lane0を構成する伝送路を介して送信部22から伝送されてきたパケットデータを表す信号を受信し、クロック生成部312に出力する。

20

【0363】

クロック生成部312は、受信部311から供給された信号のエッジを検出することによってビット同期をとり、エッジの検出周期に基づいてクロック信号を生成する。クロック生成部312は、受信部311から供給された信号を、クロック信号とともに同期部313に出力する。

【0364】

同期部313は、クロック生成部312により生成されたクロック信号に従って、受信部311において受信された信号のサンプリングを行い、サンプリングによって得られたパケットデータをシンボル同期部314に出力する。クロック生成部312と同期部313によりCDR(Clock Data Recovery)の機能が実現される。

30

【0365】

シンボル同期部314は、パケットデータに含まれる制御コードを検出することによって、または制御コードに含まれる一部のシンボルを検出することによってシンボル同期をとる。例えば、シンボル同期部314は、Start Code, End Code, Deskew Codeに含まれるK28.5のシンボルを検出し、シンボル同期をとる。シンボル同期部314は、各シンボルを表す10ビット単位のパケットデータを10B8Bシンボルデコーダ315に出力する。

【0366】

また、シンボル同期部314は、パケットデータの伝送が開始される前のトレーニングモード時に送信部22から繰り返し送信されてくるSync Codeに含まれるシンボルの境界を検出することによってシンボル同期をとる。

40

【0367】

10B8Bシンボルデコーダ315は、シンボル同期部314から供給された10ビット単位のパケットデータに対して10B8B変換を施し、8ビット単位のデータに変換したパケットデータをスキュー補正部316に出力する。

【0368】

スキュー補正部316は、10B8Bシンボルデコーダ315から供給されたパケットデータからDeskew Codeを検出する。スキュー補正部316によるDeskew Codeの検出タイミングの情報はPHY-RX状態制御部301に供給される。

【0369】

50

また、スキュー補正部 3 1 6 は、Deskew Codeのタイミングを、PHY-RX状態制御部 3 0 1 から供給された情報により表されるタイミングに合わせるようにしてレーン間のData Skewを補正する。PHY-RX状態制御部 3 0 1 からは、信号処理部 3 0 2 - 0 乃至 3 0 2 - Nのそれぞれにおいて検出されたDeskew Codeのタイミングのうち、最も遅いタイミングを表す情報が供給されてくる。

【 0 3 7 0 】

図 5 1 は、Deskew Codeを用いたレーン間のData Skewの補正の例を示す図である。

【 0 3 7 1 】

図 5 1 の例においては、Lane0 ~ 7の各レーンにおいて、Sync Code, Sync Code, ..., Idle Code, Deskew Code, Idle Code, ..., Idle Code, Deskew Codeの伝送が行われ、それぞれの制御コードが受信部 3 1 において受信されている。同じ制御コードの受信タイミングがレーン毎に異なり、レーン間のData Skewが生じている状態になっている。

10

【 0 3 7 2 】

この場合、スキュー補正部 3 1 6 は、1つ目のDeskew CodeであるDeskew Code C 1を検出し、Deskew Code C 1の先頭のタイミングを、PHY-RX状態制御部 3 0 1 から供給された情報により表される時刻 t 1 に合わせるように補正する。PHY-RX状態制御部 3 0 1 からは、Lane0 ~ 7の各レーンにおいてDeskew Code C 1が検出されたタイミングのうち、最も遅いタイミングであるLane7においてDeskew Code C 1が検出された時刻 t 1 の情報が供給されてくる。

【 0 3 7 3 】

20

また、スキュー補正部 3 1 6 は、2つ目のDeskew CodeであるDeskew Code C 2を検出し、Deskew Code C 2の先頭のタイミングを、PHY-RX状態制御部 3 0 1 から供給された情報により表される時刻 t 2 に合わせるように補正する。PHY-RX状態制御部 3 0 1 からは、Lane0 ~ 7の各レーンにおいてDeskew Code C 2が検出されたタイミングのうち、最も遅いタイミングであるLane7においてDeskew Code C 2が検出された時刻 t 2 の情報が供給されてくる。

【 0 3 7 4 】

信号処理部 3 0 2 - 1 乃至 3 0 2 - Nのそれぞれにおいて同様の処理が行われることによって、図 5 1 の矢印 # 1 の先に示すようにレーン間のData Skewが補正される。

【 0 3 7 5 】

30

スキュー補正部 3 1 6 は、Data Skewを補正したパケットデータを制御コード除去部 3 1 7 に出力する。

【 0 3 7 6 】

制御コード除去部 3 1 7 は、パケットデータに付加された制御コードを除去し、Start CodeからEnd Codeまでの間のデータをパケットデータとしてリンクレイヤに出力する。

【 0 3 7 7 】

PHY-RX状態制御部 3 0 1 は、信号処理部 3 0 2 - 0 乃至 3 0 2 - Nの各部を制御し、レーン間のData Skewの補正などを行わせる。また、PHY-RX状態制御部 3 0 1 は、所定のレーンで伝送エラーが起きて制御コードが失われた場合、失われた制御コードに代えて、他のレーンで伝送されてきた制御コードを付加することによって制御コードの誤り訂正を行う。

40

【 0 3 7 8 】

・受信部 3 1 のリンクレイヤの構成

次に、受信部 3 1 のリンクレイヤの構成について説明する。

【 0 3 7 9 】

受信部 3 1 のリンクレイヤ処理部 3 1 Bには、リンクレイヤの構成として、LINK-RXプロトコル管理部 3 2 1、レーン統合部 3 2 2、パケット分離部 3 2 3、ペイロードエラー訂正部 3 2 4、およびByte to Pixel変換部 3 2 5 が設けられる。LINK-RXプロトコル管理部 3 2 1 は、状態制御部 3 3 1、ヘッダエラー訂正部 3 3 2、データ除去部 3 3 3、およびフッタエラー検出部 3 3 4 から構成される。

50

【0380】

例えば、レーン統合部322は、図27のLane統合部103に対応する。パケット分離部323は、図27のパケット解析部131と分離部132に対応する。Byte to Pixel変換部325は、図27のピクセルデータ変換部142に対応する。

【0381】

レーン統合部322は、物理レイヤの信号処理部302-0乃至302-Nから供給されたパケットデータを、送信部22のレーン分配部225による各レーンへの分配順と逆順で並び替えることによって統合する。

【0382】

例えば、レーン分配部225によるパケットデータの分配が図46の矢印#1の先に表示するように行われている場合、各レーンのパケットデータの統合が行われることによって図46の左側のパケットデータが取得される。各レーンのパケットデータの統合時、データ除去部333による制御に従って、レーンスタッフィングデータがレーン統合部322により除去される。レーン統合部322は、統合したパケットデータをパケット分離部323に出力する。

10

【0383】

パケット分離部323は、レーン統合部322により統合された1パケット分のパケットデータを、ヘッダデータを構成するパケットデータとペイロードデータを構成するパケットデータに分離する。パケット分離部323は、ヘッダデータをヘッダエラー訂正部332に出力し、ペイロードデータをペイロードエラー訂正部324に出力する。

20

【0384】

また、パケット分離部323は、パケットにフッタが含まれている場合、1パケット分のデータを、ヘッダデータを構成するパケットデータとペイロードデータを構成するパケットデータとフッタデータを構成するパケットデータに分離する。パケット分離部323は、ヘッダデータをヘッダエラー訂正部332に出力し、ペイロードデータをペイロードエラー訂正部324に出力する。また、パケット分離部323は、フッタデータをフッタエラー検出部334に出力する。

【0385】

ペイロードエラー訂正部324は、パケット分離部323から供給されたペイロードデータにパリティが挿入されている場合、パリティに基づいて誤り訂正演算を行うことによってペイロードデータのエラーを検出し、検出したエラーの訂正を行う。例えば、図42に示すようにしてパリティが挿入されている場合、ペイロードエラー訂正部324は、1つ目のBasic Blockの最後に挿入されている2つのパリティを用いて、パリティの前にある224個の画素データの誤り訂正を行う。

30

【0386】

ペイロードエラー訂正部324は、各Basic Block, Extra Blockを対象として誤り訂正を行うことによって得られた誤り訂正後の画素データをByte to Pixel変換部325に出力する。パケット分離部323から供給されたペイロードデータにパリティが挿入されていない場合、パケット分離部323から供給されたペイロードデータはそのままByte to Pixel変換部325に出力される。

40

【0387】

Byte to Pixel変換部325は、ペイロードエラー訂正部324から供給されたペイロードデータに含まれるペイロードスタッフィングデータをデータ除去部333による制御に従って除去する。

【0388】

また、Byte to Pixel変換部325は、ペイロードスタッフィングデータを除去して得られたバイト単位の各画素のデータを、8ビット、10ビット、12ビット、14ビット、または16ビット単位の画素データに変換するByte to Pixel変換を行う。Byte to Pixel変換部325においては、図35乃至図39を参照して説明した、送信部22のPixel to Byte変換部222によるPixel to Byte変換と逆の変換が行われる。

50

【0389】

Byte to Pixel変換部325は、Byte to Pixel変換によって得られた8ビット、10ビット、12ビット、14ビット、または16ビット単位の画素データをフレームデータ出力部341に出力する。フレームデータ出力部341においては、例えば、ヘッダ情報のLine Validにより特定される有効画素の各ラインがByte to Pixel変換部325により得られた画素データに基づいて生成され、ヘッダ情報のLine Numberに従って各ラインが並べられることによって1フレームの画像が生成される。

【0390】

LINK-RXプロトコル管理部321の状態制御部331は、受信部31のリンクレイヤの状態を管理する。

10

【0391】

ヘッダエラー訂正部332は、パケット分離部323から供給されたヘッダデータに基づいてヘッダ情報とCRC符号の組を3組取得する。ヘッダエラー訂正部332は、ヘッダ情報とCRC符号の組の各組を対象として、ヘッダ情報のエラーを検出するための演算である誤り検出演算を、そのヘッダ情報と同じ組のCRC符号を用いて行う。

【0392】

また、ヘッダエラー訂正部332は、それぞれの組のヘッダ情報の誤り検出結果と、誤り検出演算により求められたデータの比較結果とのうちの少なくともいずれかに基づいて正しいヘッダ情報を推測し、正しいと推測したヘッダ情報と復号結果を出力する。誤り検出演算により求められたデータは、ヘッダ情報にCRCの生成多項式を適用することによって求められた値である。また、復号結果は、復号成功または復号失敗を表す情報である。

20

【0393】

ヘッダ情報とCRC符号の3つの組をそれぞれ組1、組2、組3とする。この場合、ヘッダエラー訂正部332は、組1を対象とした誤り検出演算によって、組1のヘッダ情報にエラーがあるか否か(誤り検出結果)と、誤り検出演算により求められたデータであるデータ1を取得する。また、ヘッダエラー訂正部332は、組2を対象とした誤り検出演算によって、組2のヘッダ情報にエラーがあるか否かと、誤り検出演算により求められたデータであるデータ2を取得する。ヘッダエラー訂正部332は、組3を対象とした誤り検出演算によって、組3のヘッダ情報にエラーがあるか否かと、誤り検出演算により求められたデータであるデータ3を取得する。

30

【0394】

また、ヘッダエラー訂正部332は、データ1とデータ2が一致するか否か、データ2とデータ3が一致するか否か、データ3とデータ1が一致するか否かをそれぞれ判定する。

【0395】

例えば、ヘッダエラー訂正部332は、組1、組2、組3を対象としたいずれの誤り検出演算によっても誤りが検出されず、誤り検出演算によって求められたデータのいずれの比較結果もが一致した場合、復号結果として、復号成功を表す情報を選択する。また、ヘッダエラー訂正部332は、いずれのヘッダ情報も正しいと推測し、組1のヘッダ情報、組2のヘッダ情報、組3のヘッダ情報のうちのいずれかを出力情報として選択する。

【0396】

一方、ヘッダエラー訂正部332は、組1を対象とした誤り検出演算でだけ誤りが検出されなかった場合、復号結果として、復号成功を表す情報を選択するとともに、組1のヘッダ情報が正しいと推測し、組1のヘッダ情報を出力情報として選択する。

40

【0397】

また、ヘッダエラー訂正部332は、組2を対象とした誤り検出演算でだけ誤りが検出されなかった場合、復号結果として、復号成功を表す情報を選択するとともに、組2のヘッダ情報が正しいと推測し、組2のヘッダ情報を出力情報として選択する。

【0398】

ヘッダエラー訂正部332は、組3を対象とした誤り検出演算でだけ誤りが検出されなかった場合、復号結果として、復号成功を表す情報を選択するとともに、組3のヘッダ情

50

報が正しいと推測し、組 3 のヘッダ情報を出力情報として選択する。

【 0 3 9 9 】

ヘッダエラー訂正部 3 3 2 は、以上のようにして選択した復号結果と出力情報をレジスタ 3 4 2 に出力し、記憶させる。このように、ヘッダエラー訂正部 3 3 2 によるヘッダ情報の誤り訂正は、複数のヘッダ情報の中から、エラーのないヘッダ情報をCRC符号を用いて検出し、検出したヘッダ情報を出力するようにして行われる。

【 0 4 0 0 】

データ除去部 3 3 3 は、レーン統合部 3 2 2 を制御してレーンスタッフィングデータを除去し、Byte to Pixel変換部 3 2 5 を制御してパイロードスタッフィングデータを除去する。

10

【 0 4 0 1 】

フッタエラー検出部 3 3 4 は、パケット分離部 3 2 3 から供給されたフッタデータに基づいて、フッタに格納されたCRC符号を取得する。フッタエラー検出部 3 3 4 は、取得したCRC符号を用いて誤り検出演算を行い、パイロードデータのエラーを検出する。フッタエラー検出部 3 3 4 は、誤り検出結果を出力し、レジスタ 3 4 2 に記憶させる。

【 0 4 0 2 】

<変形例>

SLVS-EC規格のデータ伝送において多階調伝送方式を採用する場合について説明したが、所定のフォーマットを有するフレームを規定し、ライン単位のデータを1つのパケットを用いて伝送する他の規格のデータ伝送に多階調伝送方式を適用することも可能である。

20

【 0 4 0 3 】

MIPI規格のデータ伝送において多階調伝送方式を採用することによっても、上述したように効率的なデータ伝送が可能となる。

【 0 4 0 4 】

・コンピュータの構成例

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または汎用のパーソナルコンピュータなどに、プログラム記録媒体からインストールされる。

30

【 0 4 0 5 】

図 5 2 は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

【 0 4 0 6 】

CPU(Central Processing Unit) 1 0 0 1、ROM(Read Only Memory) 1 0 0 2、RAM(Random Access Memory) 1 0 0 3 は、バス 1 0 0 4 により相互に接続されている。

【 0 4 0 7 】

バス 1 0 0 4 には、さらに、入出力インタフェース 1 0 0 5 が接続されている。入出力インタフェース 1 0 0 5 には、キーボード、マウスなどよりなる入力部 1 0 0 6、ディスプレイ、スピーカなどよりなる出力部 1 0 0 7 が接続される。また、入出力インタフェース 1 0 0 5 には、ハードディスクや不揮発性のメモリなどよりなる記憶部 1 0 0 8、ネットワークインタフェースなどよりなる通信部 1 0 0 9、リムーバブルメディア 1 0 1 1 を駆動するドライブ 1 0 1 0 が接続される。

40

【 0 4 0 8 】

以上のように構成されるコンピュータでは、CPU 1 0 0 1 が、例えば、記憶部 1 0 0 8 に記憶されているプログラムを入出力インタフェース 1 0 0 5 及びバス 1 0 0 4 を介して RAM 1 0 0 3 にロードして実行することにより、上述した一連の処理が行われる。

【 0 4 0 9 】

CPU 1 0 0 1 が実行するプログラムは、例えばリムーバブルメディア 1 0 1 1 に記録し

50

て、あるいは、ローカルエリアネットワーク、インターネット、デジタル放送といった、有線または無線の伝送媒体を介して提供され、記憶部 1 0 0 8 にインストールされる。

【 0 4 1 0 】

なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

【 0 4 1 1 】

本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

【 0 4 1 2 】

本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【 0 4 1 3 】

例えば、本技術は、1つの機能をネットワークを介して複数の装置で分担、共同して処理するクラウドコンピューティングの構成をとることができる。

【 0 4 1 4 】

また、上述のフローチャートで説明した各ステップは、1つの装置で実行する他、複数の装置で分担して実行することができる。

【 0 4 1 5 】

さらに、1つのステップに複数の処理が含まれる場合には、その1つのステップに含まれる複数の処理は、1つの装置で実行する他、複数の装置で分担して実行することができる。

【 0 4 1 6 】

< 構成の組み合わせ例 >

本技術は、以下のような構成をとることもできる。

【 0 4 1 7 】

(1)

データ単位毎のビット幅が異なる複数種類の単位データを格納したペイロードに、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを付加することによって、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを生成するパケット生成部と、

前記パケットを送信する送信部と
を備える送信装置。

(2)

前記パケット生成部は、前記単位データのビット幅が周期的に切り替わる前記ペイロードを生成する

前記 (1) に記載の送信装置。

(3)

前記パケット生成部は、ビット幅が同じ前記単位データを連続して格納した前記ペイロードを生成する

前記 (2) に記載の送信装置。

(4)

前記パケット生成部は、ビット幅が周期的に切り替わることを表すモード情報とともに、前記単位データの並び順と、ビット幅の切り替わりの周期とのうちの少なくともいずれかを表す情報を前記分離情報として含む前記ヘッダを付加する

前記 (2) または (3) に記載の送信装置。

(5)

前記パケット生成部は、複数の撮像素子により撮像して得られたそれぞれの画像を構成する画素を前記単位データとして格納した前記ペイロードを含む前記パケットを生成する

10

20

30

40

50

前記(2)乃至(4)のいずれかに記載の送信装置。

(6)

前記パケット生成部は、前記単位データのビット幅が部分的に切り替わる前記ペイロードを生成する

前記(1)に記載の送信装置。

(7)

前記パケット生成部は、ビット幅が部分的に切り替わることを表すモード情報とともに、前記単位データのビット幅が切り替わる部分の数、前記部分の開始位置、および、前記部分の幅のうちの少なくともいずれかを表す情報を前記分離情報として含む前記ヘッダを付加する

前記(6)に記載の送信装置。

(8)

前記パケット生成部は、画像を解析することによって検出された注目領域を構成する画素と非注目領域を構成する画素を、それぞれビット幅が異なる前記単位データとして格納した前記ペイロードを含む前記パケットを生成する

前記(6)または(7)に記載の送信装置。

(9)

前記パケット生成部は、前記所定のフォーマットで規定されるデータ長の前記ヘッダに格納することができない前記分離情報の一部を、前記ペイロードの先頭に格納する

前記(1)乃至(8)のいずれかに記載の送信装置。

(10)

前記パケット生成部は、所定のセンサの測定結果を表す各項目の情報を前記単位データとして格納した前記ペイロードを含む前記パケットを生成する

前記(1)に記載の送信装置。

(11)

前記送信部は、前記パケットを構成するパケットデータを複数のレーンに分配し、それぞれの前記レーンの前記パケットデータに対して制御情報の挿入を含む処理を並列に行い、処理を施して得られた前記パケットデータを受信装置との間の伝送路上に出力する

前記(1)乃至(11)のいずれかに記載の送信装置。

(12)

送信装置が、

データ単位毎のビット幅が異なる複数種類の単位データを格納したペイロードに、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを付加することによって、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを生成し、

前記パケットを送信する

送信方法。

(13)

データ単位毎のビット幅が異なる複数種類の単位データを格納したペイロードに、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを付加することによって生成された、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを受信する受信部と、

ビット幅が異なるそれぞれの前記単位データを前記分離情報に基づいて分離し、出力する分離部と

を備える受信装置。

(14)

前記分離部は、前記単位データのビット幅が周期的に切り替わる前記ペイロードから、前記単位データを分離する

前記(13)に記載の受信装置。

10

20

30

40

50

(1 5)

前記分離部は、ビット幅が周期的に切り替わることを表すモード情報とともに、前記単位データの並び順と、ビット幅の切り替わりの周期とのうちの少なくともいずれかを表す情報を含む前記分離情報に基づいて、前記単位データを分離する

前記(1 4)に記載の受信装置。

(1 6)

前記分離部は、前記単位データのビット幅が部分的に切り替わる前記ペイロードから、前記単位データを分離する

前記(1 3)に記載の受信装置。

(1 7)

前記分離部は、ビット幅が部分的に切り替わることを表すモード情報とともに、前記単位データのビット幅が切り替わる部分の数、前記部分の開始位置、および、前記部分の幅のうちの少なくともいずれかを表す情報を含む前記分離情報に基づいて、前記単位データを分離する

前記(1 6)に記載の受信装置。

(1 8)

前記受信部は、複数のレーンのデータとして送信装置から並列に伝送路上に出力されたパケットデータを受信し、

前記分離部は、それぞれの前記レーンの前記パケットデータを一系統のデータに統合して得られた前記パケットの前記ペイロードから、前記単位データを分離する

前記(1 3)乃至(1 7)のいずれかに記載の受信装置。

(1 9)

受信装置が、

データ単位毎のビット幅が異なる複数種類の単位データを格納したペイロードに、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを付加することによって生成された、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを受信し、

ビット幅が異なるそれぞれの前記単位データを前記分離情報に基づいて分離し、出力する受信方法。

(2 0)

データ単位毎のビット幅が異なる複数種類の単位データを格納したペイロードに、複数種類の前記単位データが前記ペイロードに格納されていることを表す識別子を含む分離情報を含むヘッダを付加することによって、伝送対象のデータを所定のフォーマットで配置したフレームを構成する各ラインのデータの伝送に用いられるパケットを生成するパケット生成部と、

前記パケットを送信する送信部と

を備える送信装置と、

前記パケットを受信する受信部と、

ビット幅が異なるそれぞれの前記単位データを前記分離情報に基づいて分離し、出力する分離部と

を備える受信装置と

を含む送受信装置。

【符号の説明】

【 0 4 1 8 】

1 伝送システム, 1 1 送信側LSI, 1 2 受信側LSI, 2 1 情報処理部, 2 2 送信部, 3 1 受信部, 3 2 情報処理部, 5 1 - 1 Core, 5 1 - 2 Core_sub, 5 2 メモリ, 5 3 Lane分配部, 5 4 8B10Bシンボルエンコーダ, 5 5 PHYアナログ処理部, 6 1 信号処理部, 6 2 制御部, 6 3 状態制御部, 7 1 Packing部, 7 2 ヘッダ/フッタ生成部, 7 3 パケット生成部, 1 0 1 PHYアナロ

10

20

30

40

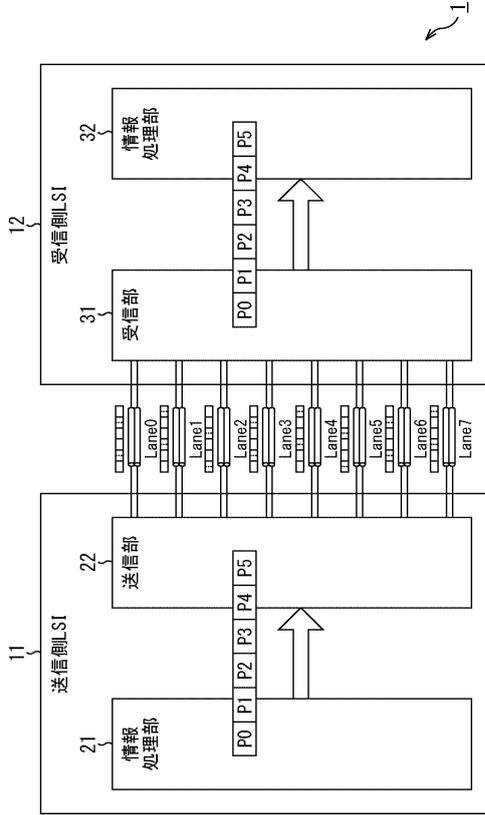
50

グ処理部, 102 10B8Bシンボルデコーダ, 103 レーン統合部, 104 Core
 , 121 信号処理部, 122 制御部, 123 状態制御部, 131 パケット解
 析部, 132 分離部, 133-1, 133-2 出力部

【図面】

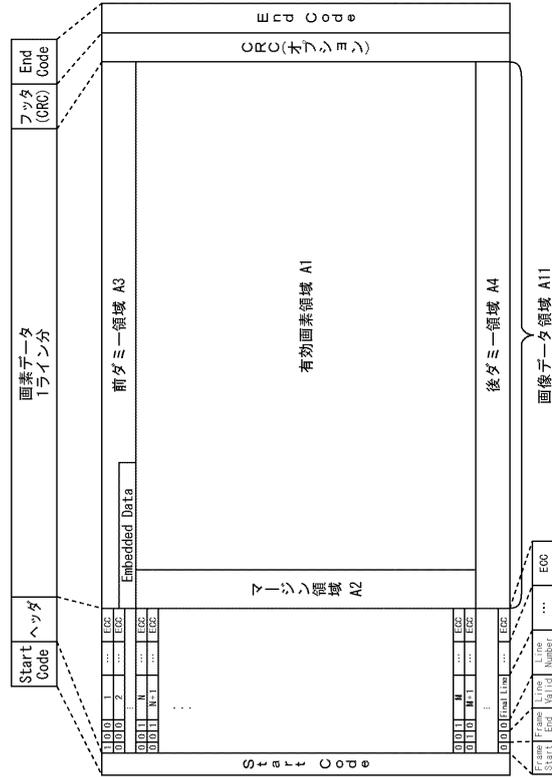
【図1】

FIG. 1



【図2】

FIG. 2



10

20

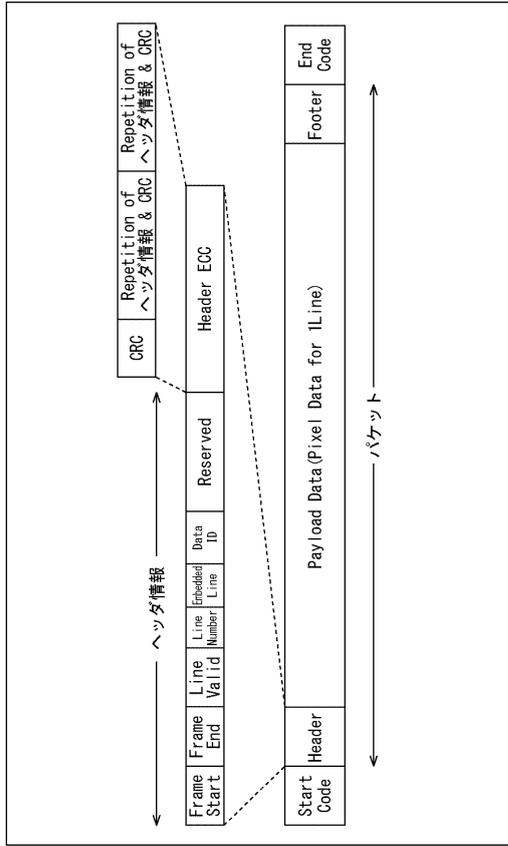
30

40

50

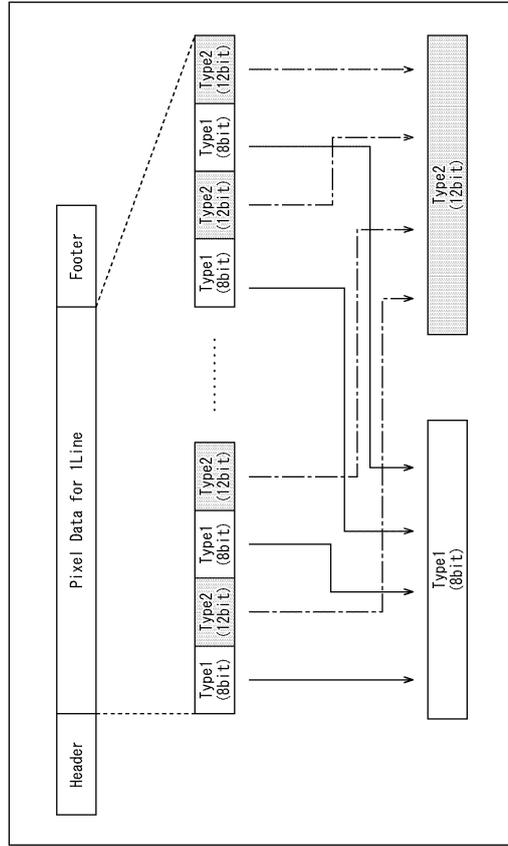
【 図 3 】

FIG. 3



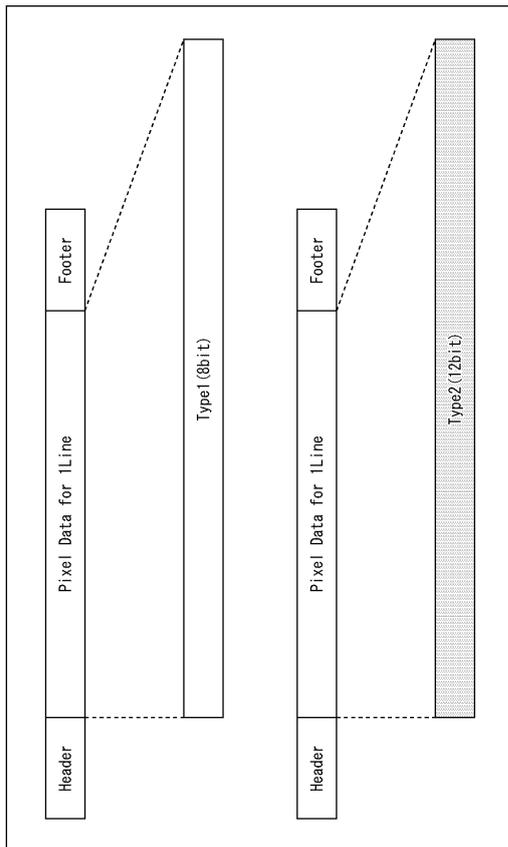
【 図 4 】

FIG. 4



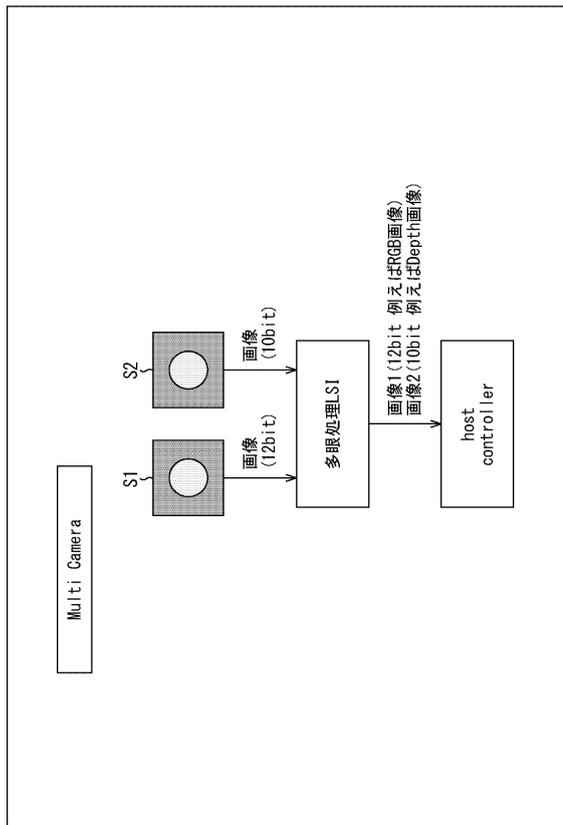
【 図 5 】

FIG. 5



【 図 6 】

FIG. 6



10

20

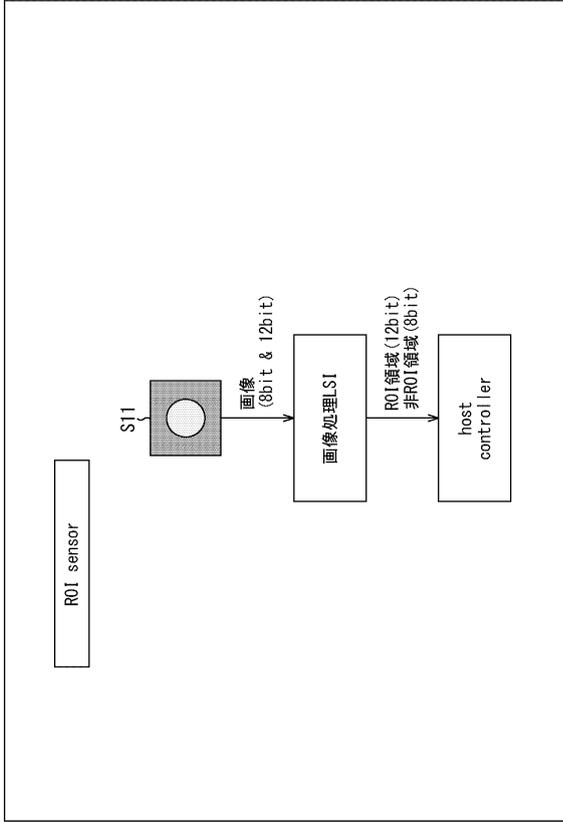
30

40

50

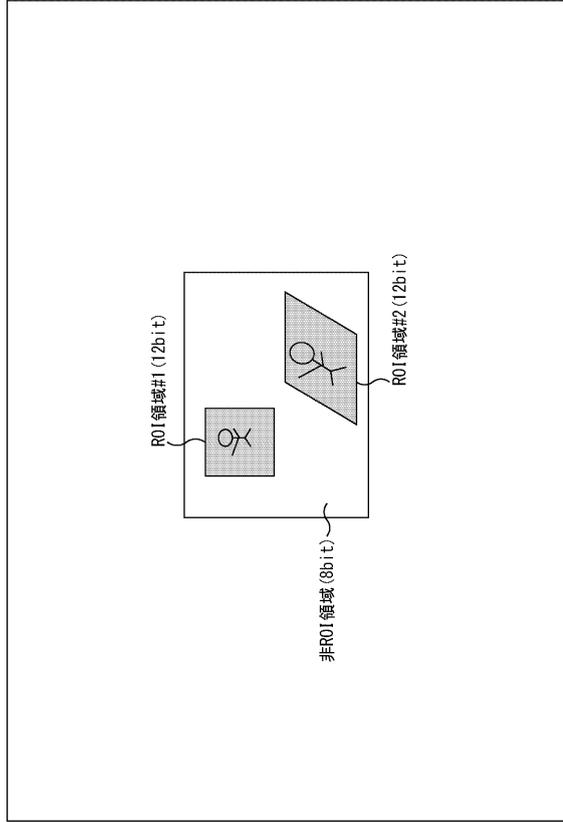
【 図 7 】

FIG. 7



【 図 8 】

FIG. 8

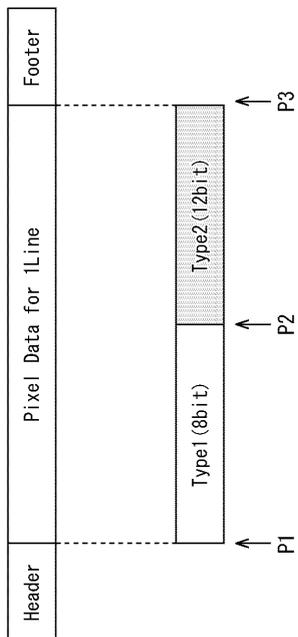


10

20

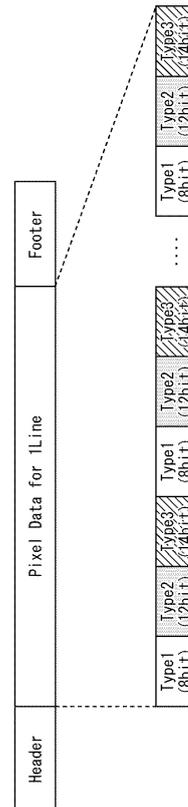
【 図 9 】

FIG. 9



【 図 10 】

FIG. 10



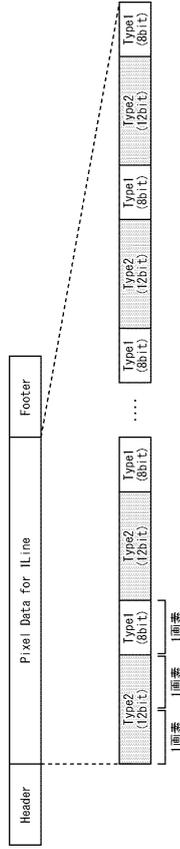
30

40

50

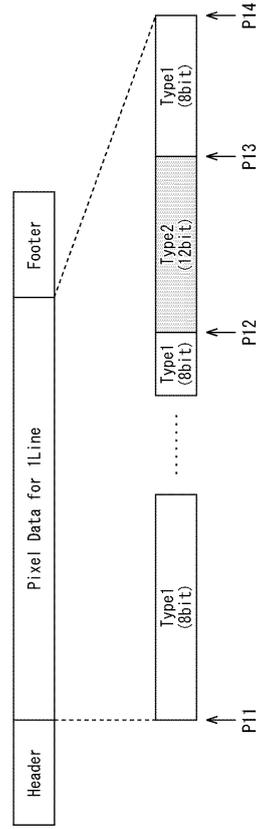
【 図 1 1 】

FIG. 11



【 図 1 2 】

FIG. 12



【 図 1 3 】

FIG. 13

- Data ID (4bit)
 - Data ID
- Data mode (1bit)
 - 0: 周期切替、 1: R0I (部分切替)
- Data step 1 (2byte)
 - Data mode=0のときのType 1の切り替わり周期
- Data step 2 (2byte)
 - Data mode=0のときのType2の切り替わり周期
- Data_R0I_Num
 - R0I数
- Data R0I start 1 (2byte)
 - R0I X座標
- Data R0I width 1 (2byte)
 - R0I 幅
- (Data_R0I_Num > 1) Data R0I start 2 (2byte)
 - R0I X座標
- (Data_R0I_Num > 1) Data R0I width 2 (2byte)
 - R0I 幅

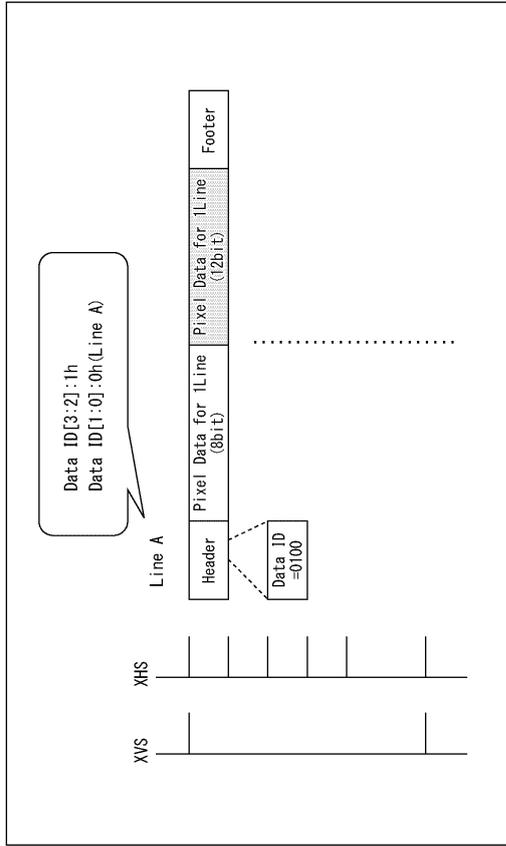
【 図 1 4 】

FIG. 14

- Data ID
- [3:2]: 上位2bitにデータタイプを挿入
 - 0 : 1stream中に多階調のデータなし
 - 1 : 1stream中に多階調のデータあり (8bit /12bit) ※8bitデータから出力
 - 2 : 1stream中に多階調のデータあり (12bit /8bit) ※12bitデータから出力
 - [1:0]: 下位2bitをMultiple stream の識別子として使用
 - 0 : 1 stream目
 - 1 : 2 stream目
 - 2 : 3 stream目

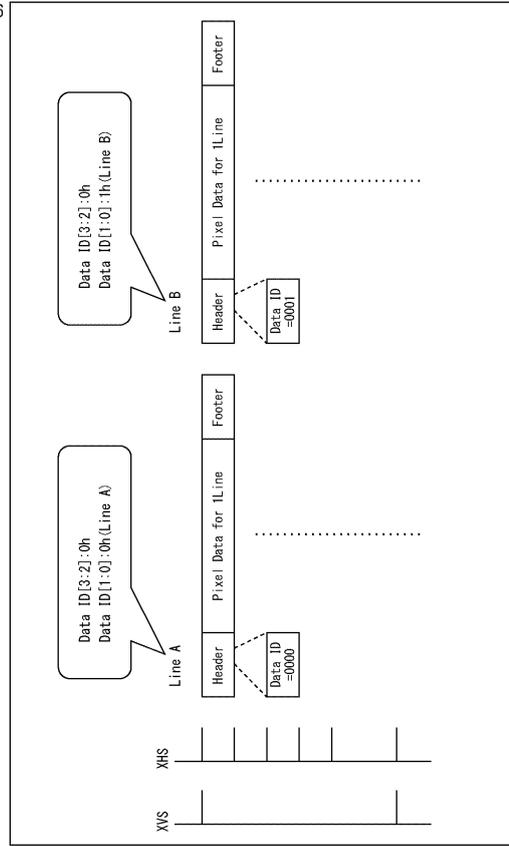
【 図 1 5 】

FIG. 15



【 図 1 6 】

FIG. 16



【 図 1 7 】

FIG. 17

- Data ID (4bit)
 - Data ID
- Data mode (1bit)
 - 0: 周期切替、 1: ROI (部分切替)
- Data step 1 (2byte)
 - Data mode=0のときのType1の切り替わり周期
- Data step 2 (2byte)
 - Data mode=0のときのType1の切り替わり周期
- Data_ROI_Num
 - ROI数 = don't care
- Data ROI start 1 (2byte)
 - ROI X座標 = don't care
- Data ROI width 1 (2byte)
 - ROI 幅 = don't care
- (Data_ROI_Num > 1) Data ROI start 2 (2byte)
 - ROI X座標 = don't care
- (Data_ROI_Num > 1) Data ROI width 2 (2byte)
 - ROI 幅 = don't care

【 図 1 8 】

FIG. 18

- Data ID (4bit)
 - Data ID
- Data mode (1bit)
 - 0: 周期切替、 1: ROI (部分切替)
- Data step 1 (2byte)
 - Data mode= don't care
- Data step 2 (2byte)
 - Data mode= don't care
- Data_ROI_Num
 - ROI数
- Data ROI start 1 (2byte)
 - ROI X座標
- Data ROI width 1 (2byte)
 - ROI 幅
- (Data_ROI_Num > 1) Data ROI start 2 (2byte)
 - ROI X座標
- (Data_ROI_Num > 1) Data ROI width 2 (2byte)
 - ROI 幅

10

20

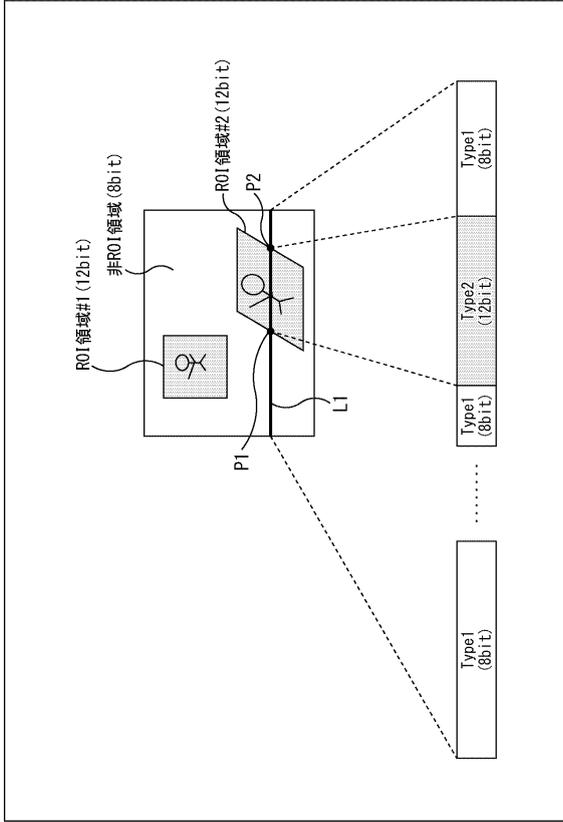
30

40

50

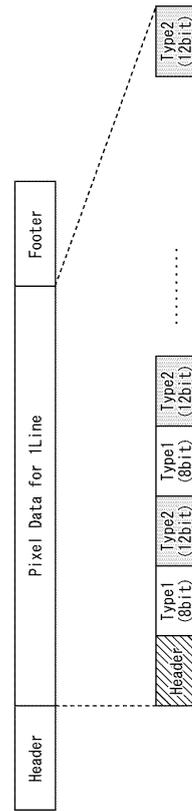
【図 19】

FIG. 19



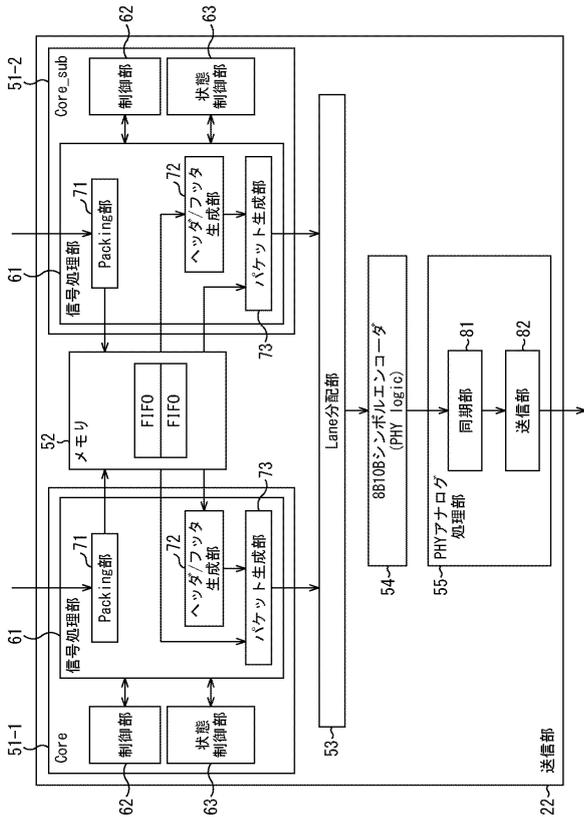
【図 20】

FIG. 20



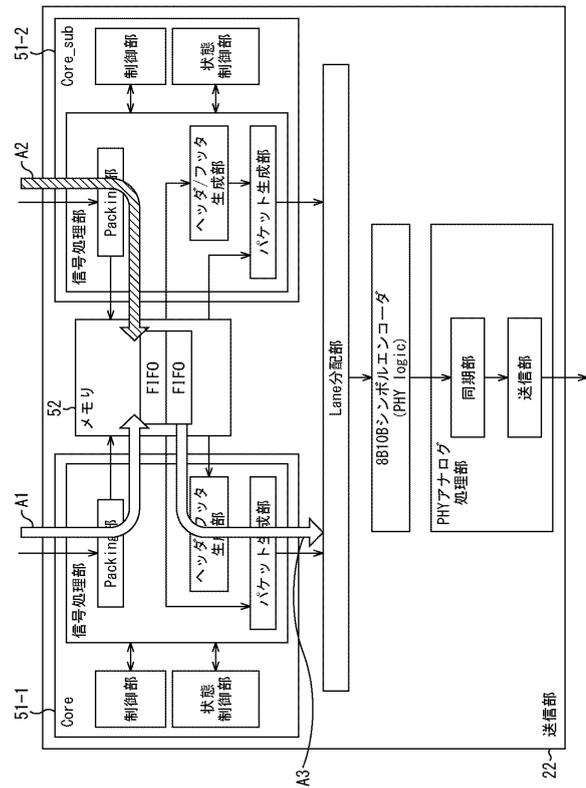
【図 21】

FIG. 21



【図 22】

FIG. 22



10

20

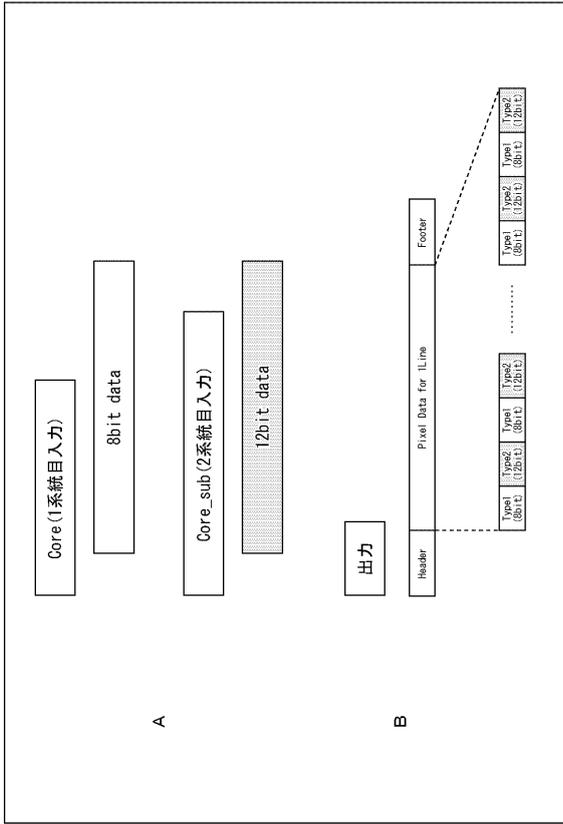
30

40

50

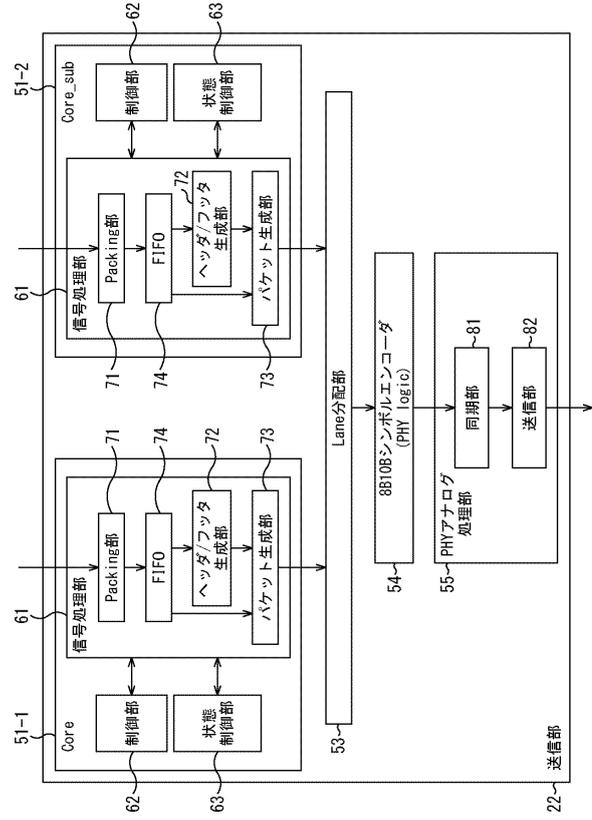
【図 2 3】

FIG. 23



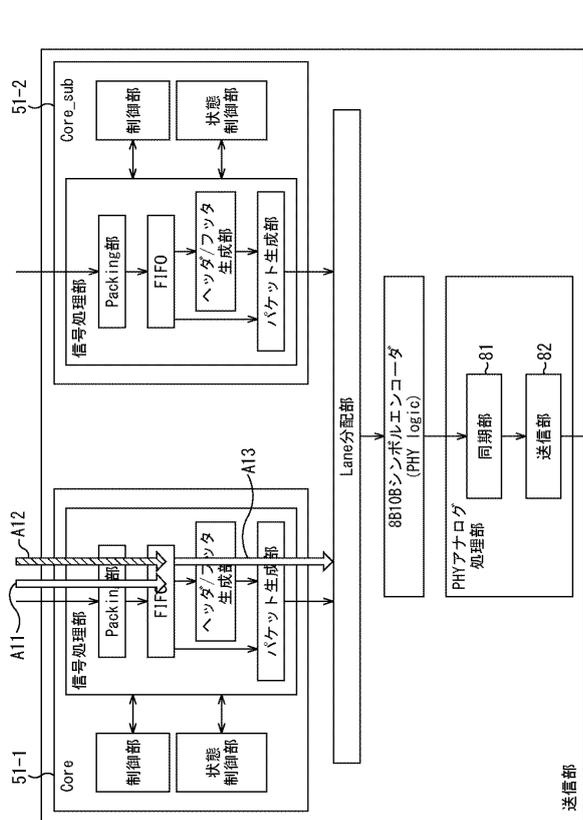
【図 2 4】

FIG. 24



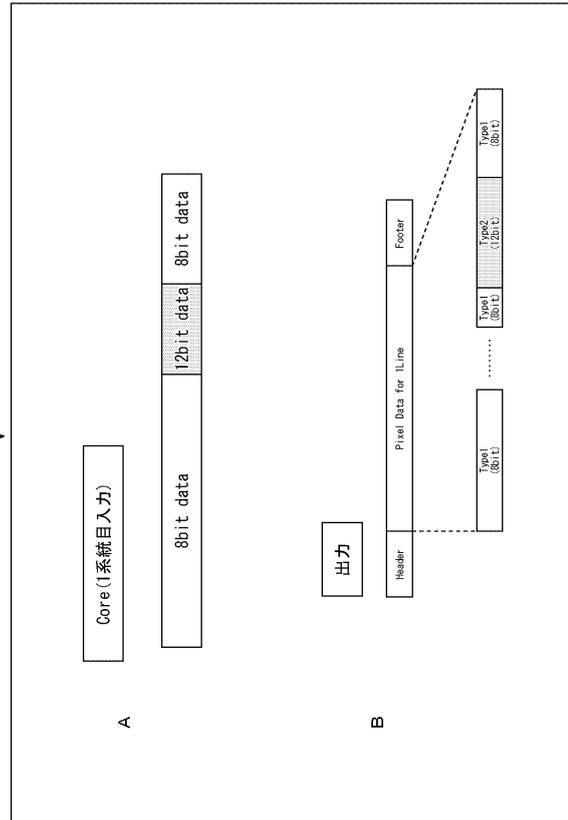
【図 2 5】

FIG. 25



【図 2 6】

FIG. 26



10

20

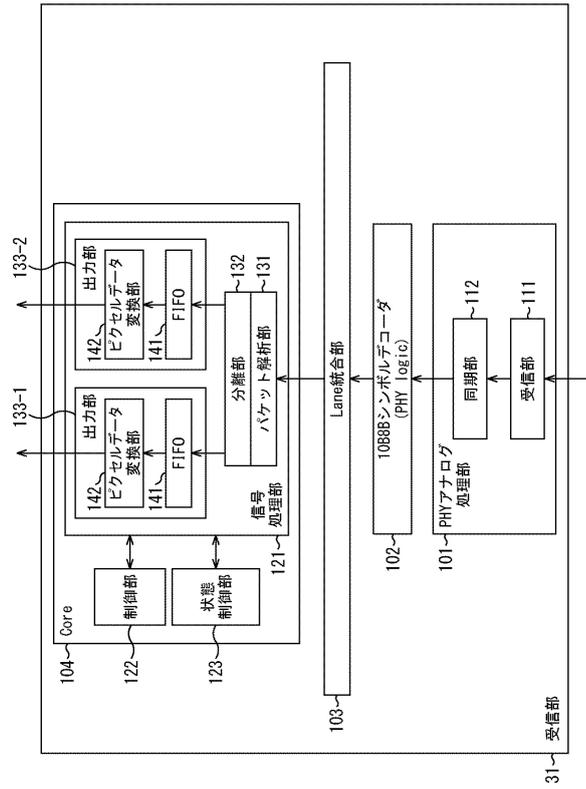
30

40

50

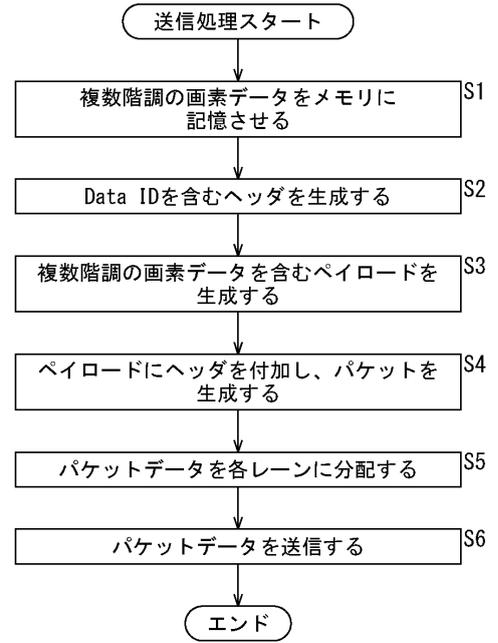
【図 27】

FIG. 27



【図 28】

FIG. 28

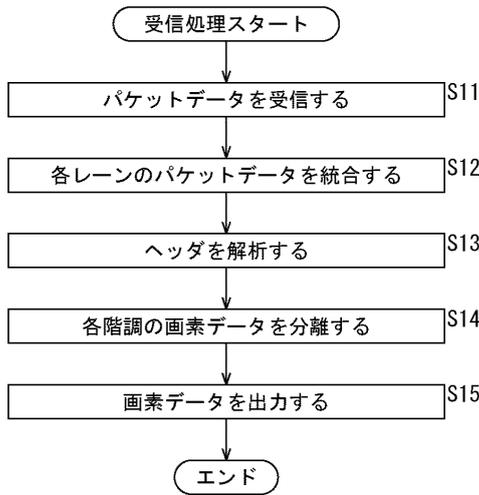


10

20

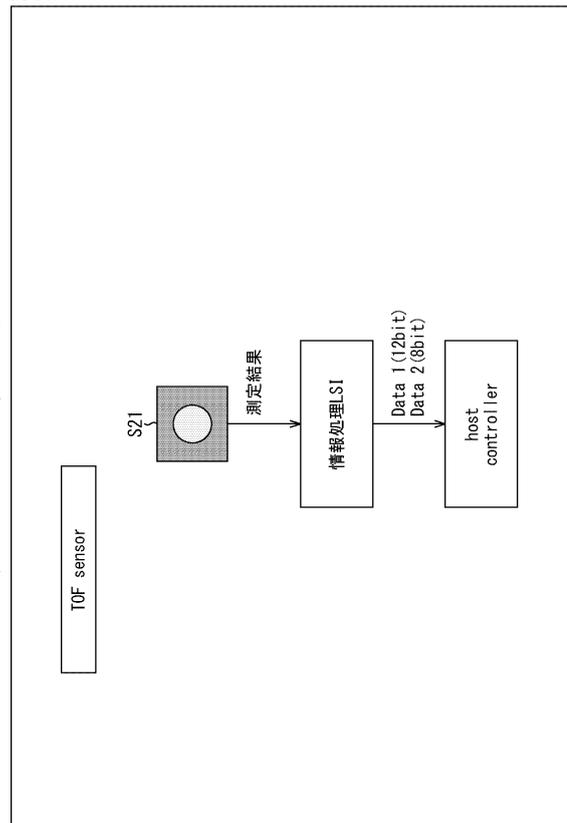
【図 29】

FIG. 29



【図 30】

FIG. 30



30

40

50

【 図 3 1 】

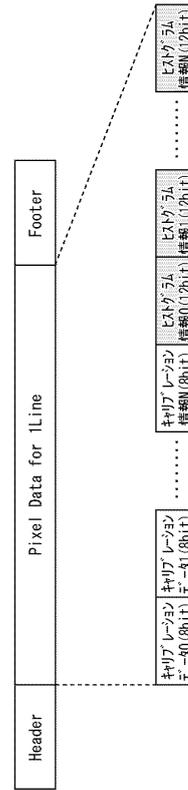
FIG. 31

TOFセンサのデータ例

bit幅	出力データ
[7:0]	キャリブレーション・データ0
[7:0]	キャリブレーション・データ1
[7:0]	キャリブレーション・データ2
[7:0]	キャリブレーション・データ3
.	.
.	.
.	.
[7:0]	キャリブレーション・データN-1
[7:0]	キャリブレーション・データN
[11:0]	ヒストグラム情報0
[11:0]	ヒストグラム情報1
[11:0]	ヒストグラム情報2
[11:0]	ヒストグラム情報3
.	.
.	.
.	.
[11:0]	ヒストグラム情報N-1
[11:0]	ヒストグラム情報N

【 図 3 2 】

FIG. 32

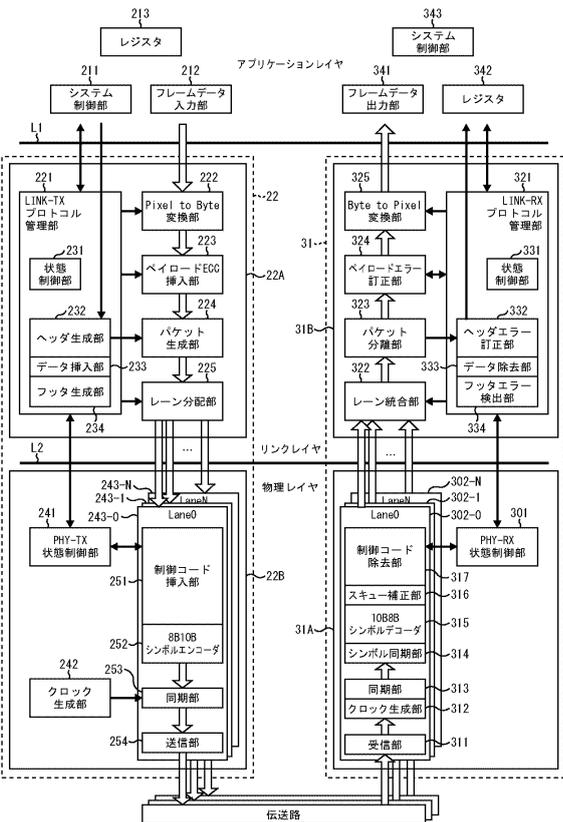


10

20

【 図 3 3 】

FIG. 33



【 図 3 4 】

FIG. 34

Byte Bit	Contents
15	CRC [15] X ¹⁵
14	CRC [14] X ¹⁴
13	CRC [13] X ¹³
12	CRC [12] X ¹²
11	CRC [11] X ¹¹
10	CRC [10] X ¹⁰
9	CRC [9] X ⁹
8	CRC [8] X ⁸
7	CRC [7] X ⁷
6	CRC [6] X ⁶
5	CRC [5] X ⁵
4	CRC [4] X ⁴
3	CRC [3] X ³
2	CRC [2] X ²
1	CRC [1] X ¹
0	CRC [0] X ⁰

Byte Bit	Contents
31	Reserved [15]
30	Reserved [14]
29	Reserved [13]
28	Reserved [12]
27	Reserved [11]
26	Reserved [10]
25	Reserved [9]
24	Reserved [8]
23	Reserved [7]
22	Reserved [6]
21	Reserved [5]
20	Reserved [4]
19	Reserved [3]
18	Reserved [2]
17	Reserved [1]
16	Reserved [0]

Byte Bit	Contents
47	Reserved [31]
46	Reserved [30]
45	Reserved [29]
44	Reserved [28]
43	Reserved [27]
42	Reserved [26]
41	Reserved [25]
40	Reserved [24]
39	Reserved [23]
38	Reserved [22]
37	Reserved [21]
36	Reserved [20]
35	Reserved [19]
34	Reserved [18]
33	Reserved [17]
32	Reserved [16]

Byte Bit	Contents
63	Frame Start
62	Frame End
61	Line Valid
60	Line Number [12]
59	Line Number [11]
58	Line Number [10]
57	Line Number [9]
56	Line Number [8]
55	Line Number [7]
54	Line Number [6]
53	Line Number [5]
52	Line Number [4]
51	Line Number [3]
50	Line Number [2]
49	Line Number [1]
48	Line Number [0]

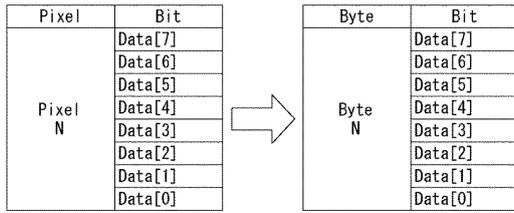
30

40

50

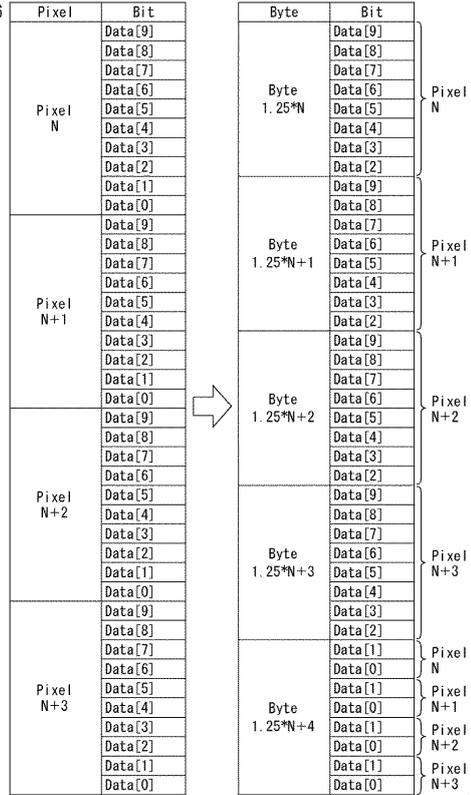
【 3 5 】

FIG.35



【 3 6 】

FIG.36

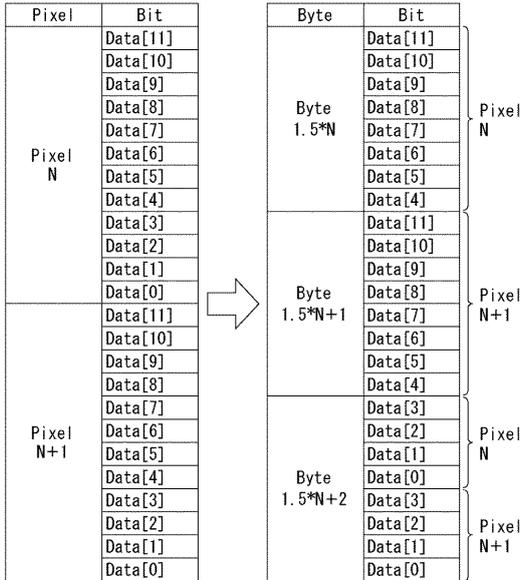


10

20

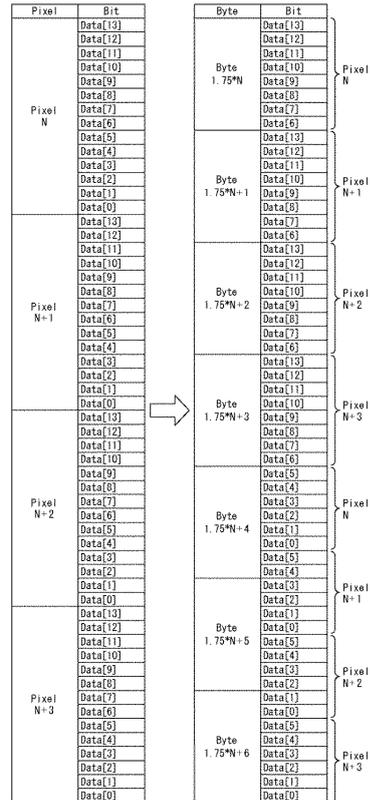
【 3 7 】

FIG.37



【 3 8 】

FIG.38



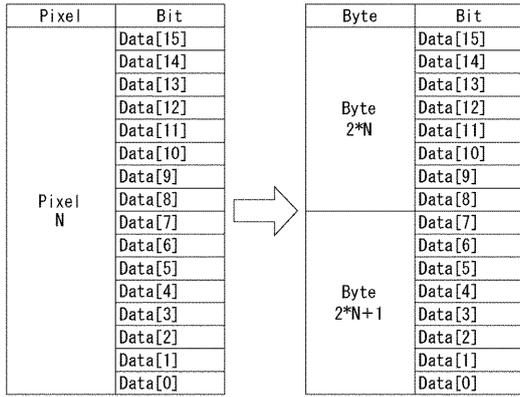
30

40

50

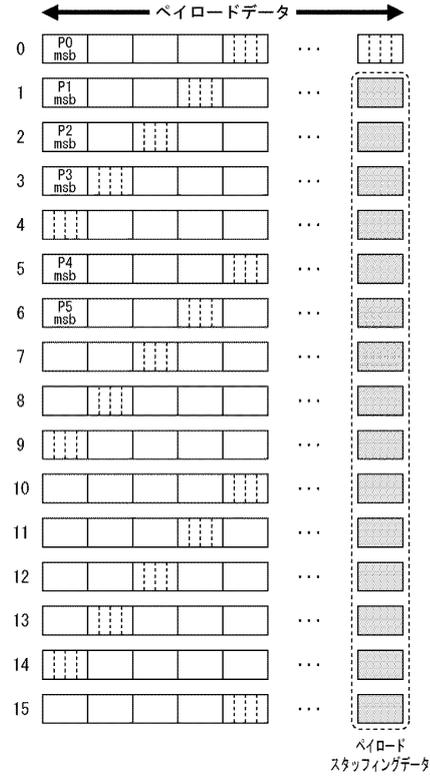
【 図 3 9 】

FIG.39



【 図 4 0 】

FIG.40

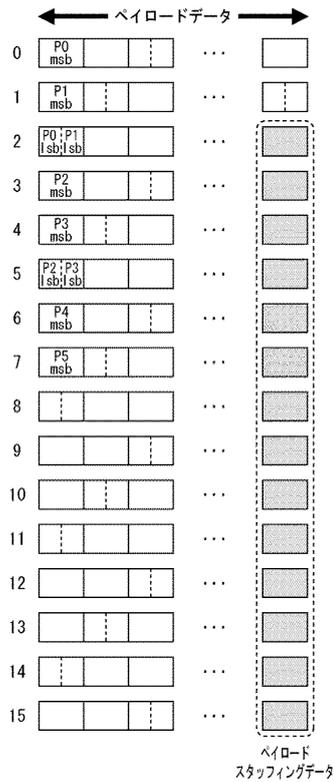


10

20

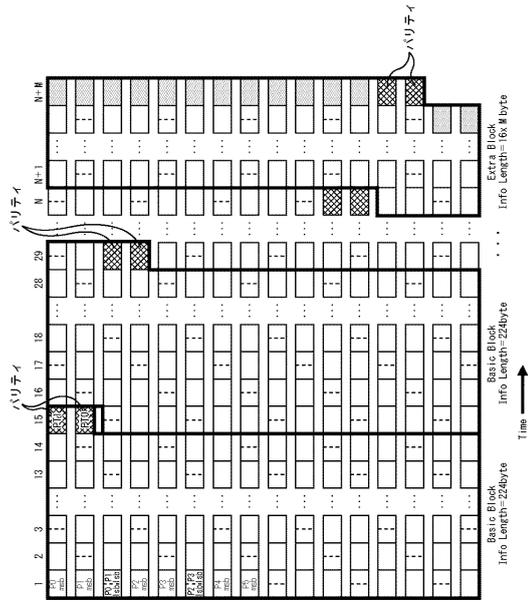
【 図 4 1 】

FIG.41



【 図 4 2 】

FIG.42

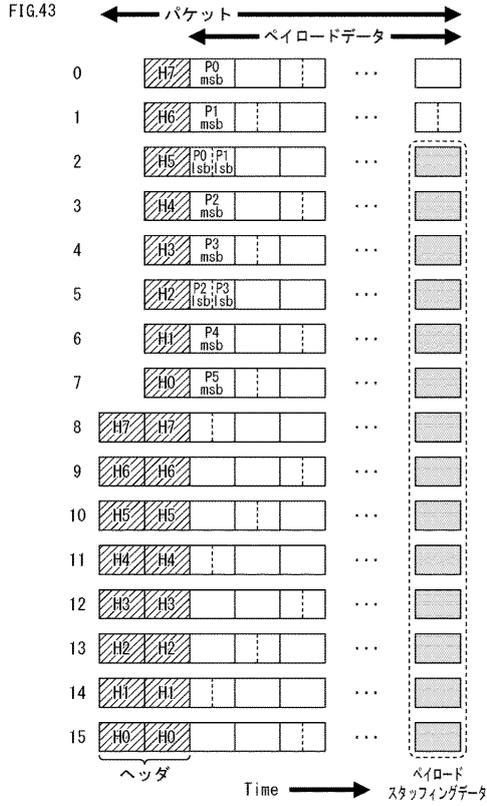


30

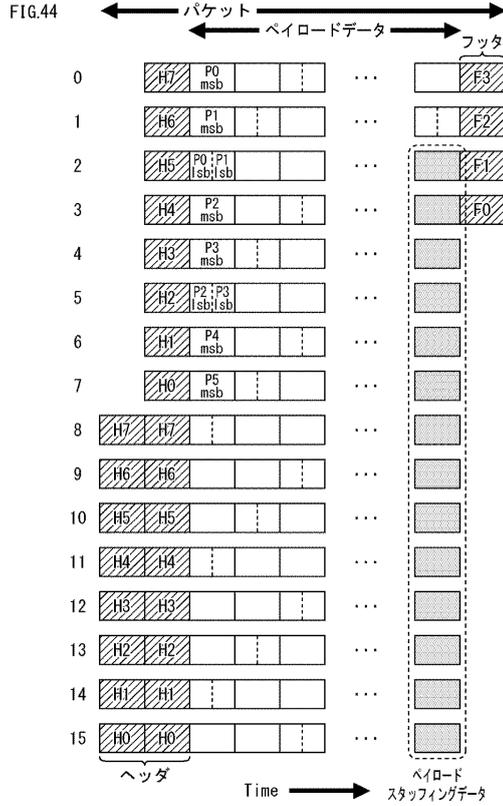
40

50

【 4 3 】



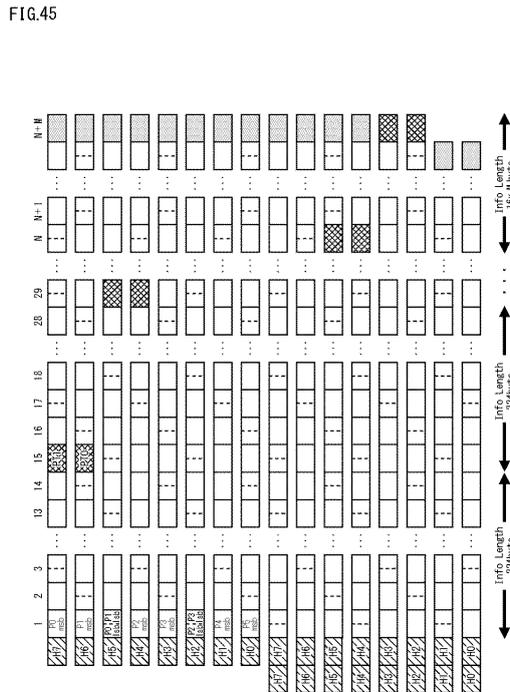
【 4 4 】



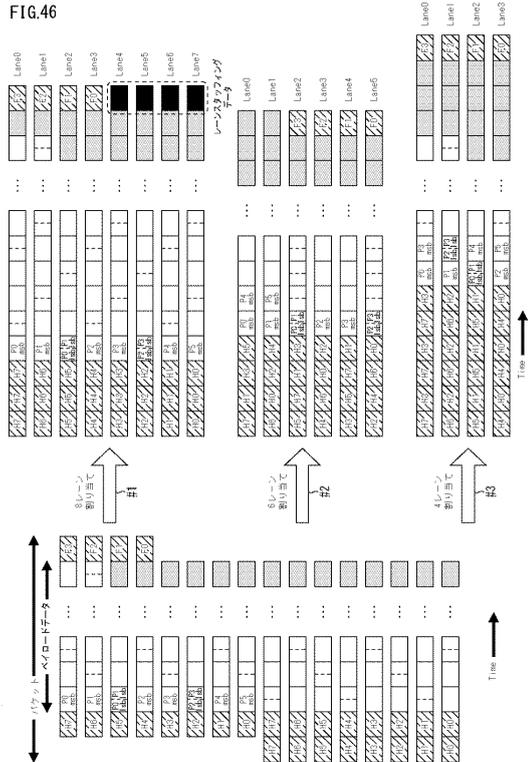
10

20

【 4 5 】



【 4 6 】



30

40

50

【 4 7 】

FIG.47

PHY制御コード	用途	8B10Bシンボル構成					
		D00. 0					
Idle Code	パケット伝送時以外に出力信号をトグルし続けるためのシンボル群 (マージン期間等)	K28. 5	K27. 7	K28. 2	K27. 7	K28. 2	K27. 7
Start Code	パケット (ライン/H) の開始を示す	K28. 5	K29. 7	K30. 7	K29. 7	K28. 7	K29. 7
End Code	パケット (ライン/H) の終了を示す	K23. 7	K28. 4	K28. 6	K28. 3	K28. 3	K28. 3
Pad Code	画素データ (ペイロードデータ) 帯域と、PHY伝送帯域の差分を埋めるために挿入されるpaddingシンボル群	K28. 5	Any**	←	←	←	←
Sync Code	1/Fのビット同期、8B10Bシンボル同期を取るためのシンボル群	K28. 5	Any**	←	←	←	←
Deskew Code	レーン間のData Skewを合わせるため、マーキングとして用いるシンボル群	K28. 5	Any**	←	←	←	←
Standby Code	Tx出力がHigh-Zになる事をRx側に知らせるためのシンボル群	K28. 5	Any**	←	←	←	←

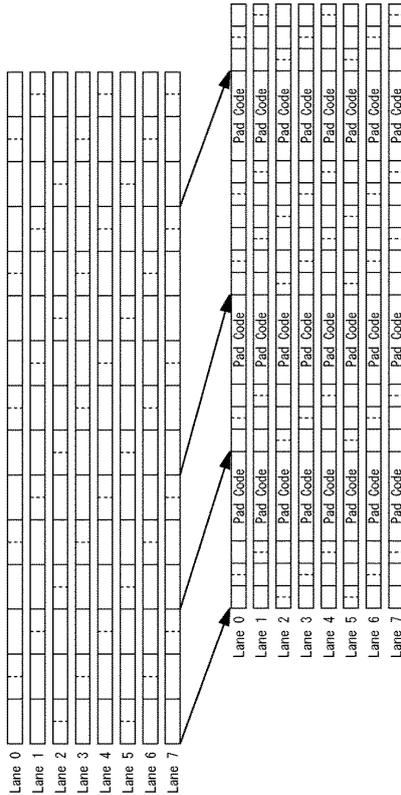
【 4 8 】

FIG.48

Control Symbol	Code	8B HGf_EDCBA	10B abcde_l_fghj		memo
			RD-	RD+	
	K23. 7	11110111	1110101000	0001010111	Used in Pad Code
	K27. 7	11111011	1101101000	0010010111	Used in Start Code
	K28. 0	00011100	0011110100	1100001011	Reserved
	K28. 1	00111100	0011111001	1100000110	Reserved
	K28. 2	01011100	0011110101	1100001010	Used in Start Code
	K28. 3	01111100	0011110011	1100001100	Used in Pad Code
	K28. 4	10011100	0011110010	1100001101	Used in Pad Code
	K28. 5	10111100	0011111010	1100000101	Comma Character
	K28. 6	11011100	0011110110	1100001001	Used in Pad Code
	K28. 7	11111100	0011111000	1100000111	Reserved
	K29. 7	11111101	1011101000	0100010111	Used in End Code
	K30. 7	11111110	0111101000	1000010111	Used in End Code

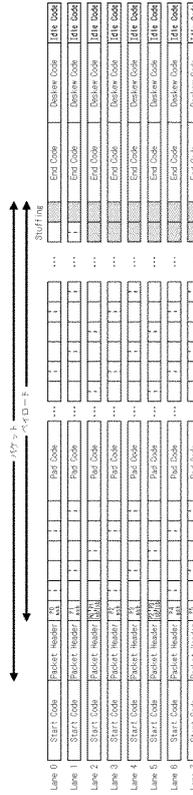
【 4 9 】

FIG.49



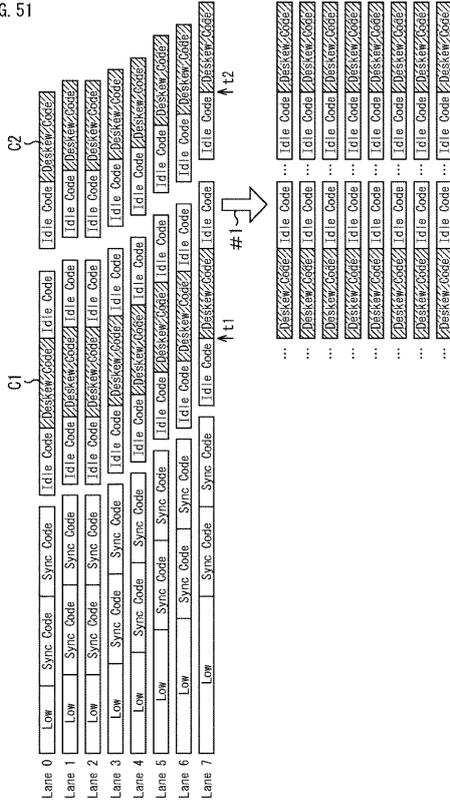
【 5 0 】

FIG. 50



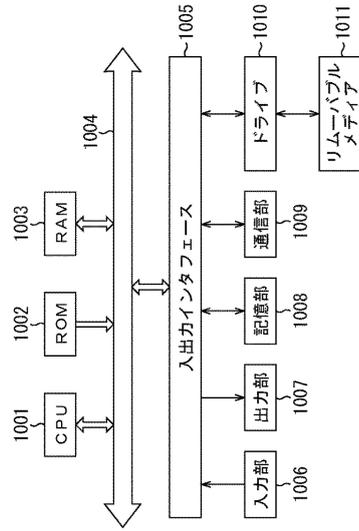
【 5 1 】

FIG. 51



【 5 2 】

FIG. 52



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 1 2 - 1 2 0 1 5 9 (J P , A)
特開 2 0 1 1 - 0 1 9 2 5 5 (J P , A)
特開 2 0 0 0 - 0 3 0 0 5 7 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
- H 0 4 L 6 9 / 3 2 2
H 0 4 N 5 / 0 0