



# (12)发明专利

(10)授权公告号 CN 107481658 B

(45)授权公告日 2019.12.27

(21)申请号 201710852508.8

G11C 19/28(2006.01)

(22)申请日 2017.09.19

审查员 刘俊

(65)同一申请的已公布的文献号

申请公布号 CN 107481658 A

(43)申请公布日 2017.12.15

(73)专利权人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道  
6111号1幢509

(72)发明人 朱仁远 李玥 向东旭 高娅娜

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/20(2006.01)

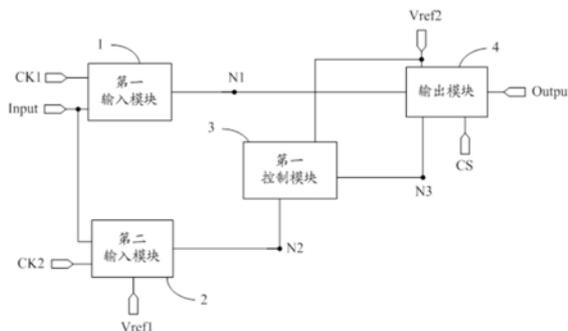
权利要求书5页 说明书22页 附图11页

## (54)发明名称

一种移位寄存器、其驱动方法、驱动控制电路及显示装置

## (57)摘要

本发明公开了一种移位寄存器、其驱动方法、驱动控制电路及显示装置,包括:第一输入模块、第二输入模块、第一控制模块以及输出模块;可以通过上述四个模块的相互配合,采用简单的电路结构使输出信号端稳定的输出信号,可以简化制备工艺,降低生产成本,有利于实现显示装置中面板的窄边框设计。并且,还可以采用高/低电平信号作为输入信号端的有效脉冲信号,实现信号移位输出,既可作为扫描驱动电路也可作为发光驱动电路。



1. 一种移位寄存器,其特征在于,包括:第一输入模块、第二输入模块、第一控制模块以及输出模块;

所述第一输入模块用于在第一时钟信号端的控制下将输入信号端的信号提供给第一节点;

所述第二输入模块用于在所述输入信号端的控制下将第二时钟信号端的信号提供给第二节点,以及在所述第二时钟信号端的控制下将第一参考信号端的信号提供给所述第二节点;

所述第一控制模块用于在所述第二节点的信号的控制下将所述第一时钟信号端的信号提供给第三节点;

所述输出模块用于在所述第一节点的信号的控制下将下拉控制信号端的信号提供给所述移位寄存器的输出信号端,在所述第三节点的信号的控制下将第二参考信号端的信号提供给所述输出信号端。

2. 如权利要求1所述的移位寄存器,其特征在于,所述第一输入模块包括:第一晶体管;

所述第一晶体管的控制极与所述第一时钟信号端相连,所述第一晶体管的第一极与所述输入信号端相连,所述第一晶体管的第二极与所述第一节点相连。

3. 如权利要求1所述的移位寄存器,其特征在于,所述第二输入模块包括:第二晶体管与第三晶体管;

所述第二晶体管的控制极与所述输入信号端相连,所述第二晶体管的第一极与所述第二时钟信号端相连,所述第二晶体管的第二极与所述第二节点相连;

所述第三晶体管的控制极与所述第二时钟信号端相连,所述第三晶体管的第一极与所述第一参考信号端相连,所述第三晶体管的第二极与所述第二节点相连。

4. 如权利要求1所述的移位寄存器,其特征在于,所述第一控制模块包括:第四晶体管;

所述第四晶体管的控制极与所述第二节点相连,所述第四晶体管的第一极与所述第一时钟信号端相连,所述第四晶体管的第二极与所述第三节点相连。

5. 如权利要求4所述的移位寄存器,其特征在于,所述移位寄存器还包括:第一电容;

所述第一电容的第一端与所述第二节点相连,所述第一电容的第二端与所述第四晶体管的第二极相连;或者,

所述第一电容的第一端与所述第二节点相连,所述第一电容的第二端与所述第二参考信号端相连。

6. 如权利要求1所述的移位寄存器,其特征在于,所述输出模块包括:第五晶体管与第六晶体管;

所述第五晶体管的控制极与所述第三节点相连,所述第五晶体管的第一极与所述第二参考信号端相连,所述第五晶体管的第二极与所述输出信号端相连;

所述第六晶体管的控制极与所述第一节点相连,所述第六晶体管的第一极与所述下拉控制信号端相连,所述第六晶体管的第二极与所述输出信号端相连。

7. 如权利要求1-6任一项所述的移位寄存器,其特征在于,所述的移位寄存器还包括:第二控制模块与第三控制模块;其中,所述第一控制模块通过所述第二控制模块将所述第一时钟信号端的信号提供给第三节点;

所述第二控制模块用于在所述第一时钟信号端的控制下导通所述第一控制模块与所

述第三节点；

所述第三控制模块用于在所述第一节点的信号的控制下将所述第二参考信号端的信号提供给所述第三节点，以及在所述第三节点的信号的控制下将所述第二参考信号端的信号提供给所述第一节点。

8. 如权利要求7所述的移位寄存器，其特征在于，所述第二控制模块包括：第七晶体管；其中，所述第七晶体管的控制极与所述第一时钟信号端相连，所述第七晶体管的第一极与所述第一控制模块相连，所述第七晶体管的第二极与所述第三节点相连；

所述第三控制模块包括：第八晶体管与第九晶体管；其中，所述第八晶体管的控制极与所述第一节点相连，所述第八晶体管的第一极与所述第二参考信号端相连，所述第八晶体管的第二极与所述第三节点相连；所述第九晶体管的控制极与所述第三节点相连，所述第九晶体管的第一极与所述第二参考信号端相连，所述第九晶体管的第二极与所述第一节点相连。

9. 如权利要求1-6任一项所述的移位寄存器，其特征在于，所述移位寄存器还包括：第二电容与第三电容；

所述第二电容的第一端与所述第一节点相连，所述第二电容的第二端与所述输出信号端相连；

所述第三电容的第一端与所述第三节点相连，所述第三电容的第二端与所述第二参考信号端相连。

10. 如权利要求1-6任一项所述的移位寄存器，其特征在于，所述下拉控制信号端与所述第一参考信号端为同一信号端。

11. 如权利要求1-6任一项所述的移位寄存器，其特征在于，所述下拉控制信号端与所述第二时钟信号端为同一信号端。

12. 如权利要求1-6任一项所述的移位寄存器，其特征在于，所述输入信号端的有效脉冲信号为高电平信号；或者，

所述输入信号端的有效脉冲信号为低电平信号。

13. 如权利要求12所述的移位寄存器，其特征在于，所述输入信号端的有效脉冲信号为高电平信号，所述输出信号端的有效脉冲信号的上升沿和下降沿均与所述第一时钟信号端的信号的下降沿对齐；或者，

所述输入信号端的有效脉冲信号为低电平信号，所述输出信号端的有效脉冲信号的上升沿和下降沿均与所述第一时钟信号端的信号的上升沿对齐。

14. 如权利要求13所述的移位寄存器，其特征在于，所述输入信号端的有效脉冲信号延长M个时钟周期，所述输出信号端的有效脉冲信号对应延长M个时钟周期；其中，M为正整数。

15. 如权利要求12所述的移位寄存器，其特征在于，所述输入信号端的有效脉冲信号为高电平信号，所述输出信号端的有效脉冲信号的上升沿与所述第二时钟信号端的信号的上升沿对齐，所述输出信号端的有效脉冲信号的下降沿与所述第二时钟信号端的信号的下降沿对齐；或者，

所述输入信号端的有效脉冲信号为低电平信号，所述输出信号端的有效脉冲信号的下降沿与所述第二时钟信号端的信号的下降沿对齐，所述输出信号端的有效脉冲信号的上升沿与所述第二时钟信号端的信号的上升沿对齐。

16. 一种移位寄存器,其特征在于,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管以及第六晶体管;

所述第一晶体管受第一时钟信号端的信号控制,将输入信号端的信号输出给第一节点;

所述第二晶体管受所述输入信号端的信号控制,将第二时钟信号端的信号输出给第二节点;

所述第三晶体管受所述第二时钟信号端控制,将第一参考信号端的信号输出给所述第二节点;

所述第四晶体管受所述第二节点的信号控制,将所述第一时钟信号端的信号输出给第三节点;

所述第五晶体管受所述第三节点的信号控制,将第二参考信号端的信号输出给输出信号端;

所述第六晶体管受所述第一节点的信号控制,将下拉控制信号端的信号输出给所述输出信号端。

17. 如权利要求16所述的移位寄存器,其特征在于,所述移位寄存器还包括:第七晶体管、第八晶体管以及第九晶体管:其中所述第四晶体管通过所述第七晶体管将所述第一时钟信号端的信号输出给第三节点;

所述第七晶体管受所述第一时钟信号端的信号控制,将所述第四晶体管输出的信号输出给所述第三节点;

所述第八晶体管受所述第一节点的信号控制,将所述第二参考信号端的信号输出给所述第三节点;

所述第九晶体管受所述第三节点的信号控制,将所述第二参考信号端的信号输出给所述第一节点。

18. 如权利要求16所述的移位寄存器,其特征在于,所述移位寄存器还包括:第一电容:

所述第一电容用于保持所述第二节点的信号的电压与所述第四晶体管输出的信号的电压之间的电压差稳定;或者,

所述第一电容用于保持所述第二节点的信号的电压与所述第二参考信号端的信号的电压之间的电压差稳定。

19. 如权利要求16所述的移位寄存器,其特征在于,所述移位寄存器还包括:第二电容与第三电容:

所述第二电容用于保持所述第一节点的信号的电压与所述输出信号端的信号的电压之间电压差稳定;

所述第三电容用于保持所述第三节点的信号的电压与所述第二参考信号端的信号的电压之间的电压差稳定。

20. 如权利要求16-19任一项所述的移位寄存器,其特征在于,所述下拉控制信号端与所述第一参考信号端为同一信号端。

21. 如权利要求16-19任一项所述的移位寄存器,其特征在于,所述下拉控制信号端与所述第二时钟信号端为同一信号端。

22. 如权利要求16-19任一项所述的移位寄存器,其特征在于,所述输入信号端的有效

脉冲信号为高电平信号;或者,

所述输入信号端的有效脉冲信号为低电平信号。

23. 如权利要求22所述的移位寄存器,其特征在于,所述输入信号端的有效脉冲信号为高电平信号,所述输出信号端的有效脉冲信号的上升沿和下降沿均与所述第一时钟信号端的信号的下降沿对齐;或者,

所述输入信号端的有效脉冲信号为低电平信号,所述输出信号端的有效脉冲信号的上升沿和下降沿均与所述第一时钟信号端的信号的上升沿对齐。

24. 如权利要求23所述的移位寄存器,其特征在于,所述输入信号端的有效脉冲信号延长M个时钟周期,所述输出信号端的有效脉冲信号对应延长M个时钟周期;其中,M为正整数。

25. 如权利要求22所述的移位寄存器,其特征在于,所述输入信号端的有效脉冲信号为高电平信号,所述输出信号端的有效脉冲信号的上升沿与所述第二时钟信号端的信号的上升沿对齐,所述输出信号端的有效脉冲信号的下降沿与所述第二时钟信号端的信号的下降沿对齐;或者,

所述输入信号端的有效脉冲信号为低电平信号,所述输出信号端的有效脉冲信号的下降沿与所述第二时钟信号端的信号的下降沿对齐,所述输出信号端的有效脉冲信号的上升沿与所述第二时钟信号端的信号的上升沿对齐。

26. 一种驱动控制电路,其特征在于,包括级联的多个如权利要求1-25任一项所述的移位寄存器;

第一级移位寄存器的输入信号端与起始信号端相连;

除所述第一级移位寄存器之外,其余各级所述移位寄存器的输入信号端分别与其相邻的上一级移位寄存器的输出信号端相连。

27. 如权利要求26所述的驱动控制电路,其特征在于,所述驱动控制电路为扫描驱动电路;或者,所述驱动控制电路为发光驱动电路。

28. 一种显示装置,其特征在于,包括如权利要求26或27所述的驱动控制电路。

29. 一种如权利要求1-9、16-19任一项所述的移位寄存器的驱动方法,其特征在于,包括:第一阶段、第二阶段、第三阶段、第四阶段以及第五阶段;

在所述第一阶段,向所述输入信号端与所述第一时钟信号端分别提供第一电平信号,向所述第二时钟信号端提供第二电平信号,所述输出信号端输出第一电平信号;

在所述第二阶段,向所述输入信号端和所述第一时钟信号端分别提供第二电平信号,向所述第二时钟信号端提供第一电平信号,所述输出信号端输出第一电平信号;

在所述第三阶段,向所述输入信号端和所述第二时钟信号端分别提供第二电平信号,向所述第一时钟信号端提供第一电平信号,所述输出信号端输出第二电平信号;

在所述第四阶段,向所述输入信号端和所述第二时钟信号端分别提供第一电平信号,向所述第一时钟信号端提供第二电平信号,所述输出信号端输出第二电平信号;

在所述第五阶段,向所述输入信号端与所述第一时钟信号端提供第一电平信号,向所述第二时钟信号端提供第二电平信号,所述输出信号端输出第一电平信号。

30. 如权利要求29所述的驱动方法,其特征在于,在所述第三阶段之后,且在所述第四阶段之前,还包括至少一个插入阶段所述插入阶段包括:第一插入子阶段和第二插入子阶段;

在所述第一插入子阶段,向所述输入信号端与所述第一时钟信号端分别提供第二电平信号,向所述第一时钟信号端提供第一电平信号,所述输出信号端输出第二电平信号;

在所述第二插入子阶段,向所述输入信号端和所述第二时钟信号端分别提供第二电平信号,向所述第一时钟信号端提供第一电平信号,所述输出信号端输出第二电平信号。

31.一种如权利要求1-9、16-19任一项所述的移位寄存器的驱动方法,其特征在于,包括:第一阶段、第二阶段以及第三阶段;

在所述第一阶段,向所述输入信号端与所述第一时钟信号端分别提供第一电平信号,向所述第二时钟信号端提供第二电平信号,所述输出信号端输出第二电平信号;

在所述第二阶段,向所述输入信号端与所述第一时钟信号端分别提供第二电平信号,向所述第二时钟信号端提供第一电平信号,所述输出信号端输出第一电平信号;

在所述第三阶段,向所述输入信号端和所述第二时钟信号端分别提供第二电平信号,向所述第一时钟信号端提供第一电平信号,所述输出信号端输出第二电平信号。

## 一种移位寄存器、其驱动方法、驱动控制电路及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种移位寄存器、其驱动方法、驱动控制电路及显示装置。

### 背景技术

[0002] 现有的一种移位寄存器,如图1所示,包括:第一晶体管TFT1、第二晶体管TFT2、第三晶体管TFT3、第四晶体管TFT4、第五晶体管TFT5、第六晶体管TFT6、第七晶体管TFT7、第八晶体管TFT8、第九晶体管TFT9、第十晶体管TFT10、电容C01、电容C02以及电容C03。对应的时序图如图2所示,在移位阶段t1,由于时钟信号CK为低电平,因此第一晶体管TFT1与第二晶体管TFT2均导通。导通的第一晶体管TFT1使节点M01的电平为高电平,第七晶体管TFT7、第八晶体管TFT8以及第九晶体管TFT9均截止。导通的第二晶体管TFT2使节点M02的电平为低电平,因此第五晶体管TFT5导通以使节点M03的电平为高电平。由于时钟信号CKB为高电平,因此第六晶体管TFT6截止。因此输出信号端Output保持输出低电平的信号。在输出阶段t2,由于时钟信号CK为高电平,因此第一晶体管TFT1与第二晶体管TFT2均截止,使节点M02处于浮接状态。由于电容C02的作用使节点M02的电平保持为低电平,因此第四晶体管TFT4与第五晶体管TFT5均导通。由于时钟信号CKB为低电平,第三晶体管TFT3与第六晶体管TFT6均导通。导通的第三晶体管TFT3与第四晶体管TFT4使节点M01的电平为高电平,因此第七晶体管TFT7、第八晶体管TFT8以及第九晶体管TFT9均截止。导通的第五晶体管TFT5与第六晶体管TFT6使节点M04的电平为低电平,因此第十晶体管TFT10导通,以使输出信号端Output输出高电平的信号,输出完成。

[0003] 然而,上述移位寄存器在输入阶段中,电容C01两端的电平均为高电平,在输出阶段中,时钟信号CKB由高电平变为低电平,由于电容C01的耦合作用,节点M01的电平会被耦合为低电平,从而导致第七晶体管TFT7、第八晶体管TFT8以及第九晶体管TFT9导通。其中,由于第九晶体管TFT9导通以造成第五晶体管TFT5截止,从而导致不能将低电平的时钟信号CKB写入节点M4;由于第七晶体管TFT7导通使得节点M04的电平为高电平,导致第十晶体管TFT10截止;以及由于第八晶体管TFT8导通造成输出信号端Output输出低电平的信号,从而导致移位寄存器无法正常移位输出。并且,上述移位寄存器包括的晶体管的个数较多,且各晶体管之间连接的具体结构也比较复杂,导致工艺难度加大,生产成本增加,以及造成显示面板的开口率降低,使得该显示面板不具备竞争力。另外,通过仿真模拟可知,上述移位寄存器中的晶体管的阈值电压漂移到-3.5V时,会导致移位寄存器不能正常工作,从而导致需要较严格的器件尺寸,对工艺制备要求较高,导致工艺难度加大。

### 发明内容

[0004] 本发明实施例提供一种移位寄存器、其驱动方法、驱动控制电路及显示装置,可以通过简单的结构,稳定的输出信号,从而简化制备工艺,降低工艺制备难度,降低生产成本,有利于实现显示面板的窄边框设计。

[0005] 因此,本发明实施例提供了一种移位寄存器,包括:第一输入模块、第二输入模块、第一控制模块以及输出模块;

[0006] 所述第一输入模块用于在第一时钟信号端的控制下将输入信号端的信号提供给第一节点;

[0007] 所述第二输入模块用于在所述输入信号端的控制下将第二时钟信号端的信号提供给第二节点,以及在所述第二时钟信号端的控制下将第一参考信号端的信号提供给所述第二节点;

[0008] 所述第一控制模块用于在所述第二节点的信号的控制下将所述第一时钟信号端的信号提供给第三节点;

[0009] 所述输出模块用于在所述第一节点的信号的控制下将下拉控制信号端的信号提供给所述移位寄存器的输出信号端,在所述第三节点的信号的控制下将第二参考信号端的信号提供给所述输出信号端。

[0010] 相应地,本发明实施例还提供了一种移位寄存器,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管以及第六晶体管;

[0011] 所述第一晶体管受第一时钟信号端的信号控制,将输入信号端的信号输出给第一节点;

[0012] 所述第二晶体管受所述输入信号端的信号控制,将第二时钟信号端的信号输出给第二节点;

[0013] 所述第三晶体管受所述第二时钟信号端控制,将第一参考信号端的信号输出给所述第二节点;

[0014] 所述第四晶体管受所述第二节点的信号控制,将所述第一时钟信号端的信号输出给第三节点;

[0015] 所述第五晶体管受所述第三节点的信号控制,将第二参考信号端的信号输出给所述输出信号端;

[0016] 所述第六晶体管受所述第一节点的信号控制,将下拉控制信号端的信号输出给所述输出信号端。

[0017] 相应地,本发明实施例还提供了一种驱动控制电路,包括级联的多个本发明实施例提供的任一种移位寄存器;

[0018] 第一级移位寄存器的输入信号端与起始信号端相连;

[0019] 除所述第一级移位寄存器之外,其余各级所述移位寄存器的输入信号端分别与其相邻的上一级移位寄存器的输出信号端相连。

[0020] 相应地,本发明实施例还提供了一种显示装置,包括本发明实施例提供的任一种驱动控制电路。

[0021] 相应地,本发明实施例还提供了一种本发明实施例提供的移位寄存器的驱动方法,包括:第一阶段、第二阶段、第三阶段、第四阶段以及第五阶段;

[0022] 在所述第一阶段,向所述输入信号端与所述第一时钟信号端分别提供第一电平信号,向所述第二时钟信号端提供第二电平信号,所述输出信号端输出第一电平信号;

[0023] 在所述第二阶段,向所述输入信号端和所述第一时钟信号端分别提供第二电平信号,向所述第二时钟信号端提供第一电平信号,所述输出信号端输出第一电平信号;

[0024] 在所述第三阶段,向所述输入信号端和所述第二时钟信号端分别提供第二电平信号,向所述第一时钟信号端提供第一电平信号,所述输出信号端输出第二电平信号;

[0025] 在所述第四阶段,向所述输入信号端和所述第二时钟信号端分别提供第一电平信号,向所述第一时钟信号端提供第二电平信号,所述输出信号端输出第二电平信号;

[0026] 在所述第五阶段,向所述输入信号端与所述第一时钟信号端提供第一电平信号,向所述第二时钟信号端提供第二电平信号,所述输出信号端输出第一电平信号。

[0027] 相应地,本发明实施例又提供了另一种本发明实施例提供的移位寄存器的驱动方法,包括:第一阶段、第二阶段以及第三阶段;

[0028] 在所述第一阶段,向所述输入信号端与所述第一时钟信号端分别提供第一电平信号,向所述第二时钟信号端提供第二电平信号,所述输出信号端输出第二电平信号;

[0029] 在所述第二阶段,向所述输入信号端与所述第一时钟信号端分别提供第二电平信号,向所述第二时钟信号端提供第一电平信号,所述输出信号端输出第一电平信号;

[0030] 在所述第三阶段,向所述输入信号端和所述第二时钟信号端分别提供第二电平信号,向所述第一时钟信号端提供第一电平信号,所述输出信号端输出第二电平信号。

[0031] 本发明有益效果如下:

[0032] 本发明实施例提供的移位寄存器、其驱动方法、驱动控制电路及显示装置,包括:第一输入模块、第二输入模块、第一控制模块、耦合控制模块以及输出模块;第一输入模块用于在第一时钟信号端的控制下将输入信号端的信号提供给第一节点;第二输入模块用于在输入信号端的控制下将第二时钟信号端的信号提供给第二节点,以及在第二时钟信号端的控制下将第一参考信号端的信号提供给第二节点;耦合控制模块用于稳定第二节点的电平;第一控制模块用于在第一时钟信号端与第二节点的信号的控制下将第一时钟信号端的信号提供给第三节点,在第一节点的信号的控制下将第二参考信号端的信号提供给第三节点,以及在第三节点的信号的控制下将第二参考信号端的信号提供给第一节点;输出模块用于在第一节点的信号的控制下将下拉控制信号端的信号提供给输出信号端,在第三节点的信号的控制下将第二参考信号端的信号提供给输出信号端。因此,通过上述四个模块的相互配合,可以采用简单的电路结构使输出信号端稳定的输出信号,可以简化制备工艺,降低生产成本,有利于实现显示装置中面板的窄边框设计。并且,还可以采用高/低电平信号作为输入信号端的有效脉冲信号,实现信号移位输出,既可作为扫描驱动电路也可作为发光驱动电路。

## 附图说明

[0033] 图1为现有技术中的移位寄存器的具体结构示意图;

[0034] 图2为图1所示的现有技术中移位寄存器对应的输入输出时序图;

[0035] 图3a为本发明实施例提供的移位寄存器的结构示意图之一;

[0036] 图3b为本发明实施例提供的移位寄存器的结构示意图之二;

[0037] 图4a为本发明实施例提供的移位寄存器的具体结构示意图之一;

[0038] 图4b为本发明实施例提供的移位寄存器的具体结构示意图之二;

[0039] 图4c为本发明实施例提供的移位寄存器的具体结构示意图之三;

[0040] 图5a分别为实施例一与实施例四中的输入输出时序图;

- [0041] 图5b分别为实施例二与实施例五中的输入输出时序图；
- [0042] 图5c分别为实施例三与实施例六中的输入输出时序图；
- [0043] 图6分别为实施例七与实施例八中的输入输出时序图；
- [0044] 图7为本发明实施例提供的一种驱动方法的流程图；
- [0045] 图8为本发明实施例提供的另一种驱动方法的流程图；
- [0046] 图9a为本发明实施例提供的驱动控制电路的结构示意图之一；
- [0047] 图9b为本发明实施例提供的驱动控制电路的结构示意图之二。

### 具体实施方式

[0048] 为了使本发明的目的,技术方案和优点更加清楚,下面结合附图,对本发明实施例提供的移位寄存器、其驱动方法、驱动控制电路及显示装置的具体实施方式进行详细说明。应当理解,下面所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。并且在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0049] 本发明实施例提供了一种移位寄存器,如图3a所示,包括:第一输入模块1、第二输入模块2、第一控制模块3以及输出模块4;

[0050] 第一输入模块1用于在第一时钟信号端CK1的控制下将输入信号端Input的信号提供给第一节点N1;

[0051] 第二输入模块2用于在输入信号端Input的控制下将第二时钟信号端CK2的信号提供给第二节点N2,以及在第二时钟信号端CK2的控制下将第一参考信号端Vref1的信号提供给第二节点N2;

[0052] 第一控制模块3用于在第二节点N2的信号的的控制下将第一时钟信号端CK1的信号提供给第三节点N3;

[0053] 输出模块4用于在第一节点N1的信号的的控制下将下拉控制信号端CS的信号提供给输出信号端Output,在第三节点N3的信号的的控制下将第二参考信号端Vref2的信号提供给输出信号端Output。

[0054] 本发明实施例提供的移位寄存器,包括:第一输入模块、第二输入模块、第一控制模块以及输出模块;第一输入模块用于在第一时钟信号端的控制下将输入信号端的信号提供给第一节点;第二输入模块用于在输入信号端的控制下将第二时钟信号端的信号提供给第二节点,以及在第二时钟信号端的控制下将第一参考信号端的信号提供给第二节点;第一控制模块用于在第二节点的信号的的控制下将第一时钟信号端的信号提供给第三节点;输出模块用于在第一节点的信号的的控制下将下拉控制信号端的信号提供给输出信号端,在第三节点的信号的的控制下将第二参考信号端的信号提供给输出信号端。因此,本发明实施例提供的移位寄存器,通过上述四个模块的相互配合,可以采用简单的电路结构使输出信号端稳定的输出信号,可以简化制备工艺,降低生产成本,有利于实现显示装置中面板的窄边框设计。

[0055] 为了节省信号端口数量,减少信号线的设置,节省布线空间,在具体实施时,在本发明实施例提供的移位寄存器中,下拉控制信号端与第一参考信号端可以为同一信号端。可以简化制备工艺,降低生产成本。并且,在具体实施时,输入信号端的有效脉冲信号为高电平信号,第一参考信号端的信号为低电平信号,第二参考信号端的信号为高电平信号;或

者,输入信号端的有效脉冲信号为低电平信号,第一参考信号端的信号为高电平信号,第二参考信号端的信号为低电平信号。

[0056] 或者,在具体实施时,下拉控制信号端与第二时钟信号端可以为同一信号端。并且,在具体实施时,输入信号端的有效脉冲信号为低电平信号,第一参考信号端的信号为低电平信号,第二参考信号端的信号为高电平信号;或者,输入信号端的有效脉冲信号为高电平信号,第一参考信号端的信号为高电平信号,第二参考信号端的信号为低电平信号。

[0057] 为了保持各节点的电平稳定,在具体实施时,在本发明实施例提供的移位寄存器中,如图3b所示,的移位寄存器还可以包括:第二控制模块5与第三控制模块6;其中,第一控制模块3通过第二控制模块5将第一时钟信号端CK1的信号提供给第三节点N3;

[0058] 第二控制模块5用于在第一时钟信号端CK1的控制下导通第一控制模块3与第三节点N3;

[0059] 第三控制模块6用于在第一节点N1的信号的信号的控制下将第二参考信号端Vref2的信号提供给第三节点N3,以及在第三节点N3的信号的信号的控制下将第二参考信号端Vref2的信号提供给第一节点N1。

[0060] 在具体实施时,在本发明实施例提供的移位寄存器中,输入信号端的有效脉冲信号为高电平信号;或者,输入信号端的有效脉冲信号为低电平信号。

[0061] 在具体实施时,输入信号端的有效脉冲信号为高电平信号,输出信号端的有效脉冲信号的上升沿和下降沿均与第一时钟信号端的信号的下降沿对齐;或者,输入信号端的有效脉冲信号为低电平信号,输出信号端的有效脉冲信号的上升沿和下降沿均与第一时钟信号端的信号的上升沿对齐。具体地,输入信号端的有效脉冲信号延长M个时钟周期,输出信号端的有效脉冲信号对应延长M个时钟周期;其中,M为正整数。这样可以仅需通过改变输入信号端的有效脉冲信号的时长即可控制输出信号端输出的信号的有效脉冲信号的时长,不需要进行电路的改动和工艺的改变。

[0062] 在具体实施时,输入信号端的有效脉冲信号为高电平信号,输入信号端的有效脉冲信号为高电平信号,输出信号端的有效脉冲信号的上升沿与第二时钟信号端的信号的上升沿对齐,输出信号端的有效脉冲信号的下降沿与第二时钟信号端的信号的下降沿对齐;或者,输入信号端的有效脉冲信号为低电平信号,输出信号端的有效脉冲信号的下降沿与第二时钟信号端的信号的下降沿对齐,输出信号端的有效脉冲信号的上升沿与第二时钟信号端的信号的上升沿对齐。

[0063] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了更好的解释本发明,但不限制本发明。

[0064] 在具体实施时,在本发明实施例提供的移位寄存器中,如图4a至图4c所示,第一输入模块1可以包括:第一晶体管M1;其中,第一晶体管M1的控制极与第一时钟信号端CK1相连,第一晶体管M1的第一极与输入信号端Input相连,第一晶体管M1的第二极与第一节点N1相连。并且,第一晶体管M1可以为P型晶体管。当然,第一晶体管也可以为N型晶体管,在此不作限定。第一晶体管在第一时钟信号端的信号的控制下处于导通状态时,可以将输入信号端的信号提供给一节点。

[0065] 在具体实施时,在本发明实施例提供的移位寄存器中,如图4a至图4c所示,第二输入模块2可以包括:第二晶体管M2与第三晶体管M3;其中,第二晶体管M2的控制极与输入信

号端Input相连,第二晶体管M2的第一极与第二时钟信号端CK2相连,第二晶体管M2的第二极与第二节点N2相连;第三晶体管M3的控制极与第二时钟信号端CK2相连,第三晶体管M3的第一极与第一参考信号端Vref1相连,第三晶体管M3的第二极与第二节点N2相连。并且,第二晶体管M2与第三晶体管M3可以为P型晶体管。当然,第二晶体管与第三晶体管也可以为N型晶体管,在此不作限定。第二晶体管在输入信号端的信号的控制下处于导通状态时,可以将第二时钟信号端的信号提供给第二节点。第三晶体管在第二时钟信号端的信号的控制下处于导通状态时,可以将第一参考信号端的信号提供给第二节点。

[0066] 在具体实施时,在本发明实施例提供的移位寄存器中,如图4a所示,第一控制模块3可以包括:第四晶体管M4;其中,第四晶体管M4的控制极与第二节点N2相连,第四晶体管M4的第一极与第一时钟信号端CK1相连,第四晶体管M4的第二极与第三节点N3相连。并且第四晶体管M4可以为P型晶体管。当然,第四晶体管也可以为N型晶体管,在此不作限定。第四晶体管M4在第二节点N2的信号的控制下处于导通状态时,可以将第一时钟信号端CK1的信号提供给第三节点N3。

[0067] 在移位寄存器还包括第二控制模块时,在具体实施时,在本发明实施例提供的移位寄存器中,如图4b与图4c所示,第一控制模块3中的第四晶体管M4的第二极通过第二控制模块5与第三节点N3相连。

[0068] 在具体实施时,在本发明实施例提供的移位寄存器中,如图4b与图4c所示,第二控制模块5可以包括:第七晶体管M7;其中,第七晶体管M7的控制极与第一时钟信号端CK1相连,第七晶体管M7的第一极与第一控制模块中的第四晶体管M4的第二极相连,第七晶体管M7的第二极与第三节点N3相连。并且,第七晶体管M7可以为P型晶体管。当然,第七晶体管也可以为N型晶体管,在此不作限定。第七晶体管M7在第一时钟信号端CK1的信号的控制下处于导通状态时,可以将第四晶体管M4的第二极与第三节点N3导通,以将传输到第七晶体管M7的第一极的信号提供给第三节点N3。

[0069] 在具体实施时,在本发明实施例提供的移位寄存器中,如图4b与图4c所示,第三控制模块6可以包括:第八晶体管M8与第九晶体管M9,其中,第八晶体管M8的控制极与第一节点N1相连,第八晶体管M8的第一极与第二参考信号端Vref2相连,第八晶体管M8的第二极与第三节点N3相连;第九晶体管M9的控制极与第三节点N3相连,第九晶体管M9的第一极与第二参考信号端Vref2相连,第九晶体管M9的第二极与第一节点N1相连。并且第八晶体管M8与第九晶体管M9可以为P型晶体管。当然,第八晶体管与第九晶体管也可以为N型晶体管,在此不作限定。

[0070] 第八晶体管在第一节点的信号的控制下处于导通状态时,可以将第二参考信号端的信号提供给第三节点。第九晶体管在第三节点的信号的控制下处于导通状态时,可以将第二参考信号端的信号提供给第一节点。

[0071] 在具体实施时,在本发明实施例提供的移位寄存器中,如图4a至图4c所示,输出模块4可以包括:第五晶体管M5与第六晶体管M6;其中,第五晶体管M5的控制极与第三节点N3相连,第五晶体管M5的第一极与第二参考信号端Vref2相连,第五晶体管M5的第二极与输出信号端Output相连;第六晶体管M6的控制极与第一节点N1相连,第六晶体管M6的第一极与下拉控制信号端CS相连,第六晶体管M6的第二极与输出信号端Output相连。并且第五晶体管M5与第六晶体管M6可以为P型晶体管。当然,第五晶体管与第六晶体管也可以为N型晶体

管,在此不作限定。

[0072] 第五晶体管在第三节点的信号的控制下处于导通状态时,可以将第二参考信号端的信号提供给输出信号端。第六晶体管在第一节点的信号的控制下处于导通状态时,可以将下拉控制信号端的信号提供给输出信号端。

[0073] 在具体实施时,在本发明实施例提供的移位寄存器中,如图4b与图4c所示,移位寄存器还可以包括:第二电容C2与第三电容C3;其中,第二电容C2的第一端与第一节点N1相连,第二电容C2的第二端与输出信号端Output相连;第三电容C3的第一端与第三节点N3相连,第三电容C3的第二端与第二参考信号端Vref2相连。并且,第二电容C2可以保持第一节点N1与输出信号端Output的电压稳定,并在第一节点N1处于浮接状态时,由于第二电容C2的耦合作用,还可以保持第一节点N1与输出信号端Output之间的电压差稳定。第三电容C3可以保持第三节点N3的电压稳定,并在第三节点N3处于浮接状态时,由于第三电容C3的耦合作用,还可以保持第三节点N3与第二参考信号端Vref2之间的电压差稳定。

[0074] 在具体实施时,在本发明实施例提供的移位寄存器中,如图4b与图4c所示,移位寄存器还可以包括:第一电容C1。其中,在具体实施时,如图4b所示,第一电容C1的第一端与第二节点N2相连,第一电容C1的第二端可以与第四晶体管M4的第二极相连。并且,第一电容C1可以保持第二节点N2的电压稳定,并在第二节点N2处于浮接状态时,由于第一电容C1的耦合作用,还可以保持第二节点N2与第四晶体管M4的第二极之间的电压差稳定。

[0075] 或者,在具体实施时,如图4c所示,第一电容C1的第一端与第二节点N2相连,第一电容C1的第二端也可以与第二参考信号端Vref2相连。并且,第一电容C1可以保持第二节点N2的电压稳定,并在第二节点N2处于浮接状态时,由于第一电容C1的耦合作用,还可以保持第二节点N2与第二参考信号端Vref2之间的电压差稳定。

[0076] 为了节省信号端口数量,减少信号线的设置,节省布线空间,可以使下拉控制信号端与第一参考信号端可以为同一信号端。例如在本发明实施例提供的移位寄存器中,第六晶体管的第一极可以与第一参考信号端相连。

[0077] 为了节省信号端口数量,减少信号线的设置,节省布线空间,下拉控制信号端与第二时钟信号端可以为同一信号端。例如在本发明实施例提供的移位寄存器中第六晶体管的第一极可以与第二时钟信号端相连。

[0078] 以上仅是举例说明本发明实施例提供的移位寄存器中各模块的具体结构,在具体实施时,上述各模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0079] 为了简化制备工艺,在具体实施时,在本发明实施例提供的移位寄存器中,如图4a至图4c所示,所有晶体管可以均为P型晶体管。或者,所有开关晶体管也可以均为N型晶体管。并且在具体实施时,P型晶体管在高电平信号作用下截止,在低电平信号作用下导通;N型晶体管在高电平信号作用下导通,在低电平信号作用下截止。

[0080] 需要说明的是,本发明上述实施例中提到的各晶体管可以是薄膜晶体管(TFT, Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS, Metal Oxide Semiconductor),在此不作限定。在具体实施中,上述各晶体管的控制极作为其栅极,并且根据各晶体管的栅极的信号以及其类型,可以将其第一极作为源极,第二极作为漏极;或者将其第一极作为漏极,第二极作为源极,在此不做具体区分。

[0081] 下面结合电路时序图对本发明实施例提供的上述移位寄存器的工作过程作以描述。下述描述中以1表示高电平信号,0表示低电平信号,其中,1和0代表其逻辑电平,仅是为了更好的解释本发明实施例提供的上述移位寄存器的工作过程,而不是在具体实施时施加在各开关晶体管的控制极上的电压大小。

[0082] 实施例一、

[0083] 以图4b所示的移位寄存器的结构为例对其工作过程作以描述;对应的输入输出时序图如图5a所示,具体地,主要选取如图5a所示的输入输出时序图中的T1、T2、T3、T4以及T5五个阶段。其中,第一参考信号端Vref1的信号为低电平信号,第二参考信号端Vref2的信号为高电平信号,下拉控制信号端CS的信号为低电平信号。

[0084] 在T1阶段中,Input=0,CK1=0,CK2=1。由于CK1=0,因此第一晶体管M1与第七晶体管M7均导通。导通的第一晶体管M1将输入信号端Input的低电平信号提供给第一节点N1,使第一节点N1的信号为低电平信号,以控制第八晶体管M8与第六晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3,使第三节点N3的信号为高电平信号,以控制第九晶体管M9与第五晶体管M5均截止。由于CK2=1,因此第三晶体管M3截止。由于Input=0,因此第二晶体管M2导通并将第二时钟信号端CK2的高电平信号提供给第二节点N2,使第二节点N2的信号为高电平信号,以控制第四晶体管M4截止。导通的第六晶体管M6将下拉控制信号端CS的低电平信号提供给信号输出端Output,使信号输出端Output输出低电平信号。

[0085] 之后,Input=0,CK1=1,CK2=1。由于Input=0,因此第二晶体管M2导通并将第二时钟信号端CK2的高电平信号提供给第二节点N2,使第二节点N2的信号为高电平信号,以控制第四晶体管M4截止。由于CK2=1,因此第三晶体管M3截止。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第一节点N1处于浮接状态,由于第二电容C2的耦合作用,可以保持第一节点N1的信号为低电平信号,以控制第八晶体管M8与第六晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3,使第三节点N3的信号为高电平信号,以控制第九晶体管M9与第五晶体管M5均截止。导通的第六晶体管M6将下拉控制信号端CS的低电平信号提供给信号输出端Output,使信号输出端Output输出低电平信号。

[0086] 在T2阶段中,Input=1,CK1=1,CK2=0。由于CK2=0,因此第三晶体管M3导通并将第一参考信号端Vref1的低电平信号提供给第二节点N2,使第二节点N2的信号为低电平信号,以控制第四晶体管M4导通以对第一电容C1充电。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第一节点N1处于浮接状态,由于第二电容C2的耦合作用,可以保持第一节点N1的信号为低电平信号,以控制第八晶体管M8与第六晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3,使第三节点N3的信号为高电平信号,以控制第九晶体管M9与第五晶体管M5均截止。导通的第六晶体管M6将下拉控制信号端CS的低电平信号提供给信号输出端Output,使信号输出端Output输出低电平信号。

[0087] 之后,Input=1,CK1=1,CK2=1。由于CK2=1,因此第三晶体管M3截止。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第一节点N1处于浮接状态,由于第二电容C2的耦合作用,可以保持第一节点N1的信号为低电平信号,以控制第八晶体管M8与第六

晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3,使第三节点N3的信号为高电平信号,以控制第九晶体管M9与第五晶体管M5均截止。导通的第六晶体管M6将下拉控制信号端CS的低电平信号提供给信号输出端Output,使信号输出端Output输出低电平信号。其中,第一电容C1保持第二节点N2的电平稳定。

[0088] 在T3阶段中,Input=1,CK1=0,CK2=1。由于CK1=0,因此第一晶体管M1与第七晶体管M7均导通。导通的第一晶体管M1将输入信号端Input的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。由于Input=1,因此第二晶体管M2截止。由于CK2=1,因此第三晶体管M3截止。因此第二节点N2处于浮接状态,由于第一电容C1的耦合作用可以保持第二节点N2的信号为低电平信号,以控制第四晶体管M4导通并将第一时钟信号端CK1的低电平信号提供给第七晶体管M7的第一极,由于第一电容C1的耦合作用,进一步使第二节点N2的电平拉低,以使第四晶体管M4完全导通,从而可以将第一时钟信号端CK1的低电平信号无电压损失的通过第四晶体管M4与第七晶体管M7提供给第三节点N3,使第三节点N3的信号为低电平信号,以控制第九晶体管M9与第五晶体管M5均导通并对第三电容C3充电。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,进一步使第一节点N1的信号为高电平信号。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output,使输出信号端Output输出高电平信号。

[0089] 之后,Input=1,CK1=1,CK2=1。由于Input=1,因此第二晶体管M2截止。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。由于CK2=1,因此第三晶体管M3截止。因此第三节点N3处于浮接状态,由于第三电容C3的耦合作用,可以保持第三节点N3的信号为低电平信号,以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output,使输出信号端Output输出高电平信号。

[0090] 在T4阶段中,Input=0,CK1=1,CK2=0。由于Input=0,因此第二晶体管M2导通并将第二时钟信号端CK2的低电平信号提供给第二节点N2,使第二节点N2的信号为低电平信号,以控制第四晶体管M4导通。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第三节点N3处于浮接状态,由于第三电容C3的耦合作用,可以保持第三节点N3的信号为低电平信号,以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output,使输出信号端Output输出高电平信号。

[0091] 之后,Input=0,CK1=1,CK2=1。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第三节点N3处于浮接状态,由于第三电容C3的耦合作用,可以保持第三节点N3的信号为低电平信号,以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output,使输出信号端Output输出高电平信号。

[0092] 在T5阶段中,Input=0,CK1=0,CK2=1。由于CK1=0,因此第一晶体管M1与第七晶

体管M7均导通。导通的第一晶体管M1将输入信号端Input的低电平信号提供给第一节点N1，使第一节点N1的信号为低电平信号，以控制第八晶体管M8与第六晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3，使第三节点N3的信号为高电平信号，以控制第九晶体管M9与第五晶体管M5均截止。由于CK2=1，因此第三晶体管M3截止。由于Input=0，因此第二晶体管M2导通并将第二时钟信号端CK2的高电平信号提供给第二节点N2，使第二节点N2的信号为高电平信号，以控制第四晶体管M4截止。导通的第六晶体管M6将下拉控制信号端CS的低电平信号提供给信号输出端Output，使信号输出端Output输出低电平信号。

[0093] 之后，Input=0，CK1=1，CK2=1。由于CK1=1，因此第一晶体管M1与第七晶体管M7均截止。由于CK2=1，因此第三晶体管M3截止。由于Input=0，因此第二晶体管M2导通并将第二时钟信号端CK2的高电平信号提供给第二节点N2，使第二节点N2的信号为高电平信号，以控制第四晶体管M4截止。因此第一节点N1处于浮接状态，由于第二电容C2的耦合作用可以保持第一节点N1的信号为低电平信号，以控制第八晶体管M8与第六晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3，使第三节点N3的信号为高电平信号，以控制第九晶体管M9与第五晶体管M5均截止。导通的第六晶体管M6将下拉控制信号端CS的低电平信号提供给信号输出端Output，使信号输出端Output输出低电平信号。

[0094] 在T5阶段之后，还可以具有T6阶段，其中在T6阶段中，Input=0，CK1=1，CK2=0。由于Input=0，因此第二晶体管M2导通并将第二时钟信号端CK2的低电平信号提供给第二节点N2，使第二节点N2的信号为低电平信号，以控制第四晶体管M4导通。由于CK2=0，因此第三晶体管M3导通并将第一参考信号端Vref1的低电平信号提供给第二节点N2，进一步使第二节点N2的信号为低电平信号。由于CK1=1，因此第一晶体管M1与第七晶体管M7均截止。因此第一节点N1处于浮接状态，由于第二电容C2的耦合作用可以保持第一节点N1的信号为低电平信号，以控制第八晶体管M8与第六晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3，使第三节点N3的信号为高电平信号，以控制第九晶体管M9与第五晶体管M5均截止。导通的第六晶体管M6将下拉控制信号端CS的低电平信号提供给信号输出端Output，使信号输出端Output输出低电平信号。

[0095] 之后，Input=0，CK1=1，CK2=1。由于Input=0，因此第二晶体管M2导通并将第二时钟信号端CK2的低电平信号提供给第二节点N2，使第二节点N2的信号为低电平信号，以控制第四晶体管M4导通。由于CK2=1，因此第三晶体管M3截止。由于CK1=1，因此第一晶体管M1与第七晶体管M7均截止。因此第一节点N1处于浮接状态，由于第二电容C2的耦合作用可以保持第一节点N1的信号为低电平信号，以控制第八晶体管M8与第六晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3，使第三节点N3的信号为高电平信号，以控制第九晶体管M9与第五晶体管M5均截止。导通的第六晶体管M6将下拉控制信号端CS的低电平信号提供给信号输出端Output，使信号输出端Output输出低电平信号。

[0096] 在本发明实施例提供的上述移位寄存器中，在T6阶段之后，一直重复执行T5阶段与T6阶段的工作过程，直至下一帧开始。

[0097] 在实施例一中，采用高电平信号作为输入信号端的有效脉冲信号，并通过九个晶

体管以及三个电容的相互配合,即可实现信号的移位输出,与现有技术相比,结构简单以及所需的时钟信号较少。

[0098] 实施例二、

[0099] 以图4b所示的移位寄存器的结构为例对其工作过程作以描述,在实施例一的时序图中的T3阶段与T4阶段之间插入一个T01阶段,即在实施例一的基础上将输入信号端Input的有效脉冲信号的时长延长一个时钟周期,对应的输入输出时序图如图5b所示。在图5b所示的时序图中,主要选取T1、T2、T3、T01、T4、T5六个阶段,其中,T01阶段又分为T011子阶段与T012子阶段。

[0100] 在T1阶段中,Input=0,CK1=0,CK2=1;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中T1阶段的工作过程基本相同,在此不作详述。

[0101] 在T2阶段中,Input=1,CK1=1,CK2=0;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中T2阶段的工作过程基本相同,在此不作详述。

[0102] 在T3阶段中,Input=1,CK1=0,CK2=1;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中T3阶段的工作过程基本相同,在此不作详述。

[0103] 在T01阶段中的T011子阶段中,Input=1,CK1=1,CK2=0。由于CK2=0,因此第三晶体管M3导通并将第一参考信号端Vref1的低电平信号提供给第二节点N2,使第二节点N2的信号为低电平信号,以控制第四晶体管M4导通以对第一电容C1充电。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第三节点N3处于浮接状态,由于第三电容C3的耦合作用,可以保持第三节点N3的信号为低电平信号,以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给信号输出端Output,使信号输出端Output输出高电平信号。

[0104] 之后,Input=1,CK1=1,CK2=1。由于CK2=1,因此第三晶体管M3截止。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第三节点N3处于浮接状态,由于第三电容C3的耦合作用,可以保持第三节点N3的信号为低电平信号,以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给信号输出端Output,使信号输出端Output输出高电平信号。其中,第一电容C1保持第二节点N2的电平稳定。

[0105] 在T012子阶段中,Input=1,CK1=0,CK2=1。由于CK1=0,因此第一晶体管M1与第七晶体管M7均导通。导通的第一晶体管M1将输入信号端Input的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。由于Input=1,因此第二晶体管M2截止。由于CK2=1,因此第三晶体管M3截止。因此第二节点N2处于浮接状态,由于第一电容C1的耦合作用可以保持第二节点N2的信号为低电平信号,以控制第四晶体管M4导通并将第一时钟信号端CK1的低电平信号提供给第七晶体管M7的第一极,由于第一电容C1的耦合作用,进一步使第二节点N2的电平拉低,以使第四晶体管M4完全导通,从而可以将第一时钟信号端CK1的低电平信号无电压损失的通过第四晶体管M4与第七晶体管M7提供给第三节点N3,使第三节点N3的信号为低电平信号,以控制第九晶体管

M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,进一步使第一节点N1的信号为高电平信号。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output,使输出信号端Output输出高电平信号。

[0106] 之后,Input=1,CK1=1,CK2=1。由于Input=1,因此第二晶体管M2截止。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。由于CK2=1,因此第三晶体管M3截止。因此第三节点N3处于浮接状态,由于第三电容C3的耦合作用,可以保持第三节点N3的信号为低电平信号,以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output,使输出信号端Output输出高电平信号。

[0107] 在T4阶段,Input=0,CK1=1,CK2=0;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中T4阶段的工作过程基本相同,在此不作详述。

[0108] 在T5阶段,Input=0,CK1=0,CK2=1;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中T5阶段的工作过程基本相同,在此不作详述。

[0109] 在T5阶段之后,还可以具有T6阶段,其中在T6阶段中,Input=0,CK1=1,CK2=0;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中T6阶段的工作过程基本相同,在此不作详述。

[0110] 在本发明实施例提供的上述移位寄存器中,在T6阶段之后,一直重复执行T5阶段与T6阶段的工作过程,直至下一帧开始。

[0111] 实施例三、

[0112] 以图4b所示的移位寄存器的结构为例对其工作过程作以描述,在实施例一的时序图中的T3阶段与T4阶段之间插入T01与T02两个阶段,即在实施例一的基础上将输入信号端Input的有效脉冲信号的时长延长两个时钟周期,对应的输入输出时序图如图5c所示。在图5c所示的时序图中,主要选取T1、T2、T3、T01阶段、T02阶段、T4阶段、T5阶段七个阶段,其中,T01阶段分为T011子阶段与T012子阶段;T02阶段分为T021子阶段与T022子阶段。

[0113] 在T1阶段中,Input=0,CK1=0,CK2=1;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中T1阶段的工作过程基本相同,在此不作详述。

[0114] 在T2阶段中,Input=1,CK1=1,CK2=0;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中T2阶段的工作过程基本相同,在此不作详述。

[0115] 在T3阶段中,Input=1,CK1=0,CK2=1;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中T3阶段的工作过程基本相同,在此不作详述。

[0116] 在T01阶段中的T011子阶段中,Input=1,CK1=1,CK2=0;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例二中T01阶段中的T011子阶段的工作过程基本相同,在此不作详述。

[0117] 在T012子阶段中,Input=1,CK1=0,CK2=1;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例二中T01阶段中的T012子阶段的工作过程基本相同,在此不作详述。

[0118] 在T02阶段中的T021子阶段中。Input=1,CK1=1,CK2=0。由于CK2=0,因此第三

晶体管M3导通并将第一参考信号端Vref1的低电平信号提供给第二节点N2,使第二节点N2的信号为低电平信号,以控制第四晶体管M4导通以对第一电容C1充电。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第三节点N3处于浮接状态,由于第三电容C3的耦合作用,可以保持第三节点N3的信号为低电平信号,以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给信号输出端Output,使信号输出端Output输出高电平信号。

[0119] 之后,Input=1,CK1=1,CK2=1。由于CK2=1,因此第三晶体管M3截止。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第三节点N3处于浮接状态,由于第三电容C3的耦合作用,可以保持第三节点N3的信号为低电平信号,以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给信号输出端Output,使信号输出端Output输出高电平信号。其中,第一电容C1保持第二节点N2的电平稳定。综上,该阶段的具体工作过程与实施例二中T01阶段中的T011子阶段的工作过程基本相同。

[0120] 在T022子阶段中,Input=1,CK1=0,CK2=1。由于CK1=0,因此第一晶体管M1与第七晶体管M7均导通。导通的第一晶体管M1将输入信号端Input的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。由于Input=1,因此第二晶体管M2截止。由于CK2=1,因此第三晶体管M3截止。因此第二节点N2处于浮接状态,由于第一电容C1的耦合作用可以保持第二节点N2的信号为低电平信号,以控制第四晶体管M4导通并将第一时钟信号端CK1的低电平信号提供给第七晶体管M7的第一极,由于第一电容C1的耦合作用,进一步使第二节点N2的电平拉低,以使第四晶体管M4完全导通,从而可以将第一时钟信号端CK1的低电平信号无电压损失的通过第四晶体管M4与第七晶体管M7提供给第三节点N3,使第三节点N3的信号为低电平信号,以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,进一步使第一节点N1的信号为高电平信号。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output,使输出信号端Output输出高电平信号。

[0121] 之后,Input=1,CK1=1,CK2=1。由于Input=1,因此第二晶体管M2截止。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。由于CK2=1,因此第三晶体管M3截止。因此第三节点N3处于浮接状态,由于第三电容C3的耦合作用,可以保持第三节点N3的信号为低电平信号,以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output,使输出信号端Output输出高电平信号。综上,该阶段的具体工作过程与实施例二中T01阶段中的T012子阶段的工作过程基本相同。

[0122] 在T4阶段,Input=0,CK1=1,CK2=0;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中T4阶段的工作过程基本相同,在此不作详述。

[0123] 在T5阶段,  $Input=0, CK1=0, CK2=1$ ; 并且之后,  $Input=0, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例一中T5阶段的工作过程基本相同, 在此不作详述。

[0124] 在T5阶段之后, 还可以具有T6阶段, 其中在T6阶段中,  $Input=0, CK1=1, CK2=0$ ; 并且之后,  $Input=0, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例一中T6阶段的工作过程基本相同, 在此不作详述。

[0125] 在本发明实施例提供的上述移位寄存器中, 在T6阶段之后, 一直重复执行T5阶段与T6阶段的工作过程, 直至下一帧开始。

[0126] 通过上述实施例一、实施例二和实施例三可以看出, 本发明实施例提供的上述移位寄存器, 在实施例一中输入信号端的信号的基础上, 将输入信号端的有效脉冲信号的时长延长一个时钟周期, 即可移位输出实施例二中对应该时长的信号; 将输入信号端的有效脉冲信号的时长延长两个时钟周期, 即可移位输出实施例三中对应该时长的扫描信号; 将输入信号端的有效脉冲信号的时长延长三、四、五...个时钟周期的情况, 依此类推。从而可以仅需通过延长输入信号端的有效脉冲信号的时长, 而不需要进行时钟信号端的信号的改变以及进行电路的改动和工艺的改变。可以降低制备工艺难度。

[0127] 在下拉控制信号端与第一参考信号端为同一信号端时, 移位寄存器对应的输入输出时序图如图5a至图5c所示, 此时移位寄存器的工作工程可以参照上述实施例一至实施例三, 在此不作详述。

[0128] 实施例四、

[0129] 以图4c所示的移位寄存器的结构为例对其工作过程作以描述; 对应的输入输出时序图如图5a所示, 具体地, 主要选取如图5a所示的输入输出时序图中的T1、T2、T3、T4以及T5五个阶段。其中, 第一参考信号端Vref1的信号为低电平信号, 第二参考信号端Vref2的信号为高电平信号, 下拉控制信号端CS的信号为低电平信号。

[0130] 在T1阶段中,  $Input=0, CK1=0, CK2=1$ , 并且之后,  $Input=0, CK1=1, CK2=1$ 。在本阶段中, 第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定, 其余工作过程与实施例一中T1阶段的工作过程基本相同, 在此不作赘述。

[0131] 在T2阶段中,  $Input=1, CK1=1, CK2=0$ , 并且之后,  $Input=1, CK1=1, CK2=1$ 。在本阶段中, 第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定, 其余工作过程与实施例一中T2阶段的工作过程基本相同, 在此不作赘述。

[0132] 在T3阶段中,  $Input=1, CK1=0, CK2=1$ , 并且之后,  $Input=1, CK1=1, CK2=1$ 。在本阶段中, 第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定, 其余工作过程与实施例一中T3阶段的工作过程基本相同, 在此不作赘述。

[0133] 在T4阶段中,  $Input=0, CK1=1, CK2=0$ , 并且之后,  $Input=0, CK1=1, CK2=1$ 。在本阶段中, 第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定, 其余工作过程与实施例一中T4阶段的工作过程基本相同, 在此不作赘述。

[0134] 在T5阶段中,  $Input=0, CK1=0, CK2=1$ , 并且之后,  $Input=0, CK1=1, CK2=1$ 。在本阶段中, 第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定, 其余工作过程与实施例一中T5阶段的工作过程基本相同, 在此不作赘述。

[0135] 在T5阶段之后, 还可以具有T6阶段, 其中在T6阶段中,  $Input=0, CK1=1, CK2=0$ 。并且之后,  $Input=0, CK1=1, CK2=1$ 。在本阶段中, 第一电容C1保持第二节点N2与第二参考

信号端Vref2之间的电压差稳定,其余工作过程与实施例一中T6阶段的工作过程基本相同,在此不作赘述。

[0136] 在本发明实施例提供的上述移位寄存器中,在T6阶段之后,一直重复执行T5阶段与T6阶段的工作过程,直至下一帧开始。

[0137] 在实施例四中,采用高电平信号作为输入信号端的有效脉冲信号,并通过九个晶体管以及三个电容的相互配合,即可实现信号的移位输出,与现有技术相比,结构简单以及所需的时钟信号较少。

[0138] 实施例五、

[0139] 以图4c所示的移位寄存器的结构为例对其工作过程作以描述,在实施例四的时序图中的T3阶段与T4阶段之间插入一个T01阶段,即在实施例四的基础上将输入信号端Input的有效脉冲信号的时长延长一个时钟周期,对应的输入输出时序图如图5b所示。在图5b所示的时序图中,主要选取T1、T2、T3、T01、T4、T5六个阶段,其中,T01阶段又分为T011子阶段与T012子阶段。

[0140] 在T1阶段中,Input=0,CK1=0,CK2=1;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T1阶段的工作过程基本相同,在此不作详述。

[0141] 在T2阶段中,Input=1,CK1=1,CK2=0;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T2阶段的工作过程基本相同,在此不作详述。

[0142] 在T3阶段中,Input=1,CK1=0,CK2=1;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T3阶段的工作过程基本相同,在此不作详述。

[0143] 在T01阶段中的T011子阶段中,Input=1,CK1=1,CK2=0,并且之后,Input=1,CK1=1,CK2=1。在本阶段中,第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定,其余工作过程与实施例二中T011阶段的工作过程基本相同,在此不作赘述。

[0144] 在T012子阶段中,Input=1,CK1=0,CK2=1。并且之后,Input=1,CK1=1,CK2=1。在本阶段中,第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定,其余工作过程与实施例二中T012阶段的工作过程基本相同,在此不作赘述。

[0145] 在T4阶段,Input=0,CK1=1,CK2=0;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T4阶段的工作过程基本相同,在此不作详述。

[0146] 在T5阶段,Input=0,CK1=0,CK2=1;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T5阶段的工作过程基本相同,在此不作详述。

[0147] 在T5阶段之后,还可以具有T6阶段,其中在T6阶段中,Input=0,CK1=1,CK2=0;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T6阶段的工作过程基本相同,在此不作详述。

[0148] 在本发明实施例提供的上述移位寄存器中,在T6阶段之后,一直重复执行T5阶段与T6阶段的工作过程,直至下一帧开始。

[0149] 实施例六、

[0150] 以图4c所示的移位寄存器的结构为例对其工作过程作以描述,在实施例四的时序图中的T3阶段与T4阶段之间插入T01与T02两个阶段,即在实施例四的基础上将输入信号端Input的有效脉冲信号的时长延长两个时钟周期,对应的输入输出时序图如图5c所示。在图5c所示的时序图中,主要选取T1、T2、T3、T01、T02、T4、T5七个阶段,其中,T01阶段又分为

T011子阶段与T012子阶段;T02阶段又分为T021子阶段与T022子阶段。

[0151] 在T1阶段中,Input=0,CK1=0,CK2=1;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T1阶段的工作过程基本相同,在此不作详述。

[0152] 在T2阶段中,Input=1,CK1=1,CK2=0;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T2阶段的工作过程基本相同,在此不作详述。

[0153] 在T3阶段中,Input=1,CK1=0,CK2=1;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T3阶段的工作过程基本相同,在此不作详述。

[0154] 在T01阶段中的T011子阶段中,Input=1,CK1=1,CK2=0;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例五中T01阶段中的T011子阶段的工作过程基本相同,在此不作详述。

[0155] 在T012子阶段中,Input=1,CK1=0,CK2=1;并且之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例五中T01阶段中的T012子阶段的工作过程基本相同,在此不作详述。

[0156] 在T02阶段中的T021子阶段中。Input=1,CK1=1,CK2=0,并且之后,Input=1,CK1=1,CK2=1。在本阶段中,第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定,其余工作过程与实施例三中T021阶段的工作过程基本相同,在此不作赘述。

[0157] 在T022子阶段中,Input=1,CK1=0,CK2=1,并且之后,Input=1,CK1=1,CK2=1。在本阶段中,第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定,其余工作过程与实施例三中T022阶段的工作过程基本相同,在此不作赘述。

[0158] 在T4阶段,Input=0,CK1=1,CK2=0;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T4阶段的工作过程基本相同,在此不作详述。

[0159] 在T5阶段,Input=0,CK1=0,CK2=1;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T5阶段的工作过程基本相同,在此不作详述。

[0160] 在T5阶段之后,还可以具有T6阶段,其中在T6阶段中,Input=0,CK1=1,CK2=0;并且之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例四中T6阶段的工作过程基本相同,在此不作详述。

[0161] 在本发明实施例提供的上述移位寄存器中,在T6阶段之后,一直重复执行T5阶段与T6阶段的工作过程,直至下一帧开始。

[0162] 通过上述实施例四、实施例五和实施例六可以看出,本发明实施例提供的上述移位寄存器,在实施例四中输入信号端的信号的基础上,将输入信号端的有效脉冲信号的时长延长一个时钟周期,即可移位输出实施例五中对应时长的信号;将输入信号端的有效脉冲信号的时长延长两个时钟周期,即可移位输出实施例六中对应时长的扫描信号;将输入信号端的有效脉冲信号的时长延长三、四、五…个时钟周期的情况,依此类推。从而可以仅通过延长输入信号端的有效脉冲信号的时长,而不需要进行时钟信号端的信号的改变以及进行电路的改动和工艺的改变。可以降低制备工艺难度。

[0163] 通过实施例一至实施例六可以看出,上述移位寄存器还可以通过增加输入信号端的有效脉冲信号的时长,实现输出信号的交叠,从而可以简化制备工艺,降低生产成本。

[0164] 在下拉控制信号端与第一参考信号端为同一信号端时,移位寄存器对应的输入输出时序图如图5a至图5c所示,此时移位寄存器的工作工程可以参照上述实施例四至实施例

六,在此不作详述。

[0165] 实施例七、

[0166] 以图4b所示的移位寄存器的结构为例对其工作过程作以描述;对应的输入输出时序图如图6所示,具体地,主要选取如图6所示的输入输出时序图中的T1、T2以及T3三个阶段。其中,第一参考信号端Vref1的信号为低电平信号,第二参考信号端Vref2的信号为高电平信号,下拉控制信号端CS的信号与第二时钟信号端CK2的信号相同。

[0167] 在T1阶段,Input=0,CK1=0,CK2=1。由于Input=0,因此第二晶体管M2导通并将第二时钟信号端CK2的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第四晶体管M4截止。由于CK1=0,因此第一晶体管M1与第七晶体管M7均导通。导通的第一晶体管M1将输入信号端Input的低电平信号提供给第一节点N1,使第一节点N1的信号为低电平信号,以控制第八晶体管M8与第六晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3,使第三节点N3的信号为高电平信号,以控制第九晶体管M9与第五晶体管M5均截止。导通的第六晶体管M6将下拉控制信号端CS的高电平信号提供给输出信号端Output,使信号输出端Output输出高电平信号。

[0168] 之后,Input=0,CK1=1,CK2=1。由于Input=0,因此第二晶体管M2导通并将第二时钟信号端CK2的高电平信号提供给第一节点N1,使第一节点N1的信号为高电平信号,以控制第四晶体管M4截止。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第一节点N1处于浮接状态,由于第二电容C2的耦合作用保持第一节点N1的信号为低电平信号,以控制第八晶体管M8与第六晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3,使第三节点N3的信号为高电平信号,以控制第九晶体管M9与第五晶体管M5均截止。导通的第六晶体管M6将下拉控制信号端CS的高电平信号提供给输出信号端Output,使信号输出端Output输出高电平信号。

[0169] 在T2阶段,Input=1,CK1=1,CK2=0。由于Input=1,因此第二晶体管M2截止。由于CK2=0,因此第三晶体管M3导通并将第一参考信号端Vref1的低电平信号提供给第二节点N2,使第二节点N2的信号为低电平信号,以控制第四晶体管M4导通,以将第一时钟信号端CK1的高电平信号提供给第一电容C1,对第一电容C1充电。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第一节点N1处于浮接状态,由于第二电容C2的耦合作用保持第一节点N1的信号为低电平信号,以控制第八晶体管M8与第六晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3,使第三节点N3的信号为高电平信号,以控制第九晶体管M9与第五晶体管M5均截止。导通的第六晶体管M6将下拉控制信号端CS的低电平信号提供给输出信号端Output,使信号输出端Output输出低电平信号。

[0170] 之后,Input=1,CK1=1,CK2=1。由于Input=1,因此第二晶体管M2截止。由于CK2=1,因此第三晶体管M3截止。由于CK1=1,因此第一晶体管M1与第七晶体管M7均截止。因此第一节点N1处于浮接状态,由于第二电容C2的耦合作用保持第一节点N1的信号为低电平信号,以控制第八晶体管M8与第六晶体管M6均导通。导通的第八晶体管M8将第二参考信号端Vref2的高电平信号提供给第三节点N3,使第三节点N3的信号为高电平信号,以控制第九晶体管M9与第五晶体管M5均截止。导通的第六晶体管M6将下拉控制信号端CS的高电平信号提供给输出信号端Output,使信号输出端Output输出高电平信号。其中,由第一电容C1保持第

二节点N2的电平稳定。

[0171] 在T3阶段,  $Input=1, CK1=0, CK2=1$ 。由于 $CK1=0$ , 因此第一晶体管M1与第七晶体管M7均导通。导通的第一晶体管M1将输入信号端Input的高电平信号提供给第一节点N1, 使第一节点N1的信号为高电平信号, 以控制第八晶体管M8与第六晶体管M6均截止。由于 $Input=1$ , 因此第二晶体管M2截止。由于 $CK2=1$ , 因此第三晶体管M3截止。因此第二节点N2处于浮接状态, 由于第一电容C1的耦合作用保持第二节点N2的信号为低电平信号。以控制第四晶体管M4导通, 以将第一时钟信号端CK1的低电平信号提供给第七晶体管M7的第一极, 由于第一电容C1的耦合作用, 使第二节点N2进一步拉低, 以控制第四晶体管M4完全导通, 以使第一时钟信号端CK1的低电平信号可以无电压损失的通过第七晶体管M7提供给第三节点N3, 使第三节点N3的信号为低电平信号, 以对第三电容C3充电并控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1, 进一步使第一节点N1的信号为高电平信号。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output, 使信号输出端Output输出高电平信号。

[0172] 之后,  $Input=1, CK1=1, CK2=1$ 。由于 $CK1=1$ , 因此第一晶体管M1与第七晶体管M7均截止。因此第三节点N3处于浮接状态, 由于第三电容C3的耦合作用保持第三节点N3的信号为低电平信号, 以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1, 使第一节点N1的信号为高电平信号, 以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output, 使信号输出端Output输出高电平信号。

[0173] 在T3阶段之后, 还可以具有T4阶段, 其中在T4阶段中,  $Input=1, CK1=1, CK2=0$ 。由于 $CK2=0$ , 因此第三晶体管M3导通并将第一参考信号端Vref1的低电平信号提供给第二节点N2。由于 $Input=1$ , 因此第二晶体管M2截止。由于 $CK1=1$ , 因此第一晶体管M1与第七晶体管M7均截止。因此第三节点N3处于浮接状态, 由于第三电容C3的耦合作用保持第三节点N3的信号为低电平信号, 以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1, 使第一节点N1的信号为高电平信号, 以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output, 使信号输出端Output输出高电平信号。其中, 由第一电容C1保持第二节点N2的电平。

[0174] 之后,  $Input=1, CK1=1, CK2=1$ 。由于 $CK2=1$ , 因此第三晶体管M3截止。由于 $Input=1$ , 因此第二晶体管M2截止。由于 $CK1=1$ , 因此第一晶体管M1与第七晶体管M7均截止。因此第三节点N3处于浮接状态, 由于第三电容C3的耦合作用保持第三节点N3的信号为低电平信号, 以控制第九晶体管M9与第五晶体管M5均导通。导通的第九晶体管M9将第二参考信号端Vref2的高电平信号提供给第一节点N1, 使第一节点N1的信号为高电平信号, 以控制第八晶体管M8与第六晶体管M6均截止。导通的第五晶体管M5将第二参考信号端Vref2的高电平信号提供给输出信号端Output, 使信号输出端Output输出高电平信号。其中, 由第一电容C1保持第二节点N2的电平。

[0175] 在本发明实施例提供的上述移位寄存器中, 在T4阶段之后, 一直重复执行T3阶段与T4阶段的工作过程, 直至下一帧开始。

[0176] 在实施例七中, 采用低电平信号作为输入信号端的有效脉冲信号, 并通过九个晶

晶体管以及三个电容的相互配合,即可实现对应信号的移位输出,与现有技术相比,结构简单以及所需的时钟信号较少。

[0177] 在下拉控制信号端与第二时钟信号端为同一信号端时的移位寄存器对应的输入输出时序图如图6所示,此时移位寄存器的工作工程可以参照上述实施例七,在此不作详述。

[0178] 实施例八、

[0179] 以图4c所示的移位寄存器的结构为例对其工作过程作以描述;对应的输入输出时序图如图6所示,具体地,主要选取如图6所示的输入输出时序图中的T1、T2以及T3三个阶段。其中,第一参考信号端Vref1的信号为低电平信号,第二参考信号端Vref2的信号为高电平信号,下拉控制信号端CS的信号与第二时钟信号端CK2的信号相同。

[0180] 在T1阶段,Input=0,CK1=0,CK2=1,并且之后,Input=0,CK1=1,CK2=1。在本阶段中,第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定,其余工作过程与实施例七中T1阶段的工作过程基本相同,在此不作赘述。

[0181] 在T2阶段,Input=1,CK1=1,CK2=0,并且之后,Input=1,CK1=1,CK2=1。在本阶段中,第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定,其余工作过程与实施例七中T2阶段的工作过程基本相同,在此不作赘述。

[0182] 在T3阶段,Input=1,CK1=0,CK2=1,并且之后,Input=1,CK1=1,CK2=1。在本阶段中,第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定,其余工作过程与实施例七中T3阶段的工作过程基本相同,在此不作赘述。

[0183] 在T3阶段之后,还可以具有T4阶段,其中在T4阶段中,Input=1,CK1=1,CK2=0,并且之后,Input=1,CK1=1,CK2=1。在本阶段中,第一电容C1保持第二节点N2与第二参考信号端Vref2之间的电压差稳定,其余工作过程与实施例七中T4阶段的工作过程基本相同,在此不作赘述。

[0184] 在本发明实施例提供的上述移位寄存器中,在T4阶段之后,一直重复执行T3阶段与T4阶段的工作过程,直至下一帧开始。

[0185] 在实施例八中,采用低电平信号作为输入信号端的有效脉冲信号,并通过九个晶体管以及三个电容的相互配合,即可实现对应信号的移位输出,与现有技术相比,结构简单以及所需的时钟信号较少。

[0186] 在下拉控制信号端与第二时钟信号端为同一信号端时,移位寄存器对应的输入输出时序图如图6所示,此时移位寄存器的工作工程可以参照上述实施例八,在此不作详述。

[0187] 通过实施例一和实施例七,以及实施例二与实施例八可以看出,本发明实施例提供的移位寄存器可以采用高/低电平信号作为输入信号端的有效脉冲信号,可以实现信号的移位输出,从而既可作为扫描驱动电路也可作为发光驱动电路应用于显示面板中。

[0188] 在具体实施时,在上述移位寄存器中的各晶体管为N型晶体管时,其工作过程可以参见实施例一至实施例八中的工作过程,其仅将实施例一至实施例八中各晶体管的控制极的高电平信号变为低电平信号,以及将各晶体管的控制极的低电平信号变为高电平信号即可,在此不作赘述。

[0189] 基于同一发明构思,本发明实施例还提供了一种本发明实施例提供的上述任一种移位寄存器的驱动方法如图7所示,包括:第一阶段、第二阶段、第三阶段、第四阶段以及第

五阶段；

[0190] S701、在第一阶段，向输入信号端与第一时钟信号端分别提供第一电平信号，向第二时钟信号端提供第二电平信号，输出信号端输出第一电平信号；

[0191] S702、在第二阶段，向输入信号端和第一时钟信号端分别提供第二电平信号，向第二时钟信号端提供第一电平信号，输出信号端输出第一电平信号；

[0192] S703、在第三阶段，向输入信号端和第二时钟信号端分别提供第二电平信号，向第一时钟信号端提供第一电平信号，输出信号端输出第二电平信号；

[0193] S704、在第四阶段，向输入信号端和第二时钟信号端分别提供第一电平信号，向第一时钟信号端提供第二电平信号，输出信号端输出第二电平信号；

[0194] S705、在第五阶段，向输入信号端与第一时钟信号端提供第一电平信号，向第二时钟信号端提供第二电平信号，输出信号端输出第一电平信号。

[0195] 本发明实施例提供的上述驱动方法，可以采用简单的电路结构使输出信号端稳定的输出信号，可以简化制备工艺，降低生产成本。

[0196] 在具体实施时，在本发明实施例提供的上述驱动方法中，第一电平信号可以为高电平信号，对应地，第二电平信号为低电平信号；或者反之，第一电平信号可以为低电平信号，对应地，第二电平信号为高电平信号，具体需要根据移位寄存器中的晶体管是N型晶体管还是P型晶体管而定。具体地，图5a至图5c示出了移位寄存器中的晶体管是P型晶体管的一种电路时序图，且第一电平信号为低电平信号，第二电平信号为高电平信号。并且，不管是采用高电平信号作为输入信号端的有效脉冲信号，还可以采用低电平信号作为输入信号端的有效脉冲信号，均可以使输入信号端的有效脉冲信号与信号输出端的有效脉冲信号做到交叠。

[0197] 在具体实施时，在本发明实施例提供的驱动方法中，在第五阶段之后，还可以包括：第六阶段，向输入信号端与第二时钟信号端分别提供第一电平信号，向第一时钟信号端提供第二电平信号，输出信号端输出第一电平信号。

[0198] 在具体实施时，在本发明实施例提供的驱动方法中，在第三阶段之后，且在第四阶段之前，还包括至少一个插入阶段包括：第一插入子阶段和第二插入子阶段；

[0199] 在第一插入子阶段，向输入信号端与第一时钟信号端分别提供第二电平信号，向第一时钟信号端提供第一电平信号，输出信号端输出第二电平信号；

[0200] 在第二插入子阶段，向输入信号端和第二时钟信号端分别提供第二电平信号，向第一时钟信号端提供第一电平信号，输出信号端输出第二电平信号。

[0201] 在具体实施时，在第三阶段与第四阶段之间插入一个插入阶段，即将输入信号端的有效脉冲信号的时长延长一个时钟周期，输出信号端输出的信号的有效脉冲信号对应延长一个时钟周期。在第三阶段与第四阶段之间插入两个插入阶段，即将输入信号端的有效脉冲信号的时长延长两个时钟周期，输出信号端输出的信号的有效脉冲信号对应延长两个时钟周期。在将输入信号端的有效脉冲信号的时长延长三、四、五…个时钟周期的情况，依此类推。从而可以仅需通过延长输入信号端的有效脉冲信号的时长，而不需要进行时钟信号端的信号的改变以及进行电路的改动和工艺的改变。可以降低制备工艺难度。

[0202] 基于同一发明构思，本发明实施例还提供了另一种本发明实施例提供的上述任一种移位寄存器的驱动方法如图8所示，包括：第一阶段、第二阶段以及第三阶段；

[0203] S801、在第一阶段,向输入信号端与第一时钟信号端分别提供第一电平信号,向第二时钟信号端提供第二电平信号,输出信号端输出第二电平信号;

[0204] S802、在第二阶段,向输入信号端与第一时钟信号端分别提供第二电平信号,向第二时钟信号端提供第一电平信号,输出信号端输出第一电平信号;

[0205] S803、在第三阶段,向输入信号端和第二时钟信号端分别提供第二电平信号,向第一时钟信号端提供第一电平信号,输出信号端输出第二电平信号。

[0206] 本发明实施例提供的上述驱动方法,可以采用简单的电路结构使输出信号端稳定的输出信号,可以简化制备工艺,降低生产成本。

[0207] 在具体实施时,在本发明实施例提供的上述驱动方法中,第一电平信号可以为高电平信号,对应地,第二电平信号为低电平信号;或者反之,第一电平信号可以为低电平信号,对应地,第二电平信号为高电平信号,具体需要根据移位寄存器中的晶体管是N型晶体管还是P型晶体管而定。具体地,图6示出了移位寄存器中的晶体管是P型晶体管的一种电路时序图,且第一电平信号为低电平信号,第二电平信号为高电平信号。

[0208] 在具体实施时,在本发明实施例提供的驱动方法中,在第三阶段之后,还可以包括:第四阶段,向输入信号端与第一时钟信号端分别提供第二电平信号,向第二时钟信号端提供第一电平信号,输出信号端输出第二电平信号。

[0209] 基于同一发明构思,本发明实施例还提供了一种驱动控制电路,如图9a与图9b所示,包括级联的多个本发明实施例提供的任一种移位寄存器:SR(1)、SR(2)···SR(n)···SR(N-1)、SR(N)(共N个移位寄存器, $1 \leq n \leq N$ );

[0210] 第一级移位寄存器SR(1)的输入信号端Input与起始信号端STV相连;

[0211] 除第一级移位寄存器SR(1)之外,其余各级移位寄存器SR(n)的输入信号端分别与其相邻的上一级移位寄存器SR(n-1)的输出信号端Output相连。

[0212] 在具体实施时,如图9a与图9b所示,第2k-1级移位寄存器的第一时钟信号端CK1和第2k级移位寄存器的第二时钟信号端CK2均与同一时钟端即第一时钟端ck1相连;第2k-1级移位寄存器的第二时钟信号端CK2与第2k级移位寄存器的第一时钟信号端CK1均与同一时钟端即第二时钟端ck2相连;其中,k为正整数。

[0213] 在具体实施时,如图9a与图9b所示,各级移位寄存器SR(n)的第一参考信号端Vref1均与同一信号端即第一参考端vref1相连;各级移位寄存器SR(n)的第二参考信号端Vref2均与同一信号端即第二参考端vref2相连。其中,在具体实施时,下拉控制信号端与第一参考信号端为同一信号端时,如图9a所示,各级移位寄存器SR(n)的下拉控制信号端CS与第一参考信号端Vref1均与同一信号端即第一参考端vref1相连。或者,下拉控制信号端与第二时钟信号端为同一信号端时,如图9b所示,第2k-1级移位寄存器的第二时钟信号端CK2第二时钟端ck2相连,第2k级移位寄存器的第二时钟信号端CK2与第一时钟端ck1相连。这样可以节省信号端口数量,减少信号线的设置,节省布线空间。

[0214] 具体地,上述驱动控制电路中的每个移位寄存器的具体结构与本发明上述移位寄存器在功能和结构上均相同,重复之处不再赘述。

[0215] 在具体实施时,本发明实施例提供的驱动控制电路可以作为栅极驱动电路,应用于提供扫描控制晶体管的栅极扫描信号。

[0216] 或者,本发明实施例提供的驱动控制电路可以作为发光驱动电路,应用于提供发

光控制晶体管的发光控制信号在此不做限定。

[0217] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述任一种驱动控制电路。该显示装置解决问题的原理与前述移位寄存器相似,因此该显示装置的实施可以参见前述移位寄存器的实施,重复之处在此不再赘述。

[0218] 在具体实施时,本发明实施例提供的上述显示装置可以为有机发光显示装置,或者也可以为液晶显示装置,在此不作限定。

[0219] 在有机发光显示装置中,一般设置有多个有机发光二极管以及与各有机发光二极管连接的像素补偿电路。一般像素补偿电路中设置有用于控制有机发光二极管发光的发光控制晶体管和用于控制数据信号输入的扫描控制晶体管。在具体实施时,在本发明实施例提供的上述显示装置为有机发光显示装置时,该有机发光显示装置可以包括一个本发明实施例提供的上述驱动控制电路,该驱动控制电路可以作为发光驱动电路,应用于提供发光控制晶体管的发光控制信号;或者,该驱动控制电路也可以作为栅极驱动电路,应用于提供扫描控制晶体管的栅极扫描信号。当然,该有机发光显示装置也可以包括两个本发明实施例提供的上述驱动控制电路,其中一个驱动控制电路可以作为发光驱动电路,应用于提供发光控制晶体管的发光控制信号;则另一个驱动控制电路作为栅极驱动电路,应用于提供扫描控制晶体管的栅极扫描信号,在此不作限定。

[0220] 在液晶显示装置中,一般设置有多个像素电极,以及与各像素电极连接的开关晶体管。在具体实施时,在本发明实施例提供的上述显示装置为液晶显示装置时,本发明实施例提供的上述驱动控制电路可以作为栅极驱动电路,应用于提供开关晶体管的栅极扫描信号。

[0221] 在具体实施时,本发明实施例提供的上述显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0222] 本发明实施例提供的移位寄存器、其驱动方法、驱动控制电路及显示装置,包括:第一输入模块、第二输入模块、第一控制模块以及输出模块;可以通过上述四个模块的相互配合,可以采用简单的电路结构使输出信号端稳定的输出信号,可以简化制备工艺,降低生产成本,有利于实现显示装置中面板的窄边框设计。并且,还可以采用高/低电平信号作为输入信号端的有效脉冲信号,实现信号移位输出,既可作为扫描驱动电路也可作为发光驱动电路。

[0223] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

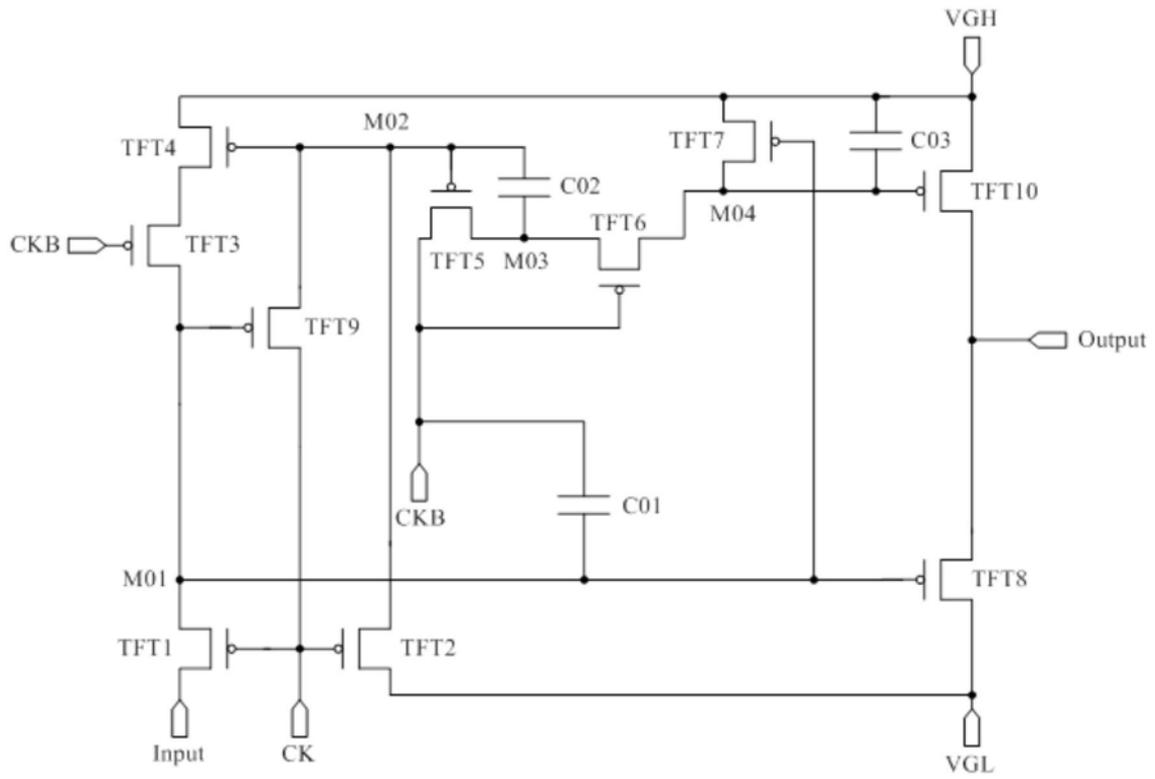


图1

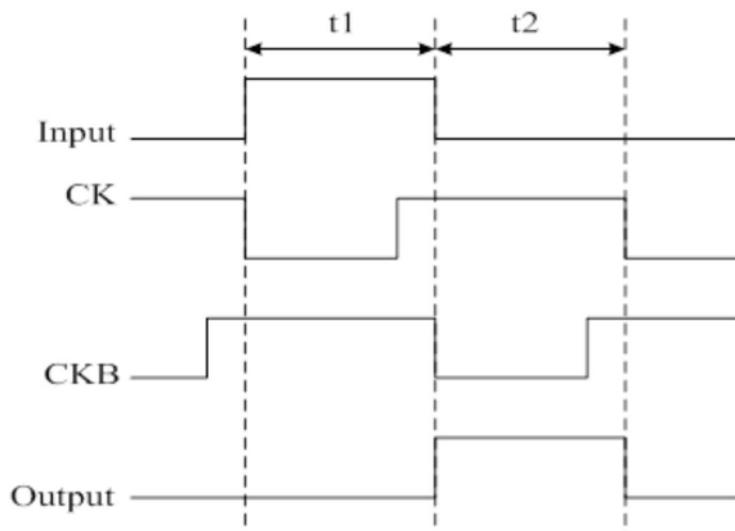


图2

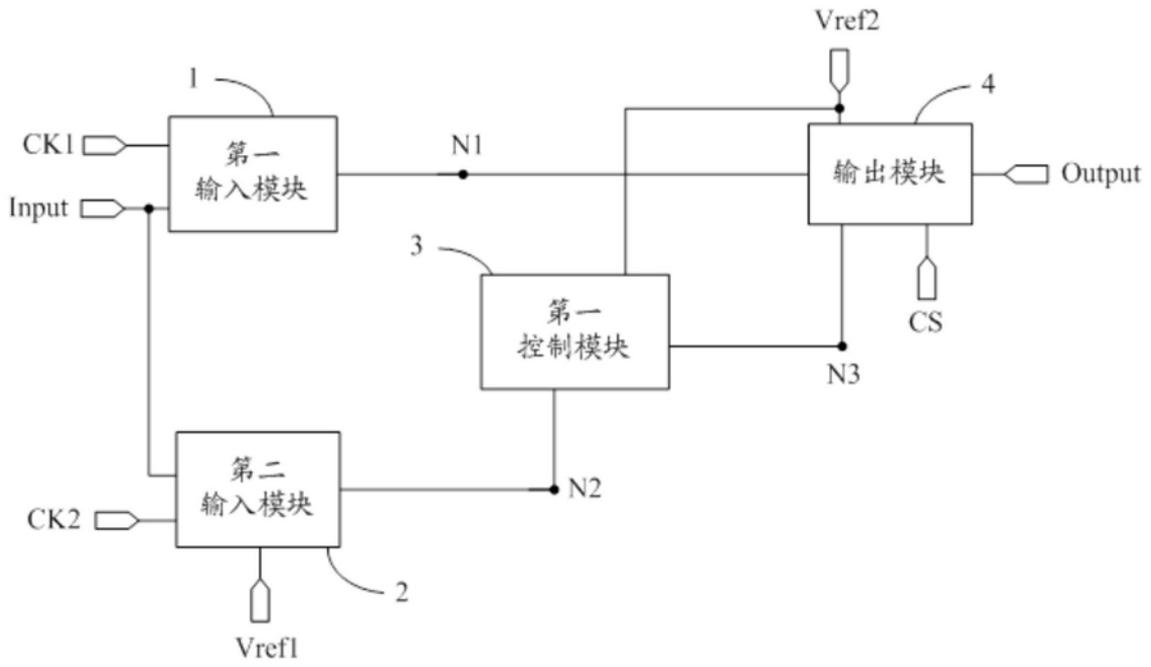


图3a

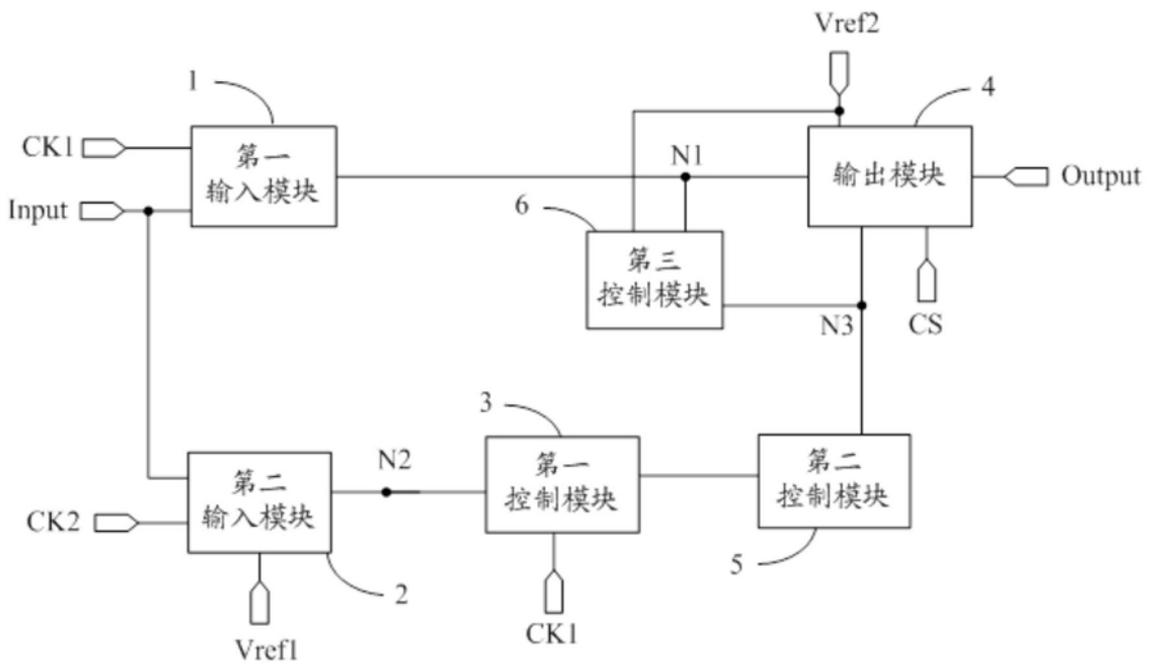


图3b

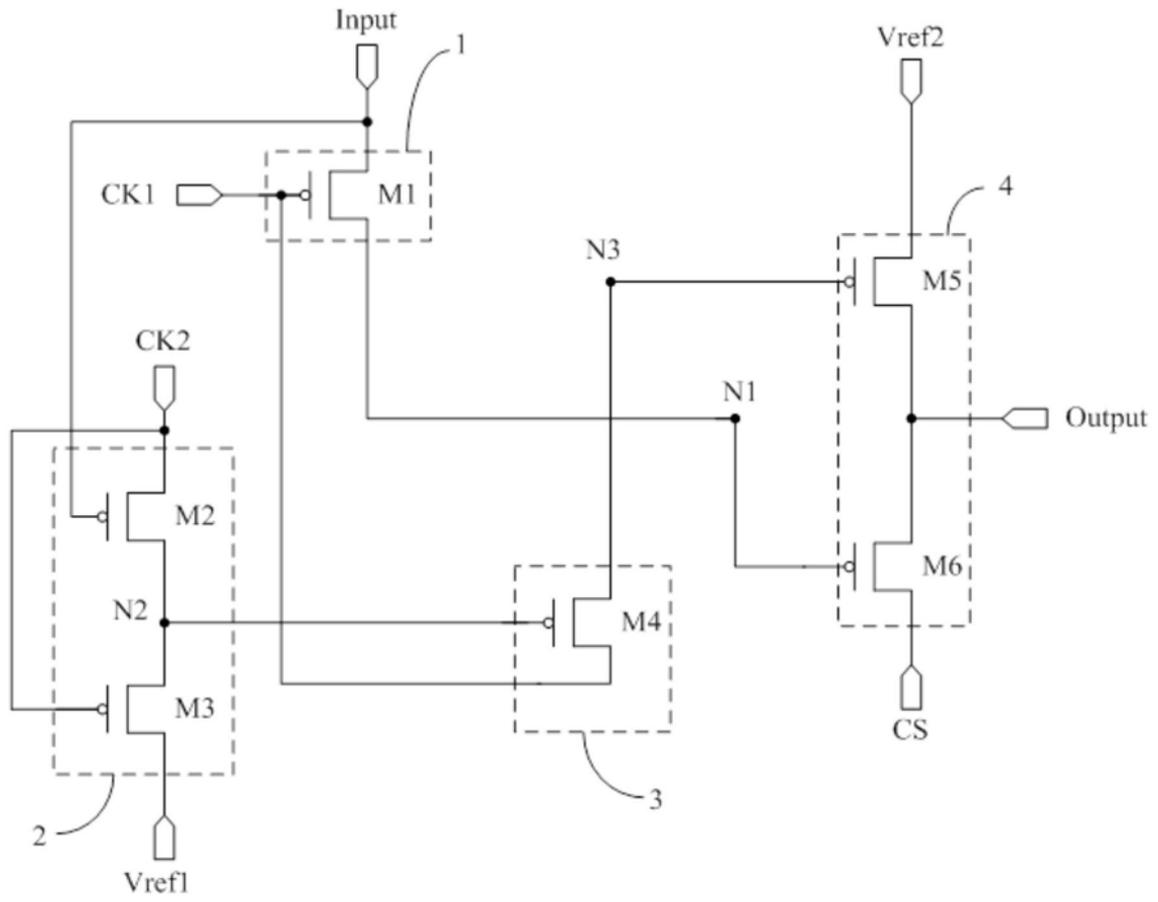


图4a

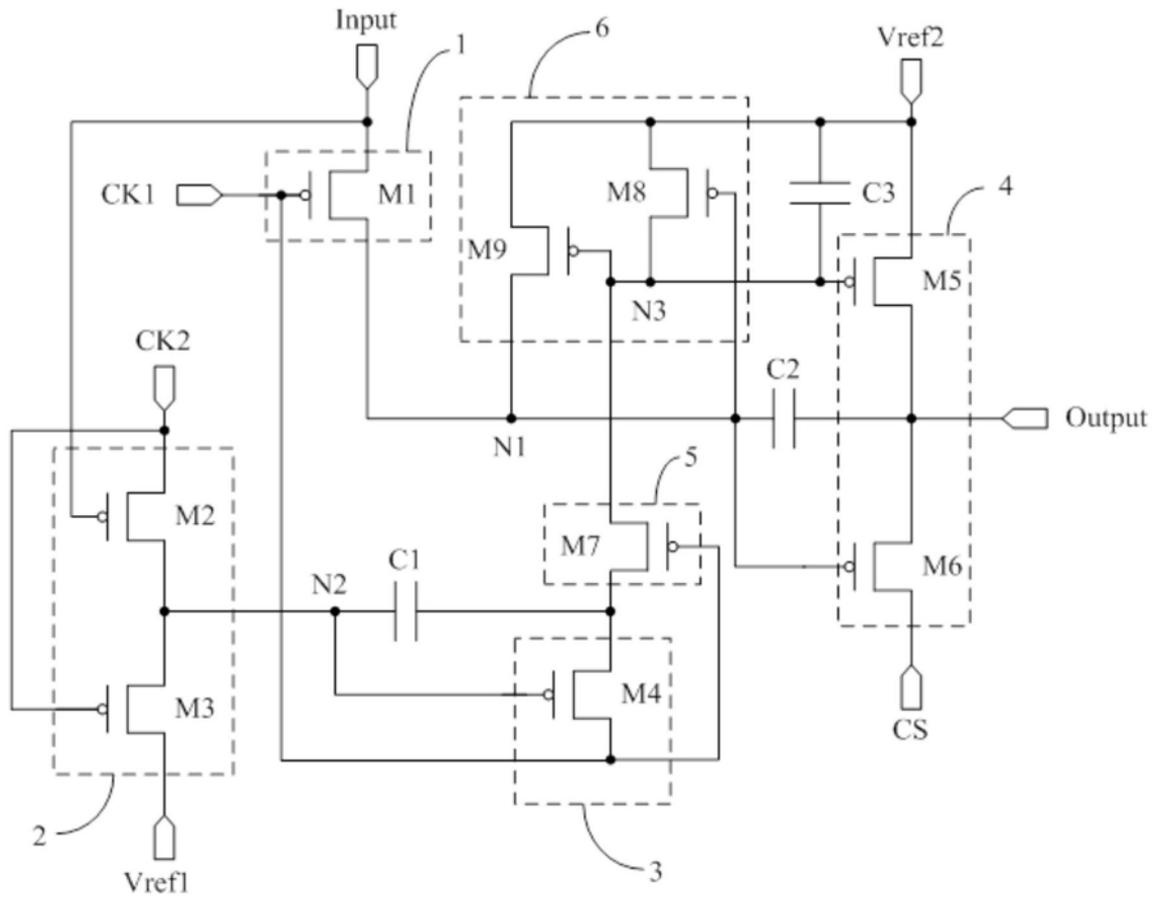


图4b



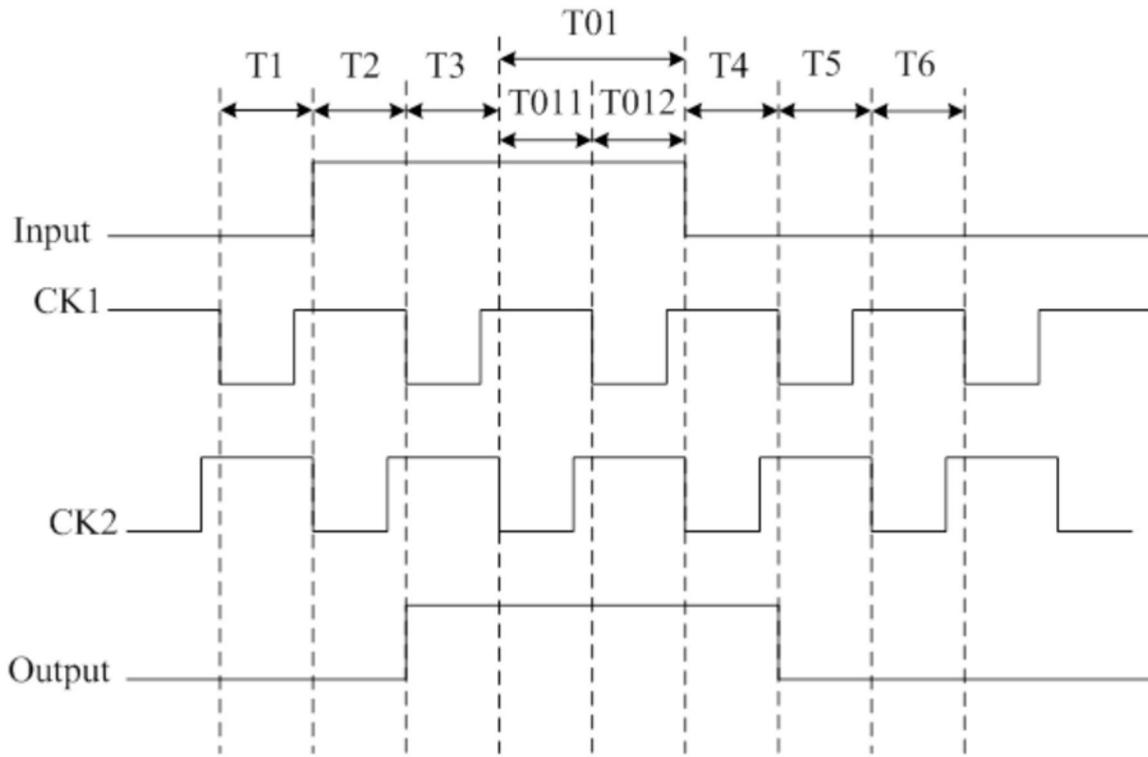


图5b

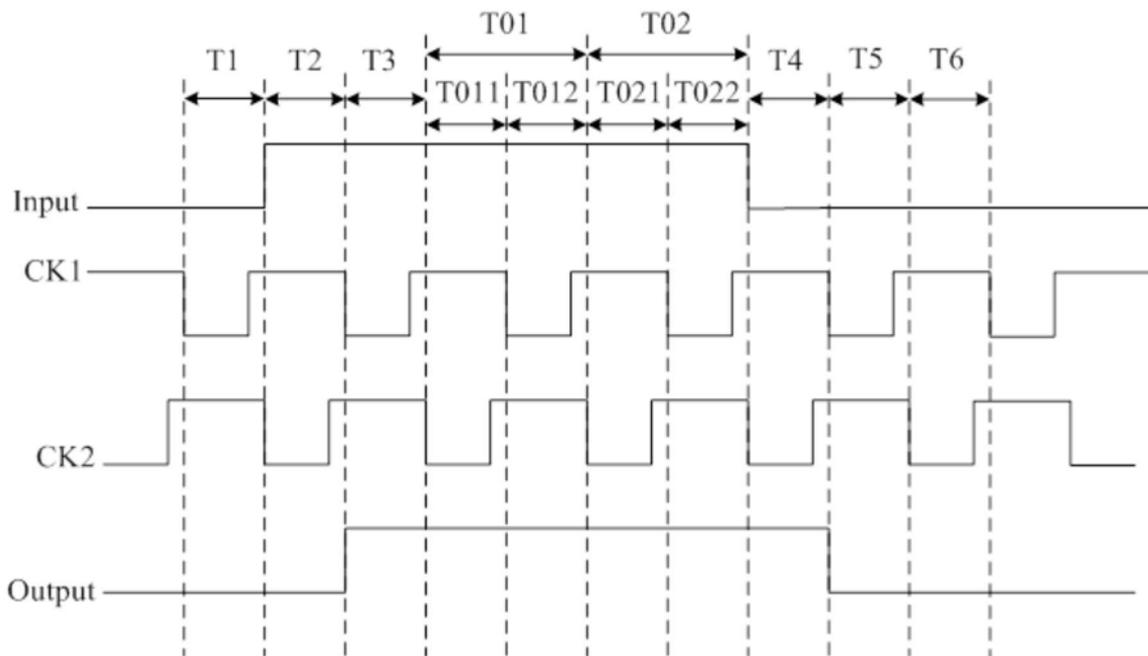


图5c

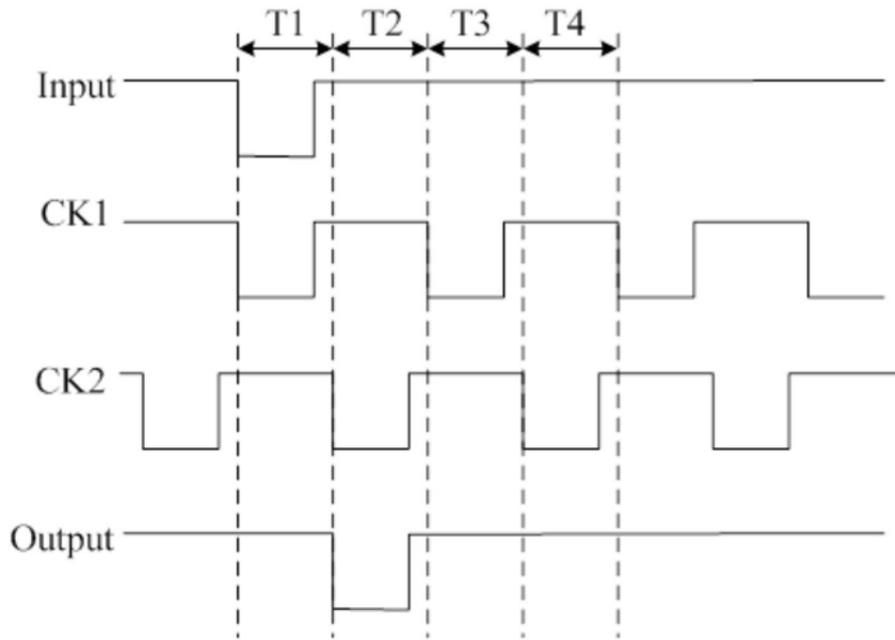


图6

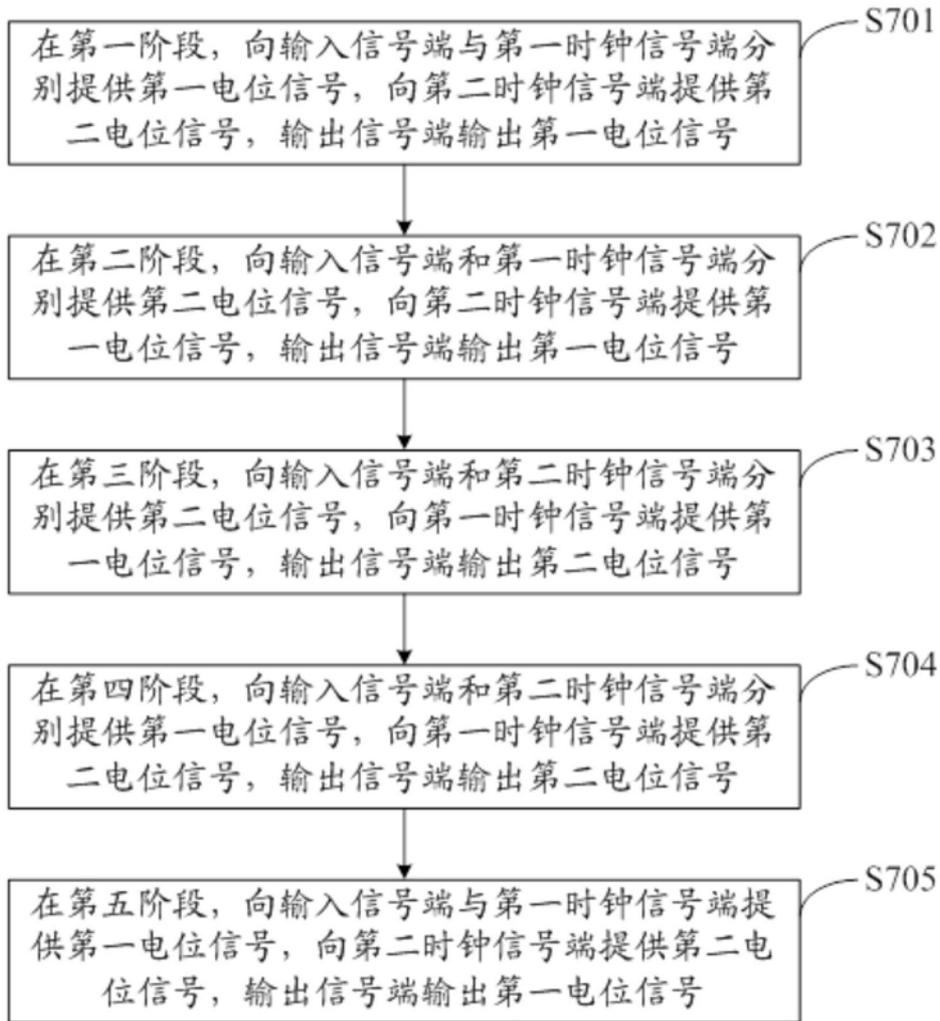


图7



图8

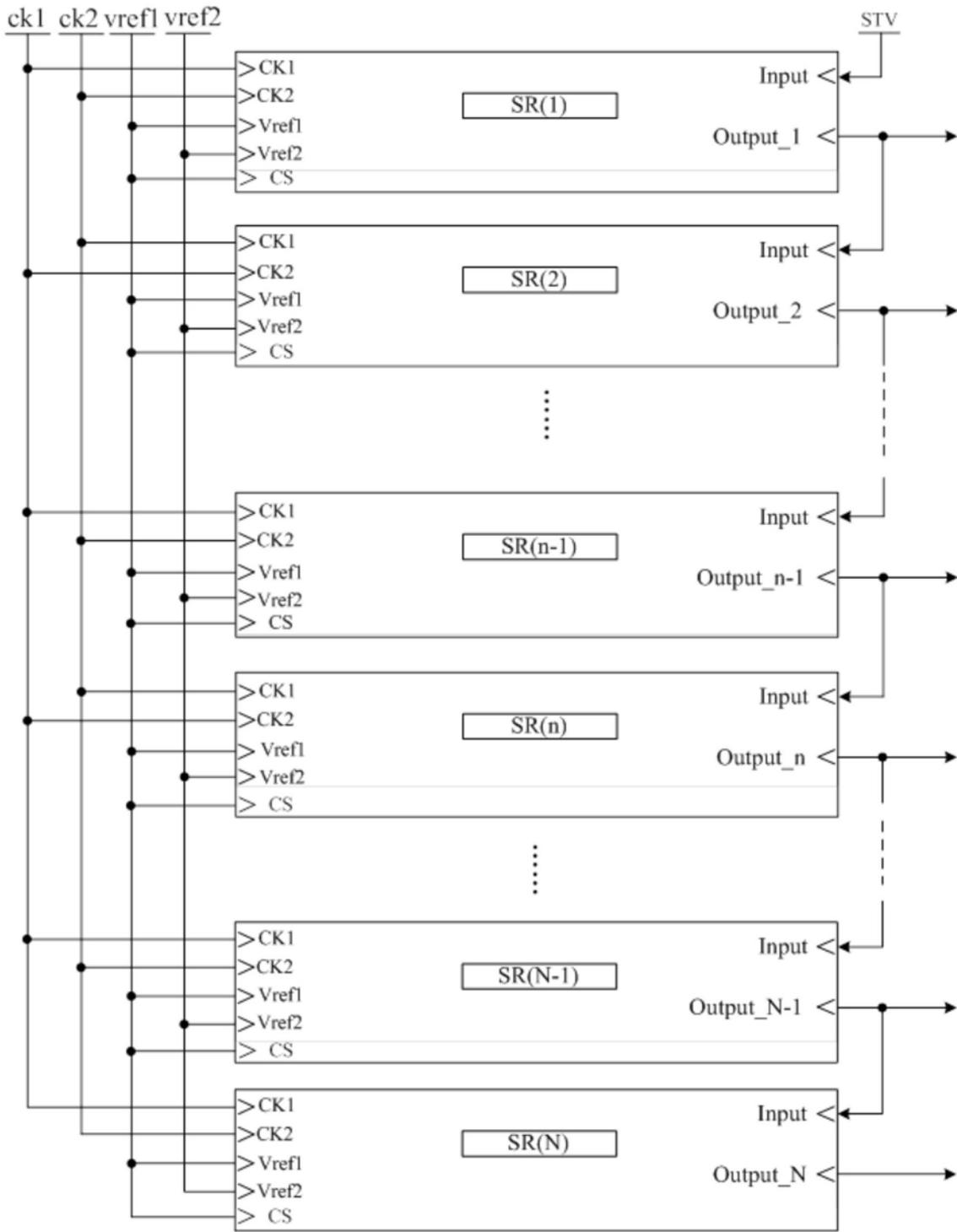


图9a

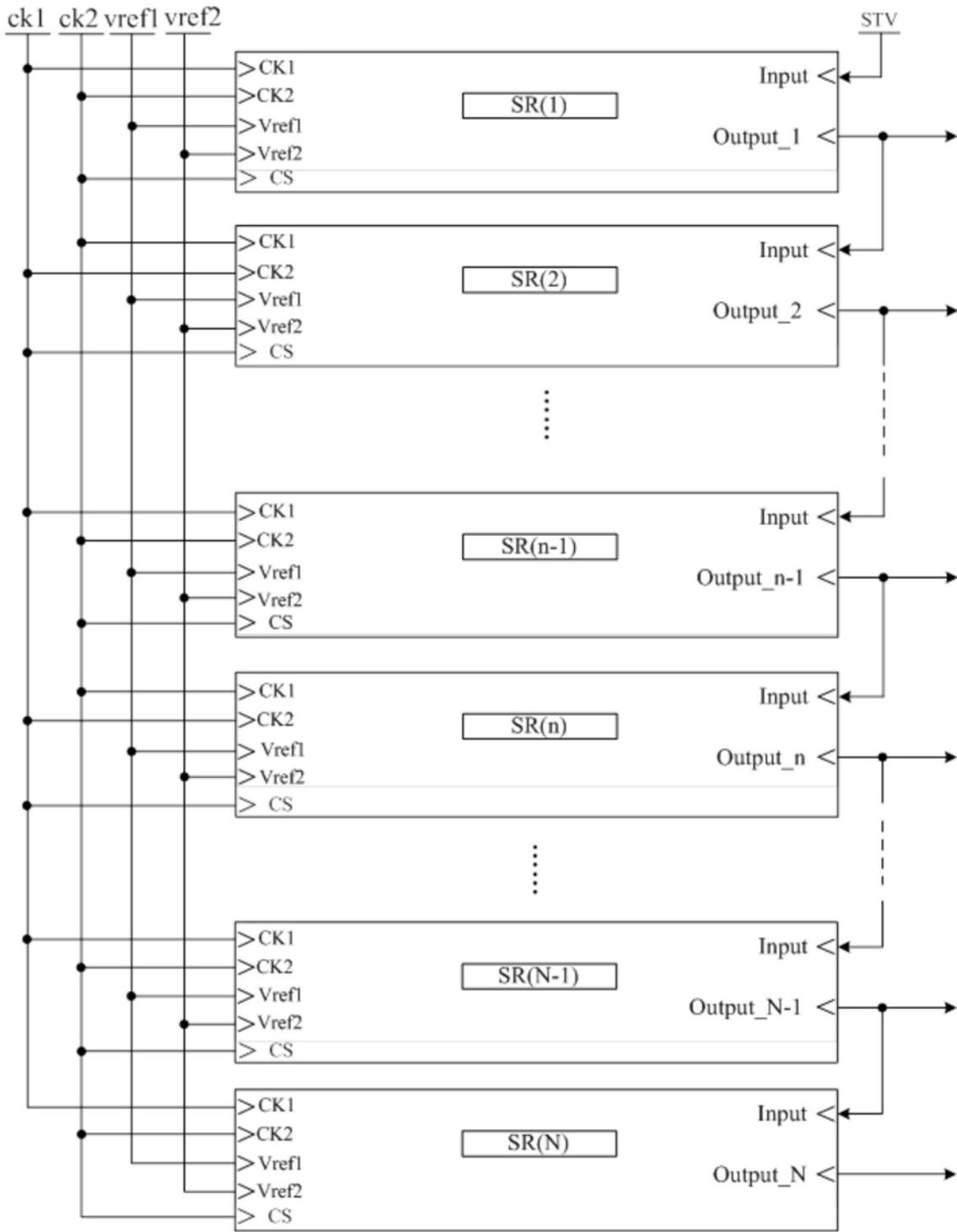


图9b