

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015年1月22日 (22.01.2015)



(10) 国际公布号
WO 2015/007031 A1

- (51) 国际专利分类号:
G11C 19/28 (2006.01)
- (21) 国际申请号: PCT/CN2013/086639
- (22) 国际申请日: 2013年11月6日 (06.11.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310298058.4 2013年7月16日 (16.07.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路8号, Beijing 100176 (CN)。
- (72) 发明人: 杨东 (YANG, Dong); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。陈希 (CHEN, Xi); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。杨明 (YANG, Ming); 中国

北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路8号汇宾大厦A0601, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) Title: SHIFT REGISTER UNIT AND DRIVE METHOD THEREFOR, GATE DRIVE CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器单元及其驱动方法、栅极驱动电路及显示装置

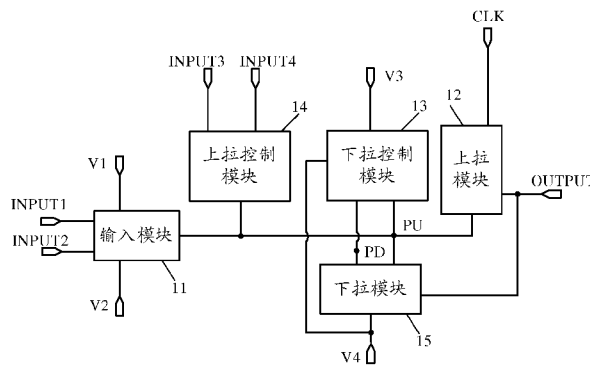


图1 / FIG. 1

11 INPUT MODULE
 12 PULL-UP MODULE
 13 PULL-DOWN CONTROL MODULE
 14 PULL-UP CONTROL MODULE
 15 PULL-DOWN MODULE

(57) Abstract: Provided are a shift register unit and a drive method therefor, a gate drive circuit and a display device. The potential of a pull-up control node is continuously pulled up via an output signal of a multi-stage shift register circuit, and the output noise of the shift register unit can be released using the high level of the pull-up control node, thereby improving the product quality of the display device, and guaranteeing the life and long-term stable operation of a GOA circuit. The shift register unit provided in the embodiments of the present invention comprises an input module, a pull-up module, a pull-down control module, a pull-up control module and a pull-down module.

(57) 摘要: 提供一种移位寄存器单元及其驱动方法、栅极驱动电路及显示装置, 通过多级移位寄存器电路的输出信号持续拉升上拉控制节点的电位, 利用上拉控制节点的高电平可以释放移位寄存器单元的输出噪声, 从而提高了显示装置产品的质量, 保证了GOA电路的寿命和长期稳定的工作。本发明实施例提供的移位寄存器单元包括输入模块、上拉模块、下拉控制模块、上拉控制模块以及下拉模块。



WO 2015/007031 A1

IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

移位寄存器单元及其驱动方法、栅极驱动电路及显示装置

技术领域

本发明涉及显示技术领域，尤其涉及一种移位寄存器单元及其驱动方法、栅极驱动电路及显示装置。

背景技术

薄膜场效应晶体管液晶显示器（Thin Film Transistor-Liquid Crystal Display, TFT-LCD）实现一帧画面显示的基本原理是通过栅极（gate）驱动依次从上到下对每一像素行输入一定宽度的方波进行选通，再通过源极（source）驱动将每一行像素所需的信号依次从上往下输出。目前，制造这样一种结构的显示器件通常是将栅极驱动电路和源极驱动电路通过覆晶薄膜（Chip On Film, COF）或芯片直接固定在玻璃上（Chip On Glass, COG）工艺制作在玻璃面板上，但是当分辨率较高时，栅极驱动和源极驱动的输出均较多，驱动电路的长度也将增大，这将不利于模组驱动电路的绑定（Bonding）工艺。

为了克服以上问题，现有显示器件的制造常采用 GOA（Gate Drive on Array）电路的设计，相比于传统的 COF 或 COG 工艺，其不仅节约了成本，而且可以做到面板两边对称的美观设计，同时也省去了栅极驱动电路的 Bonding 区域以及外围布线空间，从而实现了显示装置窄边框的设计，提高了显示装置的产能和良率。但是现有 GOA 电路的设计也存在着一定的问题，现有的 GOA 电路内部用于控制栅极行扫描信号输出的关键节点通常电压会由于晶体管的漏电作用而降低，这将导致 GOA 电路输出信号具有噪声，现有的 GOA 电路难以解决这一问题。

发明内容

为解决现有技术中存在的技术问题，本发明的实施例提供一种移位寄存器单元及其驱动方法、栅极驱动电路及显示装置，可以降低移位寄存器单元输出信号的噪声。

本发明的实施例采用如下技术方案：

本发明实施例的一方面，提供一种移位寄存器单元，包括：输入模块、上拉模块、下拉控制模块、上拉控制模块以及下拉模块；

所述输入模块，连接第一信号输入端、第二信号输入端、第一电

压端、第二电压端以及上拉控制节点，用于根据所述第一信号输入端输入的的信号和所述第二信号输入端输入的的信号控制所述上拉控制节点的电平，所述上拉控制节点为所述输入模块与所述上拉模块的连接点；

5 所述上拉模块，连接所述上拉控制节点、时钟信号输入端和信号输出端，用于根据所述上拉控制节点和所述时钟信号输入端输入的时钟信号的控制将信号输出端输出的信号上拉为高电平；

所述下拉控制模块，连接第三电压端、第四电压端、所述上拉控制节点以及下拉控制节点，用于根据所述上拉控制节点的电平控制所述下拉控制节点的电平，所述下拉控制节点为所述下拉控制模块与所
10 述下拉模块的连接点；

所述上拉控制模块，连接第三信号输入端、第四信号输入端以及所述上拉控制节点，用于根据所述第三信号输入端输入的的信号和所述第四信号输入端输入的的信号控制所述上拉控制节点的电平；

15 所述下拉模块，连接所述下拉控制节点、所述上拉控制节点、所述第四电压端以及所述信号输出端，用于将信号输出端输出的信号下拉为低电平。

本发明实施例的另一方面，提供一种移位寄存器驱动方法，应用于如上所述移位寄存器单元，包括：

20 输入模块根据第一信号输入端输入的的信号对上拉模块进行预充电；

上拉控制模块根据第三信号输入端输入的的信号提升所述上拉控制节点的电平，利用所述上拉控制节点的高电平释放信号输出端的噪声；

所述上拉模块根据时钟信号上拉移位寄存器单元，使得所述信号输出端输出的信号为高电平；

25 在移位寄存器单元完成输出后，上拉控制模块根据第三信号输入端输入的的信号拉升所述上拉控制节点的电平；

在下拉控制模块和所述输入模块的第二信号输入端输入的的信号的控制下拉高下拉控制节点的电平，所述上拉控制节点的电平下降，移位寄存器单元完成噪声释放。

30 本发明实施例的另一方面，提供一种栅极驱动电路，包括多级如上所述的移位寄存器单元；

除第一级移位寄存器单元外，其余每个移位寄存器单元的信号输出端均连接与其相邻的上一级移位寄存器单元的第四信号输入端；

除最后一级移位寄存器单元外，其余每个移位寄存器单元的信号输出端均连接与其相邻的下一级移位寄存器单元的第三信号输入端；

5 除前两级移位寄存器单元外，其余每个移位寄存器单元的信号输出端均连接其上两级移位寄存器单元的第二信号输入端；

除最后两级移位寄存器单元外，其余每个移位寄存器单元的信号输出端均连接其下两级移位寄存器单元的第一信号输入端。

10 本发明实施例的又一方面，提供一种显示装置，包括如上所述的栅极驱动电路。

本发明实施例提供的移位寄存器单元及其驱动方法、栅极驱动电路及显示装置，通过多级移位寄存器电路的输出信号持续拉升上拉控制节点的电位，利用上拉控制节点的高电平可以释放移位寄存器单元的输出噪声，从而提高了显示装置产品的质量，保证了 GOA 电路的寿命和长期稳定的工作。

附图说明

图 1 为本发明实施例的一种移位寄存器单元的结构示意图；

图 2 为本发明实施例的一种移位寄存器单元的电路连接结构示意图；

20 图 3 为本发明实施例的一种移位寄存器单元工作时的信号时序波形图；

图 4 为本发明实施例的一种移位寄存器单元电位提升效果比较图；

图 5 为本发明实施例的一种栅极驱动电路的结构示意图；

图 6 为本发明实施例的另一栅极驱动电路的结构示意图；

25 图 7 为本发明实施例的一种栅极驱动电路从上向下进行扫描时的信号时序波形图；

图 8 为本发明实施例的一种栅极驱动电路从下向上进行扫描时的信号时序波形图。

具体实施方式

30 下面将结合附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是

全部的实施例。基于本发明中的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本发明保护的范围。

5 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是没有区别的。在本发明实施例中，为区分晶体管除栅极之外的两极，将其中一极称为第一极，将另一极称为第二极。此外，按照晶体管的特性区分可以将晶体管分为 N 型和 P 型，以下实施例均以 N 性晶体管为例进行说明，当采用 N 型晶体管时，第一极可以是该 N 型晶体管的源极，第二极则可以是该 N 型晶体管的漏极。可以想到的是在采用 P 型晶体管实现时是本领域技术人员可在没有做出创造性劳动前提下轻易想到的，因此也是在本发明的实施例保护范围内的。

10 如图 1 所示，按照本发明实施例的移位寄存器单元，包括：输入模块 11、上拉模块 12、下拉控制模块 13、上拉控制模块 14 以及下拉模块 15。

15 输入模块 11 连接第一信号输入端 INPUT1、第二信号输入端 INPUT2、第一电压端 V1、第二电压端 V2 以及上拉控制节点 PU，用于根据第一信号输入端 INPUT1 输入的信号和第二信号输入端 INPUT2 输入的的信号控制上拉控制节点 PU 的电平，上拉控制节点 PU 为输入模块 11 与上拉模块 12 的连接点。

20 上拉模块 12 连接上拉控制节点 PU、时钟信号输入端 CLK 和信号输出端 OUTPUT，用于根据上拉控制节点 PU 和时钟信号输入端 CLK 输入的时钟信号的控制将信号输出端 OUTPUT 输出的信号上拉为高电平。

25 下拉控制模块 13 连接第三电压端 V3、第四电压端 V4、上拉控制节点 PU 以及下拉控制节点 PD，用于根据上拉控制节点 PU 的电压控制下拉控制节点 PD 的电平，下拉控制节点 PD 为下拉控制模块 13 与下拉模块 15 的连接点。

30 上拉控制模块 14 连接第三信号输入端 INPUT3、第四信号输入端 INPUT4 以及上拉控制节点 PU，用于根据第三信号输入端 INPUT3 输入的信号和第四信号输入端 INPUT4 输入的的信号控制上拉控制节点 PU

的电平。

下拉模块 15 连接下拉控制节点 PD、上拉控制节点 PU、第四电压端 V4 以及信号输出端 OUTPUT，用于将信号输出端 OUTPUT 输出的信号下拉为低电平。

5 本发明实施例的移位寄存器单元，通过多级移位寄存器电路的输出信号持续拉升上拉控制节点的电位，利用上拉控制节点的高电平可以释放移位寄存器单元的输出噪声，从而提高了显示装置产品的质量，保证了 GOA 电路的寿命和长期稳定的工作。

具体地，第一电压端 V1 可以输入高电平 VDD，第二电压端 V2
10 可以输入低电平 VSS，第三电压端 V3 可以输入高电平 VGH，第四电压端 V4 可以为接地端或为低电平 VGL。

进一步地，如图 2 所示，在本发明实施例的移位寄存器中，输入模块 11 可以包括：

15 第一晶体管 T1，其第一极连接上拉控制节点 PU，栅极连接第一信号输入端 INPUT1，第二极连接第一电压端 V1。

第二晶体管 T2，其第一极连接上拉控制节点 PU，栅极连接第二信号控制端 INPUT2，第二极连接第二电压端 V2。

在本发明实施例中，上拉控制节点 PU 是指控制上拉模块处于开启或关闭状态的电路节点。输入模块 11 的作用具体是根据第一信号输入
20 端 INPUT1 与第二信号控制端 INPUT2 的高低电平的不同确定上拉控制节点 PU 的电平高低，从而确定移位寄存器单元当前处于输出或复位状态。

当分别采用上下级移位寄存器单元输出的信号作为本级移位寄存器单元的第一信号输入端 INPUT1 或第二信号控制端 INPUT2 的输入信号时，这样一种结构的输入模块 11 可以实现栅极驱动电路的双向扫描。
25 具体地，第一信号输入端 INPUT1 可以输入上两级移位寄存器单元输出的信号 Output (N-2)，第二信号输入端 INPUT2 可以输入下两级移位寄存器单元输出的信号 Output (N+2)。

当第一电压端 V1 输入高电平 VDD、第二电压端 V2 输入低电平
30 VSS 时，上两级移位寄存器单元输出的高电平可以通过输入模块 11 对上拉模块 12 进行预充，下两级移位寄存器单元输出的高电平可以通过

输入模块 11 对上拉模块 12 进行复位。

当第一电压端 V1 输入低电平 VSS、第二电压端 V2 输入高电平 VDD 时，下两级移位寄存器单元输出的高电平可以通过输入模块 11 对上拉模块 12 进行预充，上两级移位寄存器单元输出的高电平可以通过输入模块 11 对上拉模块 12 进行复位。

进一步地，如图 2 所示，上拉模块 12 可以包括：

第三晶体管 T3，其第一极连接信号输出端 OUTPUT，栅极连接上拉控制节点 PU，第二极连接时钟信号输入端 CLK。

电容 C，其并联于第三晶体管 T3 的栅极和第一极之间。

在本发明实施例中，上拉模块 12 的作用是在进行预充之后，且时钟信号为高电平的时钟周期内，使得信号输出端 OUTPUT 输出栅极驱动的高电平信号。

进一步地，如图 2 所示，下拉控制模块 13 可以包括：

第四晶体管 T4，其第一极连接下拉控制节点 PD，栅极和第二极均连接第三电压端 V3。

第五晶体管 T5，其第一极连接下拉控制节点 PD，栅极连接上拉控制节点 PU，第二极连接第四电压端 V4。

在本发明实施例中，下拉控制模块 13 的作用是根据上拉控制节点 PU 的电压控制下拉控制节点 PD 的电平，其中，下拉控制节点 PD 是指控制下拉模块处于开启或关闭状态的电路节点。

进一步地，如图 2 所示，上拉控制模块 14 可以包括：

第六晶体管 T6，其第一极连接上拉控制节点 PU，栅极和第二极均连接第三信号输入端 INPUT3；

第七晶体管 T7，其第一极连接上拉控制节点 PU，栅极和第二极均连接第四信号输入端 INPUT4。

其中，第三信号输入端 INPUT3 用于输入上一级移位寄存器单元输出的信号 Output (N-1)，第四信号输入端 INPUT4 用于输入下一级移位寄存器单元输出的信号 Output (N+1)。上拉控制模块 14 分别根据上一级移位寄存器单元输出的信号 Output (N-1) 以及下一级移位寄存器单元输出的信号 Output (N+1) 提升上拉控制节点 PU 的电平。

进一步地，如图 2 所示，下拉模块 15 可以包括：

第八晶体管 T8，其第一极连接第四电压端 V4，栅极连接下拉控制节点 PD，第二极连接上拉控制节点 PU；

第九晶体管 T9，其第一极连接第四电压端 V4，栅极连接下拉控制节点 PD，第二极连接信号输出端 OUTPUT。

5 在本发明实施例中，下拉模块 15 的作用具体是在下拉控制模块 13 输出信号的控制下，当下拉控制节点 PD 点电位为高时，且在时钟信号为低电平时分别对上拉控制节点 PU 电位以及信号输出端 OUTPUT 进行下拉，这样一种结构的移位寄存器单元在完成栅极驱动信号输出之后，可以保证电路噪声的释放，从而提高了扫描驱动的质量。

10 在如图 2 所示的移位寄存器单元中，分别包括 9 个 N 型晶体管以及 1 个电容 (9T1C)，与现有技术相比，这种电路结构的设计中元器件相对较少，从而显著简化了电路设计与生产的难度，有效控制了电路区域与布线空间的大小，实现了显示装置窄边框的设计。

按照本发明实施例，还提供一种移位寄存器驱动方法，可以应用于如上所述移位寄存器单元，该方法包括以下操作过程：

15 在步骤 S101，输入模块根据第一信号输入端输入的信号对上拉模块进行预充电。

20 在步骤 S102，上拉控制模块根据第三信号输入端输入的信号提升上拉控制节点的电平，利用该上拉控制节点的高电平释放信号输出端的噪声，其中，该上拉控制模块主要用于根据第三信号输入端输入的信号和第四信号输入端输入的信号控制上拉控制节点的电平。

在步骤 S103，上拉模块根据时钟信号将信号输出端输出的信号上拉为高电平。

25 在步骤 S104，在信号输出端输出高电平后，上拉控制模块根据第四信号输入端输入的信号拉升上拉控制节点的电平。

在步骤 S105，在下拉控制模块和输入模块的第二信号输入端输入的信号的控制下，下拉上拉控制节点的电平，从而使得下拉控制节点的电平上升，信号输出端接低电平。

30 本发明实施例的移位寄存器驱动方法，通过多级移位寄存器电路的输出信号持续拉升上拉控制节点的电位，利用上拉控制节点的高电平可以释放移位寄存器单元的输出噪声，从而提高了显示装置产品的

质量，保证了 GOA 电路的寿命和长期稳定的工作。

采用这样一种结构的移位寄存器单元，通过改变控制信号电平的高低可以实现栅极驱动电路的双向扫描。例如，在如图 2 所示的移位寄存器单元中，第一信号输入端 INPUT1 可以输入上两级移位寄存器单元输出的信号 Output (N-2)，第二信号输入端 INPUT2 可以输入下两级移位寄存器单元输出的信号 Output(N+2)；第一信号输入端 INPUT1 也可以输入下两级移位寄存器单元输出的信号 Output (N+2)，第二信号输入端 INPUT2 可以输入上两级移位寄存器单元输出的信号 Output (N-2)。第三信号输入端 INPUT3 可以输入上一级移位寄存器单元输出的信号 Output (N-1)，第四信号输入端 INPUT4 可以输入下一级移位寄存器单元输出的信号 Output (N+1)。

当第一电压端 V1 输入高电平 VDD、第二电压端 V2 输入低电平 VSS 时，上两级移位寄存器单元输出的高电平可以通过输入模块 11 对上拉模块 12 进行预充，下两级移位寄存器单元输出的高电平可以通过输入模块 11 对上拉模块 12 进行复位。

当第一电压端 V1 输入低电平 VSS、第二电压端 V2 输入高电平 VDD 时，下两级移位寄存器单元输出的高电平可以通过输入模块 11 对上拉模块 12 进行预充，上两级移位寄存器单元输出的高电平可以通过输入模块 11 对上拉模块 12 进行复位。

具体地，可以结合图 3 所示的信号时序状态图，对本发明实施例图 3 所示的移位寄存器单元的驱动方法及工作状态进行详细描述，此时第一电压端 V1 输入高电平 VDD、第二电压端 V2 输入低电平 VSS，第三电压端 V3 输入高电平 VGH，第四电压端 V4 为低电平 VGL，第一信号输入端 INPUT1 输入上两级移位寄存器单元输出的信号 OUTPUT(N-2)，第二信号输入端 INPUT2 输入下两级移位寄存器单元输出的复位信号 Output (N+2)。

第①阶段：上两级移位寄存器单元输出的信号 OUTPUT(N-2)为高电平，晶体管 T1 打开，VDD 为高电平，上拉控制节点 PU 电压升高，此时晶体管 T3 打开，同时上拉控制节点 PU 控制晶体管 T5 打开，下拉控制节点 PD 接低电位 VGL，此时时钟信号 CLK 为低电平，信号输出端输出低电平。

第②阶段：在此阶段下，上一级移位寄存器单元输出信号 Output (N-1) 为高电平，晶体管 T6 打开，利用 Output (N-1) 电压提升上拉控制节点 PU 电压，此时本级移位寄存器单元仍然没有输出。利用 PU 节点的高电压可以释放信号输出端 Output 的噪声。

5 第③阶段：此时时钟信号 CLK 为高电平，由于电容 C 的自举作用，上拉控制节点 PU 的电位进一步提升，晶体管 T3、T5 打开，本级移位寄存器单元的信号输出端 Output 输出高电平。

第④阶段：在此阶段，下一级移位寄存器单元输出信号 Output (N+1) 为高电平，晶体管 T7 打开，利用 Output (N+1) 电压提升上拉控制节点 PU 电压，使得上拉控制节点 PU 仍然保持在高电平，晶体管 T3 打开，此时时钟信号 CLK 为低电平，本级信号输出端 Output 输出低电平，但由于 TFT 的漏电影响，此时的 PU 节点电压会被拉低，利用下一级的输出 Output (N+1) 高电位，晶体管 T4 打开，来拉升 PU 电压。

15 第⑤阶段，此时，下两级输出信号 Output(N+2)作为复位信号，晶体管 T2 打开，上拉控制节点 PU 电平下降，下拉控制节点 PD 电平上升，从而完成本级移位寄存器单元的噪声释放。具体地，由于第三电压端 V3 电压 VGH 保持在高电平，PD 电位上升，晶体管 T8、T9 打开，从而使得上拉控制节点 PU 和信号输出端分别与第四电压端 V4 相连，

20 由于 V4 电压为 VGL 低电压，从而在本级移位寄存器单元完成输出之后保证电路的噪声释放。

具体地，采用本发明实施例的这样一种移位寄存器驱动方法可以有效拉升上拉控制节点 PU 的电位，如图 4 所示，与现有技术中上拉控制节点电位情况相比，PU 节点电位在第②、③、④阶段均存在明显的拉高。

25 如此实现了从 Output (N-1) 到本级 Output，再至 Output (N+1) 的移位，即实现了自上而下的栅极行驱动扫描输出。需要说明的是，在本发明实施例中，通过改变信号 Output (N-2)、Output (N+2)、VDD 与 VSS 的高低电位可以转换预充和复位的方式，分别实现栅极驱动电路从上至下或从下至上的双向扫描。

本发明实施例的移位寄存器单元，分别包括 9 个 N 型晶体管以及

1 个电容 (9T1C)，与现有技术相比，这种电路结构的设计中元器件相对较少，从而显著简化了电路设计与生产的难度，有效控制了电路区域与布线空间的大小，实现了显示装置窄边框的设计。

5 如图 5 所示，本发明实施例的栅极驱动电路，包括多级如上所述的移位寄存器单元。其中，每一级移位寄存器单元 SR 的输出端 OUTPUT 输出本级的行扫描信号 G；每个移位寄存器单元都有一个时钟信号输入。

10 除第一级移位寄存器单元 SR0 外，其余每个移位寄存器单元的信号输出端 OUTPUT 连接与其相邻的上一级移位寄存器单元的第四信号输入端 INPUT4。

除最后一级移位寄存器单元 SRn 外，其余每个移位寄存器单元的信号输出端 OUTPUT 连接与其相邻的下一级移位寄存器单元的第三信号输入端 INPUT3。

15 除前两级移位寄存器单元 SR0 和 SR1 外，其余每个移位寄存器单元的信号输出端均连接其上两级移位寄存器单元的第二信号输入端 INPUT2。

除最后两级移位寄存器单元 SRn-1 和 SRn 外，其余每个移位寄存器单元的信号输出端均连接其下两级移位寄存器单元的第一信号输入端 INPUT1。

20 在本发明实施例中，第一级移位寄存器单元 SR0 的第一信号输入端 INPUT1 可以输入帧起始信号 STV；最后一级移位寄存器单元 SRn 的第二信号输入端 INPUT2 可以输入复位信号 RST。

25 本发明实施例的栅极驱动电路，包括移位寄存器单元，通过多级移位寄存器电路的输出信号持续拉升上拉控制节点的电位，利用上拉控制节点的高电平可以释放移位寄存器单元的输出噪声，从而提高了显示装置产品的质量，保证了 GOA 电路的寿命和长期稳定的工作。

30 需要说明的是，为了进一步提高栅极驱动电路的扫描频率，可以采用多组时钟信号输入不同行的移位寄存器单元，例如在图 5 所示的栅极驱动电路中，外部时钟信号输入端可以分别包括 CLK1、CLK2、CLK3 和 CLK4，连接第一行移位寄存器单元的晶体管 T3 的时钟信号输入端为 CLK1，连接第二行移位寄存器单元的晶体管 T3 的时钟信号

输入端为 CLK2，以此类推。其中，每一个时钟信号输入端输入的时钟信号均具有相同的周期，且每一个时钟信号之间的相位均各不相同。采用这样一种时钟信号控制栅极驱动电路，具有更高的扫描频率，从而显著提高了显示装置的显示质量。

5 进一步地，如图 6 所示，在本发明实施例的栅极驱动电路中，奇数行的移位寄存器单元位于显示面板的一端，偶数行的移位寄存器单元位于显示面板的另一端。相应地，外部时钟信号输入端可以分别包括 CLK1-CLK8 共八个时钟信号输入端，CLK1、CLK3、CLK5、CLK7 作为与奇数行的移位寄存器单元连接的外部时钟信号输入端，CLK2、
10 CLK4、CLK6、CLK8 作为与偶数行的移位寄存器单元连接的外部时钟信号输入端。与时钟信号相应地，帧起始信号 STV 同样包括两组相位不同的帧起始信号，不同的帧起始信号分别输入相应的移位寄存器单元的第一信号输入端 INPUT1，帧起始信号 STV_O 与奇数行前两级移位寄存器单元的信号输入端 INPUT1 连接，帧起始信号 STV_E 与偶数
15 行前两级移位寄存器单元的信号输入端 INPUT1 连接。

在本发明实施例中，所有外部信号均采用四分之一占空比，这样一种占空比的信号可以保证上述移位寄存器功能的实现。

其中，位于显示面板两端的每一级移位寄存器单元 SR 的输出端 OUTPUT 输出本级的行扫描信号 G，每个移位寄存器单元都有一个时
20 钟信号输入。

位于显示面板一端的奇数行的移位寄存器单元或位于面板另一端的偶数行的移位寄存器单元，除第一级移位寄存器单元和第二级移位寄存器单元的信号输入端连接外，其余每个移位寄存器单元的信号输入端 INPUT 连接与其相邻的上两级移位寄存器单元的第一信号输出端
25 OUTPUT。

位于显示面板一端的奇数行的移位寄存器单元或位于面板另一端的偶数行的移位寄存器单元，除最后两级移位寄存器单元 SR_{n-1} 和 SR_n 外，其余每个移位寄存器单元的第二信号输入端 INPUT2 连接与其相邻的下两级移位寄存器单元的信号输出端 OUTPUT。

30 具体地，对于如图 6 所示的栅极驱动电路而言，当栅极驱动电路采用从上至下的扫描方式时，其控制信号和时钟信号的时序波形图如

图 7 所示。其中，与时钟信号相应的，帧起始信号 STV 同样包括多组相位不同的帧起始信号，不同的帧起始信号分别输入相应的移位寄存器单元的第一信号输入端 INPUT1，如图 7 所示，包括 STV_O 和 STV_E，每个帧起始信号在相应移位寄存器开始输出的阶段提供一个方波。当采用这样一种时序控制信号进行控制时，栅极驱动电路的行驱动信号将由 G0 至 Gn，从上至下依次输出。

当栅极驱动电路采用从下至上的扫描方式时，其控制信号和时钟信号的时序波形图如图 8 所示。与图 7 所示的时序波形图不同的是，外部时钟信号输入端由 CLK8 至 CLK1 的顺序进行信号输入。当采用这样一种时序控制信号进行控制时，栅极驱动电路的行驱动信号将由 Gn 至 G0，从下至上依次输出。

采用如图 6 所示的栅极驱动电路，在拉升上拉控制节点的电位，释放移位寄存器单元的输出噪声，从而提高了显示装置产品的质量的同时，进一步实现了显示装置两端线宽的相等的设计。从而在提高扫描频率的同时进一步保证了显示装置外观设计的美观，提高了用户的使用感受。

按照本发明实施例，还提供一种显示装置，包括如上所述的栅极驱动电路。

由于栅极驱动电路的结构在前述实施例中已做了详细的描述，此处不做赘述。

本发明实施例的显示装置，包括栅极驱动电路，该栅极驱动电路又包括移位寄存器单元，采用这样一种结构的移位寄存器单元通过多级移位寄存器电路的输出信号持续拉升上拉控制节点的电位，利用上拉控制节点的高电平可以释放移位寄存器单元的输出噪声，从而提高了显示装置产品的质量，保证了 GOA 电路的寿命和长期稳定的工作。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应所述以权利要求的保护范围为准。

权 利 要 求 书

1、一种移位寄存器单元，包括：

5 输入模块，连接第一信号输入端、第二信号输入端、第一电压端、第二电压端以及上拉控制节点，用于根据所述第一信号输入端输入的信号和所述第二信号输入端输入的信号控制所述上拉控制节点的电平；

10 上拉模块，连接所述上拉控制节点、时钟信号输入端和信号输出端，用于根据所述上拉控制节点和所述时钟信号输入端输入的时钟信号的控制将信号输出端输出的信号上拉为高电平；

下拉控制模块，连接第三电压端、第四电压端、所述上拉控制节点以及下拉控制节点，用于根据所述上拉控制节点的电压控制所述下拉控制节点的电平；

15 上拉控制模块，连接第三信号输入端、第四信号输入端以及所述上拉控制节点，用于根据所述第三信号输入端输入的信号和所述第四信号输入端输入的信号控制所述上拉控制节点的电平；

下拉模块，连接所述下拉控制节点、所述上拉控制节点、所述第四电压端以及所述信号输出端，用于将信号输出端输出的信号下拉为低电平，

20 其中，所述上拉控制节点为所述输入模块与所述上拉模块的连接点，所述下拉控制节点为所述下拉控制模块与所述下拉模块的连接点。

2、根据权利要求1所述的移位寄存器单元，其中，所述输入模块包括：

25 第一晶体管，所述第一晶体管的第一极连接所述上拉控制节点，所述第一晶体管的栅极连接所述第一信号输入端，所述第一晶体管的第二极连接所述第一电压端；

第二晶体管，所述第二晶体管的第一极连接所述上拉控制节点，所述第二晶体管的栅极连接所述第二信号控制端，所述第二晶体管的第二极连接所述第二电压端。

30 3、根据权利要求1所述的移位寄存器单元，其中，所述上拉模块包括：

第三晶体管，所述第三晶体管的第一极连接所述信号输出端，所述第三晶体管的栅极连接所述上拉控制节点，所述第三晶体管的第二极连接所述时钟信号输入端；

5 电容，所述电容并联于所述第三晶体管的栅极和所述第三晶体管的第一极之间。

4、根据权利要求1所述的移位寄存器单元，其中，所述下拉控制模块包括：

第四晶体管，所述第四晶体管的第一极连接所述下拉控制节点，所述第四晶体管的栅极和第二极均连接所述第三电压端；

10 第五晶体管，所述第五晶体管的第一极连接所述下拉控制节点，所述第五晶体管的栅极连接所述上拉控制节点，所述第五晶体的第二极连接所述第四电压端。

5、根据权利要求1所述的移位寄存器单元，其中，所述上拉控制模块包括：

15 第六晶体管，所述第六晶体管的第一极连接所述上拉控制节点，所述第六晶体管的栅极和第二极均连接所述第三信号输入端；

第七晶体管，所述第七晶体管的第一极连接所述上拉控制节点，所述第七晶体管的栅极和第二极均连接所述第四信号输入端。

20 6、根据权利要求1所述的移位寄存器单元，其中，所述下拉模块包括：

第八晶体管，所述第八晶体管的第一极连接所述第四电压端，所述第八晶体管的栅极连接所述下拉控制节点，所述第八晶体的第二极连接所述上拉控制节点；

25 第九晶体管，所述第九晶体管的第一极连接所述第四电压端，所述第九晶体管的栅极连接所述下拉控制节点，所述第九晶体的第二极连接所述信号输出端。

7、一种移位寄存器驱动方法，应用于如权利要求1至6任一所述移位寄存器单元，其中，该方法包括下列步骤：

30 输入模块根据第一信号输入端输入的信号对上拉模块进行预充电；

上拉控制模块根据第三信号输入端输入的信号提升所述上拉控制

节点的电平，利用所述上拉控制节点的高电平释放信号输出端的噪声，其中，所述上拉控制模块用于根据所述第三信号输入端输入的信号和所述第四信号输入端输入的信号控制所述上拉控制节点的电平；

5 所述上拉模块根据时钟信号将所述信号输出端输出的信号上拉为高电平；

在信号输出端输出高电平后，上拉控制模块根据第四信号输入端输入的信号拉升所述上拉控制节点的电平；

10 在下拉控制模块和所述输入模块的第二信号输入端输入的信号的控制下，下拉所述上拉控制节点的电平，使得下拉控制节点的电平上升，信号输出端接低电平。

8、根据权利要求 7 所述的方法，其中，所述第一信号输入端输入上两级移位寄存器单元输出的信号，所述第二信号输入端输入下两级移位寄存器单元输出的信号，所述第三信号输入端输入上一级移位寄存器单元输出的信号，所述第四信号输入端输入下一级移位寄存器单元输出的信号；

20 当所述第一电压端输入高电平、所述第二电压端输入低电平时，上两级移位寄存器单元输出的高电平通过所述输入模块对本级移位寄存器单元的所述上拉模块进行预充，下两级移位寄存器单元输出的高电平通过所述输入模块对本级移位寄存器单元的所述上拉模块进行复位；

25 当所述第一电压端输入低电平、所述第二电压端输入高电平时，下两级移位寄存器单元输出的高电平通过所述输入模块对本级移位寄存器单元的所述上拉模块进行预充，上两级移位寄存器单元输出的高电平通过所述输入模块对本级移位寄存器单元的所述上拉模块进行复位。

9、一种栅极驱动电路，包括多级如权利要求 1 至 6 任一所述的移位寄存器单元，其中，

除第一级移位寄存器单元外，其余每个移位寄存器单元的信号输出端均连接与其相邻的上一级移位寄存器单元的第四信号输入端；

30 除最后一级移位寄存器单元外，其余每个移位寄存器单元的信号输出端均连接与其相邻的下一级移位寄存器单元的第三信号输入端；

除前两级移位寄存器单元外，其余每个移位寄存器单元的信号输出端均连接其上两级移位寄存器单元的第二信号输入端；

除最后两级移位寄存器单元外，其余每个移位寄存器单元的信号输出端均连接其下两级移位寄存器单元的第一信号输入端。

5 10、根据权利要求 9 所述的栅极驱动电路，其中，所述第一级移位寄存器单元的第一信号输入端输入帧起始信号；所述最后一级移位寄存器单元的第二信号输入端输入复位信号。

11、根据权利要求 9 所述的栅极驱动电路，其中，采用多组时钟信号输入不同行的移位寄存器单元。

10 12、根据权利要求 9 所述的栅极驱动电路，其中，奇数行的移位寄存器单元位于显示面板的一端，偶数行的移位寄存器单元位于显示面板的另一端。

13、一种显示装置，包括如权利要求 9-11 任一所述的栅极驱动电路。

15

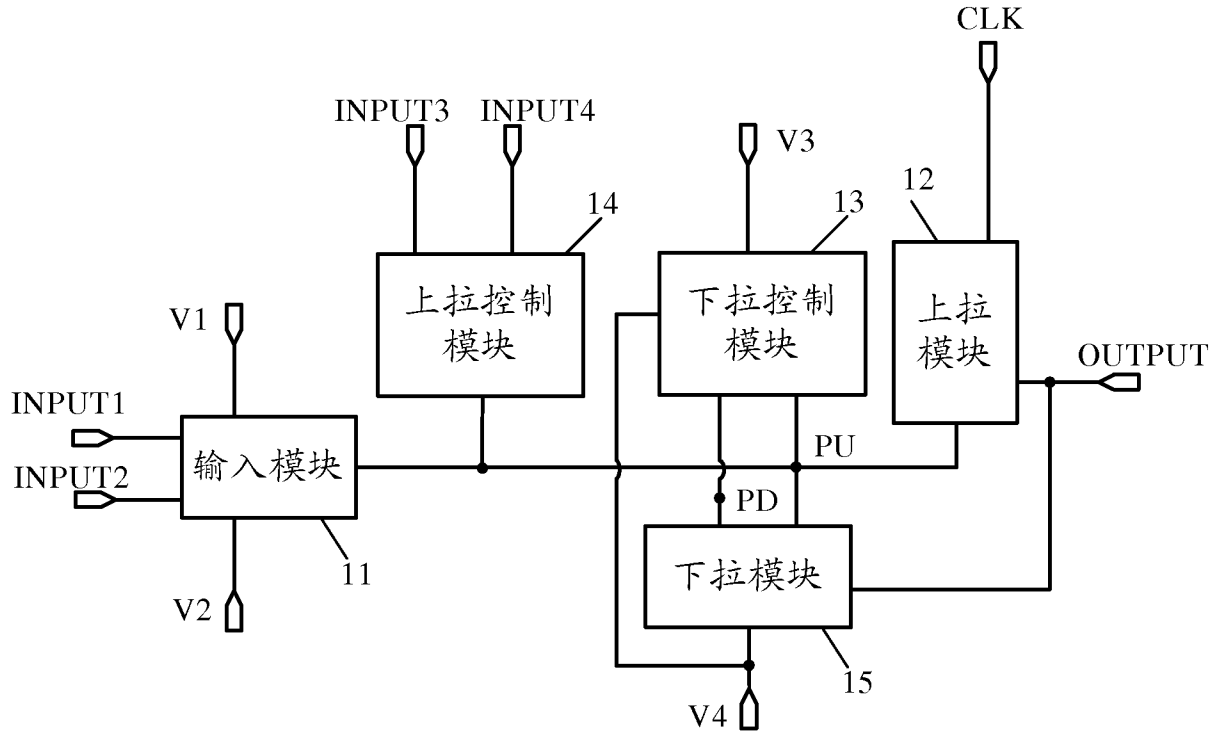


图 1

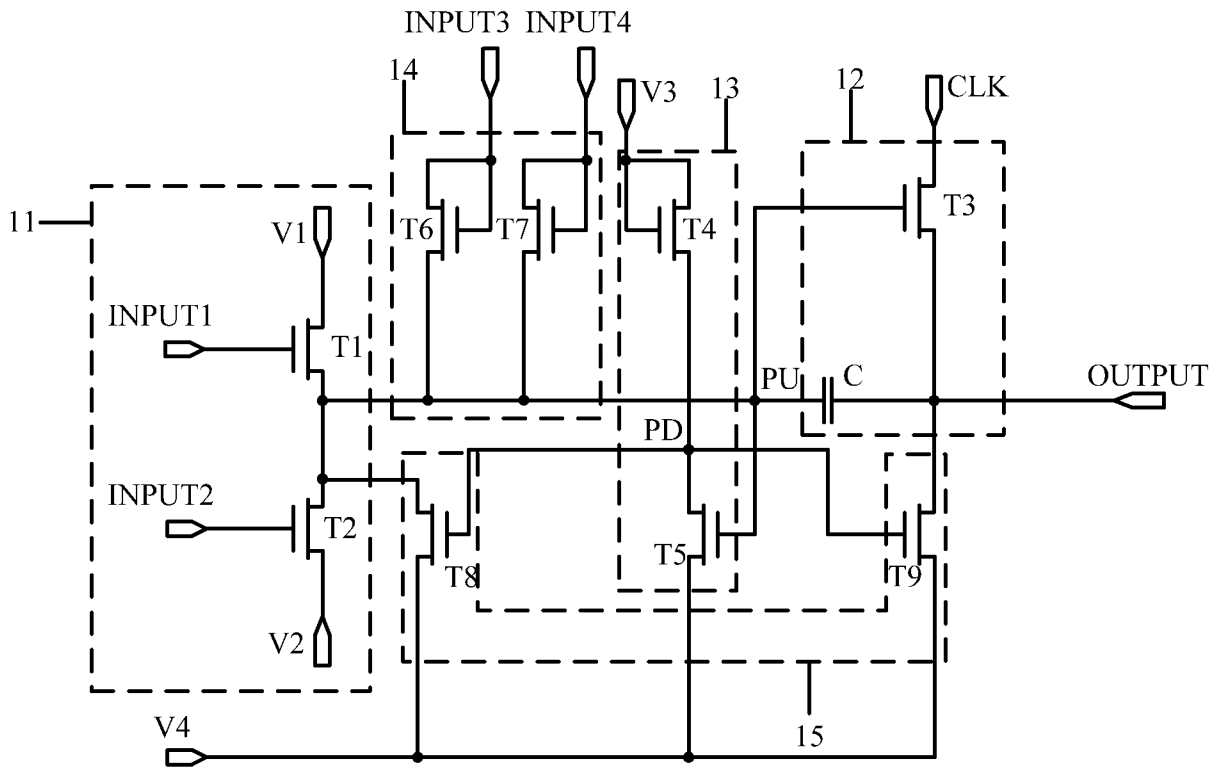


图 2

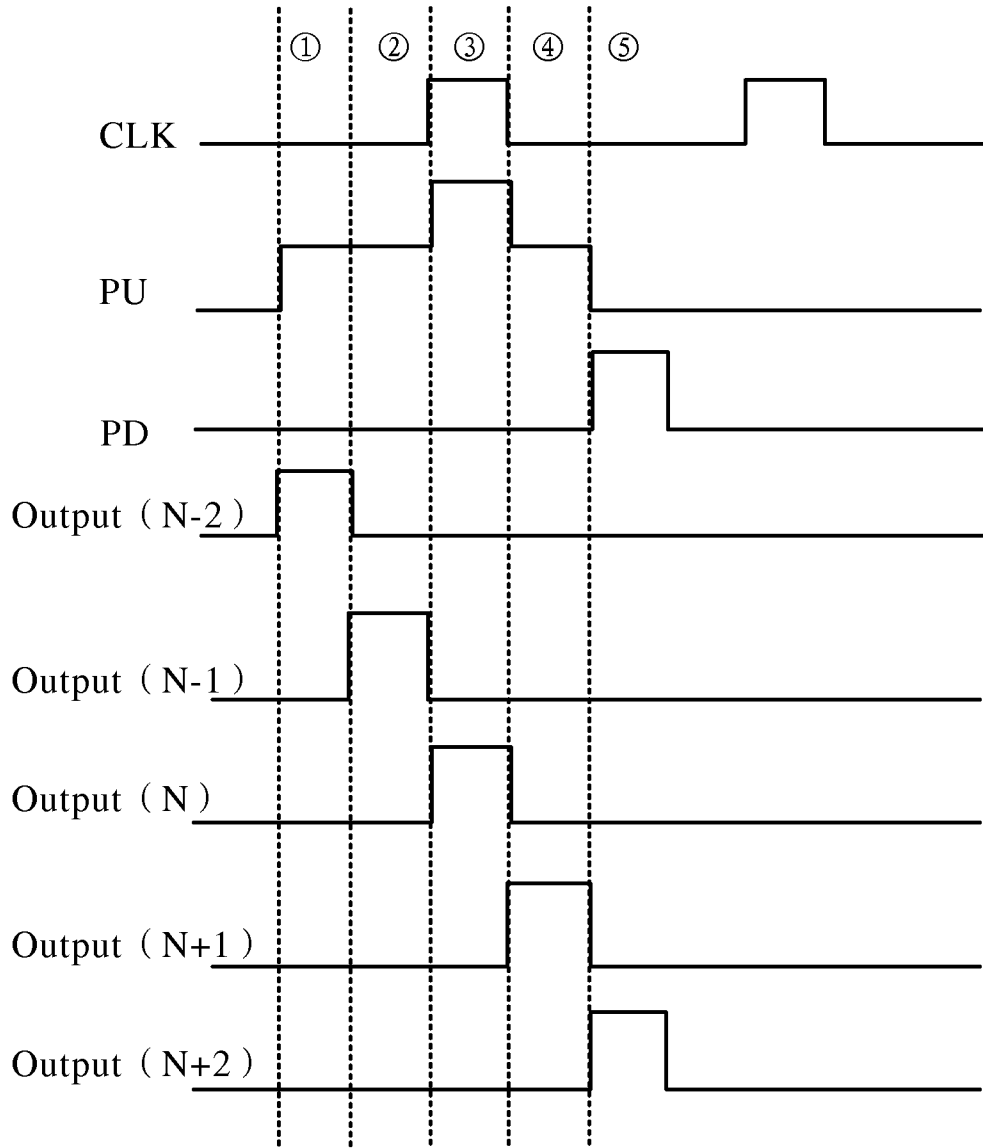


图 3

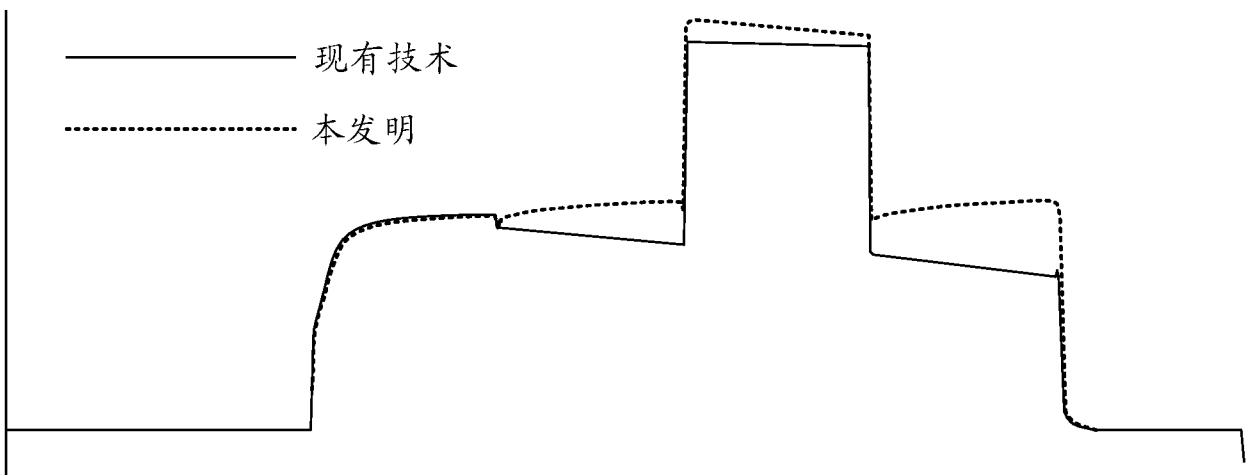


图 4

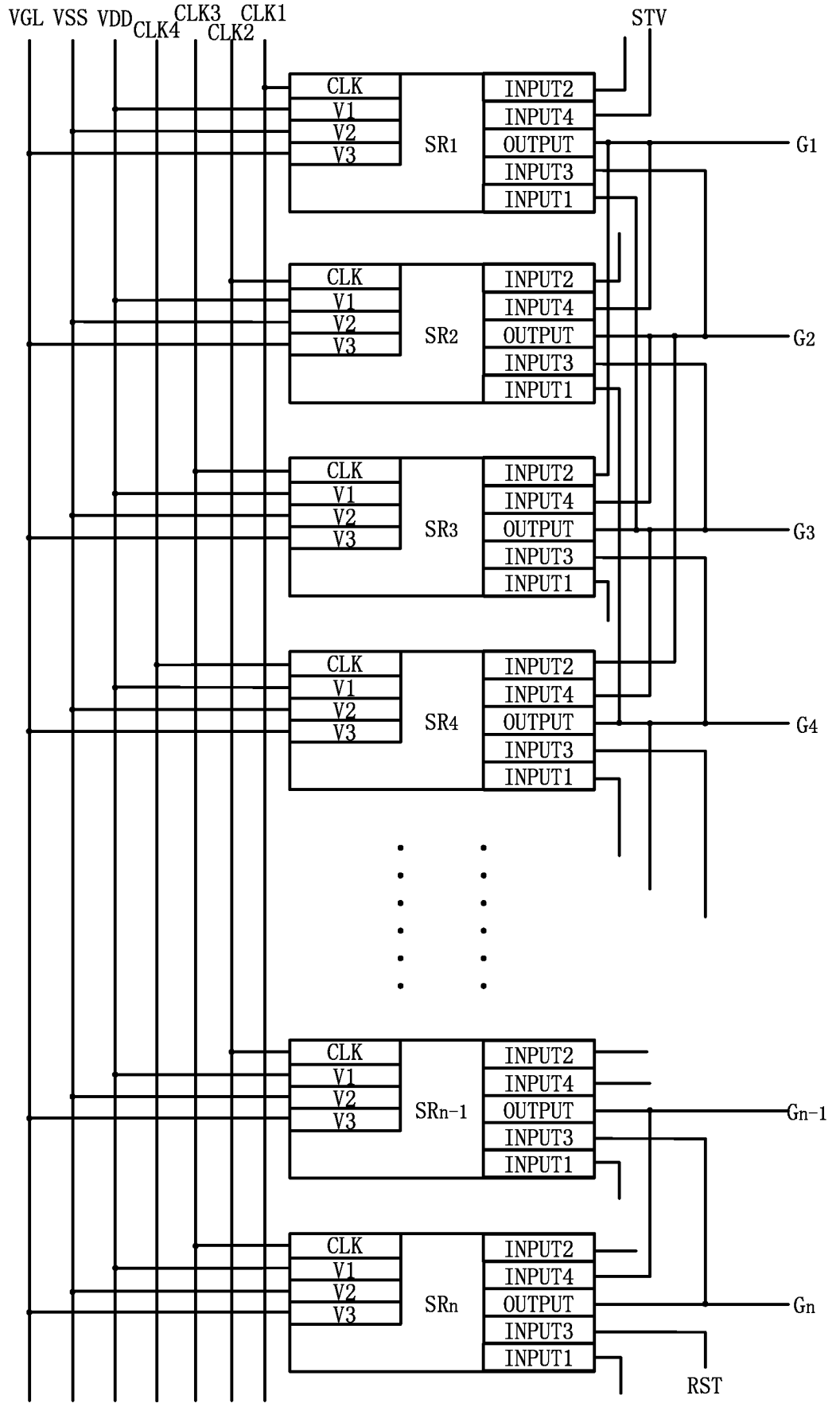


图 5

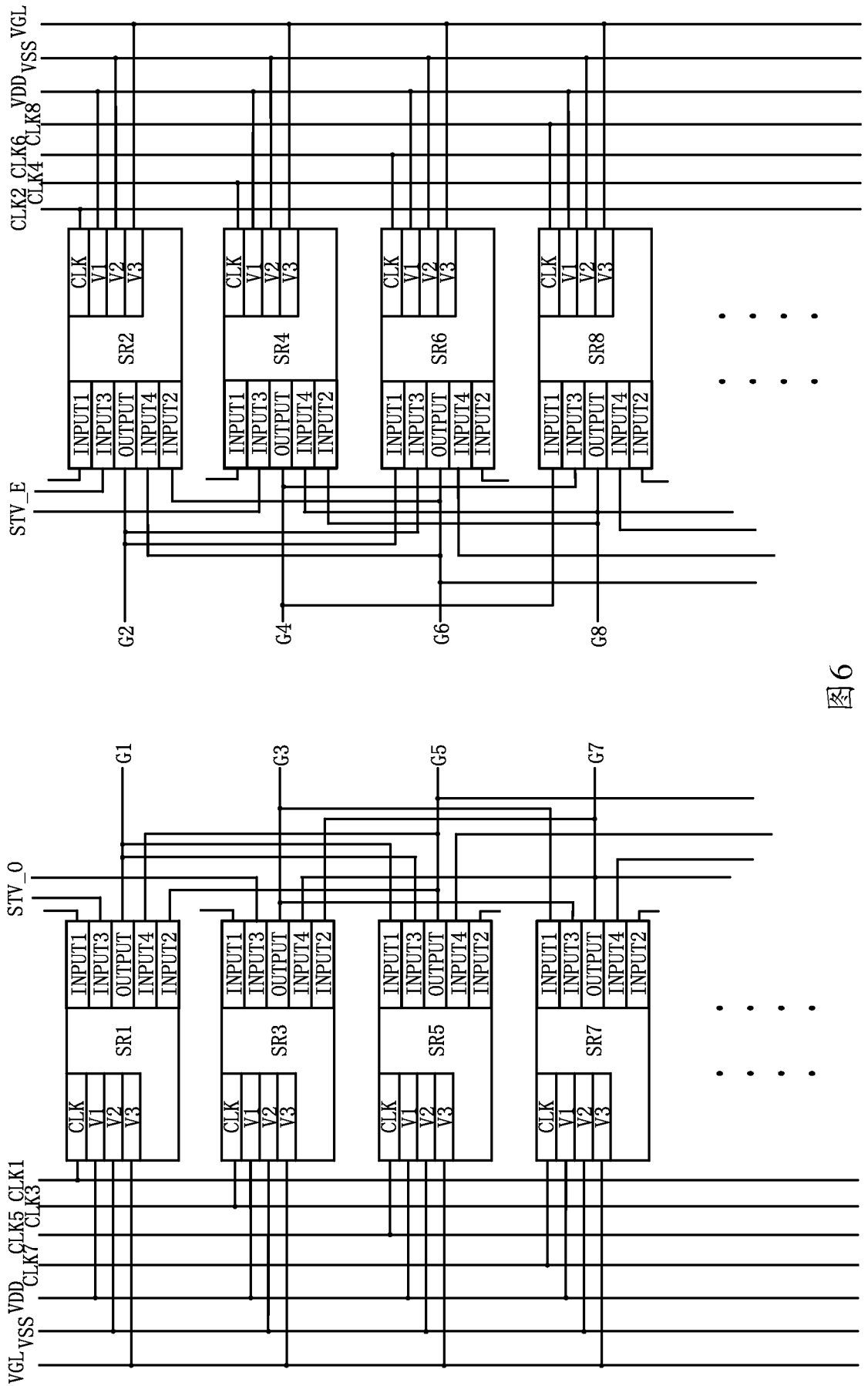


图6

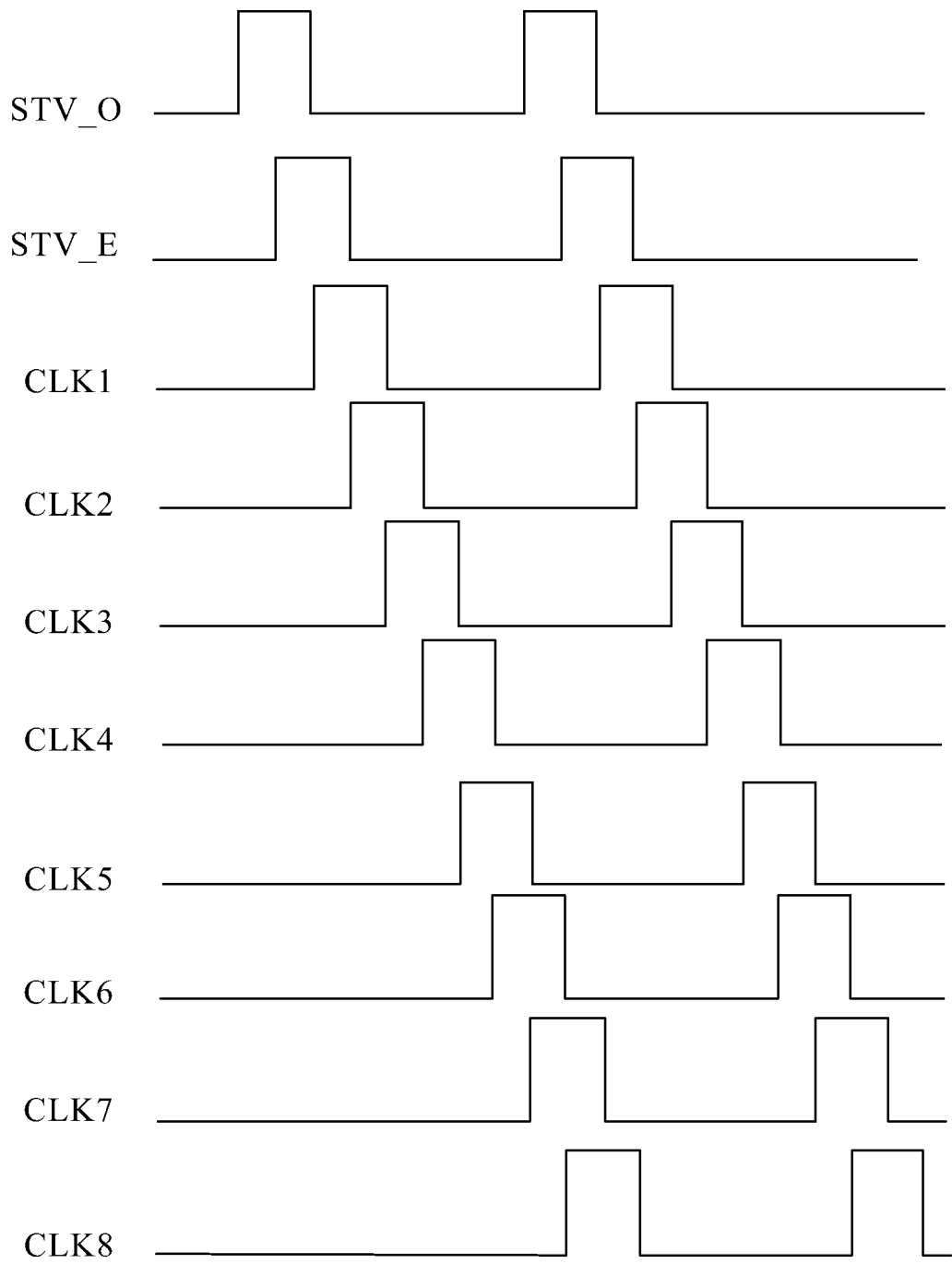


图 7

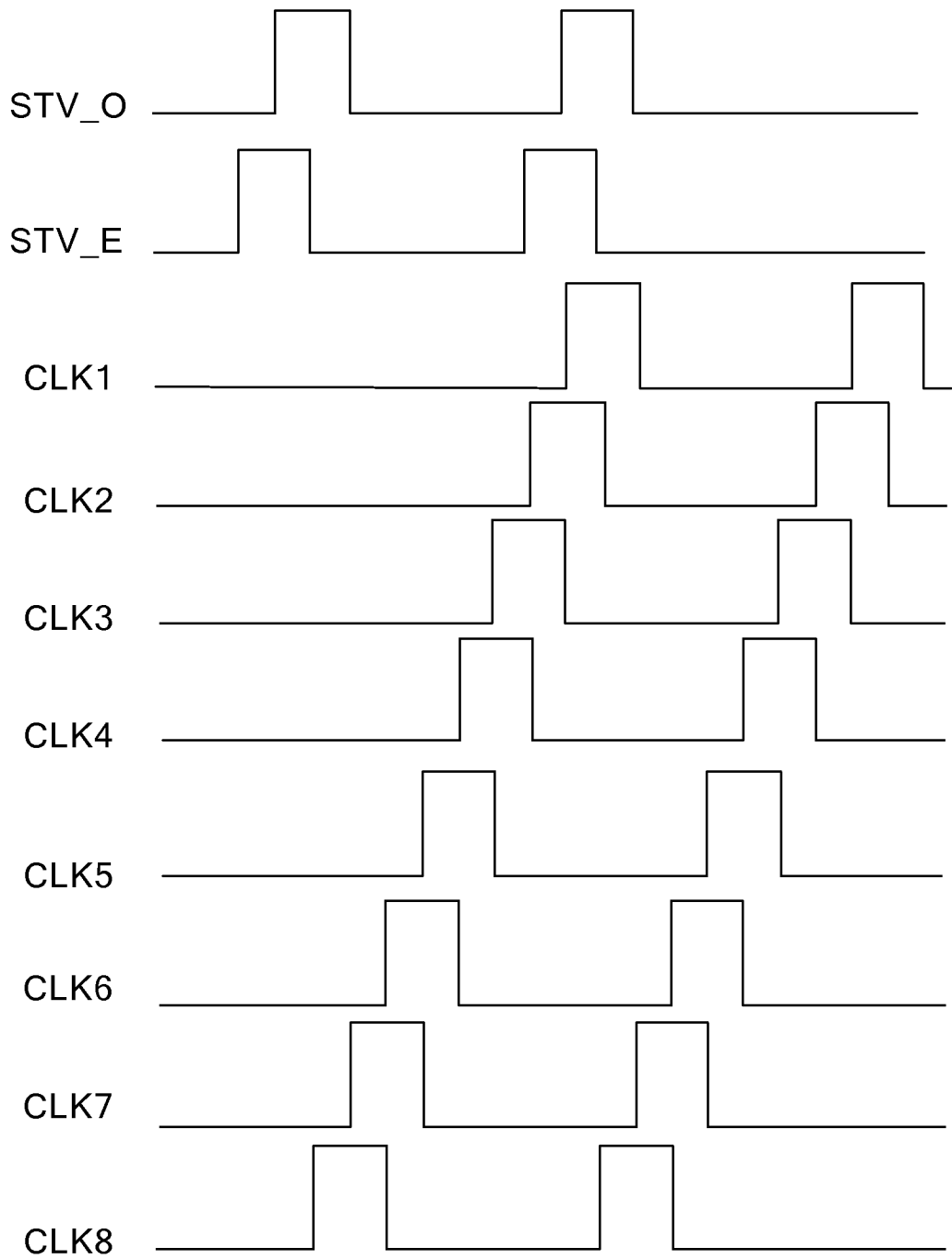


图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/086639

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C 19; G09G 3

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: shift, register, gate, line, driv+, scan, display, LCD, pull, up, down

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102651186 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY C) 29 August 2012 (29.08.2012) description, paragraph [0042], paragraphs [0044] and [0045], paragraphs [0050] to [0055], paragraph [0062], paragraph [0070], paragraphs [0073] and [0074] and figures 4 to 8, 11 to 14	1-4, 6
Y	CN 102945651 A (BOE TECHNOLOGY GROUP CO. LTD. et al.) 27 February 2013 (27.02.2013) description, paragraphs [0074] to [0110] and figures 5, 7 and 8	1-4, 6
Y	CN 103065592 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 April 2013 (24.04.2013) description, paragraphs [0041] to [0048] and figure 3	1-4, 6
Y	CN 102682727 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY C) 19 September 2012 (19.09.2012) description, paragraphs [0036] to [0055] and figures 1 and 2	1-4, 6

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search 10 April 2014	Date of mailing of the international search report 23 April 2014
--	---

<p>Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451</p>	<p>Authorized officer CHEN, Xueyuan Telephone No. (86-10) 62411980</p>
--	--

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/086639

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102708779 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 03 October 2012 (03.10.2012) description, paragraphs [0057] to [0094] and figures 2 and 3	1-4, 6
A	CN 102842278 A (UNIV PEKING SHENZHEN GRADUATE SCHOOL et al.) 26 December 2012 (26.12.2012) the whole document	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/086639

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102651186 A	29 August 2012	EP 2509077 A2	10 October 2012
		EP 2509077 A3	17 October 2013
		JP 2012221551 A	12 November 2012
		KR 20120115126 A	17 October 2012
		US 2012256817 A1	11 October 2012
CN 102945651 A	27 February 2013	None	
CN 103065592 A	24 April 2013	None	
CN 102682727 A	19 September 2012	WO 2013131381 A1	12 September 2013
CN 102708779 A	03 October 2012	WO 2013104235 A1	18 July 2013
		US 2014064437 A1	06 March 2014
CN 102842278 A	26 December 2012	None	

国际检索报告

国际申请号

PCT/CN2013/086639

<p>A. 主题的分类</p> <p>G11C 19/28(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																														
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G11C19; G09G3</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS, CNTXT, VEN, 移位, 位移, 移向, 寄存器, 暂存器, 缓存器, 缓冲器, 栅极驱动, 栅驱动, 闸极驱动, 栅极线驱动, 栅线驱动, 扫描驱动, 显示驱动, 选通驱动, 液晶驱动, LCD驱动, 上拉, 提升, 上推, 下拉, 拉低, 拉降, shift, register, gate, line, driv+, scan, display, pull, up, down</p>																														
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 102651186 A ((北京京东方光电科技有限公司)) 2012年 8月 29日 (2012 - 08 - 29) 说明书第42、44-45、50-55、62、70、73-74段, 图4-8、11-14</td> <td>1-4, 6</td> </tr> <tr> <td>Y</td> <td>CN 102945651 A ((京东方科技集团股份有限公司 等)) 2013年 2月 27日 (2013 - 02 - 27) 说明书第74-110段, 图5、7-8</td> <td>1-4, 6</td> </tr> <tr> <td>Y</td> <td>CN 103065592 A ((京东方科技集团股份有限公司 等)) 2013年 4月 24日 (2013 - 04 - 24) 说明书第41-48段, 图3</td> <td>1-4, 6</td> </tr> <tr> <td>Y</td> <td>CN 102682727 A ((北京京东方光电科技有限公司)) 2012年 9月 19日 (2012 - 09 - 19) 说明书第36-55段, 图1-2</td> <td>1-4, 6</td> </tr> <tr> <td>Y</td> <td>CN 102708779 A ((京东方科技集团股份有限公司 等)) 2012年 10月 03日 (2012 - 10 - 03) 说明书第57-94段, 图2-3</td> <td>1-4, 6</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:</p> <table border="0"> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td>“&” 同族专利的文件</td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 102651186 A ((北京京东方光电科技有限公司)) 2012年 8月 29日 (2012 - 08 - 29) 说明书第42、44-45、50-55、62、70、73-74段, 图4-8、11-14	1-4, 6	Y	CN 102945651 A ((京东方科技集团股份有限公司 等)) 2013年 2月 27日 (2013 - 02 - 27) 说明书第74-110段, 图5、7-8	1-4, 6	Y	CN 103065592 A ((京东方科技集团股份有限公司 等)) 2013年 4月 24日 (2013 - 04 - 24) 说明书第41-48段, 图3	1-4, 6	Y	CN 102682727 A ((北京京东方光电科技有限公司)) 2012年 9月 19日 (2012 - 09 - 19) 说明书第36-55段, 图1-2	1-4, 6	Y	CN 102708779 A ((京东方科技集团股份有限公司 等)) 2012年 10月 03日 (2012 - 10 - 03) 说明书第57-94段, 图2-3	1-4, 6	“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件	“P” 公布日先于国际申请日但迟于所要求的优先权日的文件	
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																												
Y	CN 102651186 A ((北京京东方光电科技有限公司)) 2012年 8月 29日 (2012 - 08 - 29) 说明书第42、44-45、50-55、62、70、73-74段, 图4-8、11-14	1-4, 6																												
Y	CN 102945651 A ((京东方科技集团股份有限公司 等)) 2013年 2月 27日 (2013 - 02 - 27) 说明书第74-110段, 图5、7-8	1-4, 6																												
Y	CN 103065592 A ((京东方科技集团股份有限公司 等)) 2013年 4月 24日 (2013 - 04 - 24) 说明书第41-48段, 图3	1-4, 6																												
Y	CN 102682727 A ((北京京东方光电科技有限公司)) 2012年 9月 19日 (2012 - 09 - 19) 说明书第36-55段, 图1-2	1-4, 6																												
Y	CN 102708779 A ((京东方科技集团股份有限公司 等)) 2012年 10月 03日 (2012 - 10 - 03) 说明书第57-94段, 图2-3	1-4, 6																												
“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																													
“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																													
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																													
“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件																													
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																														
<p>国际检索实际完成的日期</p> <p>2014年 4月 10日</p>	<p>国际检索报告邮寄日期</p> <p>2014年 4月 23日</p>																													
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 中国</p> <p>传真号 (86-10)62019451</p>	<p>受权官员</p> <p>陈学元</p> <p>电话号码 (86-10)62411980</p>																													

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102842278 A ((北京大学深圳研究生院 等)) 2012年 12月 26日 (2012 - 12 - 26) 全文	1-13

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/086639

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 102651186 A	2012年 8月 29日	EP 2509077A2	2012年 10月 10日
		EP 2509077A3	2012年 10月 17日
		JP 2012221551A	2012年 11月 12日
		KR 20120115126A	2012年 10月 17日
		US 2012256817A1	2012年 10月 11日
CN 102945651 A	2013年 2月 27日	无	
CN 103065592 A	2013年 4月 24日	无	
CN 102682727 A	2012年 9月 19日	WO 2013131381A1	2013年 9月 12日
CN 102708779 A	2012年 10月 03日	WO 2013104235A1	2013年 7月 18日
		US 2014064437A1	2014年 3月 06日
CN 102842278 A	2012年 12月 26日	无	

表 PCT/ISA/210 (同族专利附件) (2009年7月)