

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-106156

(P2021-106156A)

(43) 公開日 令和3年7月26日(2021.7.26)

(51) Int.Cl.	F I	テーマコード(参考)
HO5B 33/02 (2006.01)	HO5B 33/02	3K107
HO1L 29/786 (2006.01)	HO1L 29/78 618B	5C094
HO1L 27/32 (2006.01)	HO1L 29/78 612B	5F110
HO5B 33/12 (2006.01)	HO1L 27/32	
HO1L 51/50 (2006.01)	HO5B 33/12 E	
審査請求 有 請求項の数 6 O L (全 45 頁) 最終頁に続く		

(21) 出願番号 特願2021-38828 (P2021-38828)
 (22) 出願日 令和3年3月11日(2021.3.11)
 (62) 分割の表示 特願2019-24415 (P2019-24415) の分割
 原出願日 平成23年6月23日(2011.6.23)
 (31) 優先権主張番号 特願2010-145427 (P2010-145427)
 (32) 優先日 平成22年6月25日(2010.6.25)
 (33) 優先権主張国・地域又は機関 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 千田 章裕
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 AA05 BB01 CC45 DD39
 DD41Z DD89 EE04 EE22 EE57
 HH05
 5C094 AA31 BA03 BA27 CA19 DA13
 ED02 FA01 FA02

最終頁に続く

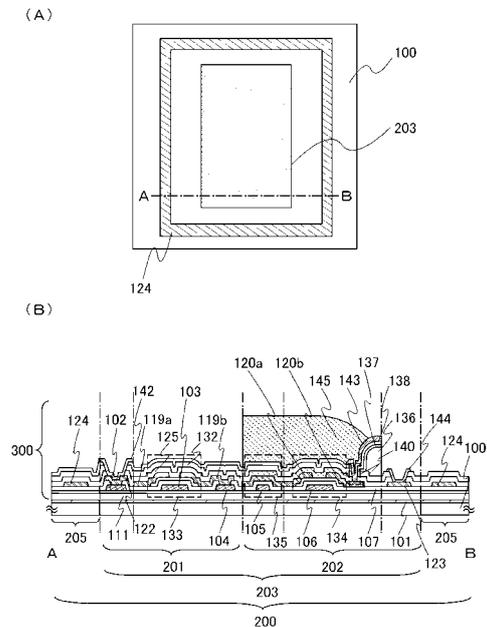
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】半導体装置のクラックに起因する特性不良を低減した、半導体装置の作製方法を提供することを目的の一つとする。

【解決手段】半導体素子の形成される周辺にクラック抑止層を設けることにより、基板外周部からのクラックを抑止し半導体素子へのダメージを低減することができる。また、剥離、転置する際に該半導体装置に外周部から物理的力が加わったとしても、クラック抑止層により、該半導体装置まで進行(成長)するクラックを防止することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素回路部と、駆動回路部と、基板周辺の導電層を有する表示装置であって、
前記画素回路部は、

第 1 の酸化物半導体層を有する第 1 のトランジスタと、
前記第 1 のトランジスタと電氣的に接続された画素電極と、
前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、
前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、
前記隔壁上の E L 層と、を有し、

前記開口部は、前記第 1 のトランジスタと重なる領域を有さず、

10

前記駆動回路部は、

第 2 の酸化物半導体層を有する第 2 のトランジスタを有し、

前記導電層は、前記第 1 のトランジスタのゲート電極及び前記第 2 のトランジスタのゲート電極と同層に位置し、かつ同一の材料を有する、表示装置。

【請求項 2】

画素回路部と、駆動回路部と、基板周辺の導電層を有する表示装置であって、

前記画素回路部は、

第 1 の酸化物半導体層を有する第 1 のトランジスタと、
前記第 1 のトランジスタと電氣的に接続された画素電極と、
前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、
前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、
前記隔壁上の E L 層と、を有し、

20

前記開口部は、前記第 1 の酸化物半導体層と重なる領域を有さず、

前記駆動回路部は、

第 2 の酸化物半導体層を有する第 2 のトランジスタを有し、

前記導電層は、前記第 1 のトランジスタのゲート電極及び前記第 2 のトランジスタのゲート電極と同層に位置し、かつ同一の材料を有する、表示装置。

【請求項 3】

画素回路部と、駆動回路部と、基板周辺の導電層を有する表示装置であって、

前記画素回路部は、

第 1 の酸化物半導体層を有する第 1 のトランジスタと、

前記第 1 のトランジスタのソース電極又はドレイン電極と接する領域を有する画素電極と、

30

前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、
前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、
前記隔壁上の E L 層と、を有し、

前記開口部は、前記ソース電極又は前記ドレイン電極と重なる領域を有さず、

前記駆動回路部は、

第 2 の酸化物半導体層を有する第 2 のトランジスタを有し、

前記導電層は、前記第 1 のトランジスタのゲート電極及び前記第 2 のトランジスタのゲート電極と同層に位置し、かつ同一の材料を有する、表示装置。

40

【請求項 4】

画素回路部と、駆動回路部と、基板周辺の導電層を有する表示装置であって、

前記画素回路部は、

第 1 の酸化物半導体層を有する第 1 のトランジスタと、

前記第 1 のトランジスタと電氣的に接続された画素電極と、

前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、

前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、

前記隔壁上の E L 層と、を有し、

前記開口部は、前記第 1 のトランジスタと重なる領域を有さず、

50

前記駆動回路部は、

第2の酸化物半導体層を有する第2のトランジスタを有し、

前記導電層は、前記第1のトランジスタのソース電極及び前記第2のトランジスタのゲート電極と同層に位置し、かつ同一の材料を有する、表示装置。

【請求項5】

画素回路部と、駆動回路部と、基板周辺の導電層を有する表示装置であって、

前記画素回路部は、

第1の酸化物半導体層を有する第1のトランジスタと、

前記第1のトランジスタと電氣的に接続された画素電極と、

前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、

前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、

前記隔壁上のEL層と、を有し、

前記開口部は、前記第1の酸化物半導体層と重なる領域を有さず、

前記駆動回路部は、

第2の酸化物半導体層を有する第2のトランジスタを有し、

前記導電層は、前記第1のトランジスタのゲート電極及び前記第2のトランジスタのゲート電極と同層に位置し、かつ同一の材料を有する、表示装置。

【請求項6】

画素回路部と、駆動回路部と、基板周辺の導電層を有する表示装置であって、

前記画素回路部は、

第1の酸化物半導体層を有する第1のトランジスタと、

前記第1のトランジスタのソース電極又はドレイン電極と接する領域を有する画素電極と、

前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、

前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、

前記隔壁上のEL層と、を有し、

前記開口部は、前記ソース電極又は前記ドレイン電極と重なる領域を有さず、

前記駆動回路部は、

第2の酸化物半導体層を有する第2のトランジスタを有し、

前記導電層は、前記第1のトランジスタのゲート電極及び前記第2のトランジスタのゲート電極と同層に位置し、かつ同一の材料を有する、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、薄膜トランジスタ(TFT)などの半導体素子を形成した基板、TFTを利用し駆動する液晶表示装置、TFTを利用し駆動するエレクトロルミネッセンス(EL)表示装置、及び、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、半導体装置作製技術の発展はめざましく、装置の小型化や軽量化に加え、可撓性や耐衝撃性を図れることからフレキシブル基板の採用が検討されている。

【0004】

フレキシブル半導体装置の作製方法としては、ガラス基板や石英基板といった基板上に薄膜トランジスタなどの半導体素子を作製した後、基板から他の基材(例えばフレキシブルな基材)へと半導体素子を転置する技術が開発されている。半導体素子を他の基材へ転置するためには、半導体素子を作製する際に用いた基材から半導体素子を分離する工程が必要である。

10

20

30

40

50

【 0 0 0 5 】

例えば、特許文献 1 には次のようなレーザーアブレーションを用いた剥離技術が記載されている。基板上に、非晶質シリコンなどからなる分離層、分離層上に薄膜素子からなる被剥離層を設け、被剥離層を接着層により転写体に接着させる。レーザー光の照射により分離層をアブレーションさせることで、分離層に剥離を生じさせている。

【 0 0 0 6 】

また、特許文献 2 には人の手などの物理的な力で剥離を行う技術が記載されている。特許文献 2 では、基板と酸化物層との間に金属層を形成し、酸化物層と金属層との界面の結合が弱いことを利用して、酸化物層と金属層との界面で剥離を生じさせることで、被剥離層と基板とを分離している。

10

【 0 0 0 7 】

人の手などの物理的な力によって剥離を行う場合、剥離層を起点として被剥離層を基材から引き剥がすために、被剥離層をわん曲させる必要がある。剥離層に接して形成された被剥離層は、薄膜トランジスタ (T F T)、配線、層間膜などを含む半導体素子が形成された薄膜であり、厚さ 1 0 μ m 程度の非常に脆いものである。半導体素子に曲げストレスがかかると、被剥離層には膜割れやひび (以下、クラックと呼ぶ) が発生しやすく、これが原因で半導体装置が破壊されるという不具合が発生している。

【 0 0 0 8 】

剥離工程で発生するクラックは、基板周辺から発生することが多く、クラックが発生すると、樹脂やフィルムなどの応力により時間と共に基板周辺から内部へとクラックが進行 (成長) する。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 9 】

【 特許文献 1 】 特開平 1 0 - 1 2 5 9 3 1 号公報

【 特許文献 2 】 特開 2 0 0 3 - 1 7 4 1 5 3 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

本発明は、半導体装置のクラックに起因する特性不良を低減した半導体装置の作製方法を提供することを目的の一つとする。

30

【 0 0 1 1 】

本発明は、基板上から半導体素子を分離する際 (すなわち、剥離工程時) に発生するクラック、及びフレキシブル基板に半導体素子を転置する際に発生するクラックに起因する特性不良を低減した半導体装置の作製方法を提供することを目的の一つとする。

【 課題を解決するための手段 】

【 0 0 1 2 】

本明細書で開示する発明の構成の一形態は、第 1 の基板上に剥離層を形成し、剥離層上にバッファ層を形成し、バッファ層上にトランジスタにより構成された半導体素子を形成し、半導体素子の形成される周辺にクラック抑止層を形成することを特徴とする半導体装置の作製方法である。

40

【 0 0 1 3 】

本明細書で開示する発明の構成の一形態は、第 1 の基板上に剥離層を形成し、剥離層上にバッファ層を形成し、バッファ層上にトランジスタにより構成された半導体素子を形成し、半導体素子の形成される周辺に金属膜のクラック抑止層を形成し、トランジスタは、ゲート電極層と、ソース電極層と、ドレイン電極層とを含み、金属膜のクラック抑止層は、ゲート電極層と、ソース電極層と、ドレイン電極層の少なくともいずれか一つと同一の工程にて形成されることを特徴とする半導体装置の作製方法である。

【 0 0 1 4 】

本明細書で開示する発明の構成の一形態は、第 1 の基板上に剥離層を形成し、剥離層上に

50

バッファ層を形成し、バッファ層上にトランジスタにより構成された半導体素子を形成し、半導体素子の形成される周辺に金属膜のクラック抑止層を形成し、トランジスタは、ゲート電極層と、ソース電極層と、ドレイン電極層とを含み、金属膜のクラック抑止層は、ゲート電極層と、ソース電極層と、ドレイン電極層の少なくともいずれか一つと同一の工程により形成し、剥離層をきっかけとして、第1の基板と半導体素子とを剥離、若しくは分離することを特徴とする半導体装置の作製方法である。

【0015】

本明細書で開示する発明の構成の一形態は、第1の基板上に剥離層を形成し、剥離層上にバッファ層を形成し、バッファ層上にトランジスタにより構成された半導体素子を形成し、半導体素子の形成される周辺に樹脂膜のクラック抑止層を形成し、トランジスタは、ゲート電極層と、ソース電極層と、ドレイン電極層と、絶縁層と、保護絶縁層と、隔壁と、を含み、樹脂膜のクラック抑止層は、絶縁層、保護絶縁層、隔壁の少なくともいずれか一つと同一の材料により形成し、剥離層をきっかけとして、第1の基板と半導体素子とを剥離、若しくは分離することを特徴とする半導体装置の作製方法である。

10

【0016】

上記構成において、金属膜のクラック抑止層は、アルミニウム、クロム、タンタル、チタン、モリブデン、タングステン、銀、銅、金、白金、ニッケル、パラジウムから選ばれた元素を主成分とする膜、もしくはそれらの積層膜、若しくはそれらの合金膜、若しくはそれらの金属を主成分とする膜と前記合金膜とを組み合わせた積層膜にて形成された半導体装置の作製方法である。

20

【0017】

上記構成において、樹脂膜のクラック抑止層は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜またはシロキサン系樹脂から選ばれた材料、若しくはそれらの積層膜にて形成された半導体装置の作製方法である。

【0018】

上記構成において、金属膜のクラック抑止層は、厚さ300nm以上5000nm以下で形成された半導体装置の作製方法である。

【0019】

上記構成において、樹脂膜のクラック抑止層は、厚さ700nm以上20000nm以下で形成された半導体装置の作製方法である。

30

【0020】

上記構成において、金属膜のクラック抑止層、及び樹脂膜のクラック抑止層は、幅100μm以上10000μm以下であることを特徴とする半導体装置の作製方法である。

【0021】

上記構成において、金属膜のクラック抑止層は、トランジスタと電氣的に接続されていることを特徴とする半導体装置の作製方法である。

【0022】

所望する半導体素子の形成される周辺の領域は、後に半導体素子を個別に分離するとき余白となる領域であり、この領域に発生するクラックは歩留まりに影響することは無い。

【0023】

また、トランジスタは静電気などにより破壊されやすいため、画素部のトランジスタの保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。

40

【0024】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【発明の効果】

【0025】

本発明によれば、金属膜のクラック抑止層、及び樹脂膜のクラック抑止層を形成すること

50

で、基板から半導体素子を分離する際に、該半導体素子自体へのクラックを抑制することができる。よって、半導体素子の製造歩留まりを向上することができる。

【0026】

本発明によれば、金属膜のクラック抑止層は、半導体素子のゲート電極層、ソース電極層、ドレイン電極層の少なくともいずれか一つと同一の材料を使用することができるため、製造プロセスを増加させることなく、容易に形成することが可能である。

【0027】

本発明によれば、樹脂膜のクラック抑止層は、半導体素子の絶縁層、保護絶縁層、隔壁の少なくともいずれか一つと同一の材料を使用することができるため、製造プロセスを増加させることなく、容易に形成することが可能である。

10

【0028】

本発明によれば、剥離工程で発生するクラックは、基板周辺から発生することが多く、また、機械的強度が弱い層である樹脂膜に発生しやすい。よって、機械的強度の強い金属膜により、クラックを抑止することが可能である。また、樹脂膜であっても、平面上にて連続した樹脂膜であると、発生したクラックは成長するが、樹脂膜が非連続で且つ、クラックが発生した樹脂膜よりも機械的強度が高ければ、クラックを抑止することが可能である。

【0029】

従って、剥離工程で発生するクラックが避けられない状況においても、所望する半導体素子周辺に金属膜のクラック抑止層、または樹脂膜のクラック抑止層を形成することで、該クラック抑止層により進行（成長）するクラックを抑止し、半導体素子の製造歩留まりを向上することができる。

20

【図面の簡単な説明】

【0030】

【図1】半導体装置の一形態を説明する図。

【図2】半導体装置の作製方法の一形態を説明する図。

【図3】半導体装置の作製方法の一形態を説明する図。

【図4】半導体装置の作製方法の一形態を説明する図。

【図5】半導体装置の作製方法の一形態を説明する図。

【図6】半導体装置の作製方法の一形態を説明する図。

30

【図7】半導体装置の作製方法の一形態を説明する図。

【図8】半導体装置の作製方法の一形態を説明する図。

【図9】半導体装置の作製方法の一形態を説明する図。

【図10】半導体装置の一形態を説明する図。

【図11】半導体装置の作製方法の一形態を説明する図。

【図12】半導体装置の作製方法の一形態を説明する図。

【図13】半導体装置の作製方法の一形態を説明する図。

【図14】半導体装置の作製方法の一形態を説明する図。

【図15】半導体装置の作製方法の一形態を説明する図。

【図16】半導体装置の作製方法の一形態を説明する図。

40

【発明を実施するための形態】

【0031】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0032】

(実施の形態1)

本実施の形態では、半導体装置の作製工程について図1乃至9を用いて説明する。

【0033】

50

図 1 (A) は半導体装置の平面図であり、図 1 (B) は図 1 (A) の一点破線 A - B の断面図である。なお、図 1 は半導体素子形成工程が終了し、第 1 の基板から半導体素子を分離する前の平面図、及び断面図を示している。

【 0 0 3 4 】

図 1 に示す半導体装置 2 0 0 は、第 1 の基板 1 0 0 上に、剥離層 1 0 1 が形成され、剥離層 1 0 1 上に第 1 の絶縁層 1 1 1 が形成され、第 1 の絶縁層 1 1 1 上に画素回路部 2 0 2 が有するトランジスタ 1 3 4 と、駆動回路部 2 0 1 が有するトランジスタ 1 3 3 が形成されており、さらに駆動回路部 2 0 1、及び画素回路部 2 0 2 の外側に金属膜により形成されたクラック抑止層 1 2 4 を有したクラック抑止領域 2 0 5 が配置されている。また、トランジスタ 1 3 4 及びトランジスタ 1 3 3 には絶縁層 1 2 5 が形成されており、絶縁層 1 2 5 上には保護絶縁層 1 3 2 が形成されている。なお、駆動回路部 2 0 1 と画素回路部 2 0 2 により、半導体素子 2 0 3 が形成されている。

10

【 0 0 3 5 】

画素回路部 2 0 2 において、保護絶縁層 1 3 2 上にはカラーフィルタ層 1 3 6 が形成され、カラーフィルタ層 1 3 6 はオーバーコート層 1 3 7、及び保護絶縁層 1 3 8 で覆われている。第 1 の電極層 1 4 3 はコンタクトホール 1 4 0 を介してソース電極層 1 2 0 a またはドレイン電極層 1 2 0 b と電氣的に繋がっている。また、各発光素子の間を隔てる隔壁 1 4 5 がトランジスタ 1 3 4 上に形成されている。また、画素回路部 2 0 2 は、容量配線層 1 0 5 と、ゲート絶縁層 1 0 7 からなる容量 1 3 5 が形成されている。また、第 2 の端子 1 2 3 と端子電極 1 4 4 とが電氣的に接続されている。

20

【 0 0 3 6 】

駆動回路部 2 0 1 において、トランジスタ 1 3 3 はソース電極層 1 1 9 a、ドレイン電極層 1 1 9 b が形成されている。また、ドレイン電極層 1 1 9 b は導電層 1 0 4 と電氣的に接続している。また、ゲート電極層 1 0 3 と同じ工程で形成された第 1 の端子 1 0 2 は、ソース電極層 1 1 9 a、ドレイン電極層 1 1 9 b と同じ工程で形成された接続電極 1 2 2 を介して、端子電極 1 4 2 と電氣的に接続されている。

【 0 0 3 7 】

本実施の形態に示すトランジスタ (すなわち駆動回路部のトランジスタ 1 3 3、及び画素回路部のトランジスタ 1 3 4) は、ボトムゲート構造の逆スタガ型を用いる。また、駆動回路部のトランジスタ 1 3 3、及び画素回路部のトランジスタ 1 3 4 はソース電極層及びドレイン電極層との間に露呈した酸化物半導体層が形成されたチャネルエッチ型トランジスタである。

30

【 0 0 3 8 】

なお、トランジスタ (すなわち駆動回路部のトランジスタ 1 3 3、及び画素回路部のトランジスタ 1 3 4) の構造は、特に限定されず、例えばトップゲート構造、又はボトムゲート構造の逆スタガ型及びプレーナ型など用いることができる。また、トランジスタはチャネル形成領域が 1 つ形成されるシングルゲート構造でも、2 つ形成されるダブルゲート構造もしくは 3 つ形成されるトリプルゲート構造であっても良い。また、チャネル領域の上下にゲート絶縁層を介して配置された 2 つのゲート電極層を有する、デュアルゲート型でもよい。

40

【 0 0 3 9 】

また、本実施の形態においては、チャネルエッチ型のトランジスタが記されているが、これに限定されず、チャネル保護型 (チャネルストッパー型ともいう) などの構造を適宜用いても良い。

【 0 0 4 0 】

図 1 (B) に示す、クラック抑止領域 2 0 5 において、クラック抑止層 1 2 4 はトランジスタ 1 3 3 のソース電極層 1 1 9 a、ドレイン電極層 1 1 9 b、及びトランジスタ 1 3 4 のソース電極層 1 2 0 a、ドレイン電極層 1 2 0 b と同一の工程で形成される。また、本実施の形態では、クラック抑止層 1 2 4 の単層構造としているが、ゲート電極工程、すなわち、ゲート電極層 1 0 3、及びゲート電極層 1 0 6 を形成する際に、クラック抑止領域

50

205に金属膜を設けて、異なる工程で作製した金属膜の積層構造としてもよい。また、金属膜の積層構造の間に、ゲート絶縁層107等を介していてもよい。

【0041】

なお、図1(B)に示す断面図は、トランジスタ134、及びトランジスタ133は幅10~100 μm 程度であるのに対し、クラック抑止層の幅は100~10000 μm 程度と10倍以上の差があるが、実際の縮尺とは異なって図示している。

【0042】

ここで、図1(B)に示した半導体装置200の作製方法の一例を図2乃至図5を用いて詳細に説明する。なお、以下に説明する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0043】

第1の基板100上に剥離層101を形成し、剥離層101上に第1の絶縁層111を形成する。好ましくは、形成された剥離層101を大気に曝すことなく、第1の絶縁層111を連続して形成する。連続して形成することにより、剥離層101と第1の絶縁層111の間にゴミや、不純物の混入を防ぐことができる(図2(A)参照。)

【0044】

第1の基板100としては、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板などを用いることができる。半導体装置の作製工程において、その行う工程に合わせて作製基板を適宜選択することができる。

【0045】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のもので用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。他にも、結晶化ガラスなどを用いることができる。

20

【0046】

なお、本工程では、剥離層101を第1の基板100の全面に設ける場合を示しているが、必要に応じ第1の基板100の全面に剥離層101を設けた後に当該剥離層101を選択的に除去し、所望の領域にのみ剥離層を設けてもよい。

【0047】

また、図2では、第1の基板100に接して剥離層101を形成しているが、第1の基板100にガラス基板を用いる場合に、第1の基板100と剥離層101の間に酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化珪素膜等の絶縁層を形成することにより、ガラス基板からの汚染を防止できるので、より好ましい。

30

【0048】

剥離層101は、タングステン、モリブデン、チタン、タンタル、ニオブ、ニッケル、コバルト、ジルコニウム、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、珪素から選択された元素、又は前記元素を含む合金材料、又は前記元素を含む化合物材料からなり、単層又は積層された層である。珪素を含む層の結晶構造は、非晶質、微結晶、多結晶のいずれの場合でもよい。

40

【0049】

剥離層101は、スパッタリング法やプラズマCVD法、塗布法、印刷法等により形成できる。なお、塗布法はスピンコーティング法、液滴吐出法、ディスペンス法を含む。

【0050】

剥離層101が単層構造の場合、好ましくは、タングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成する。又は、タングステンの酸化物若しくは酸化窒化物を含む層、モリブデンの酸化物若しくは酸化窒化物を含む層、又はタングステンとモリブデンの混合物の酸化物若しくは酸化窒化物を含む層を形成する。なお、タングステンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当する。

50

【0051】

剥離層101が積層構造の場合、好ましくは、第1の基板100側から1層目としてタングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成し、2層目として、タングステン、モリブデン又はタングステンとモリブデンの混合物の酸化物、窒化物、酸化窒化物又は窒化酸化物を形成する。

【0052】

剥離層101として、タングステンを含む層とタングステンの酸化物を含む層の積層構造を形成する場合、タングステンを含む層を形成し、その上層に酸化物で形成される絶縁層を形成することで、タングステン層と絶縁層との界面に、タングステンの酸化物を含む層が形成されることを活用してもよい。

10

【0053】

また、剥離層を形成した後に、半導体素子として、酸化物半導体層を形成する場合、酸化物半導体層の脱水化、脱水素化の加熱処理によって剥離層も加熱され、後の工程で作製基板より剥離を行う際に剥離層界面での剥離が容易になる。

【0054】

また、タングステンを含む層の表面を、熱酸化処理、酸素プラズマ処理、オゾン水等の酸化力の強い溶液での処理等を行ってタングステンの酸化物を含む層を形成してもよい。またプラズマ処理や加熱処理は、酸素、窒素、亜酸化窒素単体、あるいは前記ガスとその他のガスとの混合気体雰囲気下で行ってもよい。これは、タングステンの窒化物、酸化窒化物及び窒化酸化物を含む層を形成する場合も同様であり、タングステンを含む層を形成後、その上層に窒化珪素層、酸化窒化珪素層、窒化酸化珪素層を形成するとよい。

20

【0055】

次に、第1の絶縁層111を剥離層101上に形成する。第1の絶縁層111は、窒化珪素や酸化窒化珪素、窒化酸化珪素等、窒素と珪素を含む絶縁膜を単層または多層で形成するのが好ましい。

【0056】

第1の絶縁層111は、スパッタリング法やプラズマCVD法、塗布法、印刷法等を用いて形成することが可能であり、例えば、プラズマCVD法によって成膜温度を250以上400以下として形成することで、緻密で非常に透水性の低い膜とすることができる。なお、第1の絶縁層111の厚さは10nm以上3000nm以下、さらには200nm以上1500nm以下が好ましい。

30

【0057】

第1の絶縁層111を設けることで、後の剥離工程において剥離層101との界面での剥離が容易になる。また、第1の絶縁層111は、第1の基板100から被剥離層300を分離後に被剥離層300の保護層として機能する。

【0058】

次に、ゲート電極層103、導電層104、容量配線層105、ゲート電極層106及び第1の端子102を形成する。ゲート電極層103、導電層104、容量配線層105、ゲート電極層106及び第1の端子102の材料は、アルミニウム、クロム、タンタル、チタン、モリブデン、タングステン、銀、銅、金、白金、ニッケル、パラジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

40

【0059】

例えば、ゲート電極層103、導電層104、容量配線層105、ゲート電極層106、及び第1の端子102の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムと珪素の合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。

50

【0060】

次いで、ゲート電極層103、導電層104、容量配線層105、ゲート電極層106、及び第1の端子102上にゲート絶縁層107を形成する(図2(A)参照。)

【0061】

ゲート絶縁層107は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、又は酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。ゲート絶縁層107の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

10

【0062】

本実施の形態では、ゲート絶縁層107としてプラズマCVD法により膜厚100nmの酸化珪素層を形成する。

【0063】

次いで、ゲート絶縁層107上に、膜厚2nm以上200nm以下の酸化物半導体層108を形成する(図2(B)参照。)

【0064】

なお、酸化物半導体層108をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層107の表面に付着しているゴミ等を除去することが好ましい。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加し、基板をプラズマに曝して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

20

【0065】

酸化物半導体層108は、 In-Ga-Zn-O 系非単結晶膜、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Ga-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の酸化物半導体膜を用いる。また、酸化物半導体層108は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体層108に結晶化を阻害する SiO_x ($x > 0$)を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

30

【0066】

ここでは、 In 、 Ga 、及び Zn を含む酸化物半導体ターゲット($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol%]、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom%])を用いて、基板とターゲットの間との距離を90mm、基板温度200、圧力0.6Pa、直流(DC)電源5kW、アルゴン及び酸素(アルゴン:酸素=30sccm:20sccm、酸素流量比率40%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。 In-Ga-Zn-O 系非単結晶膜の膜厚は、5nm以上200nm以下とする。本実施の形態では、酸化物半導体膜として、 In-Ga-Zn-O 系金属酸化物ターゲットを用いてスパッタリング法により膜厚30nmの In-Ga-Zn-O 系非単結晶膜を成膜する。また、 In 、 Ga 、及び Zn を含む金属酸化物ターゲットとして、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [atom%]、又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [atom%]の組成比を有するターゲットを用いることができる。

40

【0067】

50

スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルスのバイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0068】

また、材料の異なるターゲットを複数設置できる多元スパッタリング装置もある。多元スパッタリング装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に成膜することもできる。

【0069】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタリング装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタリング装置がある。

【0070】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタリングガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

【0071】

次に、酸化物半導体層108上にフォトリソグラフィ工程を行い、レジストマスク110a、110b、110cを形成し、酸化物半導体層108及びゲート絶縁層107の不要な部分をエッチングにより除去して、第1の端子102に達するコンタクトホール109aと、導電層104に達するコンタクトホール109bを形成する(図2(C)参照)。

【0072】

このように、酸化物半導体層108をゲート絶縁層107全面に積層した状態で、ゲート絶縁層107にコンタクトホールを形成する工程を行うと、ゲート絶縁層107表面にレジストマスクが直接接しないため、ゲート絶縁層107表面の汚染(不純物等の付着など)を防ぐことができる。よって、ゲート絶縁層107と酸化物半導体層108との界面状態を良好とすることができるため、信頼性向上につながる。

【0073】

ゲート絶縁層107に直接レジストパターンを形成してコンタクトホールの開口を行っても良い。その場合には、レジストを剥離した後で加熱処理を行い、ゲート絶縁層表面の脱水化、脱水素化の処理を行うことが好ましい。例えば、不活性ガス雰囲気(窒素、またはヘリウム、ネオン、アルゴン等)下、酸素雰囲気下において加熱処理(400以上750以下)を行い、ゲート絶縁層107内に含まれる水素及び水などの不純物を除去すればよい。

【0074】

次に、レジストマスク110a、レジストマスク110b、レジストマスク110cを除去し、フォトリソグラフィ工程により形成したレジストマスク112、レジストマスク113を用いてエッチングを行い、島状の酸化物半導体層114、酸化物半導体層115を形成する(図3(A)参照)。また、島状の酸化物半導体層を形成するためのレジストマスク112、レジストマスク113をインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0075】

次に、酸化物半導体層114、及び酸化物半導体層115の脱水化または脱水素化を行い、脱水化または脱水素化された酸化物半導体層116、及び酸化物半導体層117を形成する(図3(B)参照)。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは425以上750以下とする。なお、425以上であれば加熱処理時間は1時間以下でよいが、425未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層114、及び酸化物半導体層115に対して窒素雰囲気下にお

10

20

30

40

50

いて加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層 1 1 6、及び酸化物半導体層 1 1 7を得る。本実施の形態では、酸化物半導体層の脱水化または脱水素化を行う加熱温度 T から、再び水が入らないような十分な温度に下がるまで同じ炉を用い、具体的には加熱温度 T よりも 1 0 0 以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気限定されず、ヘリウム、ネオン、アルゴン等の希ガス雰囲気下において脱水化または脱水素化を行う。

【 0 0 7 6 】

酸化物半導体層 1 1 4、及び酸化物半導体層 1 1 5を 4 0 0 から 7 0 0 の温度で加熱処理することで、酸化物半導体層 1 1 4、及び酸化物半導体層 1 1 5の脱水化、脱水素化が図られ、その後の水 (H ₂ O) の再進入を防ぐことができる。

10

【 0 0 7 7 】

なお、加熱処理装置は電気炉に限られず、例えば、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等の R T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。また、L R T A 装置、ランプだけでなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。G R T A とは高温のガスを用いて加熱処理を行う方法である。ガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。R T A 法を用いて、6 0 0 ~ 7 5 0 で数分間加熱処理を行ってもよい。

20

【 0 0 7 8 】

なお、第 1 の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。特に酸化物半導体層 1 1 4、及び酸化物半導体層 1 1 5 に対して、4 0 0 ~ 7 5 0 で行われる脱水化、脱水素化の加熱処理は、H ₂ O が 2 0 p p m 以下の窒素雰囲気で行うことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上、好ましくは 7 N (9 9 . 9 9 9 9 9 %) 以上、(即ち不純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下) とすることが好ましい。

30

【 0 0 7 9 】

また、第 1 の加熱処理の条件、または酸化物半導体層 1 1 4、酸化物半導体層 1 1 5 の材料によっては、結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が 9 0 % 以上、または 8 0 % 以上の微結晶の酸化物半導体層 1 1 6、酸化物半導体層 1 1 7 となる場合もある。また、第 1 の加熱処理の条件、または酸化物半導体層 1 1 4、酸化物半導体層 1 1 5 の材料によっては、結晶成分を含まない非晶質の酸化物半導体層 1 1 6、酸化物半導体層 1 1 7 となる場合もある。また、非晶質の酸化物半導体の中に微結晶部 (粒径 1 n m 以上 2 0 n m 以下 (代表的には 2 n m 以上 4 n m 以下)) が混在する酸化物半導体層 1 1 6、酸化物半導体層 1 1 7 となる場合もある。また、R T A (G R T A、L R T A) を用いて高温の加熱処理を行うと、酸化物半導体層 1 1 6、酸化物半導体層 1 1 7 表面側に縦方向 (膜厚方向) の針状結晶が生じる場合もある。

40

【 0 0 8 0 】

また、酸化物半導体層 1 1 4、酸化物半導体層 1 1 5 に行う第 1 の加熱処理は、島状の酸化物半導体層 1 1 4、及び酸化物半導体層 1 1 5 に加工する前の酸化物半導体層 1 0 8 に行うこともできる。その場合には、第 1 の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【 0 0 8 1 】

酸化物半導体層 1 1 4、及び酸化物半導体層 1 1 5 に対する脱水化、脱水素化の加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上にパッシベーション膜を形成した後、のいずれで行

50

っても良い。

【0082】

なお、ここでの酸化物半導体層114、及び酸化物半導体層115のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0083】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化珪素（ $SiCl_4$ ）、四塩化炭素（ CCl_4 ）など）が好ましい。

【0084】

また、ドライエッチングに用いるその他のエッチングガスとして、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

10

【0085】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

20

【0086】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。本実施の形態では、エッチング液としてITO07N（関東化学社製）を用いる。

【0087】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

30

【0088】

また、所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

【0089】

次に、酸化物半導体層116、117上に金属材料からなる金属導電膜をスパッタリング法や真空蒸着法で形成する。

【0090】

金属導電膜の材料としては、アルミニウム、クロム、タンタル、チタン、モリブデン、タングステン、銀、銅、金、白金、ニッケル、パラジウムから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を成膜する3層構造などが挙げられる。

40

【0091】

金属導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を金属導電膜に持たせることが好ましい。

【0092】

次に、フォトリソグラフィ工程を行い、レジストマスク118a、レジストマスク118b、レジストマスク118c、レジストマスク118d、レジストマスク118e、レジ

50

ストマスク 118 f、レジストマスク 118 g、レジストマスク 118 h、レジストマスク 118 i を形成し、エッチングにより金属導電膜の不要な部分を除去してソース電極層 119 a、ドレイン電極層 119 b、ソース電極層 120 a、ドレイン電極層 120 b、容量電極層 121、接続電極 122、第 2 の端子 123、及び金属膜のクラック抑止層 124 を形成する（図 3（C）参照）。

【0093】

本実施の形態では、金属導電膜としてはアルミニウムを 300 nm 形成し、アルミニウムの上下にチタンを 100 nm ずつ設ける構成としている。なお、金属導電膜の厚さとしては、トランジスタのソース電極層、ドレイン電極層、容量電極層、接続電極と兼ねて金属膜のクラック抑止層も形成するため、低抵抗で且つ、機械的強度が保持できる膜厚を選択

10

【0094】

また、金属膜のクラック抑止層 124 としては、クラックの進行（成長）を抑止できる幅が必要である。ただし、クラック抑止層の幅を大きくすることで、一つの基板から所望の半導体装置が取れる個数（取り数ともいう）が減少する可能性もある。従って、金属膜のクラック抑止層は、幅 100 μm 以上 10000 μm 以下で形成し、更に好ましくは幅 1000 μm 以上 5000 μm 以下で形成する。

【0095】

このフォトリソグラフィ工程において、接続電極 122、第 2 の端子 123 をそれぞれ端子部に形成する。なお、第 2 の端子 123 はソース電極層（すなわち、ソース電極層 119 a、ソース電極層 120 a を含むソース電極層）と電気的に接続されている。

20

【0096】

また、金属膜のクラック抑止層 124 はソース電極層（すなわち、ソース電極層 119 a、ソース電極層 120 a を含むソース電極層）と別工程で形成しても良い。例えば、ゲート電極層（すなわち、ゲート電極層 103、ゲート電極層 106 を含むゲート電極層）と同じ工程で形成しても良い。ゲート電極層、若しくはソース電極層と同一工程で形成することにより、製造プロセスを増加させずに、該金属膜のクラック抑止層を形成できるので、好ましい。

【0097】

なお、金属膜のクラック抑止層 124 の平面上での形状は、正方形、長方形、円、楕円などのいずれの形状でもよく、半導体素子の周辺に形成する。また、該クラック抑止層は該半導体素子の周辺を、連続的に形成、島状（アイランド状）に形成、若しくは連続的に形成したクラック抑止層と島状に形成したクラック抑止層を組み合わせ形成、連続的に形成したクラック抑止層を複数形成しても良い。なお、連続的に形成するほうが、該半導体素子へ進行するクラックの抑止確率が高まるため、好ましい。

30

【0098】

本実施の形態では、図 1（A）に示した通り、クラック抑止層 124 は半導体素子 203 の周辺に長方形にて連続的に幅 1200 μm で形成している。

【0099】

また、ソース電極層 119 a、ソース電極層 120 a、ドレイン電極層 119 b、ドレイン電極層 120 b、接続電極 122、第 2 の端子 123、及びクラック抑止層 124 を形成するためのレジストマスク 118 a、レジストマスク 118 b、レジストマスク 118 c、レジストマスク 118 d、レジストマスク 118 e、レジストマスク 118 f、レジストマスク 118 g、レジストマスク 118 h、レジストマスク 118 i をインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

【0100】

次に、レジストマスク 118 a、レジストマスク 118 b、レジストマスク 118 c、レジストマスク 118 d、レジストマスク 118 e、レジストマスク 118 f、レジストマ

50

スク 1 1 8 g、レジストマスク 1 1 8 h、レジストマスク 1 1 8 i を除去し、酸化物半導体層 1 1 6、酸化物半導体層 1 1 7 に接する保護絶縁膜となる絶縁層 1 2 5 を形成する（図 4（A）参照）。

【0101】

この段階で、酸化物半導体層 1 1 6、酸化物半導体層 1 1 7 は、絶縁層 1 2 5 と接する領域が形成され、この領域のうち、ゲート電極層とゲート絶縁層と重なる領域がチャンネル形成領域 1 2 6、チャンネル形成領域 1 2 8 となる。

【0102】

絶縁層 1 2 5 は、少なくとも 1 nm 以上の膜厚とし、スパッタリング法など、絶縁層 1 2 5 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、絶縁層 1 2 5 として膜厚 300 nm の酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では室温とする。酸化珪素膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。低抵抗化した酸化物半導体層に接して形成する絶縁層 1 2 5 は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

10

20

【0103】

次いで、不活性ガス雰囲気下、または窒素ガス雰囲気下で第 2 の加熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行う。例えば、窒素雰囲気下で 250、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、絶縁層 1 2 5 と重なる酸化物半導体層 1 1 6、酸化物半導体層 1 1 7 の一部が絶縁層 1 2 5 と接した状態で加熱される。

【0104】

第 2 の加熱処理により、ソース領域とドレイン領域の間の酸化物半導体層の露出部分（チャンネル形成領域 1 2 6、及びチャンネル形成領域 1 2 8）より、酸化物半導体層中へ酸素の導入、拡散を行う。スパッタリング法で酸化珪素膜を作製することで、当該酸化珪素膜中に過剰な酸素を含ませることができ、その酸素を第 2 の加熱処理により、さらに酸化物半導体層中に導入、拡散させることができる。酸化物半導体層中への酸素の導入、拡散によりチャンネル領域を高抵抗化（I 型化）を図ることができる。それにより、ノーマリーオフとなるトランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

30

【0105】

具体的には、酸化物半導体層 1 1 6 のゲート電極層 1 0 3 と重なるチャンネル形成領域 1 2 6 は、I 型となり、ソース電極層 1 1 9 a に重なる高抵抗ソース領域 1 2 7 a と、ドレイン電極層 1 1 9 b に重なる高抵抗ドレイン領域 1 2 7 b とが自己整合的に形成される。同様に、酸化物半導体層 1 1 7 は、ゲート電極層 1 0 6 と重なるチャンネル形成領域 1 2 8 は、I 型となり、ソース電極層 1 2 0 a に重なる高抵抗ソース領域 1 2 9 a と、ドレイン電極層 1 2 0 b に重なる高抵抗ドレイン領域 1 2 9 b とが自己整合的に形成される（図 4（A）参照）。

40

【0106】

なお、ドレイン電極層 1 1 9 b、ドレイン電極層 1 2 0 b（及びソース電極層 1 1 9 a、ソース電極層 1 2 0 a）と重畳した酸化物半導体層 1 1 6、酸化物半導体層 1 1 7 において高抵抗ドレイン領域 1 2 7 b、高抵抗ドレイン領域 1 2 9 b（又は高抵抗ソース領域 1 2 7 a、高抵抗ソース領域 1 2 9 a）を形成することにより、回路を形成した際の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域 1 2 7 b、高抵抗ドレイン領域 1 2 9 b を形成することで、ドレイン電極層 1 1 9 b、ドレイン電極層 1 2 0 b から高抵抗ドレイン領域 1 2 7 b、高抵抗ドレイン領域 1 2 9 b、チャンネル形成領域 1 2 6、

50

チャンネル形成領域 1 2 8 にかけて、導電性を段階的に変化させうるような構造とすることができる。そのため、ドレイン電極層 1 1 9 b、ドレイン電極層 1 2 0 b に高電源電位 V_{DD} を供給する配線に接続して動作させる場合、ゲート電極層 1 0 3、ゲート電極層 1 0 6 とドレイン電極層 1 1 9 b、ドレイン電極層 1 2 0 b との間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

【0107】

また、ドレイン電極層 1 1 9 b、ドレイン電極層 1 2 0 b（及びソース電極層 1 1 9 a、ソース電極層 1 2 0 a）と重畳した酸化物半導体層において高抵抗ドレイン領域 1 2 7 b、高抵抗ドレイン領域 1 2 9 b（又は高抵抗ソース領域 1 2 7 a、高抵抗ソース領域 1 2 9 a）を形成することにより、回路を形成した際のチャンネル形成領域 1 2 6、チャンネル形成領域 1 2 8 でのリーク電流の低減を図ることができる。

10

【0108】

また、酸化物半導体層における高抵抗ソース領域又は高抵抗ドレイン領域は、酸化物半導体層の膜厚が 15 nm 以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が 30 nm 以上 50 nm 以下とより厚い場合は、酸化物半導体層の一部、ソース電極層又はドレイン電極層と接する領域及びその近傍が低抵抗化し高抵抗ソース領域又は高抵抗ドレイン領域が形成され、酸化物半導体層においてゲート絶縁層に近い領域は I 型とすることもできる。

20

【0109】

絶縁層 1 2 5 上にさらに保護絶縁層 1 3 2 を形成してもよい。例えば、RF スパッタリング法を用いて窒化珪素膜を形成する。RF スパッタリング法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH⁻ などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層 1 3 2 として窒化珪素膜を用いて形成する（図 4（A）参照）。

【0110】

以上の工程により、同一基板上において、駆動回路部にトランジスタ 1 3 3、画素回路部にトランジスタ 1 3 4、及び容量 1 3 5 を作製することができる。トランジスタ 1 3 3、トランジスタ 1 3 4 は、高抵抗ソース領域、高抵抗ドレイン領域、及びチャンネル形成領域を含む酸化物半導体層を含むボトムゲート型トランジスタである。よって、トランジスタ 1 3 3、トランジスタ 1 3 4 は、高電界が印加されても高抵抗ドレイン領域または高抵抗ソース領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成となっている。また、同一基板上に駆動回路部と画素回路部を形成することによって、接続配線が短縮でき、半導体装置（発光装置）の小型化、低コスト化が可能である。

30

【0111】

また、容量 1 3 5 は、容量部におけるゲート絶縁層 1 0 7 を誘電体として、容量配線層 1 0 5 と容量電極層 1 2 1 とで形成される。

40

【0112】

次に、保護絶縁層 1 3 2 上にカラーフィルタ層 1 3 6 を形成する。カラーフィルタ層 1 3 6 としては緑色のカラーフィルタ層、青色のカラーフィルタ層、赤色のカラーフィルタ層などを用いることができ、緑色のカラーフィルタ層、青色のカラーフィルタ層、赤色のカラーフィルタ層を順次形成する。各カラーフィルタ層は、印刷法、インクジェット法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。カラーフィルタ層 1 3 6 を設けることによって、封止基板の貼り合わせ精度に依存することなくカラーフィルタ層 1 3 6 と発光素子の発光領域との位置合わせを行うことができる。本実施の形態ではフォトリソグラフィ工程にて、緑色のカラーフィルタ層、青色のカラーフィルタ層、赤色のカラーフィルタ層を形成する（図 4（B）参照）。

50

【0113】

次に、カラーフィルタ層（緑色のカラーフィルタ層、青色のカラーフィルタ層、及び赤色のカラーフィルタ層）を覆うオーバーコート層137を形成する。オーバーコート層137は透光性を有する樹脂を用いる。

【0114】

なお、ここではRGBの3色を用いてフルカラー表示する例を示したが、特に限定されず、RGBWの4色を用いてフルカラー表示を行ってもよい。

【0115】

次に、オーバーコート層137及び保護絶縁層132を覆う保護絶縁層138を形成する（図4（B）参照）。保護絶縁層138は、無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。保護絶縁層138としては、保護絶縁層132と同じ組成の絶縁膜とすると、後のコンタクトホール形成の際に1回の工程でエッチングすることができるため、好ましい。

10

【0116】

次に、フォトリソグラフィ工程によりレジストマスクを形成し、保護絶縁層138、保護絶縁層132、絶縁層125をエッチングし、ドレイン電極層120bに達するコンタクトホール140を形成し、レジストマスクを除去する（図5（A）参照）。また、ここでのエッチングにより第2の端子123に達するコンタクトホール141、接続電極122に達するコンタクトホール139も形成する。また、該コンタクトホールを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0117】

次に、透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ In_2O_3 SnO_2 、ITOと略記する）などをスパッタリング法や真空蒸着法などを用いて形成する。透光性を有する導電膜の他の材料として、窒素を含ませたAl-Zn-O系非単結晶膜、窒素を含ませたZn-O系非単結晶膜や、窒素を含ませたSn-Zn-O系非単結晶膜を用いてもよい。なお、窒素を含ませたAl-Zn-O系非単結晶膜の垂鉛の組成比（原子%）は、47原子%以下とし、非単結晶膜中のアルミニウムの組成比（原子%）より大きく、非単結晶膜中のアルミニウムの組成比（原子%）は、非単結晶膜中の窒素の組成比（原子%）より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ In_2O_3 ZnO ）を用いても良い。

30

【0118】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザー（EPMA: Electron Probe X-ray Micro Analyzer）を用いた分析により評価するものとする。

【0119】

次に、フォトリソグラフィ工程にてレジストマスクを形成し、エッチングにより透光性を有する導電膜の不要な部分を除去して第1の電極層143、端子電極142、端子電極144を形成し、レジストマスクを除去する（図5（B）参照）。

40

【0120】

なお、ゲート絶縁層107を誘電体とし容量配線層105と容量電極層121とで形成される容量135も同一基板上に形成することができる。また、半導体装置200において、容量電極層121は、電源供給線の一部であり、容量配線層105は、駆動TFTのゲート電極層の一部としても機能する。

【0121】

また、端子部に形成された端子電極142、144はFPCとの接続に用いられる電極または配線となる。第1の端子102上に接続電極122を介して形成された端子電極142は、ゲート配線の入力端子として機能する接続用の端子電極となる。第2の端子123

50

上に形成された端子電極 144 は、ソース配線の入力端子として機能する接続用の端子電極である。

【0122】

次に、第1の電極層 143 の周縁部を覆うように隔壁 145 を形成する。隔壁 145 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜またはシロキサン系樹脂を用いて形成する。

【0123】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si-O-Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基、アリール基、及びフルオロ基）を用いても良い。

10

【0124】

隔壁 145 としては、PSG（リンガラス）、BPSG（リンボロンガラス）等も用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、隔壁 145 を形成してもよい。

【0125】

隔壁 145 の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。また、半導体装置（発光装置）に用いる他の絶縁層として隔壁 145 の例として示した上記材料及び方法を用いてもよい。

20

【0126】

隔壁 145 は、特に感光性の樹脂材料を用い、第1の電極層 143 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成するとよい。隔壁 145 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0127】

以上の工程により、図1(A)に示す金属膜のクラック抑止層を含む、半導体素子形成工程が終了した半導体装置 200 を作製することができる。

【0128】

ここで、図6乃至図9を用いて、第1の基板 100 から半導体装置 200 を分離する方法の詳細を説明する。

30

【0129】

まず、除去可能な接着層 301 を用いて、第2の基板 302 を一時的に被剥離層 300 に貼り合わせる。第2の基板 302 を被剥離層 300 に貼り合わせることにより、被剥離層 300 を剥離層 101 から容易に剥離できる。また、除去可能な接着層 301 を使用することで、被剥離層 300 に加わる応力が緩和され、トランジスタを保護できる。また、除去可能な接着層 301 を用いるため、第2の基板 302 が不要になれば、容易に取り除くことができる（図6参照）。

【0130】

除去可能な接着層 301 としては、例えば水溶性樹脂をその例に挙げるることができる。塗布した水溶性樹脂は被剥離層 300 の凹凸を緩和し、第2の基板 302 との貼り合わせを容易にする。また、除去可能な接着層 301 として、光または熱により剥離可能な粘着剤を水溶性樹脂に積層したものを用いてもよい。

40

【0131】

第2の基板 302 としては、機械的強度が高い材質を使用することで、被剥離層 300 に対して、物理的損傷を与えず、剥離することが可能となるため好ましい。本実施の形態では、第2の基板 302 として、石英基板を使用する。

【0132】

次に、被剥離層 300 を第1の基板 100 から剥離（分離）する（図6参照）。剥離方法には様々な方法を用いることができる。

50

【0133】

剥離層101に第1の絶縁層111を形成した場合には、剥離層101と第1の絶縁層111が半導体素子形成工程中の加熱により、剥離層101と絶縁層111の界面に金属酸化膜が形成されており、前記剥離層101に達した溝をきっかけとして、該金属酸化膜が脆弱化し、剥離層101と第1の絶縁層111との界面で剥離が生じる。

【0134】

剥離方法としては、例えば、機械的な力を加えること（人間の手や治具で引き剥がす処理や、ローラーを回転させながら分離する処理等）を用いて行えばよい。また、溝に液体を滴下し、剥離層101及び第1の絶縁層111の界面に液体を浸透させて剥離層101から被剥離層300を剥離してもよい。また、溝に NF_3 、 BrF_3 、 ClF_3 等のフッ化ガスを導入し、剥離層101をフッ化ガスでエッチングし除去して、絶縁表面を有する第1の基板100から被剥離層300を剥離する方法を用いてもよい。また、剥離を行う際に剥離層101と被剥離層300の間に水などの液体を添加して剥離してもよい。

10

【0135】

その他の剥離方法としては、剥離層101をタングステンで形成した場合は、アンモニア水と過酸化水素水の混合溶液により剥離層101をエッチングしながら剥離を行うことができる。

【0136】

また、剥離層101として、窒素、酸素や水素等を含む膜（例えば、水素を含む非晶質珪素膜、水素含有合金膜、酸素含有合金膜など）を用い、第1の基板100として透光性を有する基板を用いた場合には、第1の基板100から剥離層101にレーザー光を照射して、剥離層内に含有する窒素、酸素や水素を気化させて、第1の基板100と剥離層101との間で剥離する方法を用いることができる。

20

【0137】

次に、被剥離層300に薄くかつ透光性を有する軽量の第3の基板1100を、樹脂層1101を用いて接着する（図7（A）参照）。

【0138】

薄くかつ透光性を有する軽量の第3の基板1100としては、可撓性及び可視光に対する透光性を有する基板を用いることができ、例えばポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）等のポリエステル樹脂、ポリアクリルニトリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート樹脂（PC）、ポリエーテルスルホン樹脂（PES）、ポリアミド樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリ塩化ビニル樹脂、などを好適に用いることができる。また、第3の基板1100には予め窒化珪素や酸化窒化珪素等の窒素と珪素を含む膜や窒化アルミニウム等の窒素とアルミニウムを含む膜のような透水性の低い保護膜を成膜しておいても良い。なお、第3の基板1100として有機樹脂に繊維体が含まれた構造体（いわゆるプリプレグ）を用いてもよい。

30

【0139】

本実施の形態で示す半導体装置は第3の基板1100側の面から発光を取り出す下面射出型の発光装置であるので、第3の基板1100としては透光性を有する基板を用いるが、第3の基板1100とは逆側の面から発光を取り出す上面射出型である場合は第3の基板1100として非透光性の可撓性を有する程度に薄くフィルム化した金属基板を用いてもよい。金属基板は光を取り出さない側に設ける。金属基板を構成する材料としては特に限定はないが、アルミニウム、銅、ニッケルやアルミニウム合金若しくはステンレスなどの金属の合金などを好適に用いることができる。

40

【0140】

第3の基板1100の材料中に繊維体が含まれている場合、繊維体は有機化合物または無機化合物の高強度繊維を用いる。高強度繊維とは、具体的には引張弾性率またはヤング率の高い繊維のことを言い、代表例としては、ポリビニルアルコール系繊維、ポリエステル系繊維、ポリアミド系繊維、ポリエチレン系繊維、アラミド系繊維、ポリパラフェニレン

50

ベンゾビスオキサゾール繊維、ガラス繊維、または炭素繊維が挙げられる。ガラス繊維としては、Eガラス、Sガラス、Dガラス、Qガラス等を用いたガラス繊維が挙げられる。これらは、織布または不織布の状態を用い、この繊維体を有機樹脂に含ませ、この有機樹脂を硬化させた構造体を第3の基板1100として用いても良い。第3の基板1100として繊維体と有機樹脂からなる構造体を用いると、曲げや局所的押圧による破損に対する信頼性が向上するため、好ましい構成である。

【0141】

なお、第3の基板1100中に上述のような繊維体が含まれる場合、発光素子からの光が外部に出るのを妨げることを低減するために、当該繊維体を100nm以下のナノファイバーとすることが好ましい。また、繊維体と有機樹脂や接着剤の屈折率を合わせることが好ましい。

10

【0142】

樹脂層1101としては、紫外線硬化型接着剤など光硬化型の接着剤、反応硬化型接着剤、熱硬化型接着剤、または嫌気型接着剤など各種硬化型接着剤を用いることができる。これらの接着剤の材質としてはエポキシ樹脂やアクリル樹脂、シリコン樹脂、フェノール樹脂などを用いることができる。

【0143】

なお、第3の基板1100としてプリプレグを用いた場合には、接着剤を用いず直接被剥離層300と第3の基板1100とを圧着して貼り合わせる。この際、当該構造体の有機樹脂としては、反応硬化型、熱硬化型、紫外線硬化型など追加処理を施すことによって硬化が進行するものを用いると良い。

20

【0144】

第3の基板1100を設けた後、第2の基板302及び除去可能な接着層301を除去して、第1の電極層143を露出させる(図7(B)参照)。

【0145】

なお、本実施の形態では、接着層301を除去可能な接着層を用いたため、除去する場合を例示するが、第3の基板1100として、プリプレグを用いた場合等には、除去しなくても良い。

【0146】

以上の工程により、第3の基板1100上に駆動回路部201、トランジスタ134及び発光素子の第1の電極層143までが形成された被剥離層300を形成できる。

30

【0147】

次に、第1の電極層143、及び隔壁145上にEL層193を形成する。EL層193には、低分子材料および高分子材料のいずれを用いることもできる。なお、EL層193を形成する材料には、有機化合物材料のみから成るものだけでなく、無機化合物を一部に含む構成も含めるものとする。EL層193は、少なくとも発光層を有し、発光層一層なる単層構造であっても、各々異なる機能を有する層からなる積層構造であっても良い。例えば、発光層の他に、正孔注入層、正孔輸送層、キャリアブロッキング層、電子輸送層、電子注入層等、各々の機能を有する機能層を適宜組み合わせる構成とする。なお、それぞれの層の有する機能を2つ以上同時に有する層を含んでいても良い(図8(A)参照)。

40

【0148】

また、EL層193の形成には、蒸着法、インクジェット法、スピンコート法、ディップコート法、ノズルプリンティング法など、湿式、乾式を問わず、用いることができる。

【0149】

次いで、EL層193上に、第2の電極層194を形成する。なお、第1の電極層143を陽極とした場合は、第2の電極層194は陰極となり、第1の電極層143を陰極とした場合は、第2の電極層194は陽極になるため、好ましくは第1の電極層143及び第2の電極層194のそれぞれの極性に応じた仕事関数を有する材料を選択して形成する。

【0150】

本実施の形態においては、第1の電極層143を陽極として用い、EL層193は、第1

50

の電極層 1 4 3 側から順に、正孔注入層、正孔輸送層、発光層、電子注入層が積層された構造とする。発光層としては種々の材料を用いることができる。例えば、蛍光を発光する蛍光性化合物や燐光を発光する燐光性化合物を用いることができる。また、第 2 の電極層 1 9 4 は仕事関数の小さい材料を用いる。また、第 1 の電極層 1 4 3 側から発光を取り出すため、第 2 の電極層 1 9 4 は反射率の高い材料を選択する。

【0151】

また第 2 の電極層 1 9 4 上に保護層を設けてもよい。例えば、保護層として、スパッタリング法やプラズマ CVD 法、塗布法、印刷法等により、例えば、窒化珪素、窒化酸化珪素、酸化窒化珪素等の窒素と珪素を含む材料、または酸化アルミニウム等を用いて単層又は多層で形成する。または、上述の無機絶縁膜と、樹脂膜等の有機絶縁膜を積層させて保護層を形成しても良い。保護層を設けることで水分や、酸素等の気体が素子部へ侵入することを防止することができる。保護層の厚さは 10 nm 以上 1000 nm 以下、さらには 100 nm 以上 700 nm 以下が好ましい。

10

【0152】

次に、駆動回路部 2 0 1、画素回路部 2 0 2、クラック抑止領域 2 0 5 を覆って、樹脂層 1 2 0 1 を用いて第 4 の基板 1 2 0 0 を貼り合わせる（図 8 (B) 参照）。

【0153】

樹脂層 1 2 0 1 は密着性の良好な材料を用いるのが好ましい。例えば、アクリル樹脂、ポリイミド樹脂、メラミン樹脂、ポリエステル樹脂、ポリカーボネート樹脂、フェノール樹脂、エポキシ樹脂、ポリアセタール、ポリエーテル、ポリウレタン、ポリアミド（ナイロン）、フラン樹脂、ジアリルフタレート樹脂等の有機化合物、シリカガラスに代表されるシロキサンポリマー系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうち Si - O - Si 結合を含む無機シロキサンポリマー、又はアルキルシロキサンポリマー、アルキルシルセスキオキサンポリマー、水素化シルセスキオキサンポリマー、水素化アルキルシルセスキオキサンポリマーに代表される珪素に結合される水素がメチルやフェニルのような有機基によって置換された有機シロキサンポリマー等を用いることができる。また、樹脂層 1 2 0 1 には、これらの材料中に繊維体が含まれていても良い。

20

【0154】

樹脂層 1 2 0 1 は、例えば、塗布法を用いて組成物を塗布し、乾燥加熱して形成することができる。また、樹脂層 1 2 0 1 として繊維体を有機樹脂に含ませた構造体を用いることもできる。

30

【0155】

第 4 の基板 1 2 0 0 として、薄くかつ透水性の低い基板を用いる。例えば、金属基板を用いることができる。金属基板を構成する材料としては特に限定はないが、アルミニウム、銅、ニッケルやアルミニウム合金若しくはステンレスなどの金属の合金などを好適にもちいることができる。なお、第 4 の基板 1 2 0 0 を接着する前に、真空中でのベークやプラズマ処理を行うことによって、金属基板表面に付着した水を取り除いておくことが好ましい。なお、第 4 の基板 1 2 0 0 表面にも樹脂膜を設け、第 4 の基板 1 2 0 0 の保護を図ってもよい。

40

【0156】

第 4 の基板 1 2 0 0 の接着は、ラミネーターを用いて行うこともできる。例えば、ラミネーターを用いて金属基板にシート状の接着剤を貼り合わせておき、それをさらに画素回路部 2 0 2 及び駆動回路部 2 0 1 上にラミネーターを用いて接着してもよい。また、スクリーン印刷などで第 4 の基板 1 2 0 0 に樹脂層 1 2 0 1 を印刷しておき、それを発光素子上にラミネーターを用いて接着する方法などがある。なお、減圧下でこの工程を行うと、気泡が入り難く好ましい。

【0157】

以上の工程を経て、駆動回路部 2 0 1、画素回路部 2 0 2、クラック抑止領域 2 0 5 をフレキシブル基板である第 3 の基板 1 1 0 0 とフレキシブル基板である第 4 の基板 1 2 0 0 との間に挟持される。

50

【0158】

以上のように、第1の基板100から、被剥離層300を分離し、フレキシブル基板である第3の基板1100とフレキシブル基板である第4の基板1200の間に被剥離層300を挟持させるまでには複数の工程を有する。従って、半導体装置200の周辺にクラック抑止領域205を設けることで、基板外周部から発生するクラックより半導体装置200にダメージが入ることなく、歩留まり良く半導体装置200を分離し、フレキシブル基板へ転置することができる。

【0159】

次に、クラック抑止領域205を除去し、駆動回路部201、画素回路部202を含む半導体素子をフレキシブル基板上に作製する(図9参照)。

10

【0160】

クラック抑止領域205の除去方法としては、第3の基板1100と第4の基板1200の材料に合わせて適宜選択することができる。代表的にはカッターナイフやレーザーを使用し除去することができる。本実施の形態では、レーザー光の照射による分断を適用する。

【0161】

上記分断工程に用いるレーザー光の波長や強度、ビームサイズなどの条件については特に限定されない。少なくとも、半導体装置を分断できる条件であればよい。レーザー光の発振器としては、例えば、Arレーザー、Krレーザー、CO₂レーザー、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、GdVO₄レーザー、Y₂O₃レーザー、ルビーレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、ヘリウムカドミウムレーザー等の連続発振レーザー、Arレーザー、Krレーザー、エキシマ(ArF、KrF、XeCl)レーザー、CO₂レーザー、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、GdVO₄レーザー、Y₂O₃レーザー、ルビーレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、銅蒸気レーザー、金蒸気レーザー等のパルス発振レーザーを用いることができる。

20

【0162】

本実施の形態では、クラック抑止領域205を除去する場合を例示したが、これに限定されず、クラック抑止領域を除去せずに、そのまま半導体装置の一部として機能させても良い。

30

【0163】

本実施の形態では、被剥離層300にトランジスタ133、及びトランジスタ134と、発光素子の第1の電極層143までを設ける方法を例示したが、本明細書中で開示する発明はこれに限らず、発光素子まで形成してから(すなわち、発光素子の第2の電極層194を形成後)剥離及び転置を行ってもよい。また、第1の絶縁層111と第1の電極層143を形成した被剥離層300を剥離、転置し、転置後にトランジスタや発光素子を作製しても良い。また、第1の絶縁層111のみ作製基板に形成し、基板に剥離、転置した後、トランジスタや発光素子を作製しても良い。

【0164】

本実施の形態では、半導体装置の一つとして、アクティブマトリクス型発光装置について説明したが、パッシブマトリクス型発光装置の作製方法に適用することも可能である。

40

【0165】

また、本実施の形態では、半導体装置の一つとして発光装置について説明したが、液晶表示装置、半導体回路、電子機器など、半導体特性を利用することで機能しうる半導体装置、及び全ての半導体装置の作製方法に適用することができる。

【0166】

本実施の形態によれば、耐熱性の高い基板を利用して作製したトランジスタを、薄くかつ透光性を有する軽量な第3の基板に転置できる。従って、第3の基板の耐熱性に縛られることなく、信頼性が高く、良好な電気特性を有するトランジスタを形成できる。このようなトランジスタを同一基板上の画素部及び駆動回路部に作り込んだ半導体装置は、信頼性

50

に優れ、動作特性に優れている。

【0167】

以上のように、半導体素子の形成される周辺に金属膜のクラック抑止層を設けることにより、基板外周部からのクラックを抑止し半導体素子へのダメージを低減することができる。また、剥離、転置する際に該半導体装置に外周部から物理的な力が加わったとしても、クラック抑止層により、該半導体装置まで進行（成長）するクラックを防止することができる。

【0168】

（実施の形態2）

本実施の形態では、実施の形態1に示した金属膜のクラック抑止層とは異なり、樹脂層のクラック抑止層を形成する例を図14乃至図16を用いて説明を行う。従って、他は実施の形態1と同様に行うことができ、実施の形態1と同一部分又は、同様な機能を有する部分、工程の繰り返しの説明は省略する。また、図14乃至図16は、図1乃至図9と工程が一部異なる点以外は同じであるため、同じ箇所と同じ符号を用い、同じ箇所の詳細な説明は省略する。

10

【0169】

まず、実施の形態1に従って、基板100上に剥離層101、第1の絶縁層111、ゲート電極層103、導電層104、容量配線層105、ゲート電極層106、第1の端子102、ゲート絶縁層107、コンタクトホール109a、コンタクトホール109b、酸化物半導体層116、酸化物半導体層117を形成する（図14（A）参照）。

20

【0170】

次に、酸化物半導体層116、酸化物半導体層117、及びゲート絶縁層107上に金属材料からなる金属導電膜をスパッタリング法や真空蒸着法で形成する。

【0171】

金属導電膜の材料としては、アルミニウム、クロム、タンタル、チタン、モリブデン、タングステン、銀、銅、金、白金、ニッケル、パラジウムから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を成膜する3層構造などが挙げられる。

30

【0172】

金属導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を金属導電膜に持たせることが好ましい。

【0173】

次に、フォトリソグラフィ工程を行い、レジストマスク150a、レジストマスク150b、レジストマスク150c、レジストマスク150d、レジストマスク150e、レジストマスク150f、レジストマスク150gを形成し、金属導電膜をエッチングにより不要な部分を除去してソース電極層119a、ドレイン電極層119b、ソース電極層120a、ドレイン電極層120b、容量電極層121、接続電極122、第2の端子123を形成する（図14（B）参照）。

40

【0174】

本実施の形態では、金属導電膜としてはアルミニウムを300nm形成し、アルミニウムの上下にチタンを100nmずつ設ける構成としている。

【0175】

なお、ソース電極層119a、ソース電極層120a、ドレイン電極層119b、ドレイン電極層120b、接続電極122、及び第2の端子123を形成するためのレジストマスク150a、レジストマスク150b、レジストマスク150c、レジストマスク150d、レジストマスク150e、レジストマスク150f、レジストマスク150gをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォ

50

トマスクを使用しないため、製造コストを低減できる。

【0176】

次に、レジストマスク150a、レジストマスク150b、レジストマスク150c、レジストマスク150d、レジストマスク150e、レジストマスク150f、レジストマスク150gを除去し、酸化物半導体層116、酸化物半導体層117に接する保護絶縁膜となる絶縁層125を形成する(図15(A))。

【0177】

この段階で、酸化物半導体層116、酸化物半導体層117は、絶縁層125と接する領域が形成され、この領域のうち、ゲート電極層とゲート絶縁層と重なる領域がチャンネル形成領域126、及びチャンネル形成領域128となる。

10

【0178】

絶縁層125は、少なくとも1nm以上の膜厚とし、スパッタリング法など、絶縁層125に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、絶縁層125として膜厚300nmの酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では室温とする。酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素雰囲気下でスパッタリング法により酸化珪素を形成することができる。低抵抗化した酸化物半導体層に接して形成する絶縁層125は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

20

【0179】

次いで、不活性ガス雰囲気下、または窒素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、絶縁層125と重なる酸化物半導体層116、117の一部が絶縁層125と接した状態で加熱される。

【0180】

第2の加熱処理により、ソース領域とドレイン領域の間の酸化物半導体層の露出部分(チャンネル形成領域126、及びチャンネル形成領域128)へ酸素を導入、拡散を行う。スパッタリング法で酸化珪素膜を作製することで、当該酸化珪素膜中に過剰な酸素を含ませることができる。その酸素を第2の加熱処理により、さらに酸化物半導体層中に導入、拡散させることができる。酸化物半導体層中への酸素の導入、拡散によりチャンネル形成領域126、及びチャンネル形成領域128を高抵抗化(I型化)を図ることができる。それにより、ノーマリーオフとなるトランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

30

【0181】

具体的には、酸化物半導体層116のゲート電極層103と重なるチャンネル形成領域126は、I型となり、ソース電極層119aに重なる高抵抗ソース領域127aと、ドレイン電極層119bに重なる高抵抗ドレイン領域127bとが自己整合的に形成される。同様に、酸化物半導体層117のゲート電極層106と重なるチャンネル形成領域128は、I型となり、ソース電極層120aに重なる高抵抗ソース領域129aと、ドレイン電極層120bに重なる高抵抗ドレイン領域129bとが自己整合的に形成される(図15(A)参照)。

40

【0182】

なお、ドレイン電極層119b、ドレイン電極層120b(及びソース電極層119a、ソース電極層120a)と重畳した酸化物半導体層116、酸化物半導体層117において高抵抗ドレイン領域127b、高抵抗ドレイン領域129b(又は高抵抗ソース領域1

50

27a、高抵抗ソース領域129a)を形成することにより、回路を形成した際の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域127b、129bを形成することで、ドレイン電極層119b、ドレイン電極層120bから高抵抗ドレイン領域127b、高抵抗ドレイン領域129b、チャンネル形成領域126、チャンネル形成領域128にかけて、導電性を段階的に変化させようとする構造とすることができる。そのため、ドレイン電極層119b、ドレイン電極層120bに高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層103、ゲート電極層106とドレイン電極層119b、ドレイン電極層120bとの間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

10

【0183】

また、ドレイン電極層119b、ドレイン電極層120b(及びソース電極層119a、ソース電極層120a)と重畳した酸化物半導体層において高抵抗ドレイン領域127b、高抵抗ドレイン領域129b(又は高抵抗ソース領域127a、高抵抗ソース領域129a)を形成することにより、回路を形成した際のチャンネル形成領域126、チャンネル形成領域128でのリーク電流の低減を図ることができる。

【0184】

また、酸化物半導体層における高抵抗ソース領域又は高抵抗ドレイン領域は、酸化物半導体層の膜厚が15nm以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が30nm以上50nm以下とより厚い場合は、酸化物半導体層の一部、ソース電極層又はドレイン電極層と接する領域及びその近傍が低抵抗化し高抵抗ソース領域又は高抵抗ドレイン領域が形成され、酸化物半導体層においてゲート絶縁層に近い領域はI型とすることもできる。

20

【0185】

絶縁層125上にさらに保護絶縁層132を形成してもよい。例えば、RFスパッタリング法を用いて窒化珪素膜を形成する。RFスパッタリング法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層として保護絶縁層132を窒化珪素膜を用いて形成する(図15(A)参照)。

30

【0186】

以上の工程により、同一基板上において、駆動回路部にトランジスタ133、画素回路部にトランジスタ134、容量135を作製することができる。トランジスタ133、トランジスタ134は、高抵抗ソース領域、高抵抗ドレイン領域、及びチャンネル形成領域を含む酸化物半導体層を含むボトムゲート型トランジスタである。よって、トランジスタ133、トランジスタ134は、高電界が印加されても高抵抗ドレイン領域または高抵抗ソース領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成となっている。また、同一基板上に駆動回路部と画素回路部を形成することによって、駆動回路と外部信号との接続配線が短縮でき、半導体装置(発光装置)の小型化、低コスト化が可能である。

40

【0187】

また、容量135は、容量部におけるゲート絶縁層107を誘電体として、容量配線層105と容量電極層121とで形成される。

【0188】

次に、保護絶縁層132上にカラーフィルタ層136を形成する。カラーフィルタ層136としては緑色のカラーフィルタ層、青色のカラーフィルタ層、赤色のカラーフィルタ層などを用いることができ、緑色のカラーフィルタ層、青色のカラーフィルタ層、赤色のカラーフィルタ層を順次形成する。各カラーフィルタ層は、印刷法、インクジェット法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。カラーフィルタ

50

層 136 を設けることによって、封止基板の貼り合わせ精度に依存することなくカラーフィルタ層 136 と発光素子の発光領域との位置合わせを行うことができる。本実施の形態ではフォトリソグラフィ工程にて、緑色のカラーフィルタ層、青色のカラーフィルタ層、赤色のカラーフィルタ層を形成する（図 15（B）参照）。

【0189】

次に、カラーフィルタ層（緑色のカラーフィルタ層、青色のカラーフィルタ層、及び赤色のカラーフィルタ層）を覆うオーバーコート層 137 を形成する。オーバーコート層 137 は透光性を有する樹脂を用いる。

【0190】

なお、ここでは RGB の 3 色を用いてフルカラー表示する例を示したが、特に限定されず、RGBW の 4 色を用いてフルカラー表示を行ってもよい。

10

【0191】

次に、オーバーコート層 137 及び保護絶縁層 132 を覆う保護絶縁層 138 を形成する（図 15（B）参照）。保護絶縁層 138 は、無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウムなどを用いる。保護絶縁層 138 としては、保護絶縁層 132 と同じ組成の絶縁膜とすると、後のコンタクトホール形成の際に 1 回の工程でエッチングすることができるため、好ましい。

【0192】

次に、フォトリソグラフィ工程によりレジストマスクを形成し、保護絶縁層 138、保護絶縁層 132、絶縁層 125 をエッチングし、ドレイン電極層 120b に達するコンタクトホール 140 を形成し、レジストマスクを除去する（図 16（A）参照）。また、ここでのエッチングにより第 2 の端子 123 に達するコンタクトホール 141、接続電極 122 に達するコンタクトホール 139 も形成する。また、該コンタクトホールを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0193】

次に、透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 (In_2O_3 、 SnO_2 、ITO と略記する) などをスパッタリング法や真空蒸着法などを用いて形成する。透光性を有する導電膜の他の材料として、窒素を含ませた Al-Zn-O 系非単結晶膜、窒素を含ませた Zn-O 系非単結晶膜や、窒素を含ませた Sn-Zn-O 系非単結晶膜を用いてもよい。なお、窒素を含ませた Al-Zn-O 系非単結晶膜の亜鉛の組成比（原子%）は、47 原子% 以下とし、非単結晶膜中のアルミニウムの組成比（原子%）より大きく、非単結晶膜中のアルミニウムの組成比（原子%）は、非単結晶膜中の窒素の組成比（原子%）より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 (In_2O_3 、 ZnO) を用いても良い。

30

【0194】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザー（EPMA: Electron Probe X-ray Micro Analyzer）を用いた分析により評価するものとする。

40

【0195】

次に、フォトリソグラフィ工程にてレジストマスクを形成し、エッチングにより透光性を有する導電膜の不要な部分を除去して第 1 の電極層 143、端子電極 142、端子電極 144 を形成し、レジストマスクを除去する（図 16（B）参照）。

【0196】

ゲート絶縁層 107 を誘電体とし容量配線層 105 と容量電極層 121 とで形成される容量 135 も同一基板上に形成することができる。また、半導体装置 400 において、容量電極層 121 は、電源供給線の一部であり、容量配線層 105 は、駆動 TFT のゲート電極層の一部としても機能する。

50

【0197】

端子部に形成された端子電極142、144はFPCとの接続に用いられる電極または配線となる。第1の端子102上に接続電極122を介して形成された端子電極142は、ゲート配線の入力端子として機能する接続用の端子電極となる。第2の端子123上に形成された端子電極144は、ソース配線の入力端子として機能する接続用の端子電極である。

【0198】

次に、第1の電極層143の周縁部を覆うように隔壁145を形成する。また、隔壁145と同時にクラック抑止領域205に樹脂膜のクラック抑止層151を形成する。隔壁145、及び樹脂膜のクラック抑止層151は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜またはシロキサン系樹脂を用いて形成する。

10

【0199】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基、アリール基、及びフルオロ基）を用いても良い。

【0200】

隔壁145、樹脂層のクラック抑止層151としては、PSG（リンガラス）、BPSG（リンボロンガラス）等も用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、隔壁145を形成してもよい。

20

【0201】

隔壁145、樹脂層のクラック抑止層151の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。また、半導体装置（発光装置）に用いる他の絶縁層として隔壁145の例として示した上記材料及び方法を用いてもよい。

【0202】

隔壁145、樹脂層のクラック抑止層151は、特に感光性の樹脂材料を用い、第1の電極層143上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成するとよい。隔壁145、樹脂層のクラック抑止層151として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

30

【0203】

樹脂層のクラック抑止層151は、クラックの進行（成長）を抑止できる膜厚、及び幅が必要である。また、樹脂層のクラック抑止層の幅を大きくすることで、一つの基板から所望の半導体装置が取れる個数（取り数ともいう）が減少する可能性がある。従って、樹脂層のクラック抑止層として、厚さ700nm以上20000nm以下、幅100μm以上10000μm以下で形成する。

【0204】

以上の工程により、図16（B）に示す樹脂層のクラック抑止層を含む、半導体素子形成工程が終了した半導体装置400を作製することができる。

40

【0205】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0206】

（実施の形態3）

上記実施の形態と異なる半導体装置の作成方法について、他の例を図10乃至13を用いて説明する。実施の形態1、及び実施の形態2においては、駆動回路部と画素回路部を構成するトランジスタを有する半導体装置の一つである表示装置の作製方法について説明を行ったが、本実施の形態では他の一形態である半導体集積回路チップ（ICチップともいう）の作製方法について、説明を行う。

50

【0207】

図10(A)は半導体装置の平面図であり、図10(B)は図10(A)の半導体装置である半導体集積回路チップの一部の拡大平面図を示しており、図10(C)は図10(B)の破線CDの断面図である。なお、図10は半導体装置形成工程が終了し、第1の基板から半導体装置を分離する前の平面図、及び断面図を示している。

【0208】

図10(A)は半導体装置である半導体集積回路チップ(ICチップともいう。以下ICチップと略)を複数隣接して形成しており、複数の半導体集積回路の周辺に金属膜のクラック抑止層750を形成している。

【0209】

本実施の形態においては、図10(A)に示す、複数の半導体装置であるICチップをまとめて剥離することができる。

【0210】

本実施の形態のように、複数の半導体装置に金属膜のクラック抑止層を形成することもできる。すなわち、クラック抑止層の平面上の大きさは、特に限定されず、基板から半導体装置を分離するサイズの大きさに合わせて適宜変更することができる。

【0211】

図10に示す本実施の形態に係わる半導体装置は、基板701上に剥離層702を有し、剥離層702上に第1の絶縁層703を有し、第1の絶縁層703上に、集積回路751を有している。集積回路751はトランジスタ730a、トランジスタ730bにより形成されている。また、トランジスタ730a、トランジスタ730bの上方には、アンテナ720を有しており、トランジスタ730aはアンテナ720と電氣的に接合している。

【0212】

ここで、図10(C)に示した半導体装置700の作製方法の一例を図11乃至14を用いて詳細に説明する。なお、以下に説明する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0213】

まず、基板701の表面に剥離層702を形成し、続けて第1の絶縁層703および半導体層704(例えば、非晶質珪素を含む膜)を形成する(図11(A)参照)。剥離層702、第1の絶縁層703および半導体層704は、連続して形成することができる。連続して形成することにより、剥離層702または第1の絶縁層703が大気に曝されないため不純物の混入を防ぐことができる。

【0214】

なお、剥離層702は実施の形態1で示した剥離層101、第1の絶縁層703は実施の形態1で示した第1の絶縁層111と同様の手法により形成することができる。

【0215】

半導体層704は、スパッタリング法、LPCVD法、プラズマCVD法等により形成することができる。本実施の形態では、プラズマCVD法により非晶質珪素膜を66nmの厚さで形成する。なお、半導体層として、非晶質珪素膜を用いる場合、25nm以上300nm以下、好ましくは50nm以上70nm以下で形成する。

【0216】

次に、半導体層704にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により半導体層704の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングして、半導体層704a、半導体層704bを形成し、これらを覆うようにゲート絶縁層705を形成する(図11(B)参照)。

【0217】

半導体層704a、半導体層704bの作製工程の一例を以下に簡単に説明する。まず、

10

20

30

40

50

プラズマCVD法を用いて、非晶質半導体膜（例えば、非晶質珪素膜）を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理（500、1時間）と、熱結晶化の処理（550、4時間）を行って結晶質半導体膜を形成する。その後、結晶化の程度に基づき、必要に応じて、レーザー発振器からレーザー光を照射し、フォトリソグラフィ法を用いることによって半導体層704a、半導体層704bを形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザー光の照射だけで非晶質半導体膜の結晶化を行ってもよい。

【0218】

また、半導体膜に対し、連続発振レーザー光又は10MHz以上の周波数で発振するレーザー光を照射しながら一方向に走査して結晶化させて得られた半導体層704a、半導体層704bを形成することができる。このような結晶化の場合、そのレーザー光の走査方向に結晶が成長する特性がある。その走査方向をチャンネル長方向（チャンネル形成領域が形成されたときにキャリアが流れる方向）に合わせてトランジスタを配置するとよい。

10

【0219】

次に、半導体層704a、半導体層704bを覆うゲート絶縁層705を形成する。ゲート絶縁層705は、プラズマCVD法やスパッタリング法等により、珪素の酸化物又は珪素の窒化物を含む膜を、単層構造又は積層構造で形成する。具体的には、酸化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜を、単層構造又は積層構造で形成する。

20

【0220】

また、ゲート絶縁層705は、半導体層704a、半導体層704bに対しプラズマ処理を行い、表面を酸化又は窒化することで形成しても良い。例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、二酸化窒素（NO₂）、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波を用いて行くと、低電子温度で高密度のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル（OHラジカルを含む場合もある）や窒素ラジカル（NHラジカルを含む場合もある）によって、半導体層の表面を酸化又は窒化することができる。

【0221】

このような高密度プラズマを用いた処理により、1nm以上20nm以下程度、代表的には5nm以上10nm以下の絶縁膜が半導体層に形成される。この場合の反応は、固相反応であるため、当該絶縁層と半導体層との界面準位密度をきわめて低くすることができる。このような、プラズマ処理は、半導体層（結晶性シリコン、或いは多結晶シリコン）を直接酸化（又は窒化）するため、形成される絶縁層の膜厚のばらつきをきわめて小さくすることができる。加えて、結晶性シリコンの結晶粒界でも酸化が進行するということがないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理で半導体層の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、均一性が良く、界面準位密度が低い絶縁層を形成することができる。

30

【0222】

ゲート絶縁層705は、プラズマ処理によって形成される絶縁層のみを用いても良いし、それに加えてプラズマや熱反応を利用したCVD法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、積層させても良い。いずれにしても、プラズマ処理により形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができ、好ましい。

40

【0223】

また、半導体膜に対し、連続発振レーザー光又は10MHz以上の周波数で発振するレーザー光を照射しながら一方向に走査して結晶化させて得られた半導体層704a、半導体層704bを形成する場合は、上記プラズマ処理を行ったゲート絶縁層を組み合わせることで、特性ばらつきが小さく、しかも電界効果移動度が高いトランジスタを得ることができる。

【0224】

50

次に、ゲート絶縁層705上に、導電層を形成する。本実施の形態では、100nm以上500nm以下の厚さの導電層を形成する。用いる材料としては、アルミニウム、クロム、タンタル、チタン、モリブデン、タングステン、銀、銅、金、白金、ニッケル、パラジウム等から選択された元素を含む材料、これらの元素を主成分とする合金材料、又はこれらの元素を主成分とする化合物材料を用いることができる。導電層を積層構造で形成する場合には、例えば、窒化タンタル膜とタングステン膜の積層構造、窒化タングステン膜とタングステン膜の積層構造、窒化モリブデン膜とモリブデン膜の積層構造を用いることができる。例えば、窒化タンタル30nmと、タングステン150nmとの積層構造を用いることができる。タングステンや窒化タンタルは、耐熱性が高いため、導電層を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、導電層を3層以上の積層構造としても良く、例えば、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用することができる。

10

【0225】

次に、上記の導電層上に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート配線を形成するためのエッチング処理を行って、半導体層704a、半導体層704bの上方にゲート電極層707を形成する(図11(C)参照)。

【0226】

次に、フォトリソグラフィ法により、レジストからなるマスクを形成して、半導体層704a、半導体層704bに、イオンドーピング法またはイオン注入法により、n型又はp型を付与する不純物元素を低濃度に添加する。本実施の形態においては、半導体層704a、半導体層704bに、n型を付与する不純物元素を低濃度に添加する。n型を付与する不純物元素は、15族に属する元素を用いれば良く、リン(P)、砒素(As)などを用いることができる。また、p型を付与する不純物元素としては、13族に属する元素を用いれば良く、硼素(B)などを用いることができる。

20

【0227】

なお、本実施の形態においては、n型TFETについてのみ示しているが、本発明はこれに限定して解釈されない。p型TFETのみを用いる構成としても良い。また、n型TFETとp型TFETを併せて形成しても良い。n型TFETとp型TFETを併せて形成する場合、後にp型TFETとなる半導体層を覆うマスクを形成してn型を付与する不純物元素を添加し、後にn型TFETとなる半導体層を覆うマスクを形成してp型を付与する不純物元素を添加することで、n型を付与する不純物元素とp型を付与する不純物元素を選択的に添加することができる。

30

【0228】

次に、ゲート絶縁層705とゲート電極層707を覆うように、絶縁層を形成する。これら絶縁層は、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。絶縁層を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極層707の側面に接する絶縁層708(サイドウォールともよばれる)を形成する。絶縁層708は、後にLDD(Lightly Doped Drain)領域を形成する際の不純物元素を添加するためのマスクとして用いる。

40

【0229】

次に、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極層707および絶縁層708をマスクとして用いて、半導体層704a、半導体層704bにn型を付与する不純物元素を添加する。これにより、チャネル形成領域706a、第1の不純物領域706b、第2の不純物領域706cが形成される(図11(C)参照)。第1の不純物領域706bはトランジスタのソース領域又はドレイン領域として機能し、第2の不純物領域706cはLDD領域として機能する。第2の不純物領域706cが含む不純物元素の濃度は、第1の不純物領域706bが含む不純物元素の濃度よりも低い。

【0230】

続いて、ゲート電極層707、絶縁層708等を覆うように、絶縁層を単層構造又は積層

50

構造で形成する。本実施の形態では、絶縁層709、絶縁層710、絶縁層711を3層構造とする場合を例示する(図12(A)参照)。これら絶縁層はプラズマCVD法により形成することができ、絶縁層709は酸化窒化珪素膜50nm、絶縁層710は窒化酸化珪素膜200nm、絶縁層711は酸化窒化珪素膜400nmとして形成することができる。これら絶縁膜の表面は、その膜厚にもよるが、下層に設けられた層の表面形状に沿って形成される。すなわち、絶縁層709は膜厚が薄いため、その表面はゲート電極層707、及び絶縁層708の表面形状に大きく沿っている。膜厚が厚くなるにつれ表面形状は平坦に近づくため、3層構造のうち膜厚が最も厚い絶縁層711の表面形状は平坦に近い。しかしながら、有機材料とは異なるため、平坦な表面形状とは異なっている。すなわち、表面形状を平坦にしたいのであれば、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等を用いればよい。またこれら絶縁層の作製方法は、プラズマCVD法以外に、スパッタリング法、SOG法、液滴吐出法、スクリーン印刷法等を採用することができる。

10

20

30

40

50

【0231】

そして、フォトリソグラフィ法を用いて絶縁層709、絶縁層710、絶縁層711等をエッチングして、第1の不純物領域706bに達するコンタクトホールを形成した後、トランジスタのソース電極又はドレイン電極として機能する導電層731a、導電層731b、導電層731c、導電層731d、接続配線として機能する導電層731e、及び金属膜のクラック抑止層750を形成する。導電層731a、導電層731b、導電層731c、導電層731dは、コンタクトホールを充填するように導電層を形成し、当該導電層を選択的にエッチングすることで形成することができる。なお、導電層を形成する前に、コンタクトホールにおいて露出した半導体層704a、半導体層704bの表面にシリサイドを形成して、抵抗を低くしてもよい。

【0232】

導電層731a、導電層731b、導電層731c、導電層731dは、低抵抗材料を用いて形成すると信号遅延を生じることがなく、好ましい。低抵抗材料は耐熱性が低い場合も多くあるため、低抵抗材料の上下には耐熱性の高い材料を設けるとよい。例えば、低抵抗材料としてアルミニウムを300nm形成し、アルミニウムの上下にチタンを100nmずつ設ける構成がよい。また導電層731eは、接続配線として機能しているが、導電層731aと同じ積層構造で形成することで、接続配線の低抵抗化と耐熱性の向上を図ることができる。

【0233】

また、金属膜のクラック抑止層750は、機械的強度が保持できる膜厚を選択する必要がある。具体的には、金属導電膜として、厚さ300nm以上5000nm以下で形成し、更に好ましくは500nm以上1500nm以下で形成する。

【0234】

また、金属膜のクラック抑止層750としては、クラックの進行(成長)を抑止できる幅が必要である。ただし、クラック抑止層の幅を大きくすることで、一つの基板から所望の半導体装置が取れる個数(取り数ともいう)が減少する可能性がある。従って、クラック抑止層は、幅100 μ m以上1000 μ m以下で形成し、更に好ましくは幅100 μ m以上500 μ m以下で形成する。

【0235】

また、導電層731a、導電層731b、導電層731c、導電層731d、導電層731e、及びクラック抑止層750は、その他の導電性材料、例えば、アルミニウム、クロム、タンタル、チタン、モリブデン、タングステン、銀、銅、金、白金、ニッケル、パラジウムから選択された元素を含む材料、これらの元素を主成分とする合金材料、これらの元素を主成分とする化合物材料を用いて、単層構造又は積層構造で形成することができる。また、導電層731a、導電層731b、導電層731c、導電層731d、導電層731e、及びクラック抑止層750は、スパッタリング法等により形成することができる。

【0236】

以上により、トランジスタ730a、トランジスタ730b、及びクラック抑止層750を含む素子層749が得られる(図12(A)参照)。

【0237】

なお、絶縁層709、絶縁層710、絶縁層711を形成する前、または絶縁層709を形成した後、又は絶縁層709、絶縁層710を形成した後に、半導体層704a、半導体層704bの結晶性の回復や半導体層704a、半導体層704bに添加された不純物元素の活性化、半導体層704a、半導体層704bの水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール法、レーザーアニール法、RTA法などを適用するとよい。

10

【0238】

次に、導電層731a、導電層731b、導電層731c、導電層731d、導電層731e、及びクラック抑止層750を覆うように、絶縁層712、絶縁層713を形成する(図12(B)参照)。本実施の形態では、絶縁層712には100nmの膜厚を有する窒化珪素膜を形成し、絶縁層713には1500nmの膜厚を有するポリイミドを用いて形成する。絶縁層713の表面形状は平坦性が高いと好ましい。そのため、ポリイミドである有機材料の特徴に加えて、厚膜化する構成、例えば750nm以上3000nm以下の膜厚によって、絶縁層713の平面形状の平坦性を高めている。また、当該絶縁層712、絶縁層713に対しては、開口部を形成する。本実施の形態では、導電層731eが露出する開口部714を形成する場合を例示する。このような開口部714において(詳しくは点線で囲まれた領域715において)、絶縁層712の端部は、絶縁層713で覆われている。上層の絶縁層713で下層の絶縁層712の端部を覆うことで、その後開口部714に形成される配線の段切れを防止することができる。本実施の形態では、絶縁層713が有機材料であるポリイミドを用いているため、開口部714において、絶縁層713はなだらかなテーパーを有することができ、効率的に段切れを防止することができる。このような段切れ防止効果を得ることのできる絶縁層713の材料は、ポリイミド以外に、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等が挙げられる。また絶縁層712には、窒化珪素膜の代わりに、酸化窒化珪素膜や窒化酸化珪素膜を用いてもよい。また絶縁層712、絶縁層713の作製方法は、プラズマCVD法、スパッタリング法、SOG法、液滴吐出法またはスクリーン印刷法等を用いること

20

30

【0239】

次に、絶縁層712、絶縁層713、及び導電層731e上に導電層717を形成し、当該導電層717上に絶縁層718を形成する(図12(C)参照)。導電層717は、導電層731a、導電層731b、導電層731c、導電層731d、導電層731eと同じ材料で形成することができ、例えばチタン100nm、アルミニウム200nm、チタン100nmの積層構造を採用することができる。導電層717は、開口部714で導電層731eと接続するため、チタン同士が接触することでコンタクト抵抗を抑えることができる。また導電層717は、トランジスタと、アンテナ(おって形成される)と電氣的に接合されるため、配線抵抗が低い方が好ましい。そのため、アルミニウム等の低抵抗材料を用いるとよい。絶縁層718は、その表面形状に平坦性を要求されるため、有機材料で形成するとよく、2000nmのポリイミドを用いる場合を例示する。絶縁層718は、1500nmの膜厚で形成された絶縁層713の開口部714、及び開口部714に形成された導電層717の表面の凹凸を平坦にする必要があり、絶縁層713の膜厚よりも厚い2000nmの膜厚で形成されている。そのため、絶縁層718は絶縁層713の1.1倍~2倍以上、好ましくは1.2~1.5倍の膜厚を有するとよく、絶縁層713が750nm以上3000nm以下の膜厚を有するのであれば、900nm以上4500nm以下の膜厚とすると好ましい。絶縁層718には、膜厚を考慮しつつ、さらに平坦性の高い材料を用いるとよい。平坦性の高い材料として絶縁層718に用いられる材料は、ポリイミド以外に、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料や

40

50

シロキサン材料等が挙げられる。絶縁層718上にアンテナを形成する場合、このように絶縁層718の表面形状の平坦性を考慮する必要がある。

【0240】

次に、絶縁層718上にアンテナ720を形成する(図13参照)。そして、アンテナ720と導電層717とを開口部を介して接続させる。開口部はアンテナ720の下方に設け、集積化を図る。なおアンテナ720は、導電層731aに直接接続させてもよいが、本実施の形態のように導電層717を設けることにより、アンテナ720との接続のための開口部の形成にマージンを持たせることができ、高集積化を図ることができ好ましい。そのため、導電層717の上にさらなる導電層を設けて、アンテナ720を接続してもよい。すなわちアンテナ720は、トランジスタを構成する導電層731aと電氣的に接続されればよく、複数の導電層を介した接続構造によって高集積化を図ることができる。このような導電層717をはじめとする複数の導電層は、膜厚が厚くなると半導体装置にも厚みが出てしまうため、薄い方が好ましい。そのため、導電層731aと比較すると、導電層717等はその膜厚を薄くすることが好ましい。

10

【0241】

アンテナ720は、第1の導電層721、第2の導電層722の積層構造を採用することができ、本実施の形態では第1の導電層721としては、チタン100nm、第2の導電層722としては、アルミニウム2000nmの積層構造の場合を例示する。第1の導電層721として用いるチタンは、アンテナの耐湿性を高めることができ、絶縁層718とアンテナ720との密着性を高めることもできる。さらにチタンは、導電層717との接触抵抗を低くすることができる。これは導電層717の最上層には、チタンが形成されているため、アンテナのチタンと同一材料同士が接触していることによる。このようなチタンはドライエッチングを用いて形成されるため、端部が切り立った状態となることが多い。第2の導電層722として用いるアルミニウムは低抵抗材料であるため、アンテナに好適である。アルミニウムを厚膜化していることにより、抵抗をより低くすることができる。アンテナの抵抗が低くなることで、通信距離を伸ばすことができ、好ましい。このようなアルミニウムはウェットエッチングを用いて形成されるため、端部における側面にテーパが付くことが多い。本実施の形態におけるテーパは、アルミニウム側に凸部が形成された、つまり内側に凹んだ形で形成されている。チタン端部がアルミニウム端部より突出していることで、その後形成される絶縁層の段切れを防止することができ、アンテナの耐性を高めることができる。

20

30

【0242】

アンテナはチタンやアルミニウム以外に、アルミニウム、クロム、タンタル、チタン、モリブデン、タングステン、銀、銅、金、白金、ニッケル、パラジウム等の金属元素を含む材料、当該金属元素を含む合金材料、当該金属元素を含む化合物材料を導電性材料として用いることができ、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて形成することができる。また本実施の形態では、積層構造を例示したが、上述したいずれの材料の単層構造で形成してもよい。

【0243】

アンテナ720を覆って、絶縁層723を形成する。本実施の形態では、絶縁層723を200nmの窒化珪素膜で形成する。絶縁層723により、アンテナの耐湿性をより高めることができ、好ましい。絶縁層723はチタン端部がアルミニウム端部より突出しているため、段切れすることなく形成できる。このような絶縁層723は窒化珪素膜以外に、酸化窒化珪素膜、窒化酸化珪素膜、その他の無機材料から形成することができる。

40

【0244】

また、半導体装置の周辺部として、周辺部752を例示している。絶縁層718は、回路部におけるアンテナの外側(具体的には領域740)で、絶縁層713の端部を覆うと好ましい。絶縁層713を覆う際、絶縁層718は、絶縁層713の膜厚と、絶縁層718の膜厚との合計より、2倍以上の外側(距離d)から覆うとよい。本実施の形態では、絶縁層713は1500nm、絶縁層718は2000nmで形成したため、絶縁層713

50

の端から距離 $d = 7000 \text{ nm}$ の外側から、絶縁層 718 は絶縁層 713 の端部を覆う。このような構成によって、プロセスのマージンを確保することができ、また水分や酸素の侵入を防止することができる。

【0245】

また、絶縁層 723 と、絶縁層 712 とは、絶縁層 718 の外側、つまり回路部におけるアンテナの外側（具体的には領域 741）で接していると好ましい。本実施の形態では、絶縁層 712、723 はともに窒化珪素膜で形成するため、同一材料同士が密着する構成となり、密着性が高く、水分や酸素の侵入を防止することができる。また窒化珪素膜は、酸化珪素膜と比較して緻密性が高いため、水分や酸素の侵入防止を効果的に防止することができる。

10

【0246】

本実施の形態では、クラック抑止領域 753 は、金属膜のクラック抑止層として、トランジスタのソース電極又はドレイン電極として機能する導電層 731a、導電層 731b、導電層 731c、導電層 731d、接続配線として機能する導電層 731e と同一の工程で形成したが、これに限定されず、アンテナ 720 を形成する工程、若しくは接続電極として機能する導電層 717 と同一の工程で形成することもできる。

【0247】

以上の工程により、図 10 (C) に示すクラック抑止層を含む、半導体素子形成工程が終了した半導体装置 700 を作製することができる。

【0248】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

20

【0249】

（実施の形態 4）

上記実施の形態 1 乃至 3 において、トランジスタの半導体層に用いることのできる他の材料の例を説明する。

【0250】

半導体素子が有する半導体層を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製される非晶質（アモルファス）半導体、該非晶質半導体を光エネルギーや熱エネルギーを利用して結晶化させた多結晶半導体、或いは微結晶半導体などを用いることができる。半導体層はスパッタリング法、LPCVD 法、またはプラズマ CVD 法等により成膜することができる。

30

【0251】

微結晶半導体膜は、周波数が数十 MHz ~ 数百 MHz の高周波プラズマ CVD 法、または周波数が 1 GHz 以上のマイクロ波プラズマ CVD 装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などの珪素化合物を水素で希釈して形成することができる。また、これらの珪素化合物を、水素、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの珪素化合物に対して水素の流量比を 5 倍以上 200 倍以下、好ましくは 50 倍以上 150 倍以下、更に好ましくは 100 倍とする。

40

【0252】

アモルファス半導体としては、代表的には水素化アモルファスシリコン、結晶性半導体としては代表的にはポリシリコンなどがあげられる。ポリシリコン（多結晶シリコン）には、800 以上のプロセス温度を経て形成されるポリシリコンを主材料として用いた所謂高温ポリシリコンや、600 以下のプロセス温度で形成されるポリシリコンを主材料として用いた所謂低温ポリシリコン、また結晶化を促進する元素などを用いて、非晶質シリコンを結晶化させたポリシリコンなどを含んでいる。もちろん、前述したように、微結晶半導体又は半導体層の一部に結晶相を含む半導体を用いることもできる。

【0253】

50

半導体層に、結晶性半導体膜を用いる場合、その結晶性半導体膜の作製方法は、種々の方法（レーザー結晶化法、熱結晶化法、またはニッケルなどの結晶化を助長する元素を用いた熱結晶化法等）を用いれば良い。また、SAS（Semi Amorphous Semiconductor）である微結晶半導体をレーザー照射して結晶化し、結晶性を高めることもできる。結晶化を助長する元素を導入しない場合は、非晶質珪素膜にレーザー光を照射する前に、窒素雰囲気下500で1時間加熱することによって非晶質珪素膜の含有水素濃度を 1×10^{20} atoms/cm³以下にまで放出させる。これは水素を多く含んだ非晶質珪素膜にレーザー光を照射すると非晶質珪素膜が破壊されてしまうからである。

【0254】

非晶質半導体層への金属元素の導入の仕方としては、当該金属元素を非晶質半導体膜の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタリング法、CVD法、プラズマ処理法（プラズマCVD法も含む）、吸着法、金属塩の溶液を塗布する方法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき非晶質半導体膜の表面の濡れ性を改善し、非晶質半導体膜の表面全体に水溶液を行き渡らせるため、酸素雰囲気中でのUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を成膜することが望ましい。

【0255】

また、非晶質半導体膜を結晶化し、結晶性半導体膜を形成する結晶化工程で、非晶質半導体膜に結晶化を促進する元素（触媒元素、金属元素とも示す）を添加し、熱処理（550～750で3分～24時間）により結晶化を行ってもよい。結晶化を助長（促進）する元素としては、鉄（Fe）、ニッケル（Ni）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスmium（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）及び金（Au）から選ばれた一種又は複数種類を用いることができる。

【0256】

結晶化を助長する元素を結晶性半導体膜から除去、又は軽減するため、結晶性半導体膜に接して、不純物元素を含む半導体膜を形成し、ゲッタリングシンクとして機能させる。不純物元素としては、n型を付与する不純物元素、p型を付与する不純物元素や希ガス元素などを用いることができ、例えばリン（P）、窒素（N）、ヒ素（As）、アンチモン（Sb）、ビスマス（Bi）、ボロン（B）、ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いることができる。結晶化を促進する元素を含む結晶性半導体膜に、希ガス元素を含む半導体膜を形成し、熱処理（550～750で3分～24時間）を行う。結晶性半導体膜中に含まれる結晶化を促進する元素は、希ガス元素を含む半導体膜中に移動し、結晶性半導体膜中の結晶化を促進する元素は除去、又は軽減される。その後、ゲッタリングシンクとなった希ガス元素を含む半導体膜を除去する。

【0257】

非晶質半導体膜の結晶化は、熱処理とレーザー光照射による結晶化を組み合わせてもよく、熱処理やレーザー光照射を単独で、複数回行っても良い。

【0258】

また、結晶性半導体膜を、直接基板にプラズマ法により形成しても良い。また、プラズマ法を用いて、結晶性半導体膜を選択的に基板に形成してもよい。

【0259】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせ実施することが可能である。

【符号の説明】

【0260】

100 基板

10

20

30

40

50

1 0 1	剥離層	
1 0 2	端子	
1 0 3	ゲート電極層	
1 0 4	導電層	
1 0 5	容量配線層	
1 0 6	ゲート電極層	
1 0 7	ゲート絶縁層	
1 0 8	酸化物半導体層	
1 0 9 a	コンタクトホール	
1 0 9 b	コンタクトホール	10
1 1 0 a	レジストマスク	
1 1 0 b	レジストマスク	
1 1 0 c	レジストマスク	
1 1 1	絶縁層	
1 1 2	レジストマスク	
1 1 3	レジストマスク	
1 1 4	酸化物半導体層	
1 1 5	酸化物半導体層	
1 1 6	酸化物半導体層	
1 1 7	酸化物半導体層	20
1 1 8 a	レジストマスク	
1 1 8 b	レジストマスク	
1 1 8 c	レジストマスク	
1 1 8 d	レジストマスク	
1 1 8 e	レジストマスク	
1 1 8 f	レジストマスク	
1 1 8 g	レジストマスク	
1 1 8 h	レジストマスク	
1 1 8 i	レジストマスク	
1 1 9 a	ソース電極層	30
1 1 9 b	ドレイン電極層	
1 2 0 a	ソース電極層	
1 2 0 b	ドレイン電極層	
1 2 1	容量電極層	
1 2 2	接続電極	
1 2 3	端子	
1 2 4	クラック抑止層	
1 2 5	絶縁層	
1 2 6	チャネル形成領域	
1 2 7 a	高抵抗ソース領域	40
1 2 7 b	高抵抗ドレイン領域	
1 2 8	チャネル形成領域	
1 2 9 a	高抵抗ソース領域	
1 2 9 b	高抵抗ドレイン領域	
1 3 2	保護絶縁層	
1 3 3	トランジスタ	
1 3 4	トランジスタ	
1 3 5	容量	
1 3 6	カラーフィルタ層	
1 3 7	オーバーコート層	50

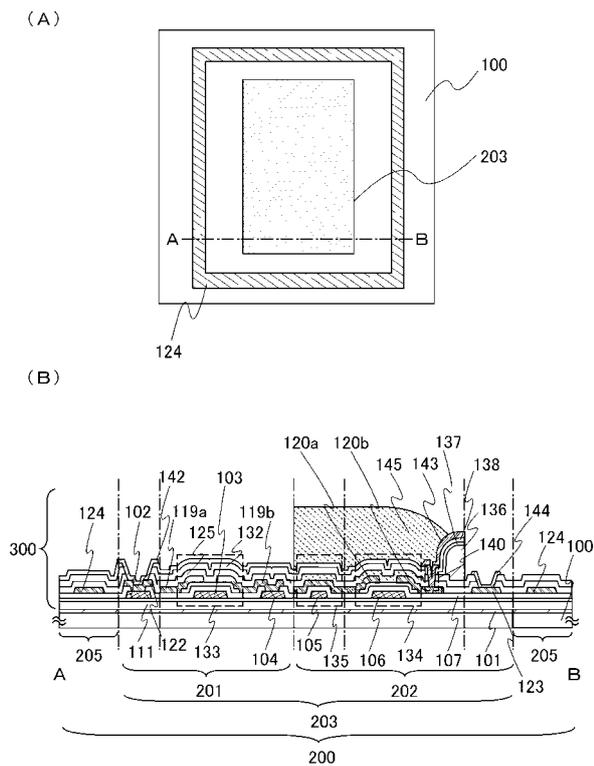
1 3 8	保護絶縁層	
1 3 9	コンタクトホール	
1 4 0	コンタクトホール	
1 4 1	コンタクトホール	
1 4 2	端子電極	
1 4 3	電極層	
1 4 4	端子電極	
1 4 5	隔壁	
1 5 0 a	レジストマスク	
1 5 0 b	レジストマスク	10
1 5 0 c	レジストマスク	
1 5 0 d	レジストマスク	
1 5 0 e	レジストマスク	
1 5 0 f	レジストマスク	
1 5 0 g	レジストマスク	
1 5 1	クラック抑止層	
1 9 3	E L 層	
1 9 4	電極層	
2 0 0	半導体装置	
2 0 1	駆動回路部	20
2 0 2	画素回路部	
2 0 3	半導体素子	
2 0 5	クラック抑止領域	
3 0 0	被剥離層	
3 0 1	接着層	
3 0 2	基板	
4 0 0	半導体装置	
7 0 0	半導体装置	
7 0 1	基板	
7 0 2	剥離層	30
7 0 3	絶縁層	
7 0 4	半導体層	
7 0 4 a	半導体層	
7 0 4 b	半導体層	
7 0 5	ゲート絶縁層	
7 0 6 a	チャネル形成領域	
7 0 6 b	不純物領域	
7 0 6 c	不純物領域	
7 0 7	ゲート電極層	
7 0 8	絶縁層	40
7 0 9	絶縁層	
7 1 0	絶縁層	
7 1 1	絶縁層	
7 1 2	絶縁層	
7 1 3	絶縁層	
7 1 4	開口部	
7 1 5	領域	
7 1 7	導電層	
7 1 8	絶縁層	
7 2 0	アンテナ	50

- 7 2 1 導電層
- 7 2 2 導電層
- 7 2 3 絶縁層
- 7 3 0 a トランジスタ
- 7 3 0 b トランジスタ
- 7 3 1 a 導電層
- 7 3 1 b 導電層
- 7 3 1 c 導電層
- 7 3 1 d 導電層
- 7 3 1 e 導電層
- 7 4 0 領域
- 7 4 1 領域
- 7 4 9 素子層
- 7 5 0 クラック抑止層
- 7 5 1 集積回路
- 7 5 2 周辺部
- 7 5 3 クラック抑止領域
- 1 1 0 0 基板
- 1 1 0 1 樹脂層
- 1 2 0 0 基板
- 1 2 0 1 樹脂層

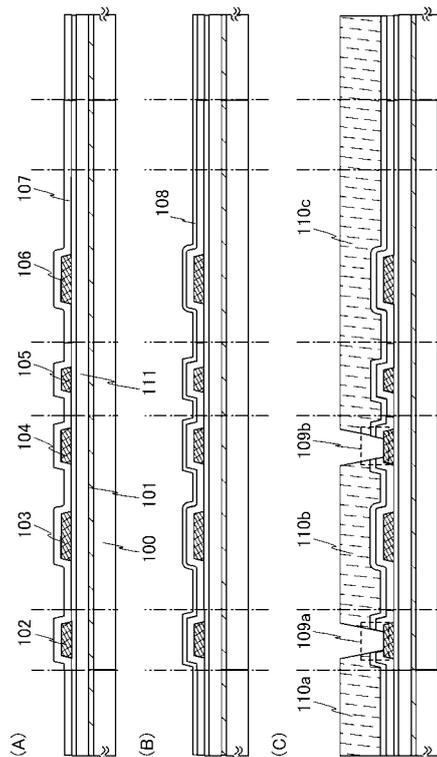
10

20

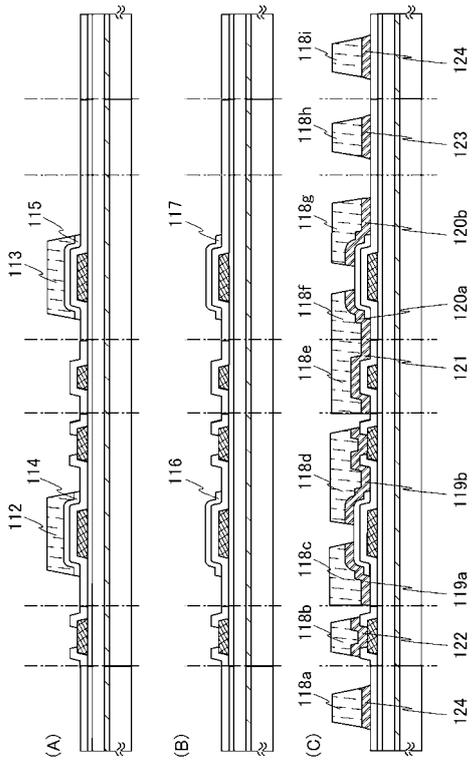
【 図 1 】



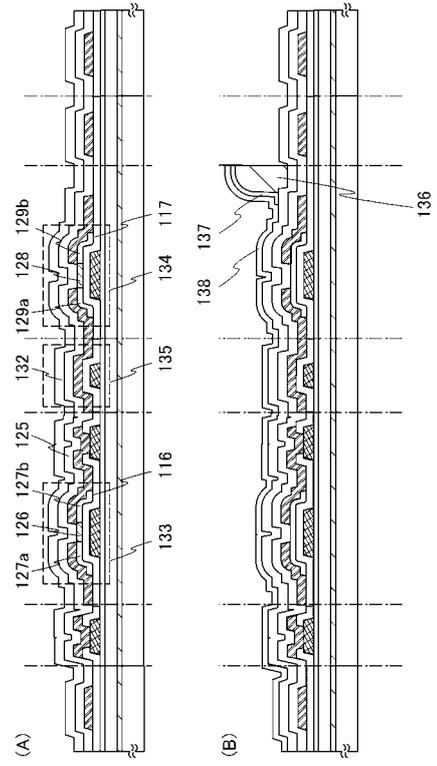
【 図 2 】



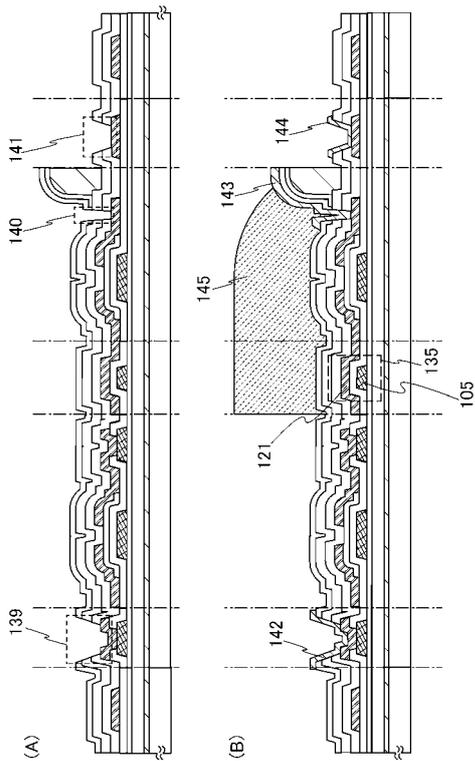
【 図 3 】



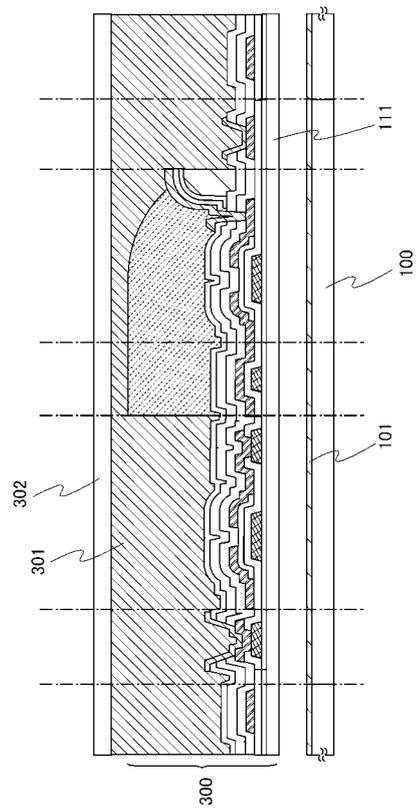
【 図 4 】



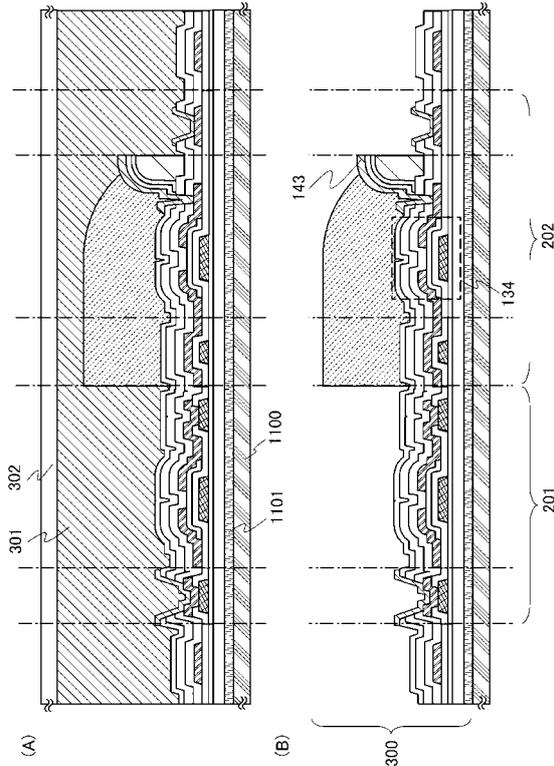
【 図 5 】



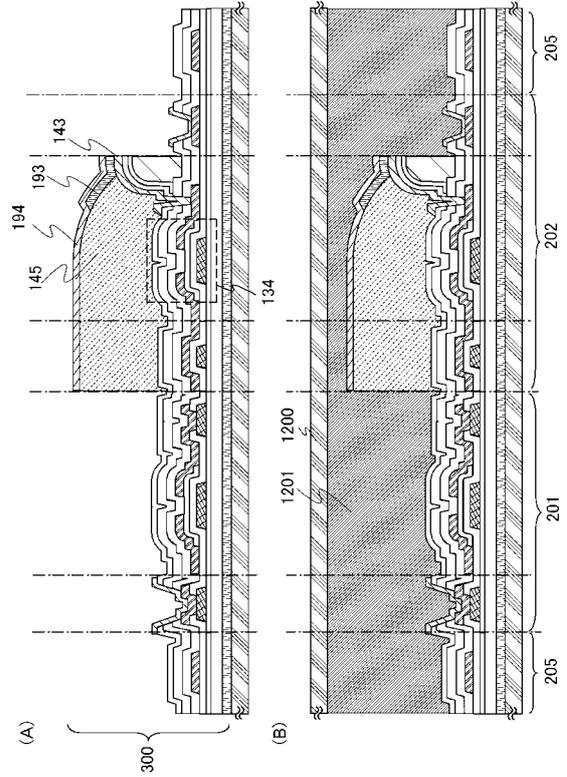
【 図 6 】



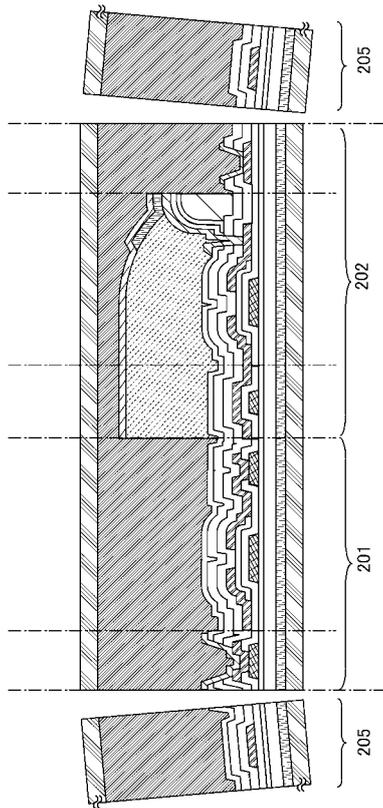
【 図 7 】



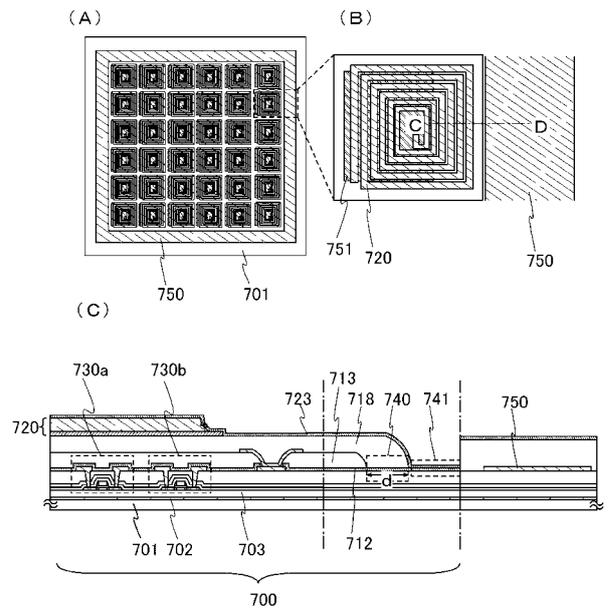
【 図 8 】



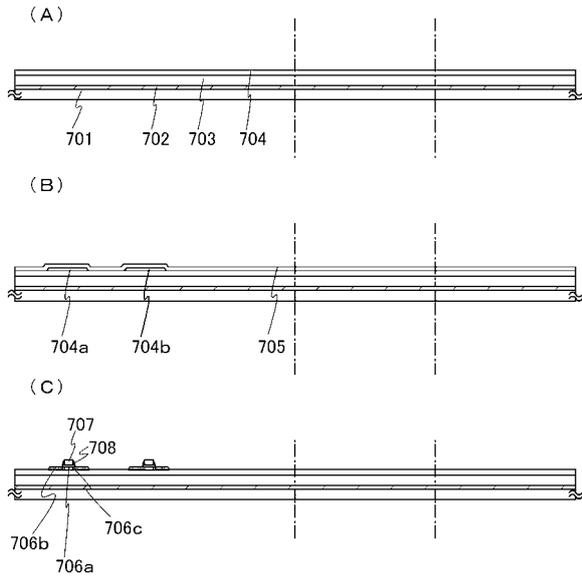
【 図 9 】



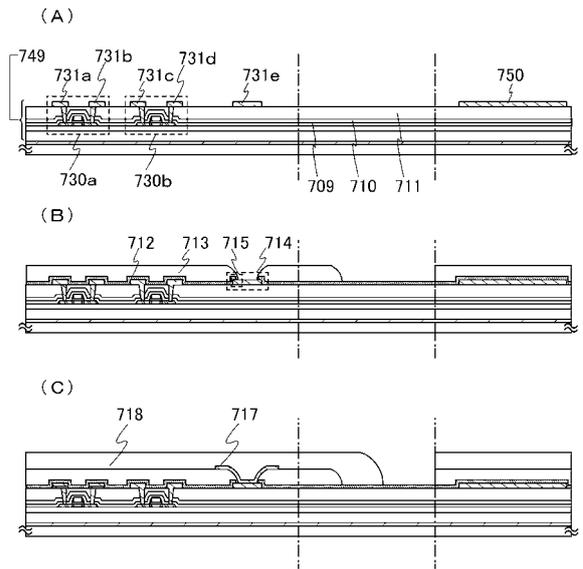
【 図 10 】



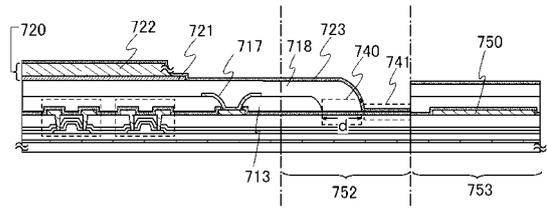
【 図 1 1 】



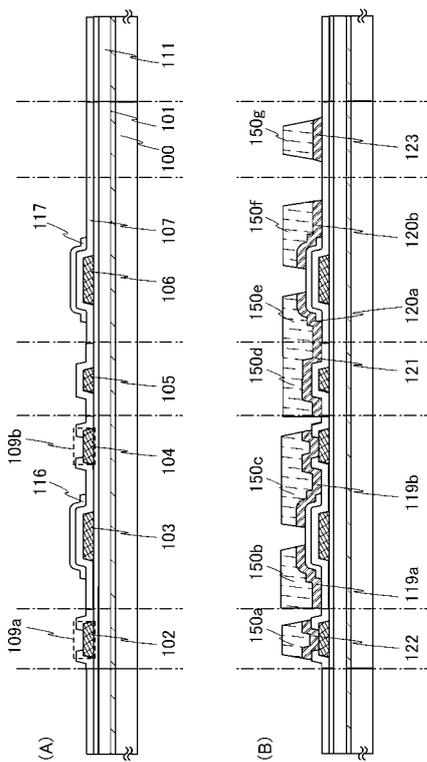
【 図 1 2 】



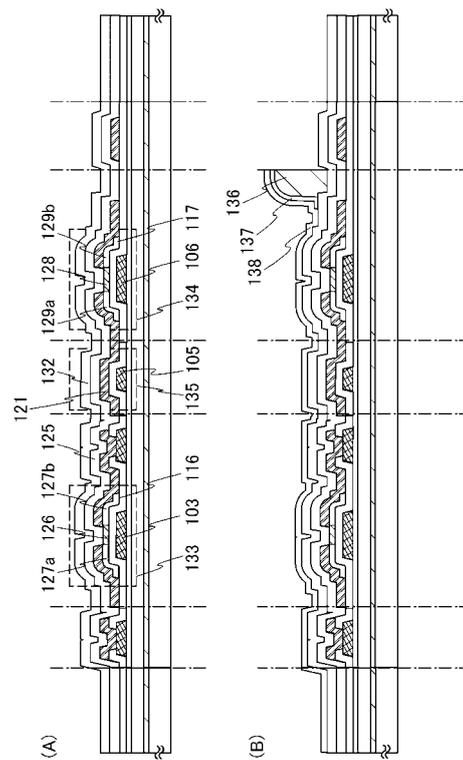
【 図 1 3 】



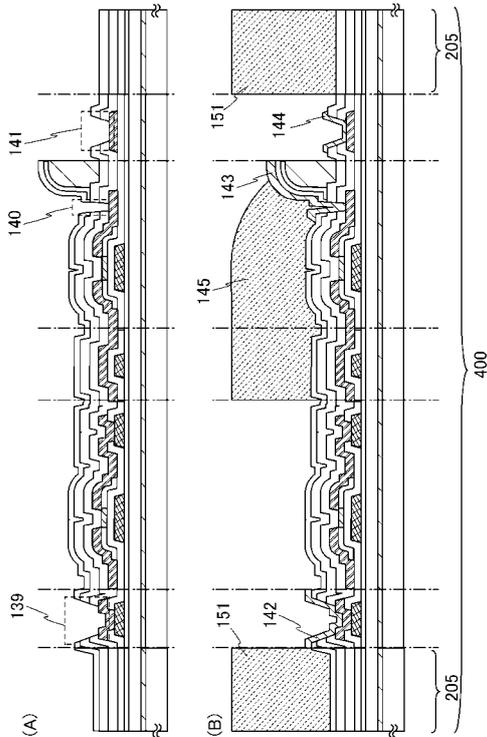
【 図 1 4 】



【 図 1 5 】



【図 16】



【手続補正書】

【提出日】令和3年4月8日(2021.4.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

画素回路部と、駆動回路部と、前記画素回路部及び前記駆動回路部の外側に設けられた導電層と、を有する表示装置であって、

前記画素回路部は、

画素電極と電氣的に接続され、酸化物半導体層を有するトランジスタと、

前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、

前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、

前記画素電極上及び前記隔壁上のEL層と、を有し、

前記開口部は、前記トランジスタと重なる領域を有さず、

前記導電層は、前記トランジスタのゲート電極層と同層に位置し、かつ同一の材料を有する、表示装置。

【請求項2】

画素回路部と、駆動回路部と、前記画素回路部及び前記駆動回路部の外側に設けられた導電層と、を有する表示装置であって、

前記画素回路部は、

画素電極と電氣的に接続され、酸化物半導体層を有するトランジスタと、

前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、

前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、
前記画素電極上及び前記隔壁上のEL層と、を有し、
 前記開口部は、前記酸化物半導体層と重なる領域を有さず、
前記導電層は、前記トランジスタのゲート電極層と同層に位置し、かつ同一の材料を有する、表示装置。

【請求項3】

画素回路部と、駆動回路部と、前記画素回路部及び前記駆動回路部の外側に設けられた導電層と、を有する表示装置であって、

前記画素回路部は、

画素電極と接する領域を有するソース電極層又はドレイン電極層と、酸化物半導体層と、を有するトランジスタと、

前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、
 前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、

前記画素電極上及び前記隔壁上のEL層と、を有し、

前記開口部は、前記ソース電極層又は前記ドレイン電極層と重なる領域を有さず、

前記導電層は、前記トランジスタのゲート電極層と同層に位置し、かつ同一の材料を有する、表示装置。

【請求項4】

画素回路部と、駆動回路部と、前記画素回路部及び前記駆動回路部の外側に設けられた導電層と、を有する表示装置であって、

前記画素回路部は、

画素電極に電氣的に接続され、酸化物半導体層を有するトランジスタと、

前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、
 前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、

前記画素電極上及び前記隔壁上のEL層と、を有し、

前記開口部は、前記トランジスタと重なる領域を有さず、

前記導電層は、前記トランジスタのソース電極層又はドレイン電極層と同層に位置し、かつ同一の材料を有する、表示装置。

【請求項5】

画素回路部と、駆動回路部と、前記画素回路部及び前記駆動回路部の外側に設けられた導電層と、を有する表示装置であって、

前記画素回路部は、

画素電極に電氣的に接続され、酸化物半導体層を有するトランジスタと、

前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、
 前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、

前記画素電極上及び前記隔壁上のEL層と、を有し、

前記開口部は、前記酸化物半導体層と重なる領域を有さず、

前記導電層は、前記トランジスタのソース電極層又はドレイン電極層と同層に位置し、かつ同一の材料を有する、表示装置。

【請求項6】

画素回路部と、駆動回路部と、前記画素回路部及び前記駆動回路部の外側に設けられた導電層と、を有する表示装置であって、

前記画素回路部は、

画素電極と接する領域を有するソース電極層又はドレイン電極層と、酸化物半導体層と、を有するトランジスタと、

前記画素電極の下に位置し、前記画素電極と重なる領域を有するカラーフィルタと、
 前記画素電極上の、前記画素電極と重なる領域に開口部を有する隔壁と、

前記画素電極上及び前記隔壁上のEL層と、を有し、

前記開口部は、前記ソース電極層又は前記ドレイン電極層と重なる領域を有さず、

前記導電層は、前記トランジスタのソース電極層又はドレイン電極層と同層に位置し、

かつ同一の材料を有する、表示装置。

フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
H 0 5 B 33/14 (2006.01)	H 0 5 B	33/14		A
H 0 5 B 33/22 (2006.01)	H 0 5 B	33/14		Z
G 0 9 F 9/30 (2006.01)	H 0 5 B	33/12		B
	H 0 5 B	33/22		Z
	G 0 9 F	9/30	3 6 5	
	G 0 9 F	9/30	3 3 8	
	G 0 9 F	9/30	3 4 9 A	

Fターム(参考) 5F110 AA30 BB02 CC07 DD01 DD02 DD03 DD04 DD06 DD13 DD14
DD15 DD24 EE02 EE03 EE04 EE06 EE14 EE30 FF02 FF03
FF04 FF28 FF30 GG01 GG35 GG57 GG58 HL02 HL03 HL04
HL06 HL11 HL12 HL22 HL23 HM15 NN03 NN05 NN22 NN23
NN34 NN58 QQ19