



(12) 发明专利

(10) 授权公告号 CN 109768797 B

(45) 授权公告日 2023. 10. 24

(21) 申请号 201811626481.1

(22) 申请日 2018.12.28

(65) 同一申请的已公布的文献号
申请公布号 CN 109768797 A

(43) 申请公布日 2019.05.17

(73) 专利权人 普冉半导体(上海)股份有限公司
地址 200000 上海市浦东新区盛夏路560号
504室

(72) 发明人 汪齐方 陈涛

(74) 专利代理机构 上海元好知识产权代理有限公司 31323
专利代理师 刘琰 贾慧琴

(51) Int. Cl.
H03K 19/20 (2006.01)
G11C 16/26 (2006.01)

(56) 对比文件

- CN 107039453 A, 2017.08.11
- JP 2001022650 A, 2001.01.26
- US 2007002619 A1, 2007.01.04
- US 2007237015 A1, 2007.10.11
- US 2003214853 A1, 2003.11.20
- CN 105162438 A, 2015.12.16
- CN 106653086 A, 2017.05.10
- CN 107039964 A, 2017.08.11
- US 2015123708 A1, 2015.05.07
- US 2009086541 A1, 2009.04.02
- US 2002181309 A1, 2002.12.05
- JP H01282924 A, 1989.11.14
- CN 101814313 A, 2010.08.25

高闯 等. 一种用于FPGA的可配置存储器设计.《固体电子学研究与进展》.2016,第36卷(第01期),66-70.

审查员 杨苏倩

权利要求书2页 说明书5页 附图3页

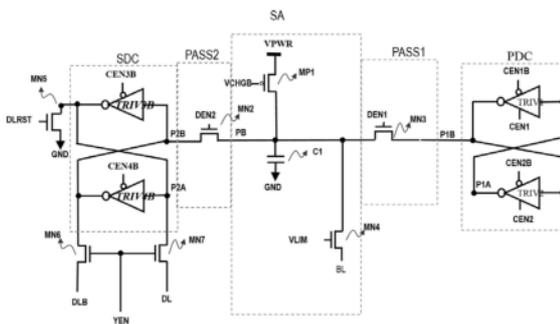
(54) 发明名称

一种节省面积的存储器数据读取锁存传输电路及控制方法

(57) 摘要

本发明是一种节省面积的存储器数据读取锁存传输电路,包含:第一级cache、第二级cache、SA电路、第一传输NMOS管、第二传输NMOS管、数据读出控制电路;第一级cache通过第一传输NMOS管与SA电路连接,第二级cache通过第二传输NMOS管与SA电路连接,且数据读出控制电路与第二级cache连接;SA电路与cell array连接;第一级cache是锁存从cell array读到的数据;第二级cache是为了存储数据,以便在第一级cache读array数据的同时,向外读出数据,且在进行数据对比时,作为参考数据进行比较;第一级cache和第二级cache各设有2个三态反相器,其中至少一个三态反相器的结构是节省面积的三态反相器。

CN 109768797 B



1. 一种节省面积的存储器数据读取锁存传输电路,其特征在于,包含:第一级cache、第二级cache、SA电路、第一传输NMOS管、第二传输NMOS管、数据读出控制电路;

所述第一级cache通过第一传输NMOS管与SA电路连接,所述第二级cache通过第二传输NMOS管与SA电路连接,且数据读出控制电路与所述第二级cache连接;所述SA电路与cell array连接;

所述第一级cache是锁存从cell array读到的数据;

所述第二级cache是为了存储数据,以便在第一级cache读array数据的同时,向外读出数据,且在进行数据对比时,作为参考数据进行比较;

所述第一级cache和第二级cache各设有2个三态反相器,其中至少一个cache的三态反相器使用下述的一种节省面积的三态反相器;

一种所述的节省面积的三态反相器,是一个NMOS管和两个PMOS管的组合结构,或是一个PMOS管和两个NMOS管的组合结构;

其中,一个NMOS管和两个PMOS管的组合结构是第一PMOS管的源极接电源VDD输入端,栅极接三态反相器第一控制信号,漏极接第二PMOS管的源极;第二PMOS管的栅极接三态反相器输入端,漏极接三态反相器输出端;所述NMOS管的源极接地,栅极接三态反相器输入端,漏极接三态反相器输出端;

一个PMOS管和两个NMOS管的组合结构是PMOS管的源极接电源VDD输入端,栅极接三态反相器输入端,漏极接三态反相器输出端;第一NMOS管的漏极接三态反相器输出端,栅极接三态反相器输入端,源极接第二NMOS管的漏极;第二NMOS管的栅极接第二控制信号,源极接地;

所述数据读出控制电路包含NMOS管MN5,该MN5的漏极接第二级cache中的节省面积的三态反相器的输出端,栅极接第十一控制信号,源极接地;在每次接收数据前,开启第十一控制信号,打开MN5电路,使第二级cache中的另一个三态反相器输入端的信号放电到“0”。

2. 如权利要求1所述的一种节省面积的存储器数据读取锁存传输电路,其特征在于,所述第一级cache包含第一三态反相器和第二三态反相器;

所述第一三态反相器和第二三态反相器均包含:两个NMOS管MTN1、MTN2和两个PMOS管MTP1、MTP2;其中,MTP1的源极接电源VDD输入端,栅极接三态反相器第一控制信号,漏极接MTP2的源极;MTP2的栅极接三态反相器输入端,漏极接三态反相器输出端;MTN1的漏极接三态反相器输出端,栅极接三态反相器输入端,源极接MTN2的漏极;MTN2的栅极接三态反相器第二控制信号,源极接地;

所述第一三态反相器的输出端与第二三态反相器的输入端连接,第二三态反相器的输出端与第一三态反相器的输入端连接。

3. 如权利要求2所述的一种节省面积的存储器数据读取锁存传输电路,其特征在于,所述第二级cache包含第三三态反相器和第四三态反相器;

所述第三三态反相器和第四三态反相器均包含:一个NMOS管和两个PMOS管;其中,第一PMOS管的源极接电源VDD输入端,栅极接三态反相器第一控制信号,漏极接第二PMOS管的源极;第二PMOS管的栅极接三态反相器输入端,漏极接三态反相器输出端;所述NMOS管的源极接地,栅极接三态反相器输入端,漏极接三态反相器输出端;

所述第三三态反相器的输出端与第四三态反相器的输入端连接,第四三态反相器的输

出端与第三三态反相器的输入端连接。

4. 如权利要求3所述的一种节省面积的存储器数据读取锁存传输电路,其特征在于,所述SA电路包含PMOS MP1、NMOS MN4、电荷保持电容C1;

所述MP1的源极接电源VPWR,栅极接第三控制信号,漏极接电容的第一端;所述电容的第二端接地;

所述MN4的漏极接MP1的漏极,栅极接第四控制信号,源极接控制信号BL;且BL通过Decoder接到cell array。

5. 如权利要求4所述的一种节省面积的存储器数据读取锁存传输电路,其特征在于,所述第一传输NMOS管的源极接第一三态反相器的输出端,栅极接第五控制信号,漏极接MP1的漏极;

所述第二传输NMOS管的源极接第三三态反相器的输入端,栅极接第六控制信号,漏极接MP1的漏极。

6. 如权利要求5所述的一种节省面积的存储器数据读取锁存传输电路,其特征在于,所述数据读出控制电路还包含NMOS管MN6和MN7;所述MN6的漏极接第四三态反相器的输出端,源极接第七控制信号,栅极接第八控制信号;所述MN7的漏极接第四三态反相器的输入端,源极接第九控制信号,栅极接第十控制信号;

所述MN5的漏极接第三三态反相器的输出端。

7. 一种节省面积的存储器数据读取锁存传输电路控制方法,其特征在于,利用权利要求6所述的一种节省面积的存储器数据读取锁存传输电路,设定第三三态反相器的输入端为节点P2B,第四三态反相器的输入端定为节点P2A,第一三态反相器的输出端定为节点P1B,第二三态反相器的输出端定为节点P1A;且MP1的漏极定为节点PB;控制方法包含以下步骤:

步骤1、BL位线充电阶段;先打开MP1,把PB充电到VDD;此时MN2和MN3都关闭,开启MN4,BL被充电;

步骤2、信号发展阶段;关闭MN4,此时BL随着cell array的状态变化而变化;

步骤3、数据读出阶段;关闭MP1,打开MN4;此时PB电位随着BL的状态变化而变化,当BL维持在高电压时,PB电压保持不变,为VDD;当BL电压为低电压时,PB电压和BL电压进行电荷分享,PB电压变低,接近于BL电压;

步骤4、数据锁存阶段;关闭MN4,关断第一级cache的电源控制,打开MN3,使P1B电压等于PB电压,再逐步打开第二三态反相器/第一三态反相器电源控制,实现数据在第一级cache中进行保存;

步骤5、数据传输阶段;关断第二级cache电源控制,同时开启MN5;之后打开MN2和MN3,Data从P1B传到P2B,再依次打开第二级cache电源控制,实现数据被锁存到第二级cache。

一种节省面积的存储器数据读取锁存传输电路及控制方法

技术领域

[0001] 本发明涉及内存电路设计,具体是存储器数据读取锁存传输电路。

背景技术

[0002] 在memory电路设计中,存储器数据读取锁存传输电路是一种常见的电路。一般一次锁存一个page的数据,一个page的数据达2048个bytes,共16384个bits,所以数据锁存可传输电路也需要16384个。在memory读数据的时候,传统数据锁存电路中,一般有两个cache(快速缓冲贮存区),第一个cache(PDC)是为了锁存从cell array(单元数组)读到的数据,第二个cache(SDC),一是为了存储数据,以便在cache(PDC)读array数据的同时,可以向外读出数据,二是在进行数据对比时,作为参考数据进行比较。

[0003] 传统的数据锁存传输电路结构如附图1:第一个cache,PDC(primary DATA cache),由两个三态反相器TRIV1/TRIV2组成,第二个cache,SDC(secondary DATA cache),也是由两个三态反相器TRIV3/TRIV4组成;一个SA(sense amplifier)电路,由pre-charge PMOS MP1,CLAMP NMOS MN4,电荷保持电容C1,组成。两个PASS NMOS,MN2和MN3,分别用来在cache(PDC)和cache(SDC)之间传输数据;还包含数据初始化电路MN5,数据读出控制电路MN6,MN7。其中,TRIV3B的输入端定为节点P2B,TRIV4B的输入端定为节点P2A,TRIV1的输出端定为节点P1B,TRIV2的输出端定为节点P1A;且MP1的漏极定为节点PB。

[0004] 如附图2所示,传统的数据锁存传输电路使用的三态反相器结构均都包含两个NMOS管MTN1、MTN2和两个PMOS管MTP1、MTP2;其中,MTP1的源极接电源VDD输入端,栅极接三态反相器第一控制信号,漏极接MTP2的源极;MTP2的栅极接三态反相器输入端,漏极接三态反相器输出端;MTN1的漏极接三态反相器输出端,栅极接三态反相器输入端,源极接MTN2的漏极;MTN2的栅极接三态反相器第二控制信号,源极接地。其中,输入给TRIV1的第一控制信号是CEN1B,第二控制信号是CEN1;输入给TRIV2的第一控制信号是CEN2B,第二控制信号是CEN2。其中,TRIV1的输入端与MN3的源极连接。

[0005] 如附图3所示,传统的数据锁存传输电路工作原理如下:

[0006] BL(bit line)pre-charge阶段(位线充电),先由VCHGB电压变低,打开MP1,把PB充电到VDD(1.6~3.6V);这时DEN1/DEN2都等于0,VLIM设成1V~1.5V电压,BL通过下边的Decoder接到cell array,BL被充电到(VLIM-VT)。

[0007] Signal develop(信号发展)阶段,使VLIM=0,这时BL会随着后面cell的状态变化而变化,cell是“0”,BL保持不变(VLIM-VT),cell是“1”,BL电压会下降,电压为(VLIM-VT-deltaV),deltaV大于0.2V。

[0008] Data sense(数据读出)阶段,关断VCHGB,打开VLIM,这时PB电位会随着BL的状态变化而变化,当BL维持在VLIM-VT时,PB电压保持不变,为VDD;当BL电压为(VLIM-VT-deltaV)时,PB电压和BL电压进行电荷分享(一般C1的电容大小是BL上寄生电容的1/10),PB电压变低,接近于BL电压(<0.4V)。

[0009] DATA Latch(数据锁存)阶段,关断VLIM,关断PDC的电源控制,打开DEN1,使P1B电

压等于PB电压,然后再逐步打开TRIV2/TRIIV1电源控制,这样数据就在PDC中进行保存。

[0010] Data transfer(数据传输)阶段,关断TRIV3/TRIV4电源控制,打开DEN2/DEN1,Data从P1B传到P2B,然后依次打开TRIV3/TRIV4,这样数据就被锁存到SDC。

[0011] 由于在读出数据时,根据SRAM的读出数据原理, $YEN=1$,TRIV3和TRIV4是对称的,TRIV3/TRIV4的NMOS下拉部分尺寸,要大于NMOS MN6/MN7(MN6和MN7尺寸相等)尺寸的1.5倍。现在TRIV3/TRIV4NMOS下拉部分是由两个NMOS MTN1/MTN2串联,所以MTN1/MTN2的尺寸要是MN6/MN7尺寸的3倍,假如MN6/7的尺寸是1W,那么MTN1/MTN2的尺寸分别是3W。

[0012] 因为这个数据锁存器在memory内部非常多,可能会用到16384个,为了节省芯片面积,需要研发节省面积的存储器数据读取锁存传输电路。

发明内容

[0013] 本发明所解决上述已有技术存在的问题,设计提供一种节省面积的存储器数据读取锁存传输电路。

[0014] 一种节省面积的三态反相器,是一个NMOS管和两个PMOS管的组合结构,或是一个PMOS管和两个NMOS管的组合结构;

[0015] 其中,一个NMOS管和两个PMOS管的组合结构是第一PMOS管的源极接电源VDD输入端,栅极接三态反相器第一控制信号,漏极接第二PMOS管的源极;第二PMOS管的栅极接三态反相器输入端,漏极接三态反相器输出端;所述NMOS管的源极接地,栅极接三态反相器输入端,漏极接三态反相器输出端;

[0016] 一个PMOS管和两个NMOS管的组合结构是PMOS管的源极接电源VDD输入端,栅极接三态反相器输入端,漏极接三态反相器输出端;第一NMOS管的漏极接三态反相器输出端,栅极接三态反相器输入端,源极接第二NMOS管的漏极;第二NMOS管的栅极接第二控制信号,源极接地。

[0017] 一种节省面积的存储器数据读取锁存传输电路,包含:第一级cache、第二级cache、SA电路、第一传输NMOS管、第二传输NMOS管、数据读出控制电路;

[0018] 所述第一级cache通过第一传输NMOS管与SA电路连接,所述第二级cache通过第二传输NMOS管与SA电路连接,且数据读出控制电路与所述第二级cache连接;所述SA电路与cell array连接;

[0019] 所述第一级cache是锁存从cell array读到的数据;

[0020] 所述第二级cache是为了存储数据,以便在第一级cache读array数据的同时,向外读出数据,且在进行数据对比时,作为参考数据进行比较;

[0021] 所述第一级cache和第二级cache各设有2个三态反相器,其中至少一个cache的三态反相器使用所述的一种节省面积的三态反相器。

[0022] 优选地,所述第一级cache包含第一三态反相器和第二三态反相器;

[0023] 所述第一三态反相器和第二三态反相器均包含:两个NMOS管MTN1、MTN2和两个PMOS管MTP1、MTP2;其中,MTP1的源极接电源VDD输入端,栅极接三态反相器第一控制信号,漏极接MTP2的源极;MTP2的栅极接三态反相器输入端,漏极接三态反相器输出端;MTN1的漏极接三态反相器输出端,栅极接三态反相器输入端,源极接MTN2的漏极;MTN2的栅极接三态反相器第二控制信号,源极接地;

[0024] 所述第一三态反相器的输出端与第二三态反相器的输入端连接,第二三态反相器的输出端与第一三态反相器的输入端连接。

[0025] 优选地,所述第二级cache包含第三三态反相器和第四三态反相器;

[0026] 所述第三三态反相器和第四三态反相器均包含:一个NMOS管和两个PMOS管;其中,第一PMOS管的源极接电源VDD输入端,栅极接三态反相器第一控制信号,漏极接第二PMOS管的源极;第二PMOS管的栅极接三态反相器输入端,漏极接三态反相器输出端;所述NMOS管的源极接地,栅极接三态反相器输入端,漏极接三态反相器输出端;

[0027] 所述第三三态反相器的输出端与第四三态反相器的输入端连接,第四三态反相器的输出端与第三三态反相器的输入端连接。

[0028] 优选地,所述SA电路包含PMOS MP1、NMOS MN4、电荷保持电容C1;

[0029] 所述MP1的源极接电源VPWR,栅极接第三控制信号,漏极接电容的第一端;所述电容的第二端接地;

[0030] 所述MN4的漏极接MP1的漏极,栅极接第四控制信号,源极接控制信号BL;且BL通过Decoder接到cell array。

[0031] 优选地,所述第一传输NMOS管的源极接第一三态反相器的输出端,漏极接第五控制信号,漏极接MP1的漏极;

[0032] 所述第二传输NMOS管的源极接第三三态反相器的输入端,漏极接第六控制信号,漏极接MP1的漏极。

[0033] 优选地,所述数据读出控制电路包含NMOS管MN5、MN6和MN7;所述MN6的漏极接第四三态反相器的输出端,源极接第七控制信号,栅极接第八控制信号;所述MN7的漏极接第四三态反相器的输入端,源极接第九控制信号,栅极接第十控制信号;

[0034] 所述MN5的漏极接第三三态反相器的输出端,栅极接第十一控制信号,源极接地。

[0035] 一种节省面积的存储器数据读取锁存传输电路控制方法,设定TRIV3B的输入端为节点P2B,TRIV4B的输入端定为节点P2A,TRIV1的输出端定为节点P1B,TRIV2的输出端定为节点P1A;且MP1的漏极定为节点PB;控制方法包含以下步骤:

[0036] 步骤1、BL位线充电阶段;先打开MP1,把PB充电到VDD;此时MN2和MN3都关闭,开启MN4,BL被充电;

[0037] 步骤2、信号发展阶段;关闭MN4,此时BL随着cell array的状态变化而变化;

[0038] 步骤3、数据读出阶段;关闭MP1,打开MN4;此时PB电位随着BL的状态变化而变化,当BL维持在高电压时,PB电压保持不变,为VDD;当BL电压为低电压时,PB电压和BL电压进行电荷分享,PB电压变低,接近于BL电压;

[0039] 步骤4、数据锁存阶段;关闭MN4,关断第一级cache的电源控制,打开MN3,使P1B电压等于PB电压,再逐步打开TRIV2/TRIIV1电源控制,实现数据在第一级cache中进行保存;

[0040] 步骤5、数据传输阶段;关断第二级cache电源控制,同时开启MN5;之后打开MN2和MN3,Data从P1B传到P2B,再依次打开第二级cache电源控制,实现数据被锁存到第二级cache。

[0041] 本发明通过优化时序控制,适当调整电路,减少了数据锁存电路中的第二级cache NMOS的个数,并且减小了NMOS的尺寸,从而减少了数据锁存和传输电路的面积,减少了走线通道,减弱了驱动电路的驱动能力,从而大大减少了整个NAND FLASH memory的面积。

附图说明

- [0042] 图1为传统方案的存储器数据锁存器电路结构图；
[0043] 图2为传统的三态反相器电路结构图；
[0044] 图3为传统数据锁存器的时序图；
[0045] 图4为本发明的三态反相器电路结构图；
[0046] 图5为本发明的存储器数据锁存传输器电路结构图；
[0047] 图6为本发明的存储器数据锁存传输器的时序图。

具体实施方式

[0048] 为了使本发明实现的技术手段、创作特征、达成目的与功效易于明白了解，下面结合附图和具体实施例对本发明做进一步详细的说明，但不以任何方式限制本发明的范围。

[0049] 如附图4所示，本发明的一种节省面积的三态反相器，包含：一个NMOS管和两个PMOS管；其中，第一PMOS管的源极接电源VDD输入端，栅极接三态反相器第一控制信号，漏极接第二PMOS管的源极；第二PMOS管的栅极接三态反相器输入端，漏极接三态反相器输出端；所述NMOS管的源极接地，栅极接三态反相器输入端，漏极接三态反相器输出端。通过这种三态反相器的设计，减小了传统三态反相器的下拉NMOS个数，减少了整个三态反相器的尺寸，也去掉了传统三态反相器的第二控制信号的走线通道，节省了电路面积。

[0050] 如附图5所示，节省面积的存储器数据读取锁存传输电路，包含：第一级cache、第二级cache、SA(sense amplifier)电路、第一传输NMOS管MN3、第二传输NMOS管MN2、数据读出控制电路；所述第一级cache包含第一三态反相器TRIV1和第二三态反相器TRIV2，第二级cache包含第三三态反相器TRIV3B和第四三态反相器TRIV4B；

[0051] 所述TRIV3B和TRIV4B均包含：一个NMOS管MTN1和两个PMOS管MTP1、MTP2；其中，MTP1的源极接电源VDD输入端，栅极接三态反相器第一控制信号，漏极接MTP2的源极；MTP2的栅极接三态反相器输入端，漏极接三态反相器输出端；所述MTN1的源极接地，栅极接三态反相器输入端，漏极接三态反相器输出端；其中，输入给TRIV3B的第一控制信号是CEN3B，输入给TRIV4B的第一控制信号是CEN4B。

[0052] 所述TRIV3B的输出端与TRIV4B的输入端连接，TRIV4B的输出端与TRIV3B的输入端连接；其中，所述第三三态反相器的输入端与MN2的源极连接。

[0053] 所述TRIV1和TRIV2均包含：两个NMOS管MTN1、MTN2和两个PMOS管MTP1、MTP2；其中，MTP1的源极接电源VDD输入端，栅极接三态反相器第一控制信号，漏极接MTP2的源极；MTP2的栅极接三态反相器输入端，漏极接三态反相器输出端；MTN1的漏极接三态反相器输出端，栅极接三态反相器输入端，源极接MTN2的漏极；MTN2的栅极接三态反相器第二控制信号，源极接地。其中，输入给TRIV1的第一控制信号是CEN1B，第二控制信号是CEN1；输入给TRIV2的第一控制信号是CEN2B，第二控制信号是CEN2。其中，TRIV1的输入端与MN3的源极连接。

[0054] 所述SA电路包含pre-charge PMOS MP1、CLAMP NMOS MN4、电荷保持电容C1；所述MP1的源极接电源VPWR，栅极接控制信号VCHGB，漏极接C1的第一端，C1的第二端接地；所述MN4的漏极接MP1的漏极，栅极接控制信号VLIM，源极接控制信号BL；且BL通过下边的Decoder接到cell array；所述MP1的漏极接MN2的漏极和MN3的漏极。MN2的栅极接控制信号DEN2，MN3的栅极接控制信号DEN1。

[0055] 所述数据读出控制电路包含NMOS管MN5、MN6和MN7；所述MN6的漏极接TRIV4B的输出端，源极接控制信号DLB，栅极接控制信号YEN；所述MN7的漏极接TRIV4B的输入端，源极接控制信号DL，栅极接控制信号YEN；所述MN5的漏极接TRIV3B的输出端，栅极接控制信号DLRST，源极接地。

[0056] 其中，TRIV3B的输入端定为节点P2B，TRIV4B的输入端定为节点P2A，TRIV1的输出端定为节点P1B，TRIV2的输出端定为节点P1A；且MP1的漏极定为节点PB。

[0057] 本发明减少了TRIV3B/TRIV4B NMOS下拉部分的NMOS个数，从两个NMOS减到一个NMOS，只剩下MTN1一个NMOS，所以在读数据时，MTN1的尺寸只是MN6/MN7尺寸的1.5倍，即1.5W。从而总共节约了一个相当于MN6的9倍尺寸面积的NMOS，即9W。

[0058] 但是本发明的设计也会带来新的问题：由于P2B/P2A的初始状态不确定，只剩一个下拉的NMOS没有电源控制，当P2A初始电压是VDD时，P2B接收的电压是也是VDD时，TRIV4B的NMOS会把P2A拉成“0”，从而导致信号“0”和“1”的竞争，最终会导致功能错误。为了解决此问题，利用初始化电路MN5，在每次接收数据前，开启信号DLRST，打开初始化电路MN5，使信号P2A放电到“0”，从而保证了没有信号的竞争，从而保证功能正确。

[0059] 本发明的时序图如附图6所示，本发明的控制方法步骤包含：

[0060] 步骤1、BL位线充电阶段；先打开MP1，把PB充电到VDD；此时MN2和MN3都关闭，开启MN4，BL被充电；

[0061] 步骤2、信号发展阶段；关闭MN4，此时BL随着cell array的状态变化而变化；

[0062] 步骤3、数据读出阶段；关闭MP1，打开MN4；此时PB电位随着BL的状态变化而变化，当BL维持在高电压时，PB电压保持不变，为VDD；当BL电压为低电压时，PB电压和BL电压进行电荷分享，PB电压变低，接近于BL电压；

[0063] 步骤4、数据锁存阶段；关闭MN4，关断第一级cache的电源控制，打开MN3，使P1B电压等于PB电压，再逐步打开TRIV2/TRIIV1电源控制，实现数据在第一级cache中进行保存；

[0064] 步骤5、数据传输阶段；关断第二级cache电源控制，同时开启MN5；之后打开MN2和MN3，Data从P1B传到P2B，再依次打开第二级cache电源控制，实现数据被锁存到第二级cache。

[0065] 本发明的数据锁存传输电路的BL位线充电阶段、信号发展阶段、数据读出阶段、数据锁存阶段的工作原理与传统方案类似。但在Data transfer阶段，每次DEN1/DEN2开启之前，都让DLRST信号开启一段时间，使D2A放电到“0”，从而保证了正确传输数据。

[0066] 在上述实施例中减小了第二级cache NMOS个数和尺寸，但不限于用NMOS，也限于减小PMOS个数和尺寸。且在该实施例减小了第二级cacheNMOS或PMOS个数和尺寸，但不限于第二级cache，也限于第一级的cacheNMOS或PMOS个数可尺寸。本发明方法减少了cache的尺寸，但不限于用在Memory数据锁存传输电路，也限于所有有数据锁存传输需求的半导体电路。

[0067] 尽管本发明的内容已经通过上述优选实例作了详细介绍，但应当认识到上述的描述不应被认为是本发明的限制。在本领域技术人员阅读了上述内容后，对于本发明的多种修改和替代都将是显而易见的。因此，本发明的保护范围应由所附的权利要求来限定。

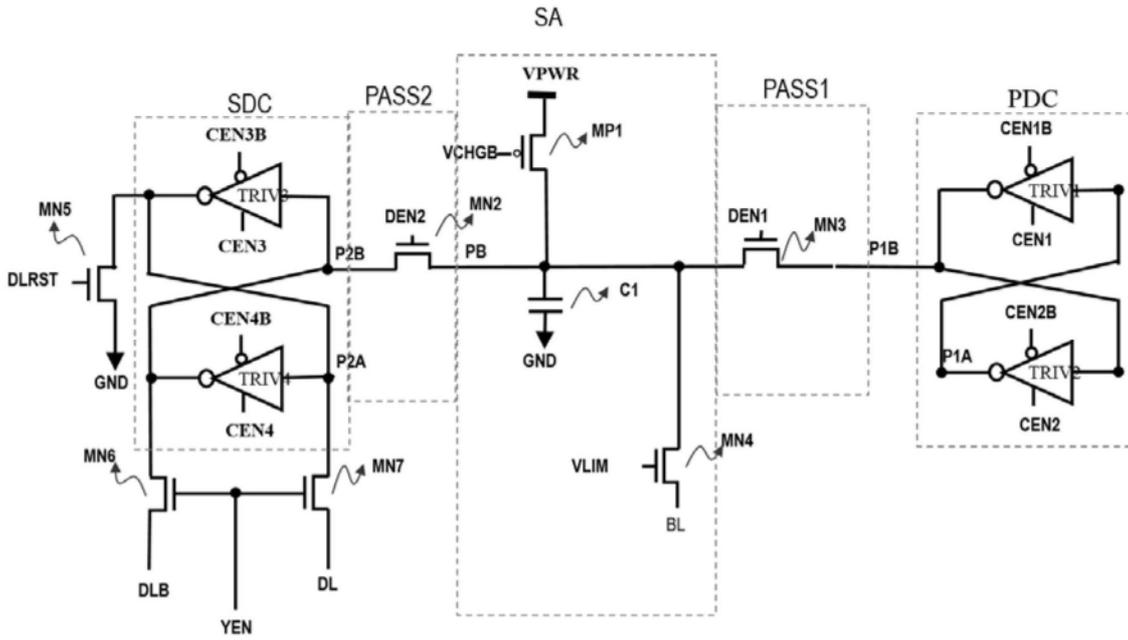


图1

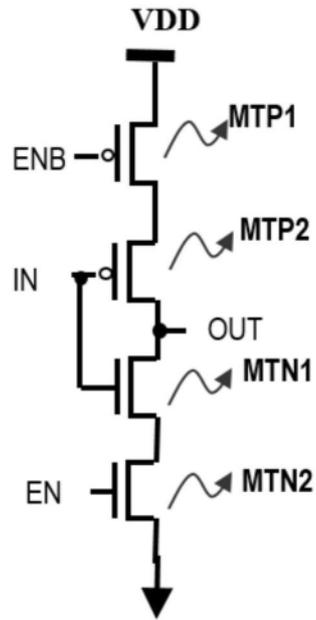


图2

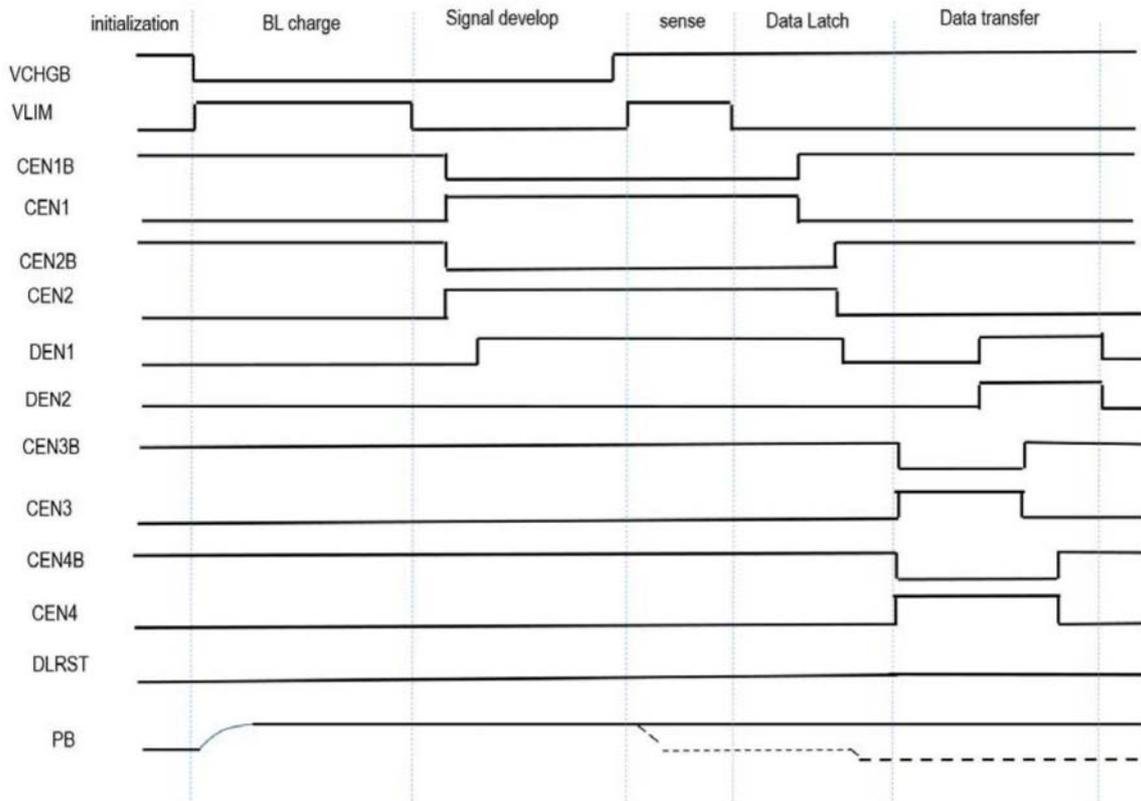


图3

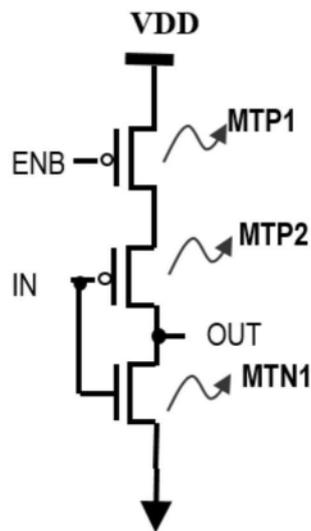


图4

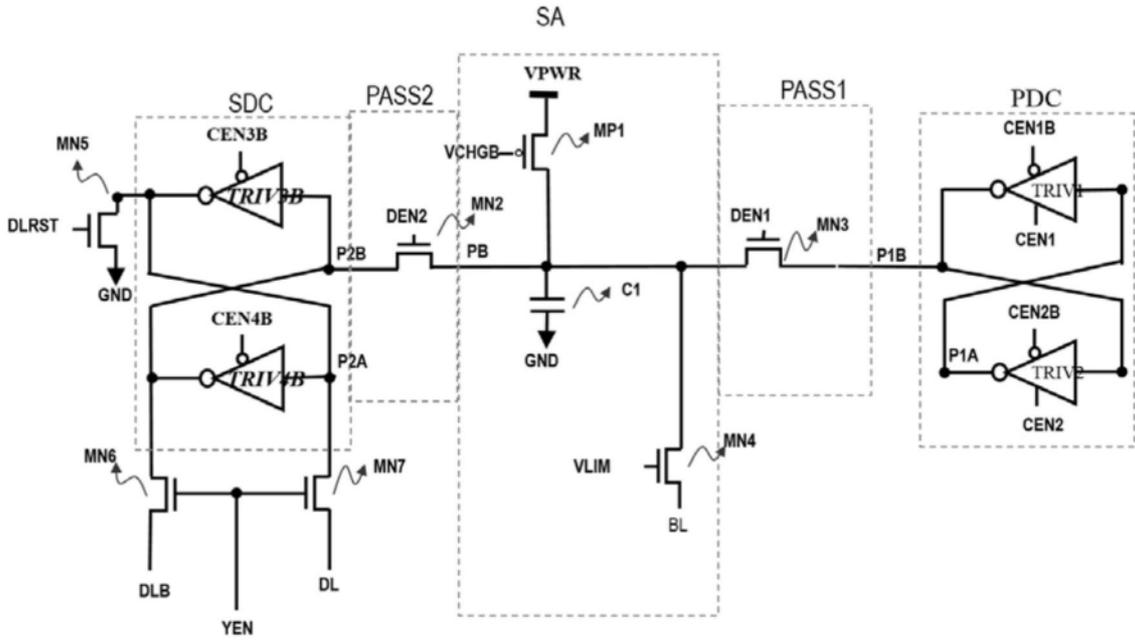


图5

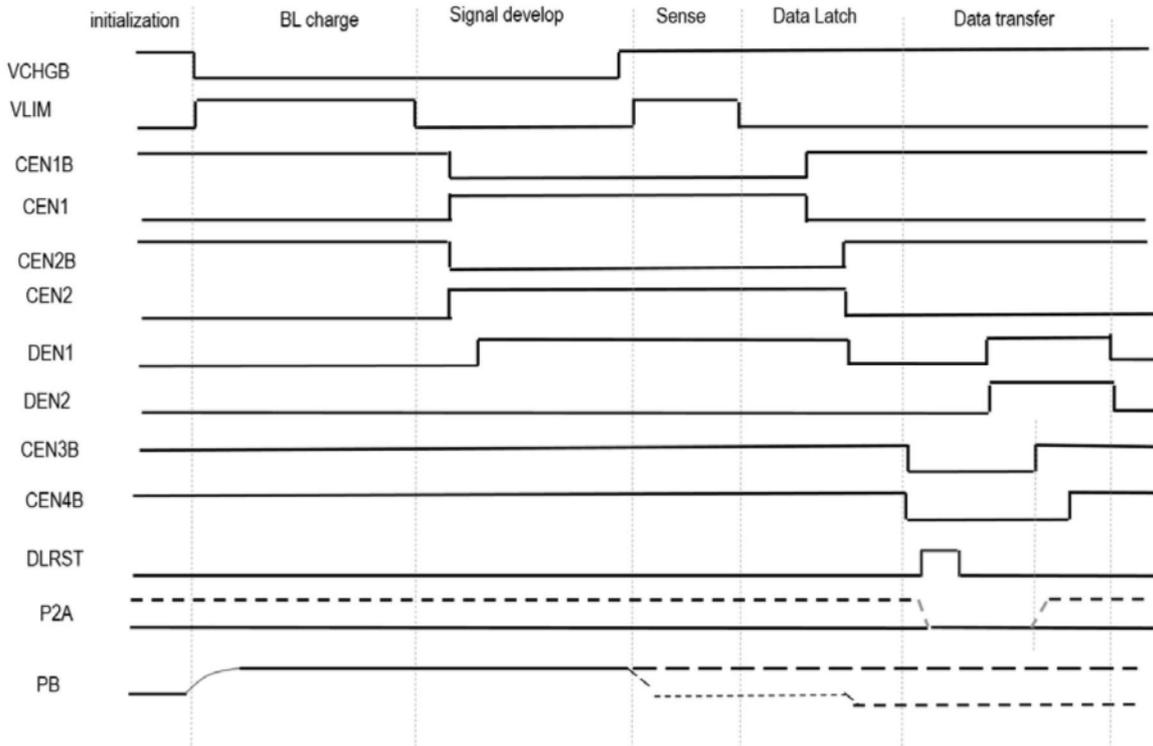


图6