



(12) 发明专利申请

(10) 申请公布号 CN 103515205 A

(43) 申请公布日 2014. 01. 15

(21) 申请号 201210219760. 2

(22) 申请日 2012. 06. 28

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 赵猛

(74) 专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 牛峥 王丽琴

(51) Int. Cl.

H01L 21/265(2006. 01)

H01L 21/336(2006. 01)

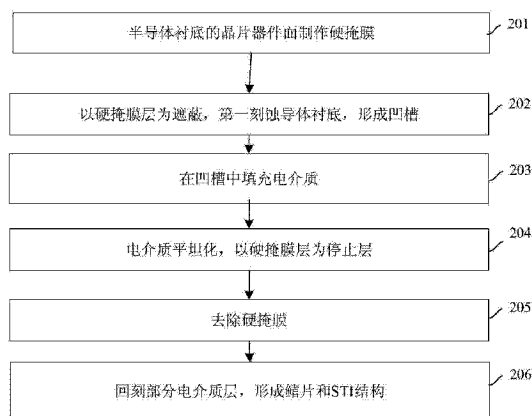
权利要求书1页 说明书6页 附图7页

(54) 发明名称

一种 FinFET 沟道掺杂方法

(57) 摘要

本发明提供了一种 FinFET 的沟道掺杂方法, 该方法在半导体衬底的表面进行反型掺杂形成反型层后, 刻蚀形成顶部具有反型层的鳍片, 接着对 Fin 的两个侧壁分别进行大角度的离子注入, 由于 N 反型层中的反型掺杂与两次离子注入的掺杂离子之间的复合作用, 保证了 Fin 顶面和两个侧壁三者掺杂浓度的均匀性, 改善了沟道掺杂对与之电压的控制。



1. 一种鳍片沟道掺杂方法,提供具有半导体衬底的晶片,其特征在于,该方法包括:
所述半导体衬底的晶片器件面反型掺杂形成反型掺杂层,具有反型掺杂层的半导体衬底的晶片器件面制作硬掩膜;
以硬掩膜为遮蔽,在半导体衬底中刻蚀形成鳍片,
在鳍片的左侧侧壁和右侧侧壁分别进行第一离子注入和第二离子注入,所述第一离子注入和第二离子注入的掺杂类型相同,所述反型掺杂与所述第一离子注入和第二离子注入的掺杂类型相反。
2. 根据权利要求1所述的方法,其特征在于,所述第一离子注入的注入角度为离子束顺时针偏离晶片器件面法线的夹角 α ,所述夹角 α 的范围是10到60度;所述第二离子注入的注入角度为离子束逆时针偏离晶片器件面法线的夹角 β ,所述夹角 β 的范围是10到60度。
3. 根据权利要求1所述的方法,其特征在于,当第一离子注入和第二离子注入的掺杂类型为P型掺杂,所述反型掺杂为N型掺杂,掺杂杂质为第V主族元素,所述反型掺杂的掺杂浓度是所述第一离子注入或第二离子注入的二分之一。
4. 根据权利要求3所述的方法,其特征在于,所述第一离子注入和第二离子注入的离子注入源是合成簇硼 $B_{18}H_{22}$,二碳代十二硼烷 $C_2B_{10}H_{12}$ 或者 $C_2B_{10}H_{14}$ 。
5. 根据权利要求3所述的方法,其特征在于,所述第一离子注入和第二离子注入的离子注入源为二氟化硼 BF_2 ,注入能量范围是0.1KeV到1KeV。
6. 根据权利要求1所述的方法,其特征在于,当第一离子注入和第二离子注入的掺杂类型为N型掺杂时,反型掺杂为P型掺杂,掺杂杂质为第III主族元素,所述反型掺杂的掺杂浓度是所述第一离子注入或者所述第二离子注入的二分之一。
7. 根据权利要求6所述的方法,其特征在于,所述反型掺杂的是硼掺杂B或者二氟化硼 BF_2 掺杂。
8. 根据权利要求6所述的方法,其特征在于,所述第一离子注入和第二离子注入的离子注入源为磷P、锑Sb或者砷As,注入能量范围是0.5KeV到5KeV。
9. 根据权利要求3或6所述的方法,其特征在于,所述反型掺杂的方法是离子注入,注入角度是零,注入剂量范围是 $1.0E12$ 个离子每平方厘米到 $5.0E13$ 个离子每平方厘米注入能量范围是15KeV到70KeV。

一种 FinFET 沟道掺杂方法

技术领域

[0001] 本发明涉及一种半导体制造方法,特别涉及一种 FinFET 沟道掺杂方法。

背景技术

[0002] 随着半导体技术的发展,作为其发展标志之一的金属氧化物半导体晶体管(MOSFET)的特征尺寸一直遵循摩尔定律持续按比例缩小,由半导体器件作为元件的集成电路(IC)的电路集成度、性能以及功耗也不断提高。为了进一步提高半导体器件的速度,近些年来提出了不同于传统的平面型 MOSFET 的三维(3D)结构或非平面(non-planar)结构 MOSFET,即发展出水平多面栅结构、纵向多面栅结构等三维结构。

[0003] 三维结构的多面栅 MOSFET 可根据栅与衬底平行或是垂直的位置关系直观的分为水平多面栅 MOSFET(Planar DG)以及纵向多面栅 MOSFET。另外,根据电流流向与衬底的关系纵向多面栅 MOSFET 又分为鳍式场效晶体管(FinField-effect transis 到 r,FinFET)结构(电流方向平行于衬底)和电流方向垂直于衬底(Sidewall)结构。

[0004] FinFET 与平面场效应管相比,FinFET 的器件关键尺寸由多晶硅栅极高度和宽度两个因素同时决定(对平面型 MOSFET 而言,关键尺寸被定义为从源极到漏极的栅极的设计长度)。请注意与平面 MOSFET 不同的是,FinFET 的关键尺寸是实际制造中形成的多晶硅栅极长度和厚度,而非设计定义的多晶硅栅极尺寸。

[0005] 众所周知,每个晶片(wafer)上都有成百上千个芯片(chip),每个芯片的有源区(AA)中又有数以百万计独立的半导体器件(每个 FinFET 都是一个半导体器件),浅沟槽隔离(STI)用于隔离有源区,避免独立的半导体器件之间的相互干扰。如图 1a 所示的现有典型的 FinFET 三维视图,FinFET 包括半导体衬底 1 上长度上沿 y 方向形成的鳍片 2,鳍片 2 在 x 方向上具有一定的宽度;多晶硅栅极 5 沿 x 方向上包围鳍片 2 的一个顶面和两个垂直侧面,在鳍片 2 长度方向的两端离子注入形成源/漏极;图 1b 为图 1a 沿 A-A' 方向的截面图,栅极氧化层 6 将多晶硅栅极 5 与鳍片 2 隔开,通常情况下,栅极氧化层 6 会有很多层,我们往往用一个等效的栅极氧化层厚度(EOT)来进行表征,但是在图 1b 中,为了简化问题只画了一层栅极氧化层 6;多晶硅栅极 5 能够在鳍片 2 的三个包围面感应出导电沟道;鳍片 2 两侧的半导体衬底 1 中具有 STI;源极和漏极分别位于多晶硅栅极 5 两侧的鳍片 2 中。

[0006] 除了栅极本身之外,另外一个在制造上的转变是需要制作一个绝缘层上硅(silicon-on-insula 到 r,SOI)的衬底或者体硅。很多研究已经充分体现了在 SOI 和体硅上分别制作的 FinFET 的差别,这里以在 SOI 上制作 FinFET 为例进行说明。

[0007] 下面结合图 3~8 说明现有技术中如图 2 所示 FinFET 沟道掺杂的具体步骤如下:

[0008] 步骤 201,图 3 为现有技术中 FinFET 制作步骤 201 的剖面结构示意图,如图 3 所示,半导体衬底的晶片器件面制作硬掩膜;

[0009] 首先,提供以 SOI 作为半导体衬底 300 的晶片,SOI 是一种具有独特的“硅-绝缘层-硅”三层结构的新型硅基半导体材料,如图所示 SOI 包括上层的单晶硅顶层 300a,以单晶硅顶层 300a 的上表面作为晶片器件面,中间层的二氧化硅绝缘层 300b,以及底层的体型

硅 300c。在半导体衬底 300 的晶片器件面依次沉积衬垫氧化层 301 (pad oxide layer) 和硬掩膜层 302, 以及光刻后依次刻蚀所述硬掩膜层 302 和衬垫氧化层 301, 在硬掩膜层 302 和衬垫氧化层 301 上打开窗口。其中, 光刻是指, 在硬掩膜层 302 上涂覆第一光刻胶, 经过曝光和显影工艺将第一光刻胶图案化形成第一光刻图案 (图中未画出); 以第一光刻图案为掩膜依次用各向异性的反应离子刻蚀 (RIE) 或者高密度等离子体 (HDP) 刻蚀去除没有被第一光刻图案覆盖的硬掩膜层 302 和衬垫氧化层 301 部分, 在硬掩膜层 302 和衬垫氧化层 301 上形成窗口, 露出部分单晶硅顶层 300a 表面。本步骤中, 还包括刻蚀后, 剥离残留第一光刻图案的步骤。制作硬掩膜的具体步骤为现有技术, 不再赘述。

[0010] 步骤 202, 图 4 为现有技术中 FinFET 制作的步骤 202 的剖面结构示意图, 如图 4 所示, 以硬掩膜为遮蔽, 刻蚀单晶硅顶层 300a 形成鳍片 401;

[0011] 本步骤中, 以二氧化硅绝缘层 300b 为刻蚀停止层在单晶硅顶层 300a 中形成鳍片 401 结构, 所述鳍片 401 的两个侧壁 401b 和 401c 垂直于半导体衬底 300 的器件面。本步骤还包括后续去除残留硬掩膜 (包括刻蚀后硬掩膜层 302 和衬垫氧化层 301) 的步骤, 露出鳍片 401 的顶面 401a, 具体方法为现有技术, 不再赘述。

[0012] 步骤 203, 图 5 为现有技术中 FinFET 制作的步骤 203 的剖面结构示意图, 如图 5 所示, 第一离子注入在鳍片的左侧侧壁 401b 表面进行沟道掺杂;

[0013] 沟道掺杂的方法是离子注入, 将离子注入时离子束偏离晶片器件面法线的方向和所成夹角的角度定义为离子注入的注入角度, 鳍片的结构决定了需要从不同的注入角度对鳍片的两个侧壁分别进行离子注入。本步骤中, 对鳍片 401 的左侧侧壁 401b 进行第一离子注入时, 注入角度为离子束顺时针旋转偏离晶片器件面法线的夹角 (title)。

[0014] 步骤 204, 图 6 为现有技术中 FinFET 制作的步骤 204 的剖面结构示意图, 如图 6 所示, 第二离子注入在鳍片的右侧侧壁 401c 表面进行沟道掺杂;

[0015] 本步骤中, 与步骤 203 同理, 对鳍片 401 的右侧侧壁 401c 进行第二离子注入时, 注入角度为离子束逆时针旋转偏离晶片器件面法线的夹角。需要注意的是, 在步骤 203 和步骤 204 中, 对 N 型金属氧化物半导体 (NMOS) 的沟道掺杂, 两次离子注入的掺杂类型都为 P 型掺杂; 对 P 型金属氧化物半导体 (PMOS) 的沟道掺杂, 两次注入离子的掺杂类型都为 N 型。

[0016] 需要注意的是步骤 203 和步骤 204 的顺序可以调换。

[0017] 上述可见, 无论各向同性还是各向异性的离子注入, 由于在鳍片两个侧壁 401b 和 401c 分别进行的离子注入是导电类型相同的同型离子注入, 鳍片 401 的顶面 401a 必然会受到注入类型相同的两次离子注入, 导致鳍片 401 顶面 401a 的掺杂浓度大于两个侧壁 401b 和 401c 的掺杂浓度。FinFET 制作的后续还包括在鳍片 401 上沉积栅极电介质 504 后制作栅极, 环绕栅极的侧墙 (spacer), 以及源漏极注入等步骤, 均为现有技术, 不再赘述。众所周知, 沟道掺杂的作用是通过掺杂浓度的变化调节 FinFET 的阈值电压, 如果包围鳍片的三个栅极下方的导电沟道区域的掺杂浓度不同, 则会导致控制 FinFET 导电沟道反型的阈值电压不同。因此如何控制鳍片 401 顶面 401a 和两个侧壁 401b 和 401c 的掺杂浓度均匀性成为 FinFET 制造工艺中亟待解决的问题。

发明内容

[0018] 有鉴于此, 本发明解决的技术问题是: 在 FinFET 的离子注入工艺中, 如何控制鳍

片顶面和两个侧面的掺杂浓度的均匀性。

[0019] 为解决上述问题,本发明的技术方案具体是这样实现的:

[0020] 一种鳍片沟道掺杂方法,提供具有半导体衬底的晶片,其特征在于,该方法包括:

[0021] 所述半导体衬底的晶片器件面反型掺杂形成反型掺杂层,具有反型掺杂层的半导体衬底的晶片器件面制作硬掩膜;

[0022] 以硬掩膜为遮蔽,在半导体衬底中刻蚀形成鳍片,

[0023] 在鳍片的左侧侧壁和右侧侧壁分别进行第一离子注入和第二离子注入,所述第一离子注入和第二离子注入的掺杂类型相同,所述反型掺杂与所述第一离子注入和第二离子注入的掺杂类型相反。

[0024] 所述第一离子注入的注入角度为离子束顺时针偏离晶片器件面法线的夹角 α ,所述夹角 α 的范围是 10 到 60 度;所述第二离子注入的注入角度为离子束逆时针偏离晶片器件面法线的夹角 β ,所述夹角 β 的范围是 10 到 60 度。

[0025] 当第一离子注入和第二离子注入的掺杂类型为 P 型掺杂,所述反型掺杂为 N 型掺杂,掺杂杂质为第 V 主族元素,所述反型掺杂的掺杂浓度是所述第一离子注入或第二离子注入的二分之一。

[0026] 所述第一离子注入和第二离子注入的离子注入源是 $B_{18}H_{22}$, $C_2B_{10}H_{12}$ 或者 $C_2B_{10}H_{14}$ 。

[0027] 所述第一离子注入和第二离子注入的离子注入源为二氟化硼(BF_2),注入能量范围是 0.1KeV~1KeV。

[0028] 当第一离子注入和第二离子注入的掺杂类型为 N 型掺杂时,反型掺杂为 P 型掺杂,掺杂杂质为第 III 主族元素,所述反型掺杂的掺杂浓度是所述第一离子注入或第二离子注入的二分之一。

[0029] 所述反型掺杂的掺杂杂质是硼 B 或者二氟化硼 BF_2 。

[0030] 所述第一离子注入和第二离子注入的离子注入源为锑(Sb)或者砷(As),注入能量范围是 0.5KeV 到 2KeV。

[0031] 所述第一和第二离子注入的离子注入源为砷,注入能量范围是 1KeV~5KeV。

[0032] 所述反型掺杂的方法是离子注入,注入角度是零,注入剂量范围是 $1.0E12$ 个离子每平方厘米到 $5.0E13$ 个离子每平方厘米,注入能量范围是 15KeV 到 70KeV。

[0033] 由上述的技术方案可见,本发明提供了一种 FinFET 的沟道掺杂方法,该方法在半导体衬底的表面进行反型掺杂形成反型层后,刻蚀形成顶部具有反型层的鳍片,接着对 Fin 的两个侧壁分别进行大角度的离子注入,由于 N 反型层中的反型掺杂与两次离子注入的掺杂离子之间的复合作用,保证了 Fin 顶面和两个侧壁三者掺杂浓度的均匀性,改善了沟道掺杂对与之电压的控制。

附图说明

[0034] 图 1a、图 1b 为现有技术 FinFET 示意图;

[0035] 图 2 为现有技术 FinFET 沟道掺杂的制作流程图;

[0036] 图 3~6 为现有技术 FinFET 沟道掺杂步骤的剖面结构示意图;

[0037] 图 7 为本发明具体实施例一 FinFET 沟道掺杂方法流程图;

[0038] 图 8~12 为本发明具体实施例一 FinFET 沟道掺杂剖面结构示意图。

具体实施方式

[0039] 为使本发明的目的、技术方案、及优点更加清楚明白,以下参照附图并举实施例,对本发明进一步详细说明。

[0040] 本发明提出了一种 FinFET 沟道掺杂方法,该方法在半导体衬底的表面进行反型掺杂形成反型层后,刻蚀形成顶部具有反型层的鳍片,接着对 Fin 的两个侧壁分别进行大角度的离子注入,由于 N 反型层中的反型掺杂与两次离子注入的掺杂离子之间的复合作用,保证了 Fin 顶面和两个侧壁三者掺杂浓度的均匀性,改善了沟道掺杂对与之电压的控制。

[0041] 具体实施例一

[0042] 结合图 8~12 说明本发明中如图 7 所示的本发明 N 型 FinFET 的沟道掺杂方法,其具体步骤如下:

[0043] 步骤 701,图 8 为本发明 FinFET 制作步骤 701 的剖面结构示意图,如图 8 所示,对半导体衬底 300 的晶片器件面进行反型掺杂,在半导体衬底表面形成反型层 307;

[0044] 首先,提供以 SOI 作为半导体衬底 300 的晶片,SOI 是一种具有独特的“硅-绝缘层-硅”三层结构的新型硅基半导体材料,如图所示 SOI 包括上层的单晶硅顶层 300a,以单晶硅顶层 300a 的上表面作为晶片器件面,中间层的二氧化硅绝缘层 300b,以及底层的体硅 300c。本步骤中,反型掺杂是指,根据 FinFET 的类型,也就是后续沟道掺杂的掺杂类型,选择与其相反的掺杂类型进行掺杂。具体地,反型掺杂的方法为离子注入 306,反型掺杂的离子注入 306 角度是零(no-tilt)。对 N 型 FinFET,反型掺杂的杂质为第 V 主族元素,优选的第 V 主族元素为磷(Phosph)或者砷(Arsenic),反型掺杂的掺杂浓度是后续对鳍片侧壁沟道掺杂(也就是后续步骤的第一离子注入或者第二离子注入的掺杂浓度)的二分之一,注入剂量范围是 $1.0E12$ 到 $5.0E13$,注入能量范围是 15KeV 到 70KeV。对 P 型 FinFET,反型掺杂的杂质为第 III 主族元素,例如:硼元素(B),离子注入时的离子注入源为单质硼(B)或者二氟化硼(BF_2),反型掺杂的掺杂浓度是后续鳍片侧壁沟道掺杂的二分之一,优选的,反型掺杂的掺杂浓度范围是 $1.0E12$ 个离子每平方厘米到 $5.0E13$ 个离子每平方厘米,例如, $1.0E12$ 个离子每平方厘米, $3.0E13$ 个离子每平方厘米,或者 $5.0E13$ 个离子每平方厘米,注入能量范围是 15KeV 到 70KeV。例如 15 千电子伏特,40 千电子伏特,70 千电子伏特。

[0045] 步骤 702,图 9 为本发明 FinFET 制作的步骤 702 的剖面结构示意图,如图 9 所示,在具有反型层 307 的半导体衬底 300 的晶片器件面制作硬掩膜;

[0046] 本步骤中,制作硬掩膜的具体步骤包括:首先在具有反型层的半导体衬底 300 的晶片器件面(单晶硅顶层 300a 的上表面)依次沉积衬垫氧化层 301(pad oxide layer)和硬掩膜层 302,接着光刻后依次刻蚀所述硬掩膜层 302 和衬垫氧化层 301,在硬掩膜层 302 和衬垫氧化层 301 上打开窗口。其中,光刻是指,在硬掩膜层 302 上涂覆第一光刻胶,经过曝光和显影工艺将第一光刻胶图案化形成第一光刻图案(图中未画出);以第一光刻图案为掩膜依次用各向异性的反应离子刻蚀(RIE)或者高密度等离子体(HDP)刻蚀去除没有被第一光刻图案覆盖的硬掩膜层 302 和衬垫氧化层 301 部分,在硬掩膜层 302 和衬垫氧化层 301 上形成窗口,露出部分单晶硅顶层 300a 表面。本步骤中,还包括刻蚀后,剥离残留第一光刻图案的步骤。制作硬掩膜的具体步骤为现有技术,不再赘述。

[0047] 步骤 703, 图 10 为本发明 FinFET 制作的步骤 703 的剖面结构示意图, 如图 10 所示, 以硬掩膜为遮蔽, 刻蚀所述具有反型层 307 的半导体衬底 300 形成鳍片 401;

[0048] 本步骤中, 以硬掩膜为遮蔽, 刻蚀单晶硅顶层 300a 形成鳍片 401, 鳍片的侧壁与衬底表面(水平面)接近垂直, 鳍片的侧壁与衬底水平面的夹角范围是 85° 到 90° , 例如, 85° , 87° 或者 90° , 刻蚀的深度定义了鳍片的高度。

[0049] 步骤 704, 图 11 为本发明 FinFET 制作的步骤 704 的剖面结构示意图, 如图 11 所示, 在鳍片的左侧侧壁 401b 表面进行第一离子注入;

[0050] 本步骤中, 对鳍片 401 的左侧侧壁 401b 进行第一离子注入时, 注入角度为离子束顺时针偏离晶片器件面法线的夹角 α , 则第一离子注入的注入角度 α 的范围是 10 到 60 度。

[0051] 本步骤中, 对 N 型 FinFET, 采用的离子注入源为二氟化硼(BF_2), 注入能量范围是 0.1KeV 到 1KeV, 例如: 0.1KeV, 0.5KeV 或者 1KeV; 此外, 离子注入源还可以是合成簇硼 $\text{B}_{18}\text{H}_{22}$, 二碳代十二硼烷 $\text{C}_2\text{B}_{10}\text{H}_{12}$ 或者 $\text{C}_2\text{B}_{10}\text{H}_{14}$ 。对 P 型 FinFET, 采用的离子注入源为磷(P), 锑(Sb)或者砷(As), 注入能量范围是 0.5KeV 到 5KeV, 例如: 0.5KeV, 1KeV 或者 5KeV。优选的, 离子注入源为砷, 注入能量范围是 1KeV~5KeV, 例如: 1KeV, 3KeV 或者 5KeV。

[0052] 步骤 705, 图 12 为本发明 FinFET 制作的步骤 704 的剖面结构示意图, 如图 12 所示, 鳍片的右侧侧壁 401b 表面进行第二离子注入;

[0053] 本步骤中, 与步骤 704 同理, 对鳍片 401 的右侧侧壁 401c 进行第二离子注入时, 注入角度为离子束逆时针偏离晶片器件面法线的夹角 β , 第二离子注入的注入角度 β 的范围是 10 到 60 度。与步骤 704 相同的是, 本步骤中, 对 N 型 FinFET, 优选的离子注入源为二氟化硼(BF_2), 注入能量范围是 0.1KeV 到 1KeV, 例如: 0.1KeV, 0.5KeV, 或者 1KeV, 此外, 离子注入源还可以是 $\text{B}_{18}\text{H}_{22}$, $\text{C}_2\text{B}_{10}\text{H}_{12}$ 或者 $\text{C}_2\text{B}_{10}\text{H}_{14}$ 。对 P 型 FinFET, 采用的离子注入源为 P, Sb 或者 As, 注入能量范围是 0.5KeV 到 5KeV, 例如: 0.5KeV, 1KeV 或者 5KeV。优选的, 离子注入源为砷, 注入能量范围是 1KeV~5KeV, 例如: 1KeV, 3KeV 或者 5KeV。

[0054] 需要注意的是步骤 704 和步骤 705 的顺序可以调换。

[0055] 步骤 704 和步骤 705 的两次离子注入都是大角度离子注入, 两次离子注入不仅是对鳍片 401 的左侧侧壁 401b 和右侧侧壁 401c 的沟道掺杂, 还是对反型掺杂层所在的鳍片顶面 401a 的二次掺杂。

[0056] 具体地, N 型 FinFET 沟道掺杂过程中, 单晶硅顶层 401a 经过了一次掺杂类型为 N 型的反型掺杂和两次 P 型掺杂, 且反型掺杂的掺杂浓度是对鳍片侧壁沟道掺杂的注入剂量的二分之一, 由于 N 型的反型掺杂和两次 P 型掺杂的掺杂离子之间的复合作用, 最终单晶硅顶层 401a 的掺杂类型仍然是 P 型掺杂, 且掺杂剂量与鳍片侧壁的沟道掺杂剂量相当。同理, P 型 FinFET 沟道掺杂过程中, 单晶硅顶层 401a 经过了一次掺杂类型为 P 型的反型掺杂和两次 N 型掺杂, 且反型掺杂的掺杂浓度是对鳍片侧壁沟道掺杂的注入剂量的二分之一, 由于 P 型的反型掺杂和两次 N 型掺杂的掺杂离子之间的复合作用, 最终单晶硅顶层 401a 的掺杂类型仍然是 N 型掺杂, 且掺杂剂量与鳍片侧壁的沟道掺杂剂量相当。

[0057] FinFET 制作的后续还包括在鳍片 1901 上沉积栅极电介质层后制作栅极, 环绕栅极的侧墙(spacer), 以及源漏极注入等步骤, 均为现有技术, 不再赘述。

[0058] 本发明提供了一种 FinFET 的沟道掺杂方法, 该方法在半导体衬底的表面进行反

型掺杂形成反型层后,刻蚀形成顶部具有反型层的鳍片,接着对 Fin 的两个侧壁分别进行大角度的离子注入,由于 N 反型层中的反型掺杂与两次离子注入的掺杂离子之间的复合作用,保证了 Fin 顶面和两个侧壁三者掺杂浓度的均匀性,改善了沟道掺杂对与之电压的控制。

[0059] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明保护的范围之内。

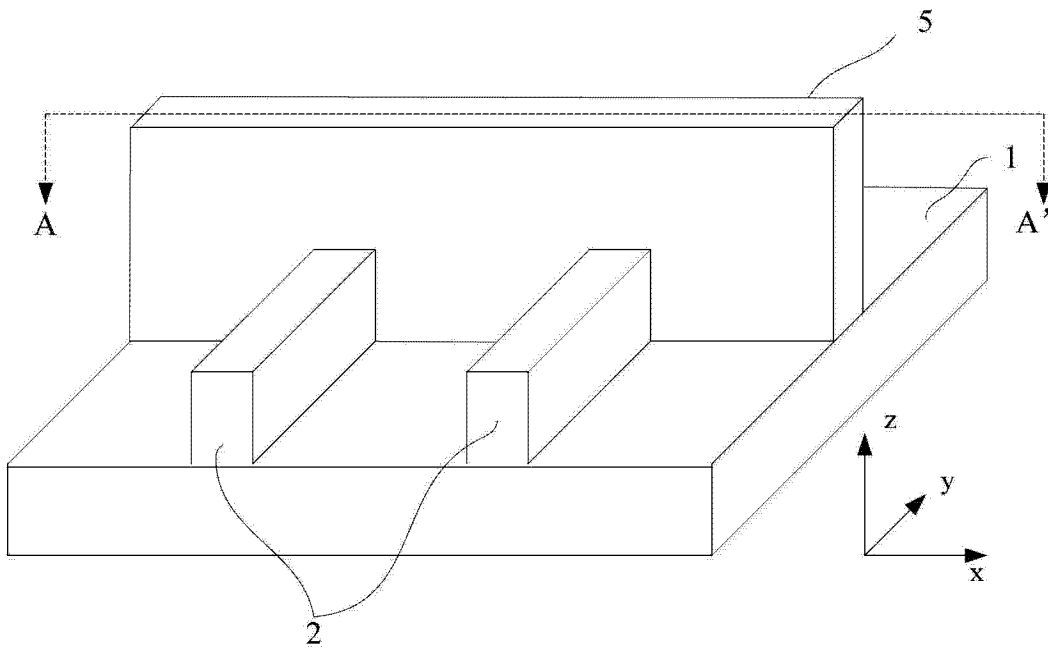


图 1a

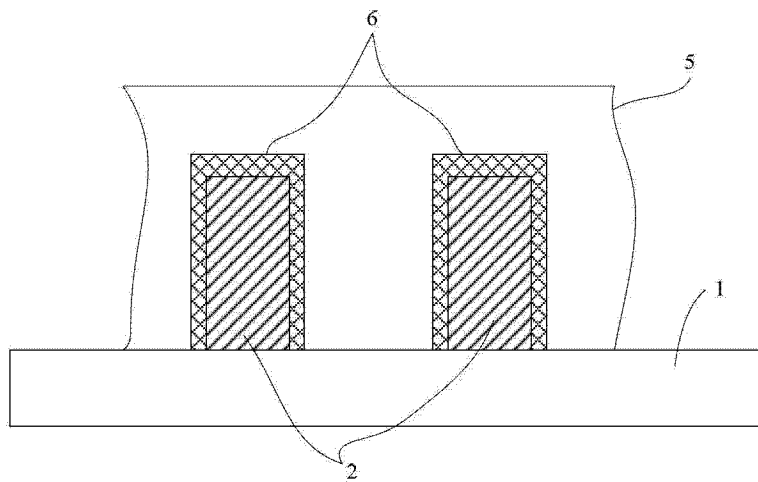


图 1b

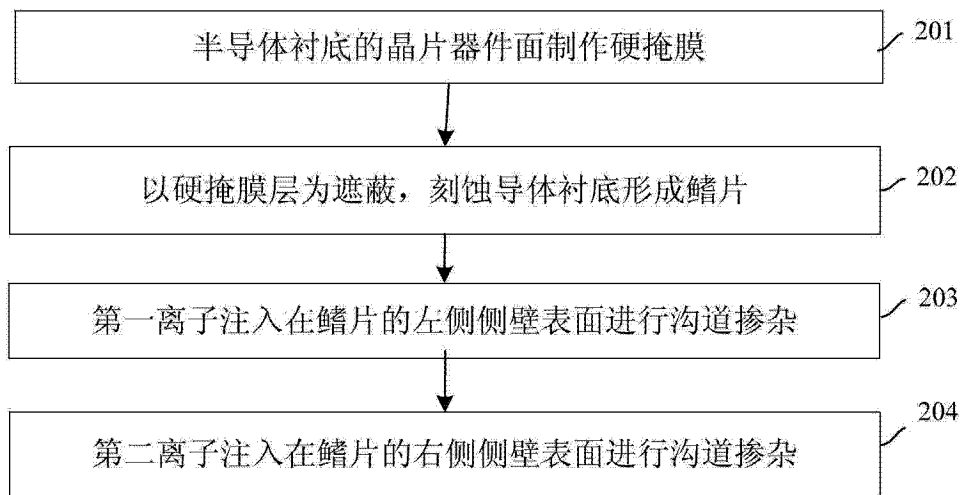


图 2

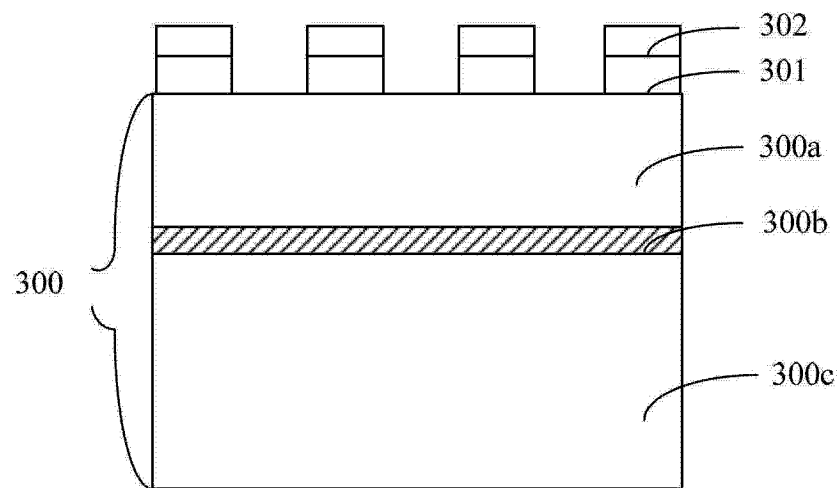


图 3

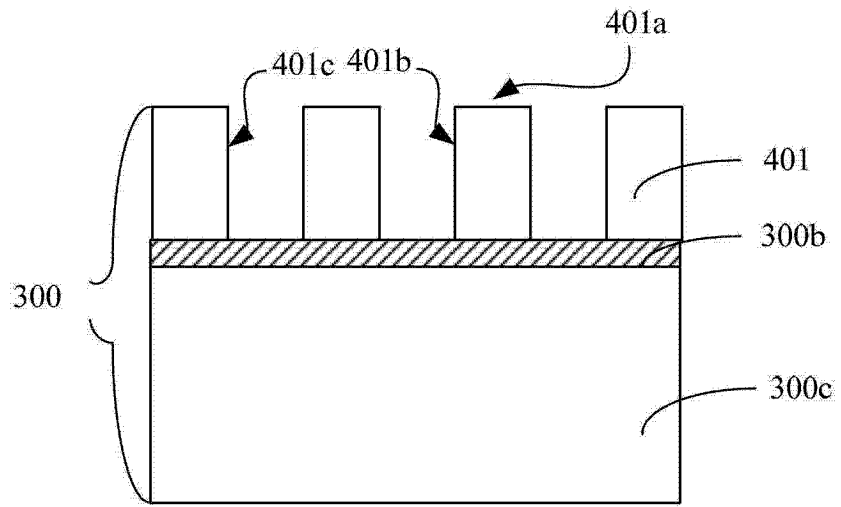


图 4

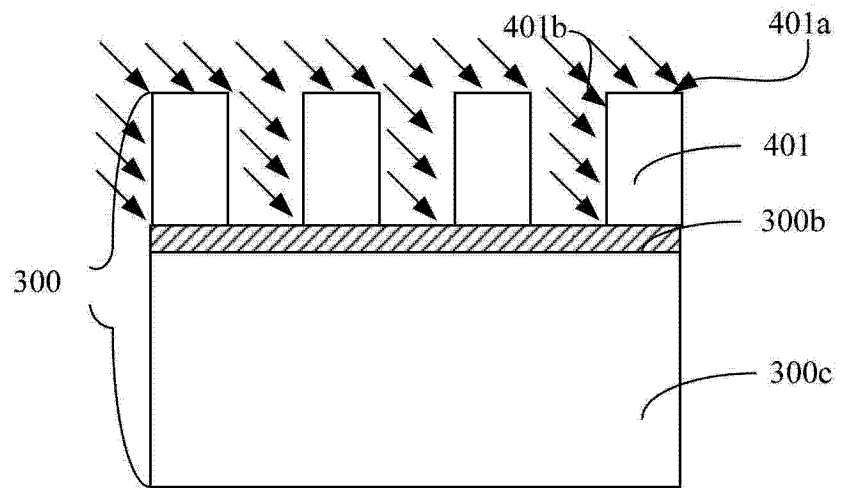


图 5

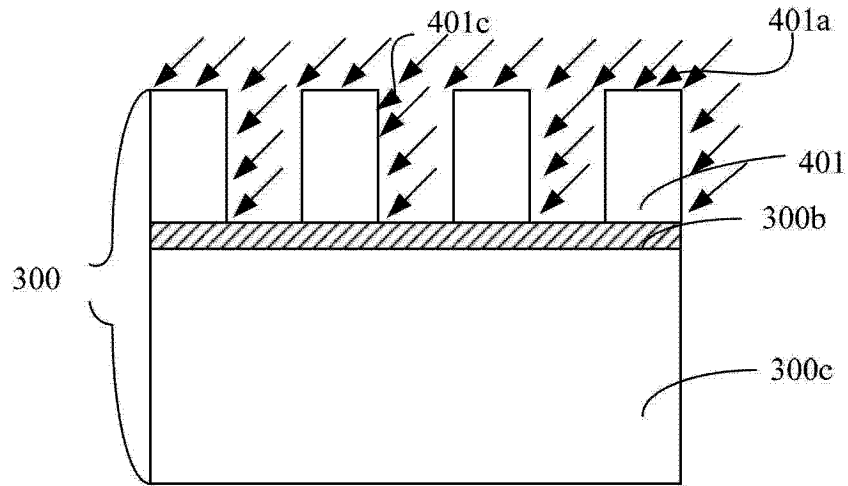


图 6

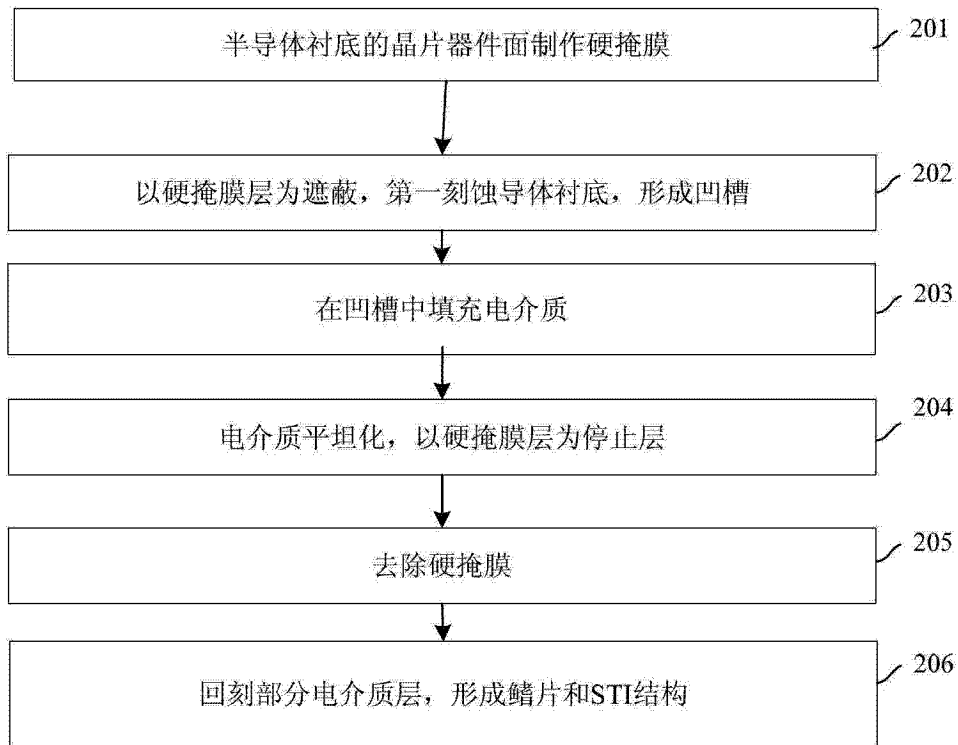


图 7

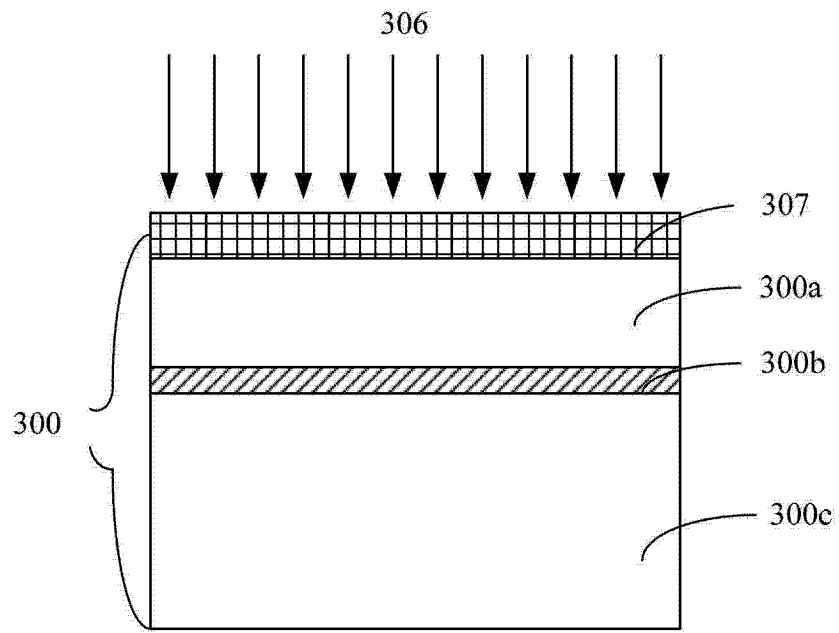


图 8

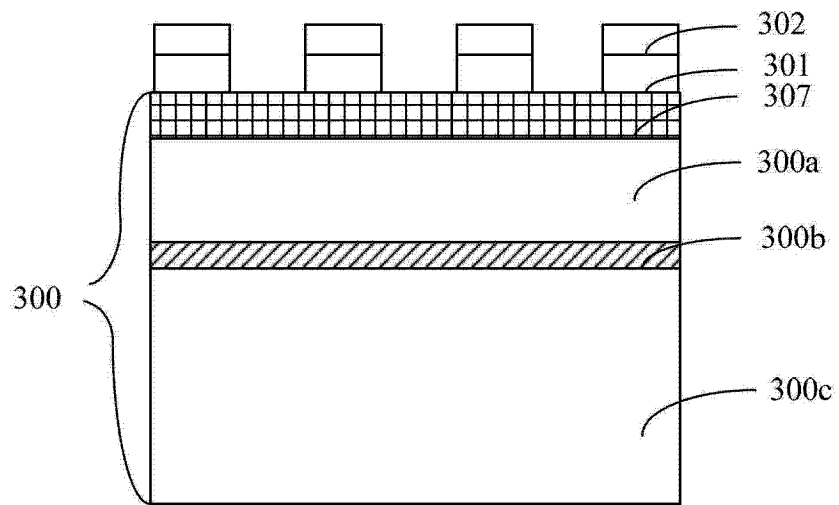


图 9

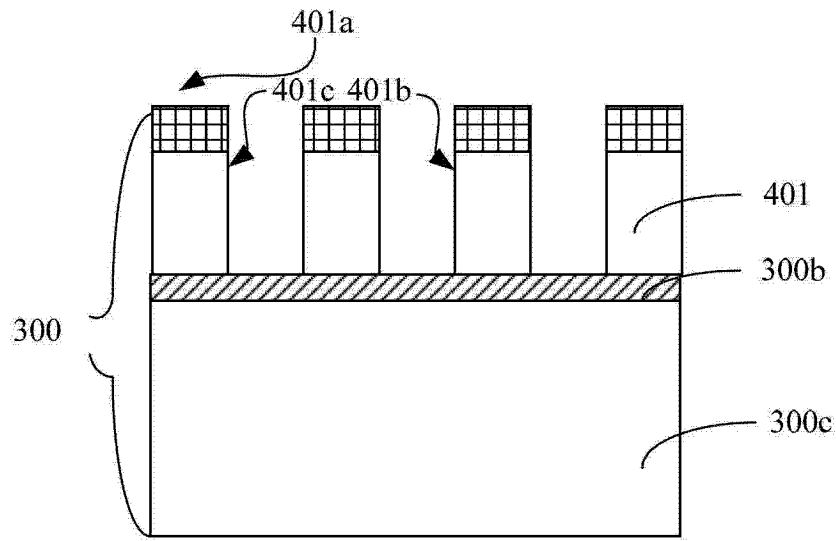


图 10

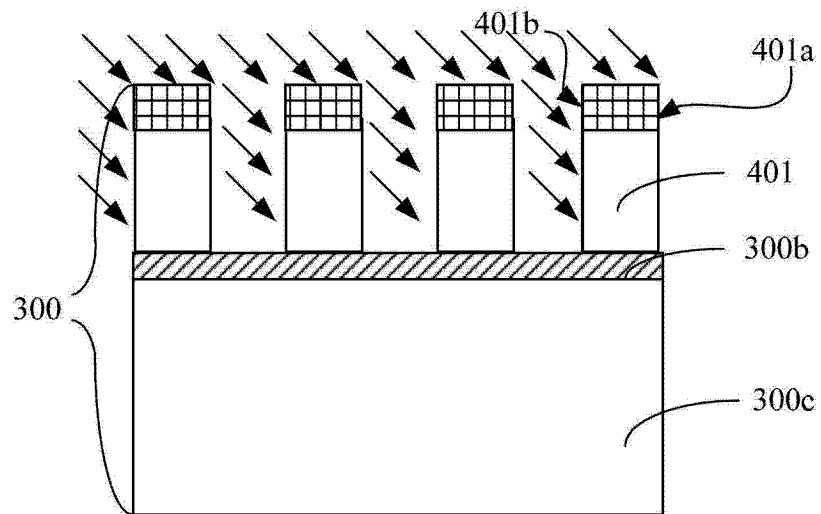


图 11

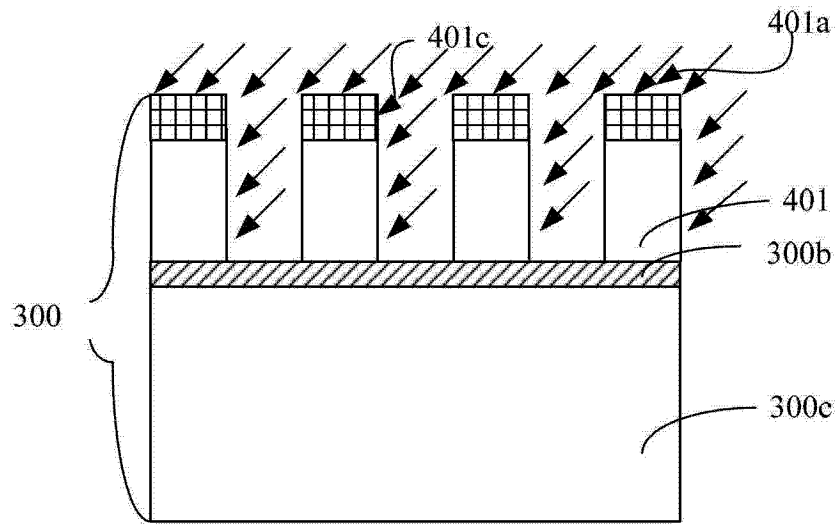


图 12