

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4609797号
(P4609797)

(45) 発行日 平成23年1月12日(2011.1.12)

(24) 登録日 平成22年10月22日(2010.10.22)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 L
	HO 1 L 29/78 6 1 6 V
	HO 1 L 29/78 6 1 8 G

請求項の数 16 (全 28 頁)

(21) 出願番号	特願2006-217272 (P2006-217272)	(73) 特許権者	303018827
(22) 出願日	平成18年8月9日(2006.8.9)		NEC液晶テクノロジー株式会社
(65) 公開番号	特開2008-42088 (P2008-42088A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成20年2月21日(2008.2.21)	(74) 代理人	100123788
審査請求日	平成20年5月14日(2008.5.14)		弁理士 官崎 昭夫
		(74) 代理人	100106138
			弁理士 石橋 政幸
		(74) 代理人	100127454
			弁理士 緒方 雅昭
		(72) 発明者	竹知 和重
			東京都港区芝五丁目7番1号 日本電気株式会社内
		(72) 発明者	中田 充
			神奈川県川崎市中原区下沼部1753番地
			NEC液晶テクノロジー株式会社内
			最終頁に続く

(54) 【発明の名称】 薄膜デバイス及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1絶縁体と、前記第1絶縁体の上の酸化半導体膜と、前記酸化半導体膜の端部上のソース・ドレイン電極と、前記ソース・ドレイン電極及び前記酸化半導体膜の上の第2絶縁体とを有する積層構造を備え、前記酸化半導体膜により活性層が構成された薄膜デバイスにおいて、

前記酸化半導体膜において、

前記第1絶縁体との界面に位置する部分である第1界面層と、前記第2絶縁体との界面に位置する部分である第2界面層の酸素空孔密度が、前記酸化半導体膜において前記第1界面層、第2界面層及び前記ソース・ドレイン電極との界面に位置する部分である第3界面層以外の部分であるバルク層の酸素空孔密度よりも小さく、

前記第3界面層の酸素空孔密度が、前記バルク層の酸素空孔密度よりも大きいことを特徴とする薄膜デバイス。

【請求項2】

前記酸化半導体膜は、少なくともZn、Ga、Inのうちの何れか一元素を含む非晶質酸化物であることを特徴とする請求項1に記載の薄膜デバイス。

【請求項3】

前記酸化半導体膜は、少なくともZn、Ga、Inのうちの何れか一元素を含む結晶酸化物であることを特徴とする請求項1に記載の薄膜デバイス。

【請求項4】

前記酸化物半導体膜は、非晶質酸化物をレーザの照射により結晶化させて形成したものであることを特徴とする請求項 3 に記載の薄膜デバイス。

【請求項 5】

前記酸化物半導体膜は、粒子状の酸化物半導体を溶媒に溶かしその酸化物半導体溶液を塗布又は印刷しその後加熱処理で溶媒を蒸発させることにより成膜されたものであることを特徴とする請求項 1 に記載の薄膜デバイス。

【請求項 6】

前記積層構造は、絶縁性基板上に形成されていることを特徴とする請求項 1 乃至 5 の何れか一項に記載の薄膜デバイス。

【請求項 7】

前記絶縁性基板は、ガラス基板又は樹脂基板であることを特徴とする請求項 6 に記載の薄膜デバイス。

【請求項 8】

当該薄膜デバイスは、薄膜トランジスタ又は薄膜ダイオードであることを特徴とする請求項 1 乃至 7 の何れか一項に記載の薄膜デバイス。

【請求項 9】

第 1 絶縁体上に酸化物半導体膜を形成する工程と前記酸化物半導体膜上にソース・ドレイン金属膜を形成する工程と前記酸化物半導体膜上に第 2 絶縁体を形成する工程とを行うことにより、前記第 1 絶縁体、前記酸化物半導体膜、前記ソース・ドレイン金属膜及び前記第 2 絶縁体を含む積層構造を備え、前記酸化物半導体膜により活性層が構成された薄膜デバイスを製造する方法において、

前記第 1 絶縁体、前記第 2 絶縁体、前記ソース・ドレイン金属膜及び前記酸化物半導体膜の成膜工程とは別に、

酸化性処理を行うことにより、前記酸化物半導体膜において、前記第 1 絶縁体との界面に位置する部分である第 1 界面層と、前記第 2 絶縁体との界面に位置する部分である第 2 界面層の酸素空孔密度を、前記酸化物半導体膜において前記第 1 界面層、第 2 界面層及び前記ソース・ドレイン金属膜との界面に位置する部分である第 3 界面層以外の部分であるバルク層の酸素空孔密度よりも小さくし、かつ、

還元性処理を行うことにより、前記第 3 界面層の酸素空孔密度を前記バルク層の酸素空孔密度よりも大きくすることを特徴とする薄膜デバイスの製造方法。

【請求項 10】

第 1 絶縁体上に酸化物半導体膜を形成する工程と前記酸化物半導体膜上にソース・ドレイン金属膜を形成する工程と前記酸化物半導体膜上に第 2 絶縁体を形成する工程とを行うことにより、前記第 1 絶縁体、前記酸化物半導体膜、前記ソース・ドレイン金属膜及び前記第 2 絶縁体を含む積層構造を備え、前記酸化物半導体膜により活性層が構成された薄膜デバイスを製造する方法において、

前記酸化物半導体膜は、酸化物半導体薄層の成膜と、酸化性処理と、を交互に複数回繰り返すことにより形成し、

前記酸化物半導体膜において、前記第 1 絶縁体との界面に位置する部分である第 1 界面層と、前記第 2 絶縁体との界面に位置する部分である第 2 界面層の酸素空孔密度を、前記酸化物半導体膜において前記第 1 界面層、第 2 界面層及び前記ソース・ドレイン金属膜との界面に位置する部分である第 3 界面層以外の部分であるバルク層の酸素空孔密度よりも小さくし、かつ、

還元性処理を行うことにより、前記第 3 界面層の酸素空孔密度を前記バルク層の酸素空孔密度よりも大きくすることを特徴とする薄膜デバイスの製造方法。

【請求項 11】

第 1 絶縁体上に酸化物半導体膜を形成する工程と前記酸化物半導体膜上にソース・ドレイン金属膜を形成する工程と前記酸化物半導体膜上に第 2 絶縁体を形成する工程とを行うことにより、前記第 1 絶縁体、前記酸化物半導体膜、前記ソース・ドレイン金属膜及び前記第 2 絶縁体を含む積層構造を備え、前記酸化物半導体膜により活性層が構成された薄膜

10

20

30

40

50

デバイスを製造する方法において、

前記酸化物半導体膜は、酸化物半導体薄層の成膜と、酸化性処理と、を交互に複数回繰り返すことにより形成し、

前記第 1 絶縁体、前記第 2 絶縁体、前記ソース・ドレイン金属膜及び前記酸化物半導体膜の成膜工程とは別に、

酸化性処理を行うことにより、前記酸化物半導体膜において、前記第 1 絶縁体との界面に位置する部分である第 1 界面層と、前記第 2 絶縁体との界面に位置する部分である第 2 界面層の酸素空孔密度を、前記酸化物半導体膜において前記第 1 界面層、第 2 界面層及び前記ソース・ドレイン金属膜との界面に位置する部分である第 3 界面層以外の部分であるバルク層の酸素空孔密度よりも小さくし、かつ、

還元性処理を行うことにより、前記第 3 界面層の酸素空孔密度を前記バルク層の酸素空孔密度よりも大きくすることを特徴とする薄膜デバイスの製造方法。

【請求項 1 2】

前記酸化性処理が、酸素プラズマとオゾンプラズマとのうちの少なくとも何れか一方を用いるプラズマ処理であることを特徴とする請求項 9 乃至 1 1 の何れか一項に記載の薄膜デバイスの製造方法。

【請求項 1 3】

前記薄膜デバイスの前記積層構造は、ゲート金属膜と、前記第 1 絶縁体としてのゲート絶縁膜と、前記酸化物半導体膜と、前記ソース・ドレイン金属膜と、前記第 2 絶縁体としての保護絶縁膜と、をこの順に成膜することにより形成し、

前記ゲート絶縁膜の成膜後に、前記酸化性処理と、前記酸化物半導体膜の成膜と、を大気に曝すことなく、この順で連続して行うことを特徴とする請求項 9 乃至 1 2 の何れか一項に記載の薄膜デバイスの製造方法。

【請求項 1 4】

前記薄膜デバイスの前記積層構造は、ゲート金属膜と、前記第 1 絶縁体としてのゲート絶縁膜と、前記酸化物半導体膜と、前記ソース・ドレイン金属膜と、前記第 2 絶縁体としての保護絶縁膜と、をこの順に成膜することにより形成し、

前記酸化物半導体膜を所望の形状にパターン形成した後で、還元性処理と、前記ソース・ドレイン金属膜の成膜と、を大気に曝すことなく、この順で連続して行うことを特徴とする請求項 9 乃至 1 2 の何れか一項に記載の薄膜デバイスの製造方法。

【請求項 1 5】

前記還元性処理が、希ガスプラズマ、水素ガスプラズマ、窒素ガスプラズマ及びこれらの混合ガスプラズマのうちの少なくとも何れか 1 つを用いるプラズマ処理であることを特徴とする請求項 1 4 に記載の薄膜デバイスの製造方法。

【請求項 1 6】

前記薄膜デバイスの前記積層構造は、ゲート金属膜と、前記第 1 絶縁体としてのゲート絶縁膜と、前記酸化物半導体膜と、前記ソース・ドレイン金属膜と、前記第 2 絶縁体としての保護絶縁膜と、をこの順に成膜することにより形成し、

前記ソース・ドレイン金属膜を所望の形状にパターン形成した後で、前記酸化性処理と、前記保護絶縁膜の成膜と、を大気に曝すことなく、この順で連続して行うことを特徴とする請求項 9 乃至 1 2 の何れか一項に記載の薄膜デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜デバイス及びその製造方法に関する。

【背景技術】

【0002】

インジウム、スズ及び酸素の化合物であるITO膜をはじめとする酸化物透明導電膜は、数百nm程度の薄膜において数 / のシート抵抗が得られることと、可視光に対する透過率が高いことから、各種フラットパネルディスプレイ、光電変換素子などに広く用い

10

20

30

40

50

られている。

【0003】

更に近年、In-Ga-Zn-Oなどの酸化物透明半導体膜をチャネル層に用いた薄膜トランジスタの研究が始められた。このような酸化物半導体はイオン性の高い結合で構成されており、結晶、非晶質間での電子移動度の差が小さいことが特徴である。従って、非晶質状態でも比較的高い電子移動度が得られている。スパッタリング法などを用いることにより室温にて非晶質膜を成膜できるので、PETなどの樹脂基板上への酸化物半導体薄膜トランジスタ形成の研究も始められている。

【0004】

酸化物半導体を備える薄膜トランジスタに関する先行技術文献としては、例えば、特許文献1-5がある。

【0005】

特許文献1-5では、半導体膜や絶縁膜の材料組成について詳しく言及されており、良好なトランジスタ電気特性を実現するための材料組成を規定している。

【特許文献1】特開2005-033172号公報(段落番号0041)

【特許文献2】特開2003-179233号公報(段落番号0014~0016)

【特許文献3】特開2003-86808号公報(段落番号0053)

【特許文献4】特開2003-60170号公報(段落番号0037)

【特許文献5】特表2006-502597号公報(段落番号0021~0023)

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、酸化物半導体を用いた薄膜トランジスタにおいては、半導体膜、とりわけ半導体膜と絶縁膜との界面層の酸素空孔に起因するドナー欠陥がその電気特性に大きな影響を与えるため、特許文献1-5の技術では、この界面層の酸素空孔の制御が不十分であった。特に特許文献5では、酸化物半導体を300以上の温度で酸化雰囲気中にてアニーリングすることにより酸素空孔を低減できるとしている。このようなアニーリング処理は、酸化物半導体膜の上表面の酸素空孔低減には有効かもしれないが、酸化物半導体の下表面(即ち、下地絶縁体とその上に形成される酸化物半導体との界面近傍の酸化物半導体領域)の酸素空孔の低減には有効ではない。これは、このような熱酸化処理は膜の内部に浸透しにくいためである。もちろん温度を600程度以上に高くすることにより酸化の浸透効果を高め、酸化物半導体膜の下表面まで酸化できるかもしれないが、この場合、安価なガラス基板を絶縁性基板として用いることができない、酸化物半導体より下の層に金属膜が存在している場合、この高温処理により金属の半導体膜への拡散などのコンタミが生じる、などの課題が依然として存在する。

【0007】

従って、ディスプレイの駆動素子に活用できるような良好な特性を有する酸化物半導体薄膜トランジスタを安価なガラス基板上に再現性・歩留まり良く製造することができなかつた。

【0008】

本発明は、上記のような問題点を解決するためになされたもので、界面層の酸素空孔の生成を制御することを可能し、良好な特性を有する薄膜トランジスタ或いはその他の薄膜デバイスを再現性・歩留まり良く製造することができる薄膜デバイス及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するため、本発明の薄膜デバイスは、第1絶縁体と酸化物半導体膜と第2絶縁体とをこの順に有する積層構造を備え、前記酸化物半導体膜により活性層が構成された薄膜デバイスにおいて、前記酸化物半導体膜において、前記第1絶縁体との界面に位置する部分である第1界面層と、前記第2絶縁体との界面に位置する部分である第2界面

10

20

30

40

50

層と、のうちの少なくとも何れか一方の酸素空孔密度が、前記酸化物半導体膜において前記第1及び第2界面層以外の部分であるバルク層の酸素空孔密度よりも小さいことを特徴としている。

【0010】

本発明の薄膜デバイスにおいては、前記第1界面層及び前記第2界面層の酸素空孔密度が前記バルク層の酸素空孔密度よりも小さいことが好ましい。

【0011】

本発明の薄膜デバイスにおいては、前記酸化物半導体膜は、少なくともZn、Ga、Inのうちの何れか一元素を含む非晶質酸化物であることが好ましい。

10

【0012】

或いは、本発明の薄膜デバイスにおいては、前記酸化物半導体膜は、少なくともZn、Ga、Inのうちの何れか一元素を含む結晶酸化物であることも好ましい。

【0013】

本発明の薄膜デバイスにおいては、前記酸化物半導体膜は、非晶質酸化物をレーザの照射により結晶化させて形成したものであることが好ましい。

【0014】

或いは、本発明の薄膜デバイスにおいては、前記酸化物半導体膜は、粒子状の酸化物半導体を溶媒に溶かしその酸化物半導体溶液を塗布又は印刷しその後加熱処理で溶媒を蒸発させることにより成膜されたものであることも好ましい。

20

【0015】

本発明の薄膜デバイスにおいては、前記積層構造は、絶縁性基板上に形成されていることが好ましい。

【0016】

本発明の薄膜デバイスにおいては、前記絶縁性基板は、ガラス基板又は樹脂基板であることが好ましい。

【0017】

本発明の薄膜デバイスは、例えば、薄膜トランジスタ又は薄膜ダイオードであることが好ましい。

【0018】

また、本発明の薄膜デバイスの製造方法は、第1絶縁体上に酸化物半導体膜を形成する工程と前記酸化物半導体膜上に第2絶縁体を形成する工程とを行うことにより、前記第1絶縁体、前記酸化物半導体膜及び前記第2絶縁体を含む積層構造を備え、前記酸化物半導体膜により活性層が構成された薄膜デバイスを製造する方法において、前記第1絶縁体、前記第2絶縁体及び前記酸化物半導体膜の成膜工程とは別に、酸化性処理を行うことにより、前記酸化物半導体膜において、前記第1絶縁体との界面に位置する部分である第1界面層と、前記第2絶縁体との界面に位置する部分である第2界面層と、のうちの少なくとも何れか一方の酸素空孔密度を、前記酸化物半導体膜において前記第1及び第2界面層以外の部分であるバルク層の酸素空孔密度よりも小さくすることを特徴としている。

30

【0019】

また、本発明の薄膜デバイスの製造方法は、第1絶縁体上に酸化物半導体膜を形成する工程と前記酸化物半導体膜上に第2絶縁体を形成する工程とを行うことにより、前記第1絶縁体、前記酸化物半導体膜及び前記第2絶縁体を含む積層構造を備え、前記酸化物半導体膜により活性層が構成された薄膜デバイスを製造する方法において、前記酸化物半導体膜は、酸化物半導体薄層の成膜と、酸化性処理と、を交互に複数回繰り返すことにより形成し、前記酸化物半導体膜において、前記第1絶縁体との界面に位置する部分である第1界面層と、前記第2絶縁体との界面に位置する部分である第2界面層と、のうちの少なくとも何れか一方の酸素空孔密度を、前記酸化物半導体膜において前記第1及び第2界面層以外の部分であるバルク層の酸素空孔密度よりも小さくすることを特徴としている。

40

【0020】

50

また、本発明の薄膜デバイスの製造方法は、第1絶縁体上に酸化物半導体膜を形成する工程と前記酸化物半導体膜上に第2絶縁体を形成する工程とを行うことにより、前記第1絶縁体、前記酸化物半導体膜及び前記第2絶縁体を含む積層構造を備え、前記酸化物半導体膜により活性層が構成された薄膜デバイスを製造する方法において、前記酸化物半導体膜は、酸化物半導体薄層の成膜と、酸化性処理と、を交互に複数回繰り返すことにより形成し、前記第1絶縁体、前記第2絶縁体及び前記酸化物半導体膜の成膜工程とは別に、酸化性処理を行うことにより、前記酸化物半導体膜において、前記第1絶縁体との界面に位置する部分である第1界面層と、前記第2絶縁体との界面に位置する部分である第2界面層と、のうちの少なくとも何れか一方の酸素空孔密度を、前記酸化物半導体膜において前記第1及び第2界面層以外の部分であるバルク層の酸素空孔密度よりも小さくすることを特徴としている。

10

【0021】

本発明の薄膜デバイスの製造方法においては、前記酸化性処理が、酸素プラズマとオゾンプラズマとのうちの少なくとも何れか一方を用いるプラズマ処理であることが好ましい。

【0022】

本発明の薄膜デバイスの製造方法においては、前記薄膜デバイスの前記積層構造は、ゲート金属膜と、前記第1絶縁体としてのゲート絶縁膜と、前記酸化物半導体膜と、ソース・ドレイン金属膜と、前記第2絶縁体としての保護絶縁膜と、をこの順に成膜することにより形成し、前記ゲート絶縁膜の成膜後に、前記酸化性処理と、前記酸化物半導体膜の成膜と、を大気に曝すことなく、この順で連続して行うことが好ましい。

20

【0023】

本発明の薄膜デバイスの製造方法においては、前記薄膜デバイスの前記積層構造は、ゲート金属膜と、前記第1絶縁体としてのゲート絶縁膜と、前記酸化物半導体膜と、ソース・ドレイン金属膜と、前記第2絶縁体としての保護絶縁膜と、をこの順に成膜することにより形成し、前記酸化物半導体膜を所望の形状にパターン形成した後で、還元性処理と、前記ソース・ドレイン金属膜の成膜と、を大気に曝すことなく、この順で連続して行うことが好ましい。

【0024】

前記還元性処理は、希ガスプラズマ、水素ガスプラズマ、窒素ガスプラズマ及びこれらの混合ガスプラズマのうちの少なくとも何れか1つを用いるプラズマ処理であることが好ましい。

30

【0025】

本発明の薄膜デバイスの製造方法においては、前記薄膜デバイスの前記積層構造は、ゲート金属膜と、前記第1絶縁体としてのゲート絶縁膜と、前記酸化物半導体膜と、ソース・ドレイン金属膜と、前記第2絶縁体としての保護絶縁膜と、をこの順に成膜することにより形成し、前記ソース・ドレイン金属膜を所望の形状にパターン形成した後で、前記酸化性処理と、前記保護絶縁膜の成膜と、を大気に曝すことなく、この順で連続して行うことが好ましい。

【0026】

本発明の薄膜デバイスの製造方法においては、前記薄膜デバイスの前記積層構造は、前記第1絶縁体としての下地絶縁膜と、ソース・ドレイン金属膜と、前記酸化物半導体膜と、前記第2絶縁体としてのゲート絶縁膜と、ゲート金属膜と、保護絶縁膜と、をこの順に成膜することにより形成し、前記酸化物半導体膜の成膜後に、前記酸化性処理と、前記ゲート絶縁膜の成膜と、を大気に曝すことなく、この順で連続して行うことが好ましい。

40

【0027】

本発明の薄膜デバイスの製造方法においては、前記薄膜デバイスの前記積層構造は、前記第1絶縁体としての下地絶縁膜と、ソース・ドレイン金属膜と、前記酸化物半導体膜と、前記第2絶縁体としてのゲート絶縁膜と、ゲート金属膜と、保護絶縁膜と、をこの順に成膜することにより形成し、前記ソース・ドレイン金属膜を所望の形状にパターン形成し

50

た後で、前記酸化性処理と、前記酸化物半導体膜の成膜と、を大気に曝すことなく、この順で連続して行うことが好ましい。

【0028】

本発明の薄膜デバイスの製造方法においては、前記薄膜デバイスの前記積層構造は、前記第1絶縁体としての下地絶縁膜と、前記酸化物半導体膜と、前記第2絶縁体としてのゲート絶縁膜と、ゲート金属膜と、層間絶縁膜と、ソース・ドレイン金属膜と、保護絶縁膜と、をこの順に成膜することにより形成し、前記下地絶縁膜の成膜後に、前記酸化性処理と、前記酸化物半導体膜の成膜と、を大気に曝すことなく、この順で連続して行うことが好ましい。

【0029】

本発明の薄膜デバイスの製造方法においては、前記薄膜デバイスの前記積層構造は、前記第1絶縁体としての下地絶縁膜と、前記酸化物半導体膜と、前記第2絶縁体としてのゲート絶縁膜と、ゲート金属膜と、層間絶縁膜と、ソース・ドレイン金属膜と、保護絶縁膜と、をこの順に成膜することにより形成し、前記酸化物半導体膜の成膜後に、前記酸化性処理と、前記ゲート絶縁膜の成膜と、を大気に曝すことなく、この順に連続して行うことが好ましい。

【0030】

本発明の薄膜デバイスの製造方法においては、前記薄膜デバイスの前記積層構造は、ゲート金属膜と、前記第1絶縁体としてのゲート絶縁膜と、ソース・ドレイン金属膜と、前記酸化物半導体膜と、前記第2絶縁体としての保護絶縁膜と、をこの順に成膜することにより形成し、前記ソース・ドレイン金属膜を所望の形状にパターン形成後に、前記酸化性処理と、前記酸化物半導体膜の成膜と、を大気に曝すことなく、この順に連続して行うことが好ましい。

【0031】

本発明の薄膜デバイスの製造方法においては、前記薄膜デバイスの前記積層構造は、ゲート金属膜と、前記第1絶縁体としてのゲート絶縁膜と、ソース・ドレイン金属膜と、前記酸化物半導体膜と、前記第2絶縁体としての保護絶縁膜と、をこの順に成膜することにより形成し、前記酸化物半導体膜を所望の形状にパターン形成後に、前記酸化性処理と、前記保護絶縁膜の成膜と、を大気に曝すことなく、この順に連続して行うことが好ましい。

【発明の効果】

【0032】

本発明によれば、酸化物半導体膜と絶縁膜との界面における酸素空孔起因の欠陥（過剰電子ドナーを生成する欠陥）を制御できる。即ち、不要な箇所では抑制できる。よって、良好な特性を有する薄膜デバイスを再現性・歩留まり良く製造することができる。

【発明を実施するための最良の形態】

【0033】

以下、図面を参照して、本発明に係る実施形態について説明する。

【0034】

〔第1の実施形態〕

図1乃至図8は、第1の実施形態に係る薄膜トランジスタ（薄膜デバイス）100（図8）の製造方法を示す一連の工程図である。

【0035】

本実施形態に係る薄膜トランジスタ100は、ボトムゲートスタガ型の薄膜トランジスタである。

【0036】

以下、製造方法について説明する。

【0037】

先ず、図1に示すように、絶縁性基板10上にゲート金属膜を成膜し、該ゲート金属膜をパターニングすることによりゲート電極11を形成した後で、ゲート電極11を覆うゲ

10

20

30

40

50

ート絶縁膜（第1絶縁体）12を絶縁性基板10上に成膜する。

【0038】

次に、大気に曝すことなく、図2に示すように、ゲート絶縁膜12に酸素プラズマ処理或いはその他の第1酸化性処理（酸化性処理）131を施す。

【0039】

この第1酸化性処理131により、ゲート絶縁膜12の表面に酸素を付着させた状態にすることができるとともに、例えばゲート絶縁膜12の表層部において酸素欠損が生じていた場合に、その酸素欠損を解消することができる。

【0040】

第1酸化性処理131に引き続き、大気に曝すことなく、図3に示すようにゲート絶縁膜12上に酸化物半導体膜14を成膜する。

10

【0041】

これにより、酸化物半導体膜14において、ゲート絶縁膜12との界面に位置する部分である第1界面層14Aは、予めゲート絶縁膜12の表面上に付着されていた酸素により酸化される。

【0042】

よって、酸化物半導体膜14の第1界面層14Aの酸素空孔欠陥が低減化される。

【0043】

すなわち、酸化物半導体膜14の第1界面層14Aの酸素空孔密度が、酸化物半導体膜14のバルク層14Bよりも小さくなる。

20

【0044】

次に、図4に示すように、酸化物半導体膜14を所望の形状にパターニングする。

【0045】

次に、図5に示すように、酸化物半導体膜14に還元性プラズマ処理或いはその他の還元性処理15を施す。

【0046】

これにより、酸化物半導体膜14の表層部14Cには酸素空孔欠陥が積極的に形成される。

【0047】

すなわち、酸化物半導体膜14の表層部14Cの酸素空孔密度が、酸化物半導体膜14のバルク層14Bよりも大きくなる。

30

【0048】

次に、図6に示すように、ゲート絶縁膜12及び酸化物半導体膜14上に亘ってソース・ドレイン金属膜を成膜し、該ソース・ドレイン金属膜をパターニングすることにより、ソース・ドレイン電極16（一方がソース電極で他方がドレイン電極）を形成する。

【0049】

ここで、図5の還元性処理15とその後のソース・ドレイン金属膜の成膜も、引き続き、大気に曝すことなく連続して行うことが望ましい。

【0050】

次に、図7に示すように、ソース・ドレイン電極16の間隔16Aを介して、酸化物半導体膜14に、酸素プラズマ処理或いはその他の第2酸化性処理（酸化性処理）132を施す。

40

【0051】

これにより、酸化物半導体膜14の表層部14C（図6参照）において、間隔16Aに位置する部分である第2界面層14Eは酸化されるため、該第2界面層14Eの酸素空孔欠陥が低減化される。

【0052】

すなわち、酸化物半導体膜14の第2界面層14Eの酸素空孔密度が、酸化物半導体膜14のバルク層14Bよりも小さくなる。

【0053】

50

なお、酸化物半導体膜 14 の表層部 14 C (図 6 参照) において、酸化物半導体膜 14 の第 2 界面層 14 E 以外の部分、すなわち、ソース・ドレイン電極 16 との界面に位置する部分は、第 3 界面層 14 D を構成する。

【 0 0 5 4 】

次に、図 8 に示すように、ソース・ドレイン電極 16 上を覆うとともに、ソース・ドレイン電極 16 の間隔 16 A においては酸化物半導体膜 14 上を覆うように、保護絶縁膜 (第 2 絶縁体) 18 を成膜する。

【 0 0 5 5 】

これにより、薄膜トランジスタ 100 が製造される。

【 0 0 5 6 】

なお、図 7 の第 2 酸化性処理 132 とその後の保護絶縁膜 18 の成膜も、引き続き、大気に曝すことなく連続して行うことが望ましい。

【 0 0 5 7 】

ここで、酸化物半導体膜 14 において、ゲート絶縁膜 12 との界面に位置する部分である第 1 界面層 14 A の酸素空孔密度は、例えば、 $1 \times 10^{12} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。

【 0 0 5 8 】

また、酸化物半導体膜 14 のバルク層 14 B の酸素空孔密度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。

【 0 0 5 9 】

第 1 界面層 14 A 及びバルク層 14 B の酸素空孔密度は、成膜条件を制御することにより実現できる。すなわち、成膜中における雰囲気中の酸素濃度を高めると、酸素空孔密度を小さくすることができる一方で、成膜中における雰囲気中の酸素濃度を低くすると酸素空孔密度を大きくすることができる。

【 0 0 6 0 】

図 2 の酸化性処理 13 を行うので、第 1 界面層 14 A の電子密度を適度に低減することができ、薄膜トランジスタ 100 をドレイン電流のオン・オフ比が 5 桁以上 (1×10^4 以上) の良好なスイッチング特性のものとすることができる。

【 0 0 6 1 】

また、酸化物半導体膜 14 において、ソース・ドレイン電極 16 との界面に位置する部分である第 3 界面層 14 D の酸素空孔密度は、例えば、 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ cm}^{-3}$ である。

【 0 0 6 2 】

また、酸化物半導体膜 14 において、保護絶縁膜 18 との界面に位置する部分である第 2 界面層 14 E の酸素空孔密度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。

【 0 0 6 3 】

第 3 界面層 14 D 及び第 2 界面層 14 E の酸素空孔密度も、成膜条件を制御することにより実現できる。すなわち、成膜中における雰囲気中の酸素濃度を高めると、酸素空孔密度を小さくすることができる一方で、成膜中における雰囲気中の酸素濃度を低くすると酸素空孔密度を大きくすることができる。

【 0 0 6 4 】

図 5 の還元性処理 15 を行うので、第 3 界面層 14 D の電子密度を適度に増加させることができ、該第 3 界面層 14 D にオーミックコンタクト層としての機能を持たせることができる。

【 0 0 6 5 】

また、図 7 の酸化性処理 13 を行うので、第 2 界面層 14 E の電子密度を適度に低減することができ、バックチャネル電子電流に起因するオフ電流を効率よく低減化する機能を持たせることができる。

【 0 0 6 6 】

10

20

30

40

50

以上のような第1の実施形態によれば、ゲート電極11と、ゲート絶縁膜(第1絶縁体)12と、酸化物半導体膜14と、ソース・ドレイン金属16と、保護絶縁膜(第2絶縁体)18と、がこの順に成膜されてなる積層構造を備える薄膜トランジスタ100の酸化物半導体膜14と絶縁膜12、18との界面における酸素空孔起因の欠陥(過剰電子ドナーを生成する欠陥)を制御できる。

【0067】

即ち、欠陥が必要な箇所には積極的に生成でき、不要な箇所では抑制できる。

【0068】

具体的には、図2に示す第1酸化性処理131を行った後で図3に示すように酸化物半導体膜14を成膜することにより、該酸化物半導体膜14においてゲート絶縁膜12との界面に位置する界面層14Aの酸素空孔欠陥を低減化できる。すなわち、界面層14Aの酸素空孔密度をバルク層14Bよりも小さくすることができる。

10

【0069】

また、図5に示す還元性処理15を行うことにより、酸化物半導体膜14の表層部14C(具体的には、表層部14Cにおいて、ソース・ドレイン電極16との界面に位置することになる第3界面層14D(図7、図8))に酸素空孔欠陥を積極的に形成し、この欠陥を電子ドナーとして作用させることによって、ソース・ドレイン電極16との界面に位置する第3界面層14Dをよりn型化し、オーミックコンタクト接合を形成しやすくすることができる。

【0070】

20

また、図7に示す第2酸化性処理132を行うことにより、酸化物半導体膜14の表層部14Cにおいて、ソース・ドレイン領域以外(開口16A内)の部分である第2界面層14Eの酸素空孔欠陥を低減化し、薄膜トランジスタ100のオフ電流の低減化を実現することができる。

【0071】

〔第2の実施形態〕

図9乃至図14は、第1の実施形態に係る薄膜トランジスタ(薄膜デバイス)200(図14)の製造方法を示す一連の工程図である。

【0072】

本実施形態に係る薄膜トランジスタ200は、トップゲートスタガ型の薄膜トランジスタである。

30

【0073】

以下、製造方法について説明する。

【0074】

まず、図9に示すように、絶縁性基板10上に下地絶縁膜(第1絶縁体)21を成膜した後で、該下地絶縁膜21上にソース・ドレイン金属膜を成膜し、該ソース・ドレイン金属膜をパターニングすることによりソース・ドレイン電極16(一方がソース電極で他方がドレイン電極)を形成する。

【0075】

次に、図10に示すように、酸素プラズマ処理或いはその他の第1酸化性処理131を施す。

40

【0076】

この第1酸化性処理131により、下地絶縁膜21の表面に酸素を付着させた状態にすることができるとともに、例えば下地絶縁膜21の表層部において酸素欠損が生じていた場合に、その酸素欠損を解消することができる。

【0077】

次に、下地絶縁膜21上及びソース・ドレイン電極16上に酸化物半導体膜14を成膜した後で、該酸化物半導体膜14を、図11に示すように所望の形状にパターニングする。

【0078】

50

ここで、酸化物半導体膜 1 4 において、下地絶縁膜 2 1 との界面に位置する部分である第 1 界面層 1 4 A は、予め下地絶縁膜 2 1 の表面上に付着されていた酸素により酸化される。

【 0 0 7 9 】

よって、酸化物半導体膜 1 4 の第 1 界面層 1 4 A の酸素空孔欠陥が低減化される。

【 0 0 8 0 】

すなわち、第 1 界面層 1 4 A の酸素空孔密度が、酸化物半導体膜 1 4 のバルク層 1 4 B よりも小さくなる。

【 0 0 8 1 】

なお、図 1 0 の酸化性処理 1 3 と、酸化物半導体膜 1 4 の成膜とは、大気に曝すことなく、連続して行うことが好ましい。

10

【 0 0 8 2 】

次に、図 1 2 に示すように、酸化物半導体膜 1 4 に酸素プラズマ処理或いはその他の第 2 酸化性処理 1 3 2 を施す。

【 0 0 8 3 】

これにより、酸化物半導体膜 1 4 の第 2 界面層 1 4 E は酸化されるため、該第 2 界面層 1 4 E の酸素空孔欠陥が低減化される。

【 0 0 8 4 】

すなわち、第 2 界面層 1 4 E の酸素空孔密度が、酸化物半導体膜 1 4 のバルク層 1 4 B よりも小さくなる。

20

【 0 0 8 5 】

次に、大気に曝すことなく引き続いて、図 1 3 に示すように、酸化物半導体膜 1 4 を覆うゲート絶縁膜（第 2 絶縁体）1 2 をソース・ドレイン電極 1 6 上に成膜する。

【 0 0 8 6 】

次に、図 1 4 に示すように、ゲート絶縁膜 1 2 上にゲート電極 1 1 を形成した後で、該ゲート電極 1 1 を覆う保護絶縁膜 1 8 をゲート絶縁膜 1 2 上に形成する。

【 0 0 8 7 】

これにより、薄膜トランジスタ 2 0 0 が製造される。

【 0 0 8 8 】

以上のような第 2 の実施形態によれば、下地絶縁膜（第 1 絶縁体）2 1 と、ソース・ドレイン電極 1 6 と、酸化物半導体膜 1 4 と、ゲート絶縁膜（第 2 絶縁体）1 2 と、ゲート電極 1 1 と、保護絶縁膜 1 8 と、がこの順に成膜されてなる積層構造を備える薄膜トランジスタ 2 0 0 の酸化物半導体膜 1 4 と絶縁膜 2 1 , 1 2 との界面における酸素空孔起因の欠陥を制御できる。

30

【 0 0 8 9 】

具体的には、図 1 0 に示す第 1 酸化性処理 1 3 1 を行った後で図 1 1 に示すように酸化物半導体膜 1 4 を成膜することにより、該酸化物半導体膜 1 4 において下地絶縁膜 2 1 との界面に位置する界面層 1 4 A の酸素空孔欠陥を低減化できる。すなわち、界面層 1 4 A の酸素空孔密度をバルク層 1 4 B よりも小さくすることができる。

【 0 0 9 0 】

また、図 1 2 に示す第 2 酸化性処理 1 3 1 を行うことにより、酸化物半導体膜 1 4 において、ゲート絶縁膜 1 2 との界面に位置することになる第 2 界面層 1 4 E の酸素空孔欠陥を低減化することにより該第 2 界面層 1 4 E の電子密度を適度に低減し、バックチャネル電子電流に起因する薄膜トランジスタ 2 0 0 のオフ電流を効率よく低減化することができる。

40

【 0 0 9 1 】

〔 第 3 の実施形態 〕

図 1 5 乃至図 1 9 は、第 3 の実施形態に係る薄膜トランジスタ（薄膜デバイス）3 0 0 （図 1 9 ）の製造方法を示す一連の工程図である。

【 0 0 9 2 】

50

本実施形態に係る薄膜トランジスタ300は、トップゲートプレーナ型の薄膜トランジスタである。

【0093】

以下、製造方法について説明する。

【0094】

先ず、図15に示すように、絶縁性基板10上に下地絶縁膜(第1絶縁体)21を成膜した後で、該下地絶縁膜21に対して酸素プラズマ処理或いはその他の第1酸化性処理131を施す。

【0095】

その後、大気に曝すことなく、下地絶縁膜21上に酸化物半導体膜14を成膜する(図16参照)。

【0096】

ここで、酸化物半導体膜14において、下地絶縁膜21との界面に位置する部分である第1界面層14Aは、予め下地絶縁膜21の表面上に付着されていた酸素により酸化される。

【0097】

よって、酸化物半導体膜14の第1界面層14Aの酸素空孔欠陥が低減化される。

【0098】

すなわち、第1界面層14Aの酸素空孔密度が、酸化物半導体膜14のバルク層14Bよりも小さくなる。

【0099】

更に、図16に示すように、酸化物半導体膜14を所望の形状にパターンニングする。

【0100】

更に、図16に示すように、酸化物半導体膜14に酸素プラズマ処理或いはその他の第2酸化性処理132を施す。

【0101】

これにより、酸化物半導体膜14の第2界面層14Eは酸化されるため、該第2界面層14Eの酸素空孔欠陥が低減化される。

【0102】

すなわち、第2界面層14Eの酸素空孔密度が、酸化物半導体膜14のバルク層14Bよりも小さくなる。

【0103】

次に、大気に曝すことなく、図17に示すように、酸化物半導体膜14を覆うゲート絶縁膜(第2絶縁体)12を下地絶縁膜21上に成膜し、更に、ゲート絶縁膜12上にゲート電極11を形成する。

【0104】

次に、図18に示すように、ゲート電極11を覆う層間絶縁膜23をゲート絶縁膜12上に成膜した後で、ソース・ドレイン領域へのコンタクトホール19を層間絶縁膜23及びゲート絶縁膜12に亘って形成する。

【0105】

次に、図19に示すように、コンタクトホール19内からゲート絶縁膜12上に亘るソース・ドレイン電極16(一方がソース電極で他方がドレイン電極)を形成した後で、該ソース・ドレイン電極16を覆う保護絶縁膜18を層間絶縁膜23上に成膜する。

【0106】

これにより、薄膜トランジスタ300が製造される。

【0107】

以上のような第3の実施形態によれば、下地絶縁膜(第1絶縁体)21と、酸化物半導体膜14と、ゲート絶縁膜(第2絶縁体)12と、ゲート電極11と、層間絶縁膜23と、ソース・ドレイン金属膜16と、保護絶縁膜18と、がこの順に成膜されてなる積層構造を備える薄膜トランジスタ300の酸化物半導体膜14と絶縁膜21, 12との界面に

10

20

30

40

50

おける酸素空孔起因の欠陥（過剰電子ドナーを生成する欠陥）を制御できる。

【0108】

具体的には、図15に示す第1酸化性処理131を行った後で図16に示すように酸化物半導体膜14を成膜することにより、該酸化物半導体膜14において下地絶縁膜21との界面に位置する界面層14Aの酸素空孔欠陥を低減化できる。すなわち、界面層14Aの酸素空孔密度をバルク層14Bよりも小さくすることができる。

【0109】

また、図16に示す第2酸化性処理132を行うことにより、酸化物半導体膜14において、ゲート絶縁膜12との界面に位置することになる第2界面層14Eの酸素空孔欠陥を低減化することにより該第2界面層14Eの電子密度を適度に低減し、バックチャネル電子電流に起因する薄膜トランジスタ300のオフ電流を効率よく低減化することができる。

10

【0110】

〔第4の実施形態〕

図20乃至図24は、第4の実施形態に係る薄膜トランジスタ（薄膜デバイス）400の製造方法を示す一連の工程図である。

【0111】

本実施形態に係る薄膜トランジスタ400は、ボトムゲートプレーナ型の薄膜トランジスタである。

【0112】

以下、製造方法について説明する。

20

【0113】

先ず、図20に示すように、絶縁性基板10上にゲート金属膜を成膜し、該ゲート金属膜をパターニングすることによりゲート電極11を形成し、このゲート電極11を覆うゲート絶縁膜（第1絶縁体）12を絶縁性基板10上に成膜する。

【0114】

次に、図21に示すように、ゲート絶縁膜12上にソース・ドレイン金属膜を成膜し、該ソース・ドレイン金属膜をパターニングすることにより、ソース・ドレイン電極16（一方がソース電極で他方がドレイン電極）を形成し、ソース・ドレイン電極16の間隔16Aを介して、ゲート絶縁膜12に酸素プラズマ処理或いはその他の第1酸化性処理131を施す。

30

【0115】

この第1酸化性処理131により、ゲート絶縁膜12の表面に酸素を付着させた状態にすることができるとともに、例えばゲート絶縁膜12の表層部において酸素欠損が生じていた場合に、その酸素欠損を解消することができる。

【0116】

第1酸化性処理131に引き続き、大気に曝すことなく、図22に示すようにゲート絶縁膜12上に酸化物半導体膜14を成膜し、所望の形状にパターニングする。

【0117】

これにより、酸化物半導体膜14において、ゲート絶縁膜12との界面に位置する部分である第1界面層14Aは、予めゲート絶縁膜12の表面上に付着されていた酸素により酸化される。

40

【0118】

よって、酸化物半導体膜14の第1界面層14Aの酸素空孔欠陥が低減化される。

【0119】

すなわち、酸化物半導体膜14の第1界面層14Aの酸素空孔密度が、酸化物半導体膜14のバルク層14Bよりも小さくなる。

【0120】

次に、図23に示すように、酸化物半導体膜14に酸素プラズマ処理或いはその他の第2酸化性処理132を施す。

50

【 0 1 2 1 】

引き続き、大気に曝すことなく、図 2 4 に示すように、酸化物半導体膜 1 4 を覆う保護絶縁膜（第 2 絶縁体）1 8 をソース・ドレイン電極 1 6 上に成膜する。

【 0 1 2 2 】

これにより、薄膜トランジスタ 4 0 0 が製造される。

【 0 1 2 3 】

以上のような第 4 の実施形態によれば、ゲート電極 1 1 と、ゲート絶縁膜（第 1 絶縁体）1 2 と、ソース・ドレイン電極 1 6 と、酸化物半導体膜 1 4 と、保護絶縁膜（第 2 絶縁体）1 8 と、がこの順に成膜されてなる積層構造を備える薄膜トランジスタ 4 0 0 の酸化物半導体膜 1 4 と絶縁膜 1 2 , 1 8 との界面における酸素空孔起因の欠陥（過剰電子ドナーを生成する欠陥）を制御できる。

10

【 0 1 2 4 】

具体的には、図 2 1 に示す第 1 酸化性処理 1 3 1 を行った後で図 2 2 に示すように酸化物半導体膜 1 4 を成膜することにより、該酸化物半導体膜 1 4 においてゲート絶縁膜 1 2 との界面に位置する界面層 1 4 A の酸素空孔欠陥を低減化できる。すなわち、界面層 1 4 A の酸素空孔密度をバルク層 1 4 B の酸素空孔密度よりも小さくすることができる。

【 0 1 2 5 】

また、図 2 3 に示す第 2 酸化性処理 1 3 1 を行うことにより、酸化物半導体膜 1 4 において、保護絶縁膜 1 8 との界面に位置することになる第 2 界面層 1 4 E の酸素空孔欠陥を低減化することにより該第 2 界面層 1 4 E の電子密度を適度に低減し、バックチャネル電子電流に起因する薄膜トランジスタ 4 0 0 のオフ電流を効率よく低減化することができる。

20

【 0 1 2 6 】

〔第 5 の実施形態〕

上記の第 1 乃至第 4 の実施形態では、薄膜トランジスタ 1 0 0、2 0 0、3 0 0、4 0 0 の酸化物半導体膜 1 4 を一度に成膜する例を説明したが、第 5 の実施形態では、酸化物半導体膜 1 4 を複数層に分けて成膜する例を説明する。

【 0 1 2 7 】

以下、本実施形態の場合の酸化物半導体膜 1 4 の成膜方法について説明する。

【 0 1 2 8 】

まず、図 2 5 に示すように、第 1 絶縁体 5 0 上に非常に薄い酸化物半導体膜 5 1 を成膜する。ここで、第 1 絶縁体 5 0 は、例えば、第 1 の実施形態（図 8）及び第 4 の実施形態（図 2 4）ではゲート絶縁膜 1 2 に相当し、第 2 の実施形態（図 1 4）及び第 3 の実施形態（図 1 9）では下地絶縁膜 2 1 に相当する。

30

【 0 1 2 9 】

次に、図 2 6 に示すように、酸化物半導体膜 5 1 に酸素プラズマ処理或いはその他の酸化性処理 5 2 を施す。

【 0 1 3 0 】

これにより、酸化物半導体膜 5 1 の表層部が酸化される。

【 0 1 3 1 】

次に、図 2 7 に示すように、酸化物半導体膜 5 1 上に、非常に薄い酸化物半導体膜 5 1 を成膜する。

40

【 0 1 3 2 】

次に、図 2 8 に示すように、酸化物半導体膜 5 1 に酸化性処理 5 2 を施す。

【 0 1 3 3 】

次に、図 2 9 に示すように、酸化物半導体膜 5 1 上に、非常に薄い酸化物半導体膜 5 1 を成膜する。

【 0 1 3 4 】

更に、必要に応じた回数だけ、図 2 6 及び図 2 7 の処理を繰り返し行うことにより、酸化物半導体膜 1 4 を形成する。

50

【0135】

以上のような第5の実施形態によれば、酸化物半導体膜（酸化物半導体薄層）51の成膜と、酸化性処理52と、を交互に複数回繰り返すことにより、酸化物半導体膜14を形成するので、各酸化物半導体薄層51を十分に酸化でき、所望の膜質の酸化物半導体膜14を精度良く得ることができる。

【0136】

なお、上記の第1乃至第5の実施形態において、酸化物半導体膜14としては、例えば、少なくともZn、Ga、Inのいずれか一元素を含む非晶質酸化物又は結晶酸化物を用いることができる。このような酸化物半導体膜14は、例えば、スパッタ、蒸着、CVDなどにより形成可能である。特に、結晶酸化物膜の酸化物半導体膜14は、非晶質膜にXeClエキシマレーザ或いはその他のレーザを照射することにより形成することができる。これらの酸化物半導体膜14は、例えば、可視光に対してはほぼ透明であるが、波長308nmのXeClエキシマレーザに対しては不透明であり吸収するからである。もちろん、その他の可視光よりも短波長なレーザや光を照射することによっても結晶化できる。また、これらの酸化物半導体膜14は、粒子状の酸化物半導体を溶媒に溶かしその酸化物半導体溶液を塗布又は印刷しその後加熱処理で溶媒を蒸発させることによっても形成することができる。

10

【0137】

また第1乃至第5の実施形態における酸化性処理又は還元性処理に関しては、酸化性プラズマ処理又は還元性プラズマ処理が適用できる。酸化性プラズマ処理としては、少なくとも酸素プラズマ又はオゾンプラズマを含むプラズマ処理が可能である。また還元性プラズマ処理としては、ArやHeなどの希ガスプラズマ、水素プラズマ、窒素ガスプラズマ或いはこれらのうちの任意の組み合わせの混合ガスプラズマを用いるプラズマ処理が可能である。

20

【0138】

なお、上記の各実施形態では、第1絶縁体（上記の各実施形態ではゲート絶縁膜12又は下地絶縁膜21）と第2絶縁体（上記の各実施形態では保護絶縁膜18又はゲート絶縁膜12）に挟まれた酸化物半導体膜14において、第1絶縁体との界面に位置する部分である第1界面層14Aと、第2絶縁体との界面に位置する部分である第2界面層14Eと、の双方が、バルク層14Bの酸素空孔密度よりも小さい例を説明したが、所望の薄膜トランジスタの構成に応じては、第1界面層14Aと第2界面層14Eのうちの何れか一方のみの酸素空孔密度が、バルク層14Bの酸素空孔密度よりも小さいようにしても良い。

30

【0139】

更に、上記の各実施形態では、第1絶縁体としてのゲート絶縁膜12又は下地絶縁膜21を絶縁性基板10上に成膜する例を説明したが、本発明はこの例に限らず、絶縁性基板10を第1絶縁体として利用する場合もある。但し、歩留まりや特性安定性を考慮すると、絶縁性基板10上に第1絶縁体（例えば、ゲート絶縁膜12或いは下地絶縁膜21）を成膜することが好ましい。

【0140】

また、上記の各実施形態では、薄膜デバイスとして薄膜トランジスタ100、200、300、400を例示したが、本発明はこの例に限らず、薄膜ダイオードにも適用可能である。

40

【実施例】

【0141】

図1乃至図8を参照して実施例1を説明する。

【0142】

先ず、図1に示すように、絶縁性基板10としてのガラス基板上に、ゲート金属膜としてのCr金属膜をスパッタ法により成膜した後で、通常のリソ工工程を用いてCr金属膜を所望のゲート電極11の形状にパターニングした。

【0143】

50

その後、ゲート絶縁膜 1 2 としての窒化シリコン膜を 3 0 0 n m の膜厚にスパッタ法により成膜した。

【 0 1 4 4 】

その後、大気に曝すことなく、図 2 に示すようにゲート絶縁膜 1 2 を酸素プラズマに曝して第 1 酸化性処理 1 3 1 を行うことにより窒化シリコン膜の表面を酸化した。

【 0 1 4 5 】

更に引き続いて大気に曝すことなくスパッタ法により InGaZnO_4 からなる酸化物半導体膜 1 4 を 1 0 0 n m 成膜した (図 3) 。

【 0 1 4 6 】

スパッタのターゲットとしては、 InGaZnO_4 の焼結体を用いたが、In、Ga、Zn それぞれの金属の酸化物を個別にターゲットとしてスパッタを行い基板上で反応させることにより InGaZnO_4 化合物を形成しても良い。

【 0 1 4 7 】

以上のゲート窒化シリコン膜成膜、酸素プラズマ処理、 InGaZnO_4 酸化物半導体膜 1 4 の成膜を、例えば、真空状態 (減圧状態) の同一のスパッタ装置で行うことにより、大気に曝すことなくこれらの工程を連続して行うことができる。

【 0 1 4 8 】

その後、酸化物半導体膜 1 4 を通常のリソ工程を用いて所望のアイランド形状にパターニングした (図 4) 。

【 0 1 4 9 】

引き続き、還元性処理 1 5 として酸化物半導体膜 1 4 を Ar プラズマに曝した (図 5) 。

【 0 1 5 0 】

このように Ar プラズマに曝すことにより酸化物半導体膜 1 4 の表層部 1 4 C に酸素空孔が形成され、酸化物半導体膜 1 4 の表面層 1 4 C の抵抗率値が処理前の値の 1 / 1 0 0 0 程度まで低下し、ソース・ドレイン領域として適切な値となった。

【 0 1 5 1 】

この Ar プラズマ処理の後、大気に曝すことなく連続してソース・ドレイン用金属として Cr 膜を成膜し、所望の形状にパターニングすることによりソース・ドレイン電極 1 6 を形成した (図 6) 。

【 0 1 5 2 】

更に、ソース・ドレイン電極 1 6 の間隔 1 6 A を介して、酸化物半導体膜 1 4 の表面層 1 4 C を酸素プラズマに曝して第 2 酸化性処理 1 3 2 を行った (図 7) 。

【 0 1 5 3 】

この酸素プラズマ処理は、ソース・ドレイン電極 1 6 間の酸化物半導体膜 1 4 の表層部 (第 2 界面層 1 4 E) を酸化し酸素空孔に起因する過剰ドナー電子を低減化させる目的で行う。このように酸素空孔を減らすことにより、薄膜トランジスタ 1 0 0 のオフ電流値を 2 桁程度低減化させることができた。

【 0 1 5 4 】

その後、大気に曝すことなく連続して、保護絶縁膜 1 8 として窒化シリコン膜を 3 0 0 n m スパッタ法により成膜した。

【 0 1 5 5 】

以上のプロセスにより薄膜トランジスタ 1 0 0 が得られた (図 8) 。

【 0 1 5 6 】

次に、図 9 乃至 1 4 を参照して実施例 2 を説明する。

【 0 1 5 7 】

絶縁性基板 1 0 としての樹脂基板上に、スパッタ法により下地絶縁膜 2 1 としての窒化シリコン膜を 3 0 0 n m 成膜した後、Mo 金属膜を成膜し、その後通常のリソ工程を用いて、該 Mo 金属膜を所望の形状にパターニングすることにより、ソース・ドレイン電極 1 6 を形成した (図 9) 。

10

20

30

40

50

【0158】

引き続き、第1酸化性処理131として、ソース・ドレイン電極16の間隔16Aを介して下地絶縁膜21を酸素プラズマに曝す処理を行った(図10)。

【0159】

引き続き、大気に曝すことなく連続してInGaZnO₄からなる酸化物半導体成膜14をスパッタ法により室温で60nmの膜厚に成膜し、該酸化物半導体膜14を所望のアイランド形状にパターンニングした(図11)。

【0160】

その後、酸化物半導体膜14の表層部(第2界面層14E)を第2酸化性処理132として酸素プラズマに曝し、該表層部を酸化させ該表層部の酸素空孔を低減化させた(図12)。

10

【0161】

その後、大気に曝すことなく連続してゲート絶縁膜12としての窒化シリコン膜をスパッタ法により400nm成膜した(図13)。

【0162】

その後、ゲート電極11をAlで形成し、保護絶縁膜18としての窒化シリコン膜をスパッタ法により300nm成膜することにより、薄膜トランジスタ200が得られた(図14)。

【0163】

上記のような酸素プラズマ処理を行うことにより薄膜トランジスタのチャネル領域の電子密度の制御が良好となり、ドレイン電流のオン・オフ比が5桁以上の良好なスイッチング特性が実現できた。

20

【0164】

より良好な特性を得るためには、酸化物半導体膜14を60nmの膜厚に成膜した後、連続して酸素プラズマ処理を行い、更に連続して、窒化シリコンからなるゲート絶縁膜12の一部(膜厚50nm:第1ゲート絶縁膜)を成膜する。

【0165】

その後、この第1ゲート絶縁膜と酸化物半導体膜14の積層膜を所望のアイランド形状にパターンニングし、更に窒化シリコンからなるゲート絶縁膜12の残りの一部(膜厚350nm:第2ゲート絶縁膜)を成膜する。

30

【0166】

このような方法により形成される薄膜トランジスタ200のゲート絶縁膜厚は400nmとなり上記の場合と同じであるが、重要な相違点は酸化物半導体膜14とゲート絶縁膜12との界面が大気に一度も曝されないという点である(上述の場合には、酸化物半導体膜14のパターンニングの際にこの酸化物半導体膜14の上面が大気やフォトリソプロセスに曝されることになる)。

【0167】

このように酸化物半導体膜14と絶縁膜(例えば、ゲート絶縁膜12)との界面を大気に曝されないようにすると、酸素空孔欠陥やその他の不純物欠陥の生成を抑制することができ、非常に良好なスイッチング特性が実現できる。

40

【0168】

次に、図15乃至図19を参照して実施例3を説明する。

【0169】

絶縁性基板10としてのガラス基板上にスパッタ法により下地絶縁膜21としての窒化シリコン膜を300nm成膜し、該下地膜絶縁膜21の表面に酸素プラズマに曝して第1酸化性処理131を行うことにより窒化シリコン膜の表面を酸化した(図15)。

【0170】

その後、InGaZnO₄からなる酸化物半導体成膜14をスパッタ法により室温で60nmの膜厚に成膜した。この室温成膜の非晶質の酸化物半導体膜14にXeClエキシマレーザを照射して熔融・固化させることにより結晶化させた。その後、この多結晶の酸

50

化物半導体膜 14 を所望のアイランド形状にパターンニングした。引き続き、酸素プラズマ処理（第 2 酸化性処理 132）により多結晶の酸化物半導体膜 14 の表層部（第 2 界面層 14E）を酸化させ酸素空孔欠陥を低減化させた（図 16）。

【0171】

InGaZnO₄ からなる酸化物半導体成膜 14 をレーザー照射により結晶化させる場合、非常に高温な溶融状態において酸素が抜けてしまうので、この酸素プラズマ処理は非常に重要である。

【0172】

酸素プラズマ処理の後、大気に曝すことなく連続してゲート絶縁膜 12 としての窒化シリコン膜をスパッタ法により 100nm 成膜した。更に Al を用いてゲート電極 11 を形成した（図 17）。

【0173】

引き続き、層間絶縁膜 23 としての酸化シリコン膜を 400nm 成膜し、ソース・ドレイン電極用のコンタクトホール 19 を形成した（図 18）。

【0174】

次に、Al を用いてソース・ドレイン電極 16 を形成した後、保護絶縁膜 18 としての窒化シリコン膜を 300nm 成膜して薄膜トランジスタ 300 が得られた。

【0175】

実施例 3 では、実施例 1, 2 の場合と比べて、酸化物半導体膜 14 を結晶化させたので、5 ~ 10 倍程度高い電子移動度が得られた。

【産業上の利用可能性】

【0176】

本発明の産業上の利用可能性としては、液晶ディスプレイや有機 EL ディスプレイなどのフラットパネルディスプレイの画素駆動素子が挙げられる。特に酸化物半導体は透明であるので、液晶ディスプレイの画素駆動素子に応用した場合、従来のシリコン半導体を用いた場合よりもバックライトからの透過光量が多くなり、より明るい高性能ディスプレイの実現が可能となる。このような駆動素子としては、3 端子である薄膜トランジスタに限らず、2 端子の薄膜ダイオードでも良い。

【0177】

また、酸化物半導体膜は、室温成膜した場合でも、従来の典型的な 300 成膜の非晶質シリコンよりも 1 桁程度電子移動度が高いので、室温成膜でも良好な特性を有する薄膜トランジスタアレイの形成が可能である。特に本発明の酸化性又は還元性プラズマ処理を用いることにより、薄膜トランジスタの電気特性を支配する酸化物半導体界面領域の酸素空孔密度を低温プロセスで制御可能である。従って、耐熱性の低い樹脂基板上でも良好な特性が得られるので、フレキシブル樹脂基板ディスプレイへの応用も可能である。

【図面の簡単な説明】

【0178】

【図 1】第 1 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 2】第 1 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 3】第 1 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 4】第 1 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 5】第 1 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 6】第 1 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 7】第 1 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部で

10

20

30

40

50

ある。

【図 8】第 1 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 9】第 2 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 10】第 2 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 11】第 2 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 12】第 2 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。 10

【図 13】第 2 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 14】第 2 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 15】第 3 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 16】第 3 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 17】第 3 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。 20

【図 18】第 3 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 19】第 3 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 20】第 4 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 21】第 4 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 22】第 4 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。 30

【図 23】第 4 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 24】第 4 の実施形態に係る薄膜トランジスタの製造方法を示す一連の工程図の一部である。

【図 25】第 5 の実施形態に係る酸化物半導体膜の成膜方法を示す一連の工程図の一部である。

【図 26】第 5 の実施形態に係る酸化物半導体膜の成膜方法を示す一連の工程図の一部である。

【図 27】第 5 の実施形態に係る酸化物半導体膜の成膜方法を示す一連の工程図の一部である。 40

【図 28】第 5 の実施形態に係る酸化物半導体膜の成膜方法を示す一連の工程図の一部である。

【図 29】第 5 の実施形態に係る酸化物半導体膜の成膜方法を示す一連の工程図の一部である。

【符号の説明】

【0179】

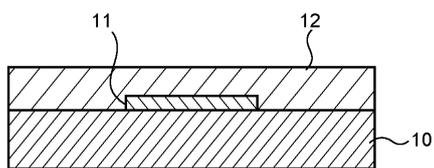
10 絶縁性基板

11 ゲート電極

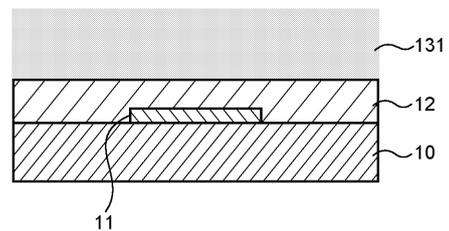
12 ゲート絶縁膜

- 1 3 1 第 1 酸化性処理
- 1 3 2 第 2 酸化性処理
- 1 4 酸化物半導体
- 1 4 A 第 1 界面層
- 1 4 E 第 2 界面層
- 1 4 B バルク層
- 1 5 還元性処理
- 1 6 ソース・ドレイン電極
- 1 8 保護絶縁膜
- 1 9 コンタクトホール
- 2 1 下地絶縁膜
- 2 3 層間絶縁膜
- 5 0 絶縁膜
- 1 0 0 薄膜トランジスタ (薄膜デバイス)
- 2 0 0 薄膜トランジスタ (薄膜デバイス)
- 3 0 0 薄膜トランジスタ (薄膜デバイス)
- 4 0 0 薄膜トランジスタ (薄膜デバイス)

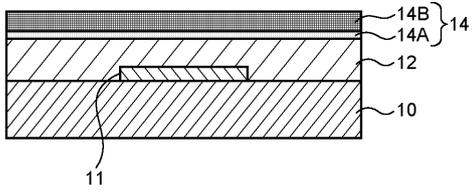
【 図 1 】



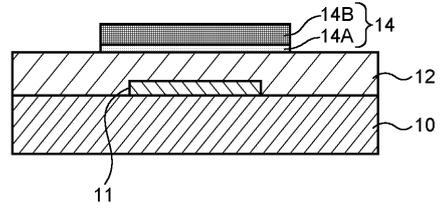
【 図 2 】



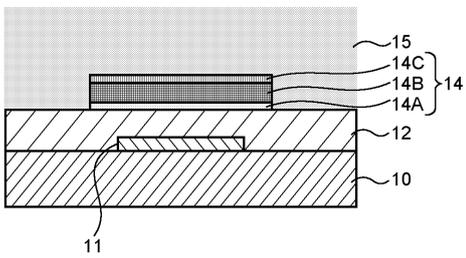
【 図 3 】



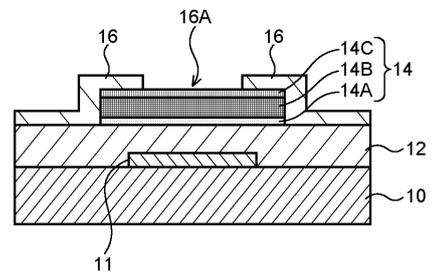
【 図 4 】



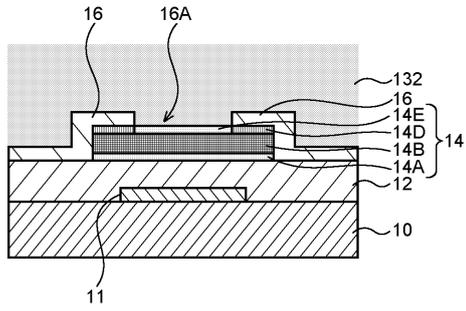
【 図 5 】



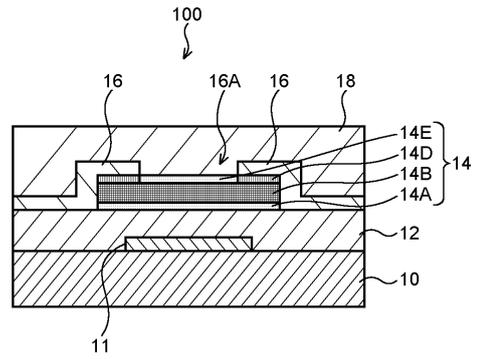
【 図 6 】



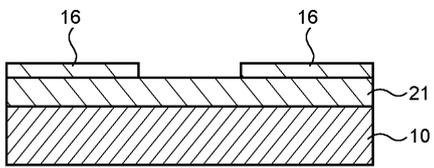
【図 7】



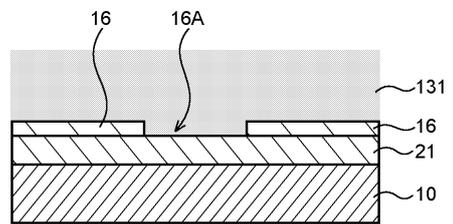
【図 8】



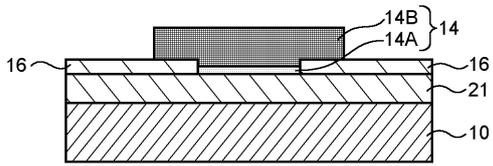
【図 9】



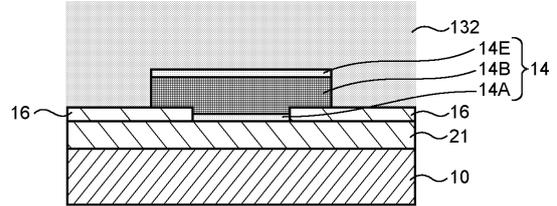
【図 10】



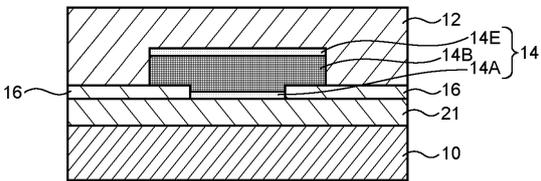
【図 1 1】



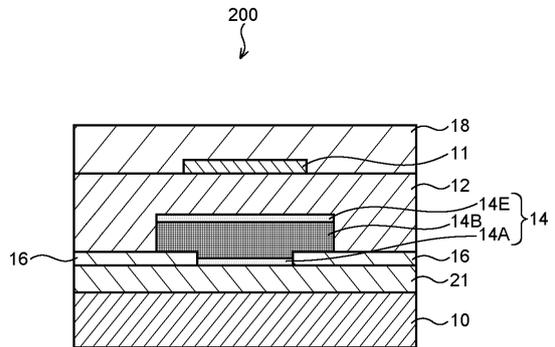
【図 1 2】



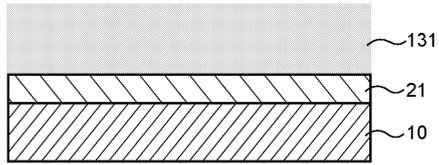
【図 1 3】



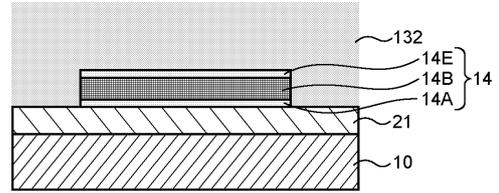
【図 1 4】



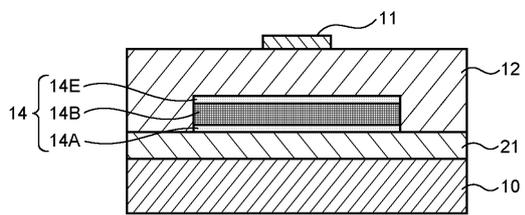
【図 15】



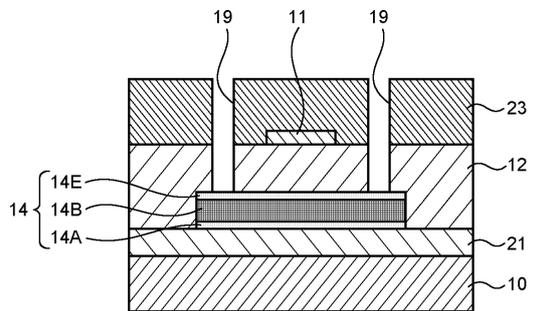
【図 16】



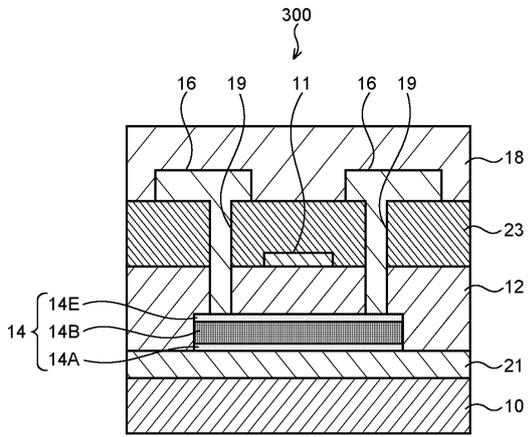
【図 17】



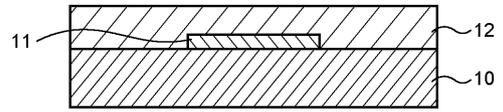
【図 18】



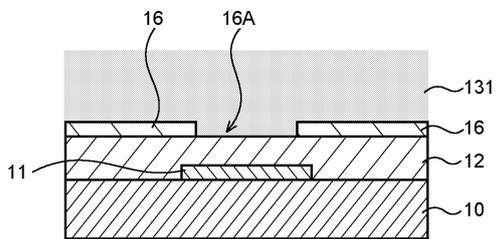
【 図 1 9 】



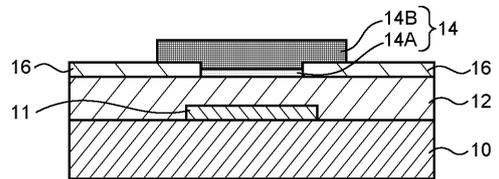
【 図 2 0 】



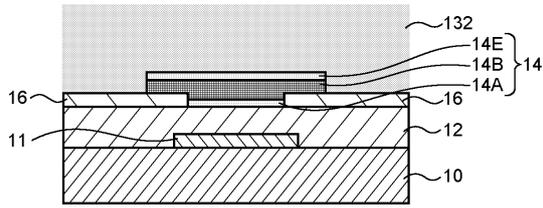
【 図 2 1 】



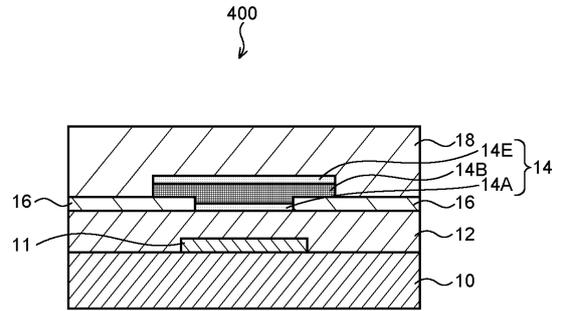
【 図 2 2 】



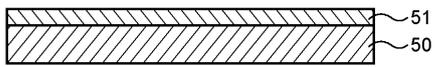
【 図 2 3 】



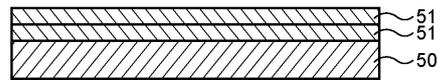
【 図 2 4 】



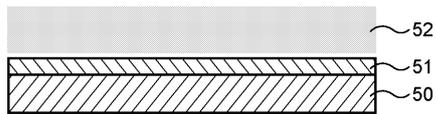
【 図 2 5 】



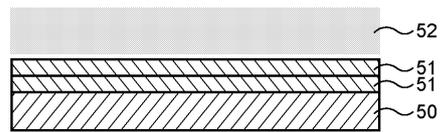
【 図 2 7 】



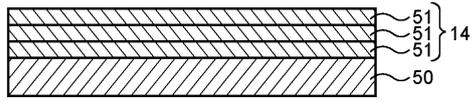
【 図 2 6 】



【 図 2 8 】



【 図 29 】



フロントページの続き

審査官 綿引 隆

- (56)参考文献 特開2006-165529(JP,A)
特開2004-235180(JP,A)
特開2006-165531(JP,A)
特開2004-349583(JP,A)
特開平04-214685(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/336
H01L 29/786