

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6773632号  
(P6773632)

(45) 発行日 令和2年10月21日(2020.10.21)

(24) 登録日 令和2年10月5日(2020.10.5)

|                              |                   |
|------------------------------|-------------------|
| (51) Int.Cl.                 | F I               |
| <b>G09G 3/3233 (2016.01)</b> | G09G 3/3233       |
| <b>G09G 3/20 (2006.01)</b>   | G09G 3/20 6 1 2 T |
| <b>G09G 3/30 (2006.01)</b>   | G09G 3/20 6 2 1 A |
| <b>G09G 3/3291 (2016.01)</b> | G09G 3/20 6 4 2 P |
| <b>G09G 3/3266 (2016.01)</b> | G09G 3/20 6 4 1 P |
| 請求項の数 12 (全 26 頁) 最終頁に続く     |                   |

|                    |                              |           |                     |
|--------------------|------------------------------|-----------|---------------------|
| (21) 出願番号          | 特願2017-238182 (P2017-238182) | (73) 特許権者 | 501426046           |
| (22) 出願日           | 平成29年12月13日(2017.12.13)      |           | エルジー ディスプレイ カンパニー リ |
| (65) 公開番号          | 特開2019-12256 (P2019-12256A)  |           | ミテッド                |
| (43) 公開日           | 平成31年1月24日(2019.1.24)        |           | 大韓民国 ソウル、ヨンドゥンポグ、ヨ  |
| 審査請求日              | 平成29年12月13日(2017.12.13)      |           | ウィーテロ 1 2 8         |
| (31) 優先権主張番号       | 10-2017-0083267              | (74) 代理人  | 100094112           |
| (32) 優先日           | 平成29年6月30日(2017.6.30)        |           | 弁理士 岡部 譲            |
| (33) 優先権主張国・地域又は機関 | 韓国 (KR)                      | (74) 代理人  | 100106183           |
|                    |                              |           | 弁理士 吉澤 弘司           |
|                    |                              | (74) 代理人  | 100114915           |
|                    |                              |           | 弁理士 三村 治彦           |
|                    |                              | (74) 代理人  | 100120363           |
|                    |                              |           | 弁理士 久保田 智樹          |
|                    |                              | (74) 代理人  | 100125139           |
|                    |                              |           | 弁理士 岡部 洋            |
| 最終頁に続く             |                              |           |                     |

(54) 【発明の名称】 表示パネルおよび電界発光表示装置

(57) 【特許請求の範囲】

【請求項 1】

駆動段階、データ書き込み段階を含むアクティブ期間と駆動段階を含む垂直ブランク期間を含むフレーム期間の間、フレームデータを表示し、前記垂直ブランク期間にピクセルの電気的特性をセンシングした結果に基づいて、入力映像のデータを変調する表示パネル駆動回路を備える表示パネルにおいて、

発光素子と前記発光素子を駆動する駆動素子と前記駆動素子のソース電極に接続された第1の電極と前記駆動素子のゲート電極に接続された第2の電極とを有するキャパシタとをそれぞれ含み、前記アクティブ期間における前記駆動段階において前記発光素子が前記駆動素子を介して流れる電流で発光し、前記垂直ブランク期間における前記駆動段階において前記発光素子が発光しない複数のサブピクセル及び

前記アクティブ期間で前記駆動段階の間と前記垂直ブランク期間で前記駆動段階の間、第1駆動電圧を前記サブピクセルの前記キャパシタの前記第1の電極に供給し、前記アクティブ期間の前記データ書き込み段階において、前記サブピクセルの前記キャパシタの前記第1の電極に第2駆動電圧を供給し、前記垂直ブランク期間において前記駆動段階以外の段階の間、前記複数のサブピクセルに含まれる第1サブピクセルの前記キャパシタの前記第1の電極に前記第2駆動電圧を供給する電源スイッチング回路を更に備える表示パネル。

【請求項 2】

前記第1駆動電圧が第1電源配線に供給され、前記第2駆動電圧が前記第1電源配線と

分離される第 2 電源配線に供給される、請求項 1 に記載の表示パネル。

【請求項 3】

前記第 1 駆動電圧は、前記アクティブ期間と、前記垂直ブランク期間の前記駆動段階の間に、前記サブピクセルの前記キャパシタの第 1 電極と前記駆動素子の第 1 電極に供給され、

前記第 2 駆動電圧は、前記垂直ブランク期間において前記駆動段階以外の段階に、前記第 1 サブピクセルの前記キャパシタの第 1 電極に供給され、

前記キャパシタの第 2 電極は、第 1 ノードを經由して前記駆動素子のゲートに接続され、前記駆動素子の第 1 電極が前記キャパシタの第 1 電極に接続され、前記駆動素子の第 2 電極が第 2 ノードに接続される、請求項 1 に記載の表示パネル。

10

【請求項 4】

前記第 1 駆動電圧が供給され、すべてのピクセルラインの前記サブピクセルに共通に接続された第 1 電源配線と、

前記第 2 駆動電圧が供給され、ピクセルラインの間に分離された複数の第 2 電源配線をさらに備える、請求項 3 に記載の表示パネル。

【請求項 5】

前記電源スイッチング回路は、

前記駆動段階の期間を定義する発光スイッチング信号にตอบสนองして前記駆動段階でターンオンされて第 1 電源配線を前記サブピクセルに接続する第 1 ピクセル駆動電圧スイッチング素子と、

20

前記アクティブ期間の前記データ書き込み段階と前記垂直ブランク期間において前記駆動段階以外の段階とを定義する第 1 スキャン信号にตอบสนองしてターンオンされて第 2 電源配線を前記サブピクセルに接続する第 2 ピクセル駆動電圧スイッチング素子を備える、請求項 3 に記載の表示パネル。

【請求項 6】

前記サブピクセルは、

センシング段階の期間を定義する第 2 スキャン信号にตอบสนองしてターンオンされて前記第 1 ノードを前記第 2 ノードに接続する第 1 スイッチ素子と、

前記第 1 スキャン信号にตอบสนองしてターンオンされてデータラインを前記第 1 ノードに接続する第 2 スイッチ素子と、

30

前記発光スイッチング信号にตอบสนองしてターンオンされて前記第 2 ノードを第 3 ノードに接続する第 3 スイッチ素子と、

前記第 1 スキャン信号にตอบสนองしてターンオンされて、所定の初期化電圧が印加される第 3 電源配線を前記第 3 ノードに接続する第 4 スイッチ素子をさらに備え、

前記第 3 ノードは、前記第 3 スイッチ素子、前記第 4 スイッチ素子及び前記発光素子のアノードに接続され、

前記データ書き込み段階において、前記データラインに入力映像のデータ電圧が供給され、初期化段階で、前記データラインに前記初期化電圧が供給される、請求項 5 に記載の表示パネル。

【請求項 7】

40

前記垂直ブランク期間において前記駆動段階以外の段階が、初期化段階、センシング段階及びデータ書き換え段階を含み、

前記垂直ブランク期間の前記データ書き換え段階で、以前のフレームと同じデータが、前記第 1 サブピクセルに書き込まれ、

次の前記アクティブ期間のデータ書き込み段階において、前記第 1 サブピクセルに、現在のフレームのデータが書き込まれる、請求項 1 に記載の表示パネル。

【請求項 8】

駆動段階、データ書き込み段階を含むアクティブ期間と駆動段階を含む垂直ブランク期間を含むフレーム期間の間にフレームデータを表示し、前記垂直ブランク期間にピクセルの電気的特性をセンシングした結果に基づいて、入力映像のデータを変調する表示パネル

50

駆動回路を備える表示パネルを備える電界発光表示装置において、前記表示パネルが、

発光素子と前記発光素子を駆動する駆動素子と前記駆動素子のソース電極に接続された第1の電極と前記駆動素子のゲート電極に接続された第2の電極とを有するキャパシタとをそれぞれ含み、前記アクティブ期間における前記駆動段階において前記発光素子が前記駆動素子を介して流れる電流で発光し、前記垂直ブランク期間における前記駆動段階において前記発光素子が発光しない複数のサブピクセル及び

前記アクティブ期間で前記駆動段階の間と前記垂直ブランク期間で前記駆動段階の間、第1駆動電圧を前記サブピクセルの前記キャパシタの前記第1の電極に供給し、前記アクティブ期間の前記データ書き込み段階において、前記サブピクセルの前記キャパシタの前記第1の電極に第2駆動電圧を供給し、前記垂直ブランク期間において前記駆動段階以外の段階の間、前記複数のサブピクセルに含まれる第3サブピクセルの前記キャパシタの前記第1の電極に前記第2駆動電圧を供給する電源スイッチング回路を更に備える電界発光表示装置。

10

【請求項9】

前記垂直ブランク期間において前記駆動段階以外の段階が、初期化段階、センシング段階及びデータ書き換え段階を含み、前記表示パネルが、

それぞれ異なるデータライン接続され、かつ第1乃至第3ゲートラインに共通に接続された前記駆動素子を有する前記複数のサブピクセルに含まれる第1及び第2サブピクセル

、前記アクティブ期間の前記データ書き込み段階及び前記垂直ブランク期間の前記データ書き換え段階で、データラインに入力映像のデータ電圧を供給し、かつ前記初期化段階で、前記データラインに所定の初期化電圧を供給するデータ駆動部、及び

20

第1ゲートラインを介して前記サブピクセルの第1スイッチ素子に、前記アクティブ期間の前記データ書き込み段階の期間を定義する第1スキャン信号を供給し、かつ前記第3ゲートラインを介して前記サブピクセルの第3スイッチ素子に、前記駆動段階の期間を定義するEM信号を供給するゲート駆動部を備え、

前記ゲート駆動部が、前記第1ゲートラインを介して前記第3サブピクセルの前記第1スイッチ素子に、前記垂直ブランク期間において前記駆動段階以外の段階の期間を定義する前記第1スキャン信号を供給し、かつ第2ゲートラインを介して前記第3サブピクセルの第2スイッチ素子に、前記垂直ブランク期間の前記センシング段階の期間を定義する第2スキャン信号を供給する、

30

請求項8に記載の電界発光表示装置。

【請求項10】

前記第1駆動電圧と前記第2駆動電圧を出力する電源回路をさらに備え、

前記電源回路は、前記第1駆動電圧を出力する第1出力端子と、前記第2駆動電圧を出力する第2出力端子を含み、

前記電源回路から前記第1及び前記第2駆動電圧が同じ電圧レベルで出力される、請求項8に記載の電界発光表示装置。

【請求項11】

前記第1駆動電圧と前記第2駆動電圧を出力する電源回路をさらに備え、

40

前記電源回路は、一つの出力チャンネルを介して、単一駆動電圧を、単一配線に出力し、

前記単一配線が第1及び第2分岐配線に分離され、

前記第1駆動電圧が前記第1分岐配線を介して前記サブピクセルに供給され、

前記第2駆動電圧が前記第2分岐配線を介して前記サブピクセルに供給される、請求項8に記載の電界発光表示装置。

【請求項12】

前記第1駆動電圧が供給され、すべてのピクセルラインの前記サブピクセルに共通に接続された第1電源配線と、

前記第2駆動電圧が供給され、ピクセルライン別に分離され、前記サブピクセルに接続

50

された複数の第2電源配線をさらに備え、

ピクセル駆動電圧ラインを介して1つのピクセルラインに配置された前記サブピクセルに、前記第2駆動電圧が供給されるとき、前記1つのピクセルラインを除外した他のピクセルラインの前記サブピクセルに前記第1駆動電圧が供給される、請求項8に記載の電界発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ピクセル(pixel:画素)の各々で駆動素子の電気的特性ばらつきをリアルタイム補償することができる表示パネルおよび電界発光表示装置に関する。

10

【背景技術】

【0002】

電界発光表示装置は、発光層の材料に応じて無機発光表示装置と有機発光表示装置に大別される。この中で、アクティブマトリクス型(active matrix type)の有機発光表示装置は、自ら発光する、代表的な電界発光ダイオードである、有機発光ダイオード(Organic Light Emitting Diode:以下、「OLED」と称する)を含み、応答速度が速く、発光効率、輝度及び視野角が大きい長所がある。

【0003】

有機発光表示装置のピクセルは、OLED、キャパシタ、駆動素子、スイッチ素子等を含む。駆動素子とスイッチ素子は、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)構造のTFET(Thin Film Transistor)で実現されることができる。駆動素子は、映像データの階調に応じて変化するゲート・ソース間電圧でOLEDの電流を調整して、ピクセルの輝度を映像データに基づいて調節する。

20

【0004】

駆動素子として利用されるトランジスタが飽和領域で動作するとき、駆動素子のドレイン・ソース間に流れる駆動電流( $I_{ds}$ )は以下のように表現される。

【0005】

$$I_{ds} = 1/2 * (\mu * C * W/L) * (V_{gs} - V_{th})^2$$

【0006】

ここで、 $\mu$ は電子移動度を、 $C$ はゲート絶縁膜の静電容量を、 $W$ は駆動素子のチャネル幅を、そして $L$ は駆動素子のチャネル長をそれぞれ示す。また、 $V_{gs}$ は駆動素子のゲート・ソース間電圧を示し、 $V_{th}$ は駆動TFETのしきい値電圧(または臨界電圧)を示す。データ電圧に応じて駆動TFETのゲート・ソース間電圧( $V_{gs}$ )がプログラミング(または設定)される。プログラミングされたゲート・ソース間電圧( $V_{gs}$ )に応じてOLEDに流れる駆動素子のドレイン・ソース電流( $I_{ds}$ )が決定される。

30

【0007】

駆動素子のしきい値電圧( $V_{th}$ )、駆動TFETの電子移動度( $\mu$ )、及びOLEDのしきい値電圧などのピクセルの電気的特性は、OLEDの電流を決定する要因であるため、理想的には、ピクセルの各々で同じでなければならない。しかし、工程ばらつき(偏差)、経時変化など、さまざまな原因によってピクセル間の電気的特性が異なることがある。

40

【0008】

駆動素子の電気的特性ばらつきを補償するために、内部補償方法と、外部補償方法が適用されることがある。内部補償方法は、駆動素子の電気的特性ばらつきをピクセル内でリアルタイムに自動的に補償することができる。外部補償の方法は、ピクセルのそれぞれの駆動電圧をセンシングし、センシングされた電圧に基づいて、外部回路で入力映像のデータを変調することにより、ピクセル間の駆動素子の電気的特性ばらつきを補償する。

【0009】

ところで、従来の内部または外部補償方法においてIRドロップ(drop)の影響を受ける問題がある。IRドロップは抵抗体( $R$ )の電流( $I$ )が流れて発生するピクセルの駆

50

動電圧降下をもたらす。このような電圧降下は、画面の位置に応じて変わる。これにより、表示パネル上の画面の位置に応じて、ピクセル間に輝度差が発生することができる。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開特開2010-122461号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明の目的は、ピクセルの各々で駆動素子の電気的特性ばらつきを補償することができる、ピクセルに印加される電源の電圧降下の影響を最小化することができる表示パネルおよび電界発光表示装置を提供することにある。

10

【課題を解決するための手段】

【0012】

本発明の表示パネルは、アクティブ区間とブランク区間に分割されたフレーム期間の間にフレームデータを表示し、前記ブランク区間においてピクセルの電気的特性をセンシングした結果に基づいて、入力映像のデータを変調する電界発光表示装置の表示パネルにおいて、発光素子と前記発光素子を駆動する駆動素子を含み、駆動段階で前記発光素子が前記駆動素子を介して流れる電流で発光するサブピクセル、及び前記アクティブ区間と、前記ブランク区間で前記駆動段階の間、第1駆動電圧を前記サブピクセルに供給し、前記アクティブ区間のデータ書き込み段階、前記ブランク区間の初期化段階、前記ブランク区間のセンシング段階及び前記ブランク区間のデータ書き込み段階で、前記サブピクセルに第2駆動電圧を供給する電源スイッチング回路を備える。

20

【0013】

前記第1駆動電圧が第1電源配線に供給され、前記第2駆動電圧が前記第1電源配線と分離される第2電源配線に供給される。

【0014】

前記サブピクセルは、前記駆動素子に接続されたキャパシタをさらに備える。前記第1駆動電圧は、前記アクティブ区間と、前記ブランク区間の駆動段階の間に、前記キャパシタの第1電極と前記駆動素子の第1電極に供給される。前記第2駆動電圧は、前記ブランク区間において、前記初期化段階、前記センシング段階及び前記データ書き込み段階の間に、前記キャパシタの第1電極に供給される。前記キャパシタの第2電極は、第1ノードを経由して前記駆動素子のゲートに接続され、前記駆動素子の第1電極が前記キャパシタの第1電極に接続され、前記駆動素子の第2電極が第2ノードに接続される。

30

【0015】

前記表示パネルは、前記第1駆動電圧が供給され、すべてのピクセルのラインのサブピクセルに共通に接続された第1電源配線、及び前記第2駆動電圧が供給されピクセルライン間に分離された複数の第2電源配線をさらに備える。

【0016】

前記電源スイッチング回路は、前記駆動段階の期間を定義する発光スイッチング信号にตอบสนองして前記駆動段階でターンオンされて前記第1電源配線を、前記サブピクセルに接続する第1ピクセル駆動電圧スイッチング素子、前記アクティブ区間のデータ書き込み段階、前記ブランク区間の初期化段階、前記ブランク区間のセンシング段階及び前記ブランク区間のデータ書き込み段階の期間を定義する第1スキャン信号にตอบสนองしてターンオンされ、前記第2電源配線を前記サブピクセルに接続する第2ピクセル駆動電圧スイッチング素子を備える。

40

【0017】

前記サブピクセルは、前記センシング段階の期間を定義する第2スキャン信号にตอบสนองしてターンオンされ前記第1ノードを前記第2ノードに接続する第1スイッチ素子、前記第1スキャン信号にตอบสนองしてターンオンされてデータラインを前記第1ノードに接続する第

50

2スイッチ素子、前記発光スイッチング信号にตอบสนองしてターンオンされ前記第2ノードを第3ノードに接続する第3スイッチ素子、及び前記第1スキャン信号にตอบสนองしてターンオンされ、所定の初期化電圧が印加される第3電源配線を前記第3ノードに接続する第4スイッチ素子をさらに備える。前記第3ノードは、前記第3スイッチ素子、前記第4スイッチ素子及び、前記発光素子のアノードに接続される。前記データ書き込み段階で、前記データラインに入力映像のデータ電圧が供給され、前記初期化段階で、前記データラインに前記初期化電圧が供給される。

【0018】

前記ブランク区間と、前記ブランク区間に先立つ以前のアクティブ区間のデータ書き込み段階で同じである、以前のフレームデータが、前記ブランク区間にセンシングされるサブピクセルに書き込まれる。前記ブランク区間後の次のアクティブ区間のデータ書き込み段階でセンシングされたサブピクセルに、現在のフレームデータが書き込まれる。

10

【0019】

本発明の電界発光表示装置は前記表示パネルを備える。

【発明の効果】

【0020】

本発明は、駆動電圧(VDD)を駆動段階用VDD=VDD1と、センシング段階及び、データ書き込み段階用VDD=VDD2に分離し、外部補償の方法でサブピクセルの電気的特性ばらつきを補償する。本発明は、アクティブ区間にサブピクセルにデータを書き込むとき、そしてパーティカルブランク区間でサブピクセルの電気的特性をセンシングするときVDD(=VDD1)をサブピクセルに印加する。したがって、本発明の電界発光表示装置は、センシング段階と、データ書き込みの段階でIRドロップの影響なしにサブピクセルの各々において駆動素子のゲート・ソース間電圧(Vgs)の変動を防止し、センシング段階でIRドロップの影響を受けないため、サブピクセルの各々で駆動素子の電気的特性を正確にセンシングすることができる。

20

【図面の簡単な説明】

【0021】

【図1】本発明の実施形態に係る電界発光表示装置を示すブロック図である。

【図2】本発明の実施形態に係る外部補償回路を示す回路図である。

【図3】ピクセルアレイの一部を示す図である。

30

【図4】IRドロップによる電圧降下を示す図である。

【図5】サブピクセルのキャパシタの両端に印加される電圧を示す図である。

【図6】LOG配線と第2VDD配線の一部を拡大した図である。

【図7】LOG配線と第2VDD配線の一部を拡大した図である。

【図8】LOG配線と第2VDD配線の一部を拡大した図である。

【図9】VDD配線上でのIRドロップによる電圧降下を示す図である。

【図10】VDD配線上でのIRドロップによる電圧降下を示す図である。

【図11A】本発明の実施形態に係る電源回路と表示パネルとの間のVDD経路を示す図である。

【図11B】本発明の実施形態に係る電源回路と表示パネルとの間のVDD経路を示す図である。

40

【図12】本発明の実施形態に係る第1及び第2VDD配線を示す図である。

【図13】共通VDDで、すべてのピクセルラインのピクセルを駆動する例を示して図である。

【図14】センシング段階のピクセルラインに印加されるVDDと駆動段階のピクセルラインに印加されるVDDが分離された例を示して図である。

【図15】本発明の実施形態に係るVDDスイッチング回路とピクセル回路を示す回路図である。

【図16】パーティカルブランク区間でサブピクセルのセンシング段階を示す波形図である。

50

【図17】パーティカルブランク区間に以前のフレームのデータをサブピクセルに再び書き込む例を示す図である。

【図18】アクティブ区間でサブピクセルのデータ書き込み段階を示す波形図である。

【図19】アクティブ区間のデータ書き込み段階と駆動段階を示す回路図である。

【図20】データ書き込み段階と駆動段階でピクセル回路に印加されるVDDとストレージキャパシタの電圧を示す図である。

【図21】パーティカルブランク区間の初期化段階とセンシング段階でピクセル回路の動作を示す回路図である。

【図22】アクティブ区間とパーティカルブランク区間を詳細に示す図である。

【発明を実施するための形態】

10

【0022】

本発明の利点及び特徴、そしてそれらを達成する方法は添付される図面と共に詳細に後述される実施形態を参照すると明確になる。本発明は、以下で開示される実施形態に限定されるものではなく、互いに異なる様々な形で実現されるものであり、単に実施形態は、本発明の開示が完全にし、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らせるために提供されるものであり、本発明は、請求項の範疇によって定義されるだけである。

【0023】

本発明の実施形態を説明するための図で開示された形状、大きさ、比率、角度、数などは例示的なものなので、本発明は、図面に示された事項に限定されるものではない。明細書全体にわたって同一参照符号は同一の構成要素を指す。また、本発明を説明するにおいて、関連する公知技術に対する具体的な説明が本発明の要旨を不必要に曖昧にすると判断される場合、その詳細な説明は省略する。

20

【0024】

本明細書上で言及された「備える」、「含む」、「有する」、「行われる」などが使用される場合、「～だけ」が使用されない限り、他の部分が追加されることができる。構成要素を単数で表現する場合に特に明示的な記載事項がない限り、複数として解釈されることができる。

【0025】

構成要素を解釈するに当たり、別の明示的な記載がなくても誤差の範囲を含むものと解釈する。

30

【0026】

位置関係の説明である場合には、例えば、「～の上に」、「～の上部に」、「～の下部に」、「～の隣に」など2つの構成要素の間の位置関係が説明される場合には、「すぐに」または「直接」が使用されないその構成要素の間の1つ以上の他の構成要素が介在されることがある。

【0027】

構成要素を区分するために、第1、第2などが使用されることができるが、これらの構成要素は、構成要素の前についた序数や構成要素の名称で、その機能や構造が制限されない。

40

【0028】

以下の実施形態は、部分的または全体的に互いに結合または組み合わせ可能であり、技術的に様々な運動及び駆動が可能である。各実施形態は、互いに独立して実施可能することもあり関連の関係と一緒に実施可能することもある。

【0029】

本発明の電界発光表示装置においてピクセル回路は、n型TFT(NMOS)とp型TFT(PMOS)の内、1つ以上を含むことができる。TFTは、ゲート(gate)、ソース(source)及びドレイン(drain)を含む3電極素子である。ソースは、キャリア(carrier)をトランジスタに供給する電極である。TFTの内キャリアは、ソースから流れ始める。ドレインはTFTでキャリアが外部に出る電極である。TFTでキャリアの流れ

50

は、ソースからドレインに流れる。n型TFTの場合には、キャリアが電子(electron)であるため、ソースからドレインに電子が流れるで有り得るよう、ソース電圧がドレイン電圧より低い電圧を有する。n型TFTで電流の方向は、ドレインからソースの方向に流れる。p型TFT(PMOS)の場合、キャリアが正孔(hole)であるため、ソースからドレインに正孔が流れるで有り得るよう、ソース電圧がドレイン電圧より高い。p型TFTで正孔がソースからドレインの方向に流れるため、電流がソースからドレインの方向に流れる。TFTのソースとドレインは、固定されたものではないことに注意しなければならない。例えば、ソースとドレインは、印加電圧に応じて変更されることができる。したがって、TFTのソースとドレインによって発明が限定されない。以下の説明ではTFTのソースとドレインを第1及び第2電極と称する。

10

**【0030】**

ピクセル回路に印加されるゲート信号は、ゲートオン電圧(Gate On Voltage)とゲートオフ電圧(Gate Off Voltage)の間でスイングする。ゲートオン電圧はTFTのしきい値電圧より高い電圧に設定され、ゲートオフ電圧はTFTのしきい値電圧より低い電圧に設定される。TFTは、ゲートオン電圧に应答してターンオン(turn-on)されるものの、ゲートオフ電圧に应答してターン-オフ(turn-off)される。n型TFTの場合、ゲートオン電圧はゲートハイ電圧(Gate High Voltage、VGH)であり、ゲートオフ電圧はゲートロー電圧(Gate Low Voltage、VGL)で有り得る。p型TFTの場合、ゲートオン電圧はゲートロー電圧(VGL)であり、ゲートオフ電圧は、ゲートハイ電圧(VGH)で有り得る。

20

**【0031】**

以下、添付された図面を参照して、本発明の様々な実施形態を詳細に説明する。以下の実施形態において、電界発光表示装置は、有機発光物質を含む有機発光表示装置を中心に説明する。本発明の技術的思想は、有機発光表示装置に限定されず、無機発光物質を含む無機発光表示装置に適用することができる。無機発光表示装置は、量子点(quantum dot)表示装置を例に挙げられるが、これに限定されるものではない。

**【0032】**

図1は、本発明の実施形態に係る電界発光表示装置を示すブロック図である。図2は、本発明の実施形態に係る外部補償回路を示す回路図である。図3は、ピクセルアレイの一部を示す図である。

30

**【0033】**

図1及び図2を参照すると、本発明の実施形態に係る電界発光表示装置は、表示パネル100と、表示パネル駆動回路を含む。

**【0034】**

表示パネル100は、画面上での入力映像を表示するアクティブ領域(AA)を含む。アクティブ領域(AA)にピクセルアレイが配置される。ピクセルアレイは、信号配線とピクセルを含む。信号配線は、データライン102と、データライン102と交差されるゲートライン104を含む。ピクセルアレイにVDD、Vini、VSSなどの電源をピクセルに供給するための電源配線と電極が配置されることができる。ピクセルは、マトリックス形態に配置されるピクセルを含む。図3において、LINE1とLINE2は、ピクセルラインを示す。ピクセルライン(LINE1、LINE2)それぞれは、ピクセルアレイでゲートラインを共有する1ラインのピクセルを含む。

40

**【0035】**

ピクセルの各々は、カラー実現のため赤色サブピクセル、緑色サブピクセル、青色サブピクセルに分けすることができる。ピクセルの各々は、白色サブピクセルをさらに含むことで有り得る。サブピクセル101のそれぞれは、ピクセル回路を含む。ピクセル回路は、発光素子、駆動素子、複数のスイッチ素子、キャパシタを含む。ピクセル回路は、スイッチ素子を用いてピクセルの各々で駆動素子の電気的特性ばらつきをリアルタイム補償することができる補償回路を含む。駆動素子とスイッチ素子は、PMOS構造のTFTに実現されることができるが、これに限定されない。

50

## 【0036】

表示パネル100は、ピクセル駆動電圧(VDD)をサブピクセル101に供給するためのVDD配線、ピクセル回路を初期化するための初期化電圧(Vini)をサブピクセル101に供給するためVini配線、低電位電源電圧(VSS)をサブピクセルに供給するためのVSS配線とVSS電極、VGHが印加されるVGH配線、VGLが印加されるVGL配線などをさらに含むことができる。VDD配線はVDD1が印加される第1VDD配線31と、VDD2が印加される第2VDD配線32に分離される。

## 【0037】

VDD、Vini、VSSなどの電源電圧は、電源回路150から発生される。電源回路150は、-直流変換器(DC-DC converter)、チャージポンプ(Charge pump)、レギュレーター(Regulator)などを利用して、ピクセルの駆動に必要な電源を発生する。電源回路150は、PMIC(Power Module Integrated Circuit)として実現されることができるが、これに限定されない。VDD=VDD1=VDD2=4.5V、VSS=-2.5V、Vini=-3.5V、VGH=7.0V、VGL=-5.5Vなどで電源電圧が設定されることができるが、これに限定されない。電源電圧は、表示パネル100の駆動特性やモデルによって異なることができる。

10

## 【0038】

表示パネル100の画面上に示さないタッチセンサが配置されることができる。タッチ入力は、別のタッチセンサを利用して、センシングされたり、ピクセルを介してセンシングすることができる。タッチセンサは、オン-セル(On-cell type)またはアドオンタイプ(Add on type)で表示パネルの画面上に配置したり、ピクセルアレイに内蔵されるイン-セル(In-cell type)タッチセンサに実現されることができる。

20

## 【0039】

表示パネル駆動回路は、データ駆動部110、ゲート駆動部120、VDDスイッチング回路30などを備える。表示パネル駆動回路は、データ駆動部110とデータライン102との間に配置されたデマルチプレクサ112をさらに備えることができる。

## 【0040】

表示パネル駆動回路は、タイミングコントローラ(Timing controller、TCON)130の制御下に表示パネル100のピクセルに入力映像のデータを書き込む。表示パネル駆動回路は、タッチセンサを駆動するためのタッチセンサ駆動部をさらに備えることができる。タッチセンサ駆動部は、図1から省略されている。モバイル機器で表示パネル駆動回路、タイミングコントローラ130は、電源回路150などは、一つの集積回路に集積することができる。

30

## 【0041】

同一ピクセルラインにおいて隣接するサブピクセル101は、VDDスイッチング回路30に共通に接続される。したがって、隣接したサブピクセルが一つのVDDスイッチング回路30を共有する。VDDスイッチング回路30は、アクティブ区間(図22、AT)の駆動段階にサブピクセル101にVDD1を供給し、アクティブ区間のデータ書き込み段階とバーティカルブランク(Vertical blank)区間(図22、VB)の初期化及びセンシング段階の間、VDD2をサブピクセル101に供給する。

40

## 【0042】

アクティブ区間は1フレームのデータが画面上のすべてのピクセルに書き込まれる時間である。バーティカルブランク区間は、第N-1アクティブ区間と第Nアクティブ区間の間で所定時間に割り当てられる。バーティカルブランク区間の間、次のフレームデータ(第Nフレームデータ)がタイミングコントローラ130に受信されない時間である。

## 【0043】

駆動段階は、VDD1が駆動素子に供給され、駆動素子のゲート-ソース間電圧(Vgs)に応じて発生する電流(IdS)が発光素子に流れる時間である。この駆動段階でサブピクセルの発光素子が発光することができる。

## 【0044】

50

データ書き込み段階は、サブピクセルのストレージキャパシタ (C s t) の第 1 電極に V D D 2 が供給され、データ駆動部 1 1 0 から発生されたデータ電圧 (V d a t a) がストレージキャパシタ (C s t) の第 2 電極と駆動素子のゲートに印加される時間である。

【 0 0 4 5 】

センシング段階は、パーティカルブランク区間に割り当てられる。センシング段階の前に、サブピクセルを初期化するための初期化段階が設定される。センシング段階は、サブピクセルの電気的特性、例えば、駆動素子のしきい値電圧がセンシングされる。

【 0 0 4 6 】

表示パネル駆動回路では、アクティブ区間それぞれで、現在のフレームのデータをすべてのサブピクセルに書き込む。表示パネル駆動回路は、パーティカルブランク区間にあらかじめ設定されたピクセルラインでサブピクセルの駆動素子の電気的特性をセンシングして、以前のフレームのデータである第 N - 1 フレームのデータをセンシングされたサブピクセルに再度書き込む。パーティカルブランク区間に 1 つ以上のピクセルラインがセンシングされ、次のパーティカルブランク区間に他のピクセルラインがセンシングされることができ

10

【 0 0 4 7 】

表示パネル駆動回路は、低速駆動モードで動作することができる。低速駆動モードは、入力映像を分析して、入力映像が予め設定された時間だけ変化がない場合に表示装置の消費電力を低減する。低速駆動モードは、静止映像が一定時間以上入力される時、ピクセルのリフレッシュレート (Refresh rate または Frame rate) を下げることで、ピクセルのデータ書き込みサイクルを長く制御して消費電力を減らすことができる。低速駆動モードは、静止映像が入力される際に限定されない。表示装置が待機モードで動作するか、ユーザコマンドや入力映像が所定時間以上表示パネル駆動回路に入力されないとき表示パネル駆動回路は、低速駆動モードで動作することができる。

20

【 0 0 4 8 】

データ駆動部 1 1 0 は、毎フレーム期間ごとにタイミングコントローラ 1 3 0 から受信される入力映像のデータ信号 (デジタルデータ) をデジタル - アナログ変換器 (Digital to Analog converter、D A C) 2 2 を介してアナログデータ電圧に変換する。タイミングコントローラ 1 3 0 は、補償部 1 3 1 によって変調された補償データをデータ駆動部 1 1 0 に伝送する。データ駆動部 1 1 0 から出力されたデータ電圧 (V d a t a) はデマルチプレクサ 1 1 2 を介してデータライン 1 0 2 に供給される。データ駆動部 1 1 0 は、図 2 に示されたセンシング部 2 0 を含むことができる。

30

【 0 0 4 9 】

デマルチプレクサ 1 1 2 は、データ駆動部 1 1 0 とデータライン 1 0 2 との間に配置されて、データ駆動部 1 1 0 から出力されるデータ電圧 (V d a t a) をデータライン 1 0 2 に分配する。デマルチプレクサ 1 1 2 により、データ駆動部 1 1 0 の出力チャンネル数をデータラインに比べて 1 / 2 以下に低減することができる。

【 0 0 5 0 】

ゲート駆動部 1 2 0 は、タイミングコントローラ 1 3 0 の制御下にゲート信号をゲートライン 1 0 4 に出力する。ゲート駆動部 1 2 0 は、シフトレジスタ (Shift register) を利用して、ゲート信号をシフト (shift) することにより、その信号をゲートライン 1 0 4 に順次供給することができる。ゲート信号は、データが書き込まれるラインのピクセルを選択するためのスキャン信号 (S C A N A ( 1 ) ~ S C A N B ( 2 ) ) と、データ電圧が充電されたピクセルの発光時間を定義する発光スイッチング信号 (以下、「EM 信号」と称する) (E M ( 1 )、E M ( 2 ) ) を含む。図 3 において、S C A N A ( 1 )、S C A N B ( 1 ) 及び ( E M ( 1 ) ) は、第 1 ピクセルライン (L I N E 1) のサブピクセル 1 0 1 に供給されるゲート信号である。S C A N A ( 2 )、S C A N B ( 2 ) 及び E M ( 2 ) は、第 2 ピクセルライン (L I N E 2) のサブピクセル 1 0 1 に供給されるゲート信号である。ゲートライン 1 0 4 は、第 1 スキャン信号 (S C A N A ( 1 )、S C A N A ( 2 ) ) が印加される第 1 ゲートライン 4 1 と、第 2 スキャン信号 (S C A N B ( 1 )、S C

40

50

A N B ( 2 ) ) が印加される第 2 ゲートライン 4 2 と、E M 信号 ( E M ( 1 ) 、 E M ( 2 ) ) が印加される第 3 ゲートライン 4 3 を含む。

【 0 0 5 1 】

サブピクセルのピクセル回路、デマルチプレクサ 1 1 2、ゲート駆動部 1 2 0 及び電源スイッチ回路 1 4 0 は、同一の製造工程で表示パネル 1 0 0 の基板上に直接形成することができる。ピクセル回路、デマルチプレクサ 1 1 2、ゲート駆動部 1 2 0、及び電源スイッチ回路 1 4 0 のトランジスタは、N M O S または P M O S トランジスタで実現されることができ、同じタイプのトランジスタに実現されることができる。

【 0 0 5 2 】

タイミングコントローラ 1 3 0 は、示さないホストシステムから入力映像のデジタルデータと、それと同期されるタイミング信号を受信する。タイミング信号は、垂直同期信号 ( V s y n c )、水平同期信号 ( H s y n c )、クロック信号 ( D C L K ) 及びデータイネーブル信号 ( D E ) などを含む。ホストシステムは、T V ( Television ) システム、セットトップボックス、ナビゲーションシステム、パーソナルコンピュータ ( P C )、ホームシアターシステム、モバイル機器のシステムの内、いずれか 1 つで有り得る。

10

【 0 0 5 3 】

タイミングコントローラ 1 3 0 は、バーチカルブランク区間に受信されたサブピクセルのセンシング結果に基づいて補償値を選択し、この補正値で入力映像のデジタルデータを変調して、データ駆動部 1 1 0 に伝送する。したがって、データ駆動部 1 1 0 は、サブピクセルのセンシング結果に基づいて変調されたデータを D A C 2 2 を介してデータ電圧に変換して、データライン 1 0 2 に出力する。

20

【 0 0 5 4 】

タイミングコントローラ 1 3 0 は、入力フレーム周波数を  $i$  倍逡倍して、入力フレーム周波数かける  $i$  ( $i$  は 0 より大きい正の整数) H z のフレーム周波数で表示パネル駆動部 ( 1 1 0、1 1 2、1 2 0、1 4 0 ) の動作タイミングを制御することができる。入力フレーム周波数は N T S C ( National Television Standards Committee ) 方式で 6 0 H z であり、P A L ( Phase-Alternating Line ) 方式で 5 0 H z である。タイミングコントローラは、低速駆動モードでピクセルのリフレッシュレートを下げるために、フレーム周波数を 1 H z ~ 3 0 H z の間の周波数に下げることができる。

【 0 0 5 5 】

タイミングコントローラ 1 3 0 は、ホストシステムから受信したタイミング信号 ( V s y n c、H s y n c、D E ) に基づいて、データ駆動部 1 1 0 を制御するためのデータタイミング制御信号、デマルチプレクサ 1 1 2 を制御するためのスイッチ制御信号、ゲート駆動部 1 2 0 を制御するためのゲートタイミング制御信号などを発生して表示パネル駆動回路の動作タイミングを制御する。タイミングコントローラ 1 3 0 から出力されたゲートタイミング制御信号は、示さないレベルシフタ ( level shifter ) を介して、ゲートオン電圧とゲートオフ電圧に変換されて、ゲート駆動部 1 2 0 に供給することができる。レベルシフタは、ゲートタイミング制御信号のローレベルの電圧 ( low level voltage ) をゲートロー電圧 ( V G L ) に変換し、ゲートタイミング制御信号のハイレベル電圧 ( high level voltage ) をゲートハイ電圧 ( V G H ) に変換する。

30

40

【 0 0 5 6 】

ゲート駆動部 1 2 0 は、アクティブ領域 ( A A ) 外のベゼル領域 ( Bezel area、B Z ) に形成されることができる。V D D スイッチング回路 3 0 は、ベゼル領域 ( B Z ) に形成されたり、アクティブ領域 ( A A ) 内に分散配置されることができる。

【 0 0 5 7 】

製品出荷前のピクセルのそれぞれの電気的特性をセンシングし、そのセンシング結果に基づいて、サブピクセルの電気的特性ばらつきを補償する補償値を導出してルックアップテーブル ( Look-up table ) を生成する。このような補償値は、駆動素子のしきい値電圧を補償するための補償値 ( offset ) と駆動素子の移動度補償のための補償値 ( gain ) に分けられる。補償値が設定されたルックアップテーブルは、メモリ 1 3 2 に貯蔵される。メ

50

メモリ 132 は、フラッシュメモリ (flash memory) で有り得るが、これに限定されない。

【0058】

電界発光表示装置に電源が印加されると、メモリ 132 からの補償値がタイミングコントローラの補償部 131 のメモリに伝送伝される。補償部 131 のメモリは D D R S D R A M (Double Data Rate Synchronous Dynamic RAM) または S R A M で有り得るが、これに限定されない。

【0059】

データ駆動部 110 は、図 2 に示されるように、D A C 22、センシング部 20、D A C 22 の出力端子とデータライン 102 との間に配置された第 1 スイッチ素子 (S W 1)、V i n i をデータライン 102 に供給するための第 2 スイッチ素子 (S W 2)、データライン 102 とセンシング部 20 の入力端子との間に配置された第 3 スイッチ素子 (S W 3) を含む。スイッチ素子 (S W 1、S W 2、S W 3) は、タイミングコントローラ 130 の制御下にオン/オフすることができる。

10

【0060】

第 1 スイッチ素子 (S W 1) は、アクティブ区間にターンオンされて D A C 20 から出力されるデータ電圧 (V d a t a) をデータライン 102 に供給する。第 1 スイッチ素子 (S W 1) は、パーティカルブランク区間の間にオフ状態を維持する。

【0061】

第 2 スイッチ素子 (S W 2) は、パーティカルブランク区間の初期化の段階で V i n i をデータライン 102 に供給する。第 3 スイッチ素子 (S W 3) は、パーティカルブランク区間のセンシング段階でターンオンされてデータライン 102 をセンシング部 20 に接続する。第 2 及び第 3 スイッチ素子 (S W 2、S W 3) は、アクティブ区間の間にオフ状態を維持する。

20

【0062】

センシング部 20 は、パーティカルブランク区間においてサブピクセルの電気的特性、例えば、駆動素子のしきい値電圧を毎フレーム期間ごとにリアルタイムセンシングする。センシング部 22 は、アナログ - デジタル変換器 (Analog to Digital Convertor、以下「A D C」と称する) を介してサブピクセルのセンシング結果をデジタルデータに変換して補償部 131 に伝送する。センシング部 22 は、公知の電圧センシング回路または電流センシング回路に実現されることができる。

30

【0063】

補償部 26 は、センシング部 20 から受信されたサブピクセルのセンシング結果をルックアップテーブルに入力して、センシング結果に応じた補償値を選択し、その補償値で入力映像のデータを変調して補償データを出力する。駆動素子のしきい値電圧を補償するための補償値は、入力映像のデータに加えられて、駆動素子の移動度を補償するための補償値は、入力映像のデータに乗算なることで有り得る。補償部 26 から出力された補償データは、データ駆動部 110 に伝送される。したがって、本発明の電界放出表示装置は、毎フレーム期間ごとにパーティカルブランク区間にサブピクセルの電気的特性をリアルタイムセンシングし、このセンシング結果に基づいて入力映像のデータを補償することにより、サブピクセルの電気的特性ばらつきをリアルタイム補償することができる。

40

【0064】

図 4 ~ 図 10 を結び付けて、ピクセルに影響を与える I R ドロップについて説明する。

【0065】

I R ドロップは、図 4 に示すように抵抗 (R) を介して電流 (I) が流れるときに発生する電圧降下 (V o l t a g e D r o p) を意味する。図 4 において、V e x t は外部入力電圧であり、V i n は負荷 (Load) に供給される実際の入力電圧である。V o u t は、負荷 (L o a d) を通過した出力電圧 (V o u t) である。実際の入力電圧 (V i n) は、 $V i n = V e x t - I R$  である。

【0066】

ピクセル回路は、駆動素子のゲート - ソース間電圧が保存されるストレージキャパシタ

50

(C s t)を含む。図5に示すように、ストレージキャパシタ(C s t)の第1電極にVDDが印加され、第2電極に $VDD - Vgs = VDD - DATA - Vth$ が印加される。DATAは、データの階調電圧である。Vgsは駆動素子のゲート-ソース間電圧であり、Vthは駆動素子のしきい値電圧である。

【0067】

図6～図8は、表示パネル100内のVDD配線を示す図である。図6～図8において「D-IC」は、モバイル機器のドライブICを示す。ドライブIC(D-IC)に電源回路150、タイミングコントローラ130、データ駆動部110などが集積されることができる。

【0068】

図6～図8を参照すると、表示パネル100内のVDD配線は、PCB(また葉FPCB)を介して電源回路150からVDDの供給を受けるLOG配線70、LOG配線70に接続されたメッシュ(mesh)形態のVDD配線72を含む。LOG配線70の抵抗がVDD配線72より大きい。

【0069】

VDD配線72は、図7に示された垂直配線72aと、図8に示された水平配線72bを含む。垂直配線72aと水平配線72bは、絶縁層を間に置いて直交して、少なくとも一部の交差点において絶縁層を貫通するコンタクトホール(Contact hole)を介して互いに接続される。図8～図10でB、C、D、Eの位置にコンタクトホールが形成されることができる。

【0070】

LOG配線の抵抗を介して入力IRドロップが発生する。LOG配線の抵抗が大きいため、VDDの電圧は、入力IRドロップによって変動することができる。LOG配線上のA地点の電流Iaは、B、C、D、E、位置のピクセルの駆動に必要な電流をそれぞれIb、Ic、Id、Ieとする時、Iaは $Ib + Ic + Id + Ie$ である。したがって、A地点上の電圧 $Va = VDD - (Ra * Ia) = VDD - \{Ra * (Ib + Ic + Id + Ie)\}$ である。ここで、IRドロップは $Ra * (Ib + Ic + Id + Ie)$ である。Raは、A地点からLOG配線の抵抗である。IRドロップは、すべてのピクセルにおいて要求される電流量に応じて変動する電圧であり、LOG配線70の抵抗が大きいため、入力IRドロップがVDD配線72上のIRドロップより大きい。

【0071】

VDD配線72のIRドロップは、垂直配線72aで発生する垂直IRドロップと水平配線72bで発生する水平IRドロップに分かれる。垂直IRドロップは、図7に示すように、垂直配線72a上で現れるIRドロップである。VDD配線72から水平配線72bを除去し、垂直IRドロップを解析する際にB地点に流れる電流は、B地点で要求される電流(Ib)にC地点で要求される電流(Ic)が加わったものである。B地点の電圧Vbは、 $Vb = Va - \{Rb * (Ib + Ic)\}$ である。Rbは、B地点での抵抗である。

【0072】

水平IRドロップは、図8に示すように、水平配線72b上で現れるIRドロップである。VDD配線72から垂直配線72aを除去し、水平IRドロップを解析する際にB地点に流れる電流は、B地点で要求される電流(Ib)にD地点で要求される電流(Id)が加わったものである。B地点の電圧Vbは、 $Vb = Va - \{Rb * (Ib + Id)\}$ である。

【0073】

電界発光表示装置において他のピクセルから発生するVDDのIRドロップの影響を受け、ピクセルの輝度が変わることがある。例えば、図9に示すように、すべてのピクセルが白階調で点灯された場合にP1位置の点灯ピクセルに印加されるVDDの電圧降下が大きくなる。これに対し、一部のピクセルが点灯され、ほとんどのピクセルが消灯している場合は、P1位置の点灯ピクセルに印加されるVDDの電圧降下が相対的に小さい。

10

20

30

40

50

## 【 0 0 7 4 】

ピクセルの駆動素子を介して発光素子に一定の電流が流れるべきですべてのピクセルが同じ階調で同じ輝度で発光することができる。高 P P I (pixel per inch) モデルの場合、V D D 配線の抵抗が大きくなり、図 1 0 に示すように表示パネル 1 0 0 の下部『 P 1、P 2 』に行くほど I R ドロップが大きくなる。I R ドロップによる駆動素子に印加される V D D の電圧降下は、表示パネルの位置ごとに発光素子に流れる電流が変動され、これにより、輝度ムラが発生することができる。

## 【 0 0 7 5 】

表示パネルの上部の位置 ( P 0 ) に V D D が印加されると I R ドロップにより中間位置 ( P 1 ) で V D D は  $V D D -$  で低くなり、下部の位置 ( P 2 ) で V D D は  $V D D -$  でさらに低くなる。

10

## 【 0 0 7 6 】

本発明の電界発光表示装置は、V D D を駆動段階用  $V D D = V D D 1$  と、センシング段階及びデータ書き込み段階用  $V D D = V D D 2$  に分離し、外部補償の方法でサブピクセルの電気的特性ばらつきを補償する。本発明は、アクティブ区間にサブピクセルにデータを書き込むときにそしてバースカルブランク区間でサブピクセルの電気的特性をセンシングするとき V D D ( = V D D 1 ) をサブピクセルに印加する。したがって、本発明の電界発光表示装置は、センシング段階及びデータ書き込み段階で I R ドロップの影響なしにサブピクセルの各々で駆動素子のゲート・ソース間電圧 ( V g s ) の変動を防止し、センシング段階で I R ドロップの影響を受けないため、サブピクセルの各々において駆動素子の電気的特性を正確にセンシングすることができる。本発明の電界発光表示装置は、I R ドロップを補償するための別のアルゴリズムや補償回路の追加開発なしで、V D D 配線上の I R ドロップを補償し、サブピクセルのセンシング結果に基づいて入力映像データを補償することにより、画面全体で均一な輝度で映像を表示することができる。

20

## 【 0 0 7 7 】

図 1 1 A 及び図 1 1 B は、本発明の実施形態に係る電源回路 1 5 0 と表示パネル 1 0 0 との間の V D D 経路を示す図である。

## 【 0 0 7 8 】

本発明の電源回路 1 5 0 は、図 1 1 A に示すように別の出力チャンネルを介して V D D 1 と V D D 2 を出力して表示パネル 1 0 0 に供給することができる。V D D 1 は、電源回路 1 5 0 の第 1 出力端子 ( C H 1 ) を介して出力され、P C B 上の第 1 V D D 配線 1 3 2 に供給される。P C B の第 1 V D D 配線 1 3 2 は、表示パネル 1 0 0 の第 1 V D D 配線 3 1 に接続される。V D D 2 は、電源回路 1 5 0 の第 2 出力端子 ( C H 2 ) を介して出力されて、P C B の第 2 V D D 配線 1 3 4 に供給される。P C B の第 2 V D D 配線 1 3 4 は、表示パネル 1 0 0 の第 2 V D D 配線 3 2 に接続される。図 1 1 A の場合に、電源回路 1 5 0 から V D D 1 と V D D 2 は同じ電圧レベルで出力されることができ、互いに異なる電圧レベルで出力されることもできる。表示パネルの駆動特性や応用分野に応じて V D D 1 と V D D 2 の電圧が決定されることができ。

30

## 【 0 0 7 9 】

本発明の電源回路 1 5 0 は、図 1 1 B に示すように、単一チャンネルを介し V D D 1 と V D D 2 を出力して表示パネル 1 0 0 に供給することができる。電源回路 1 5 0 の第 1 出力端子 ( C H 1 ) を介して出力される V D D は P C B 上の単一配線 5 0 に供給される。単一配線 5 0 は、二つの分岐配線 ( 1 3 6、1 3 8 ) に分離される。第 1 分岐配線 1 3 6 に印加された V D D 1 は表示パネル 1 0 0 の第 1 V D D 配線 3 1 に供給される。第 2 分岐配線 1 3 8 に印加された V D D 2 は表示パネル 1 0 0 の第 2 V D D 配線 3 2 に供給される。

40

## 【 0 0 8 0 】

図 1 1 B で入端部の単一配線 5 0 の抵抗は最小に設計しなければならない。入端部の単一配線 5 0 の抵抗 ( R t ) に流れる電流 ( I t ) は、 $I t = I 1 + I 2$  で X ノードの電圧 ( V x ) =  $R t \cdot I t = R t \cdot ( I 1 + I 2 )$  となる。第 1 分岐配線 1 3 6 を介して流れる電流 ( I 1 ) によってデータ書き込みとセンシング段階にサブピクセルに供給される V

50

DD1が変更されることができる。このため、入端部の単一配線50の抵抗(Rt)を分岐配線(46、48)の抵抗(R1、R2)対比1%未満に設定して、分岐配線の電流(I1)によるVDD2の変動を1%未満に抑えるべきである。

【0081】

図12は、本発明の実施形態に係る第1及び第2VDD配線を示す図である。

【0082】

図12を参照すると、第1VDD配線31は、映像が表示されるアクティブ領域(AA)のピクセルアレイにメッシュ状に形成されてすべてのサブピクセルに接続される。VDDスイッチング回路30は、駆動段階でVDD1が印加される第1VDD配線31をサブピクセルに接続する。VDDスイッチング回路30は、駆動段階で第2VDD配線32をサブピクセルから分離する。

10

【0083】

第2VDD配線32は、ピクセルラインのそれぞれに形成された複数のVDD配線(321~324)を含む。VDD配線(321~324)は、ピクセルライン間に分離される。VDDスイッチング回路30は、データ書き込みとセンシング段階で第1ピクセルラインのサブピクセル101をVDD2が印加される第2-1VDD配線321に接続する。VDDスイッチング回路30は、第2ピクセルラインのサブピクセル101をVDD2が印加される第2-2VDD配線322に接続する。VDDスイッチング回路30は、データ書き込みとセンシング段階で第2VDD配線(321~324)を1ピクセルラインずつ順次接続する。VDDスイッチング回路30は、データ書き込みとセンシング段階で動作するサブピクセルから第1VDD配線31を分離する。

20

【0084】

図13は、共通のVDDですべてのピクセルラインのピクセルを駆動する例を示して図である。図14は、センシング段階のピクセルラインに印加されるVDDと、駆動段階のピクセルラインに印加されるVDDが分離された例を示して図である。

【0085】

図13に示すように、電源回路150から出力された共通VDDは入端抵抗(Rin)を介して駆動段階で動作するサブピクセル132に供給される。また、共通VDDは入端抵抗(Rin)を介して初期化段階、センシング段階、またはデータ書き込み段階で動作するサブピクセル131に供給される。この場合、初期化段階、センシング段階、またはデータ書き込み段階で動作するサブピクセル131に印加されるVDDは駆動段階で動作する他のサブピクセル132によりIRDロップが大きくなる。図13において、「Idr」は駆動段階で動作するサブピクセル132の駆動素子を介して流れる電流である。「Isc」は、初期化段階、センシング段階またはデータ書き込みの段階で動作するサブピクセル131の駆動素子を介して流れる電流である。Isc=Idrとしたときに図13に示されたサブピクセル131に供給される電圧(Vsc)は $V_{sc} = V_{DDPMIC} - (I_{sc} * N * M * \text{サブピクセル数} * R_{in})$ である。ここで、VDDPMICは電源回路150から出力されるVDDである。N\*Mは表示パネル100の解像度である。

30

【0086】

図14を参照すると、電源回路150は、VDDスイッチ素子を用いて初期化段階、センシング段階またはデータ書き込み段階でVDD2を第2VDD配線32に供給する。第2VDD配線32を介して1つのピクセルラインに配置されたサブピクセルにVDD2が供給される時、第2VDD配線32を介してVDD2が印加される1つのピクセルラインを除外した他のピクセルラインのサブピクセルに駆動段階用VDD1が供給される。

40

【0087】

図14に示すように、電源回路150から出力されたVDD2は、第1入端抵抗(Rin1)を介して初期化段階、センシング段階またはデータ書き込み段階で動作するサブピクセル141に供給される。電源回路150から出力された駆動段階用VDD1は、第2入端抵抗(Rin2)を介して駆動段階で動作するサブピクセル142に供給される。Isc=Idrとするとき、図14に示されたサブピクセル141に供給される電圧(Vs

50

c) は  $V_{sc} = V_{DDPMIC} - (I_{sc} * R_{in1})$  である。したがって、サブピクセル 141 に供給される  $V_{DD2}$  は、図 14 から分かるように、他のサブピクセルの影響を受けないため、IR ドロップによる電圧降下がない。

【0088】

図 15 は、本発明の実施形態に係る  $V_{DD}$  スイッチング回路とピクセル回路を示す回路図である。図 16 は、パーティカルブランク区間でサブピクセルのセンシング段階を示す波形図である。図 17 は、パーティカルブランク区間に以前のフレームのデータをサブピクセルに再び書き込む例を示す図である。図 18 は、アクティブ区間でサブピクセルのデータ書き込み段階を示す波形図である。

【0089】

図 15 ~ 図 18 を参照すると、 $V_{DD}$  スイッチング回路 30 は、隣接した第 1 及び第 2 サブピクセル (101A、101B) に接続された第 1 及び第 2  $V_{DD}$  スイッチ素子 (M1、M2) を備える。第 1 及び第 2 サブピクセル (101A、101B) は、互いに異なるデータライン 102 に接続され、複数のゲートライン (41 ~ 43) に共通して接続される。

【0090】

本発明は、第 1 及び第 2 サブピクセル (101A、101B) に  $V_{DD}$  スイッチング回路 30 の  $V_{DD}$  スイッチ素子 (M1、M2) が共有されるため、 $V_{DD}$  スイッチング回路 30 に必要なスイッチ素子の数を減らすことができ、 $V_{DD}$  スイッチング回路 30 に必要な面積を削減することができる。

【0091】

ピクセル回路は、発光素子 (EL)、駆動素子 (DT)、ストレージキャパシタ (Cst) と、複数のスイッチ素子 (T1 ~ T4) を含む。 $V_{DD}$  スイッチ素子 (M1、M2) と、ピクセル回路のスイッチ素子 (T1 ~ T4) と駆動素子 (DT) は、PMOS 構造の TFT に実現されることができる。

【0092】

サブピクセルの発光素子 (EL) は、駆動素子 (DT) で電流 ( $I_{ds}$ ) が流れる駆動段階 (DRV) で発光される。駆動段階 (DRV) は、アクティブ区間 (AT) がパーティカルブランク区間 (VB) のそれぞれで初期化段階 (INI)、センシング段階 (SEN)、及びデータ書き込み段階 (WRV、WRA) を除外した 1 フレーム期間の大部分を占めする。

【0093】

パーティカルブランク区間 (VB) は、図 16 に示すように、初期化段階 (INI)、センシング段階 (SEN)、データ書き込み段階 (WRV) 及び駆動段階 (DRV) を含む。アクティブ区間 (AT) は、図 18 に示すように、データ書き込み段階 (WRA) と駆動段階 (DRV) を含む。パーティカルブランク区間 (VB) 以降のアクティブ区間 (AT) でセンシングされたサブピクセルのデータ書き込み段階 (WRA) に現在のフレームのデータがサブピクセルに書き込まれる。一方、パーティカルブランク区間 (VB) のデータ書き込み段階 (WRV) でサブピクセルに、以前のフレームのデータが再び書き込まれる。したがって、パーティカルブランク区間 (VB) とそれ以前のアクティブ区間 (AT) でセンシングされるサブピクセルに書き込まれるデータは、同じデータである。

【0094】

第 1  $V_{DD}$  スイッチ素子 (M1) は、EM 信号 (EM(N)) に応答して駆動段階 (DRV) でターンオン (turn-on) される。第 1  $V_{DD}$  スイッチ素子 (M1) は、駆動段階 (DRV) のサブピクセルに第 1  $V_{DD}$  配線 31 を接続して、そのサブピクセルの駆動素子 (DT) とストレージキャパシタ (Cst) に  $V_{DD1}$  を供給する。第 1  $V_{DD}$  スイッチ素子 (M1) は、EM 信号 (EM(N)) が印加される第 3 ゲートライン 43 に接続されたゲート、第 1  $V_{DD}$  配線 31 に接続された第 1 電極、及びピクセル回路の駆動素子 (DT) とストレージキャパシタ (Cst) に接続された第 2 電極を含む。

【0095】

10

20

30

40

50

第2 VDDスイッチ素子(M2)は、第1スキャン信号(SCANA(N))にตอบสนองしてターンオンされる。第2 VDDスイッチ素子(M2)は、データ書き込み段階またはセンシング段階のサブピクセルに第2 VDD配線32を接続して、そのサブピクセルの駆動素子(DT)とストレージキャパシタ(Cst)にVDD2を供給する。第2 VDDスイッチ素子(M2)は、第1スキャン信号(SCANA(N))が印加される第1ゲートライン41に接続されたゲート、第2 VDD配線32に接続された第1電極、及びピクセル回路の駆動素子(DT)とストレージキャパシタ(Cst)に接続された第2電極を含む。

【0096】

ピクセル回路の発光素子(EL)は、OLEDに実現されることができる。OLEDは、アノードとカソードの間に形成された有機化合物層を含む。有機化合物層は、正孔注入層(Hole Injection layer、HIL)、正孔輸送層(Hole transport layer、HTL)、発光層(Emission layer、EML)、電子輸送層(Electron transport layer、ETL)、電子注入層(Electron Injection layer、EIL)などを含むことができるが、これに限定されない。OLEDがターンオン(turn-on)される時、正孔輸送層(HTL)を通過した正孔と電子輸送層(ETL)を通過した電子が発光層(EML)に移動されて励起子が形成されて発光層(EML)で可視光が発光される。OLEDは、駆動段階(DRV)で発生される駆動素子(DT)のゲート・ソース間電圧(Vgs)に応じて調節される電流で発光する。OLEDのアノードは、第3ノード(n3)を介して、第3及び第4スイッチ素子(T3、T4)に接続される。OLEDのカソードは、VSSが印加されるVSS電極に接続される。駆動段階においてOLEDの電流パスは、第1 VDDスイッチ素子(M1)とピクセル回路の第3スイッチ素子(T3)によってスイッチングされる。

【0097】

ストレージキャパシタ(Cst)の第1電極は、VDDスイッチング回路30を介してデータ書き込み段階とセンシング段階で第2 VDD配線32に接続され、駆動段階でVDDスイッチング回路30を介して第1 VDD配線31に接続される。ストレージキャパシタ(Cst)の第2電極は、第1ノード(n1)を経由して駆動素子(DT)のゲートに、第1スイッチ素子(T1)の第1電極及び第2スイッチ素子(T2)の第2電極に接続される。

【0098】

第1スイッチ素子(T1)は、第2スキャン信号(SCANB(N))にตอบสนองしてセンシング段階でターンオンされる。第1スイッチ素子(T1)は、センシング段階で、第1ノード(n1)を第2ノード(n2)に接続する。第2ノード(n2)は、第1スイッチ素子(T2)の第2電極、駆動素子(D2)の第2電極、及び第3スイッチ素子(T3)の第1電極に接続される。第1スイッチ素子(T1)は、第2スキャン信号(SCANB(N))が印加される第2ゲートライン42に接続されたゲート、第1ノード(n1)に接続された第1電極、及び第2ノード(n2)に接続された第2電極を含む。

【0099】

第2スイッチ素子(T2)は、アクティブ区間(AT)のデータ書き込み段階(WRA)とバーチカルブランク区間(VB)の初期化段階(INI)、センシング段階(SEN)、及びデータ書き込み段階(WRV)で、第1スキャン信号(SCANA(N))にตอบสนองしてターンオンされてデータライン102を第1ノード(n1)に接続する。第2スイッチ素子(T2)は、第1スキャン信号(SCANA(N))が印加される第1ゲートライン41に接続されたゲート、データライン102に接続された第1電極、及び第1ノード(n1)に接続された第2電極を含む。

【0100】

第3スイッチ素子(T3)は、EM信号(EM(N))にตอบสนองして駆動段階(DRV)でターンオンされて第2ノード(n2)を第3ノード(n3)に接続する。第3スイッチ素子(T3)は、EM信号(EM(N))が印加される第3ゲートライン43に接続されたゲート、第2ノード(n2)に接続された第1電極、及び第3ノード(n3)を介して

10

20

30

40

50



電圧 ( $V_{th}$ ) だけ補償されたデータ電圧 ( $V_{data} + V_{th}$ ) がストレージキャパシタ ( $C_{st}$ ) に貯蔵される。データ書き込み段階 ( $WRV$ ) で駆動素子 ( $DT$ ) の  $V_{gs}$  は、ストレージキャパシタ ( $C_{st}$ ) に貯蔵された電圧 ( $V_{data} + V_{th}$ ) に変わる。データ書き込み段階 ( $WRV$ ) でサブピクセルに書き込まれるデータは、それ以前のアクティブ区間のような、以前のフレームのデータである。このデータは、図 17 に示すように以前のフレームのデータである。

【0106】

パーティカルブランク区間 ( $VB$ ) の駆動段階 ( $DRV$ ) で第 1  $VDD$  スイッチ素子 ( $M1$ ) とピクセル回路の第 3 スイッチ素子 ( $T3$ ) が  $EM$  信号 ( $EM(N)$ ) に応答してターンオンされる。このとき、駆動素子 ( $DT$ ) は、ゲート・ソース間電圧 ( $V_{gs}$ ) に応じて電流 ( $I_{ds}$ ) を発生する。発光素子 ( $EL$ ) は、駆動素子 ( $DT$ ) からの電流 ( $I_{ds}$ ) によってターンオンされて発光される。駆動段階 ( $DRV$ ) でピクセル回路に供給される  $VDD1$  は  $IR$  ドロップによる電圧降下分 ( ) を含む。駆動段階 ( $DRV$ ) でストレージキャパシタ ( $C_{st}$ ) の第 1 電極と駆動素子 ( $DT$ ) の第 1 電極に  $VDD1$  が印加される時、第 1 ノード ( $n1$ ) の電圧も だけ低くなるため駆動素子 ( $DT$ ) の  $V_{gs}$  は変化がない。したがって、駆動段階 ( $DRV$ ) で発光素子 ( $EL$ ) は、 $IR$  ドロップの影響なしに駆動される。

【0107】

図 17 を参照すると、第  $N - 1$  アクティブ区間 ( $VB(N - 1)$ ) の間にサブピクセル ( $PIX(N)$ ) に以前のフレームのデータが書き込まれる。サブピクセル ( $PIX(N)$ ) は、パーティカルブランク区間 ( $VB$ ) にセンシングされる任意のサブピクセルである。第  $N - 1$  アクティブ区間 ( $AT(N - 1)$ ) の間のすべてのピクセルにデータが書き込まれた後、第  $N - 1$  パーティカルブランク区間 ( $VB(N - 1)$ ) でサブピクセル ( $PIX(N)$ ) が初期化された後、センシングされると、そのサブピクセル ( $PIX(N)$ ) でデータが消去 (erase) されるので、サブピクセル ( $PIX(N)$ ) が消灯される。パーティカルブランク区間 ( $VB(N - 1)$ ) が存在する 1 フレーム期間の間に、センシングされるサブピクセル ( $PIX(N)$ ) の輝度が一定に維持されるようにパーティカルブランク区間 ( $VB(N - 1)$ ) でセンシング段階 ( $SEN$ ) の以後に以前のフレームのデータと同じデータがサブピクセル ( $PIX(N)$ ) に再度書き込まなければならない。

【0108】

図 18 を参照すると、アクティブ区間 ( $AT$ ) は、第 1 スキャン信号 ( $SCANA(N)$ ) によって定義されるデータ書き込み段階 ( $WRA$ ) と、 $EM$  信号 ( $EM(N)$ ) によって定義される駆動段階 ( $WRA$ ) を含む。

【0109】

アクティブ区間 ( $AT$ ) で第 1 スキャン信号 ( $SCANA(N)$ ) は、約 1 水平期間のデータ書き込み段階 ( $WRA$ ) を定義するゲートオン電圧のパルスで発生される。データ書き込み段階 ( $WRA$ ) で第 2 スキャン信号 ( $SCANB(N)$ ) と  $EM$  信号 ( $EM(N)$ ) は、ゲートオフ電圧である。第 2 スキャン信号 ( $SCANB(N)$ ) は、アクティブ区間 ( $AT$ ) の間、ゲートオフ電圧を維持する。図 19 に示すように、データ書き込み段階 ( $WRV$ ) で第 2  $VDD$  スイッチ素子 ( $M2$ ) と第 2 スイッチ素子 ( $T2$ ) がターンオンされる。データ書き込み段階 ( $WRV$ ) で、現在のフレームデータのデータ電圧 ( $V_{data}$ ) がデータライン 102 に供給され、サブピクセルにデータが書き込まれる。データ電圧 ( $V_{data}$ ) は  $VDD - (DATA - V_{th})$  と同じである。DATA は、データの階調電圧である。したがって、ストレージキャパシタ ( $C_{st}$ ) と駆動素子 ( $DT$ ) の第 1 電極に  $VDD2$  が印加され、ストレージキャパシタ ( $C_{st}$ ) の第 2 電極と駆動素子のゲートに接続された第 1 ノードにデータ電圧 ( $V_{data}$ ) が供給される。データ書き込みの段階 ( $WRA$ ) で駆動素子 ( $DT$ ) の  $V_{gs}$  は  $V_{data} + V_{th}$  に変わる。

【0110】

アクティブ区間 ( $AT$ ) の駆動段階 ( $DRV$ ) で図 19 に示すように、第 1  $VDD$  スイッチ素子 ( $M1$ ) と第 3 スイッチ素子 ( $T3$ ) が  $EM$  信号 ( $EM(N)$ ) に応答してター

10

20

30

40

50

ンオンされる。このとき、駆動素子 (DT) は、ゲート・ソース間電圧 ( $V_{gs}$ ) に応じて電流 ( $I_{ds}$ ) を発生する。発光素子 (EL) は、駆動素子 (DT) からの電流 ( $I_{ds}$ ) によってターンオンされて発光される。駆動段階 (DRV) でピクセル回路に供給される  $V_{DD1}$  は IR ドロップによる電圧降下分 ( ) を含む。駆動段階 (DRV) でストレージキャパシタ (Cst) の第 1 電極と駆動素子 (DT) の第 1 電極に  $V_{DD1}$  が印加される時、第 1 ノード (n1) の電圧も だけ低くなるため駆動素子 (DT) の  $V_{gs}$  は変化がない。したがって、駆動段階 (DRV) で発光素子 (EL) は、IR ドロップの影響なしに駆動される。

【0111】

図 20 は、データ書き込み段階 (WRA、WRB) と駆動段階 (DRV) でピクセル回路に印加される  $V_{DD}$  とストレージキャパシタの電圧を示す図である。

10

【0112】

図 20 を参照すると、データ書き込みの段階 (WRA、WRB) でストレージキャパシタ (Cst) の第 1 電極と駆動素子 (DT) の第 1 電極に  $V_{DD2} = V_{DD}$  が印加され、ストレージキャパシタ (Cst) の第 2 電極に  $V_{data} = V_{DD} - (DATA - V_{th})$  が印加される。したがって、ストレージキャパシタ (Cst) の電圧  $V_{gs} = DATA + V_{th}$  である。

【0113】

駆動段階 (DRV) でストレージキャパシタ (Cst) の第 1 電極と駆動素子 (DT) の第 1 電極に IR ドロップによって発生される電圧降下分 ( ) だけ変動した  $V_{DD1} = V_{DD} -$  が印加され、第 1 及び第 2 スイッチ素子 (T1、T2) がターン - オフされているので、ストレージキャパシタ (Cst) の第 2 電極は、フローティング (floating) される。第 1 ノード (n1) がフローティングされているので、ストレージキャパシタ (Cst) の第 1 電極電圧が だけ変化するとき、ストレージキャパシタ (Cst) の第 2 電極の電圧も だけ変わる。したがって、駆動段階 (DRV) で  $V_{DD}$  が変化しても、ストレージキャパシタ (Cst) の両端間の電位差が維持されるため、 $V_{gs}$  はセンシング段階で充電された電圧と同じ電圧に維持される。

20

【0114】

図 22 は、VES A (Video Electronics Standards Association) 標準のディスプレイタイミングでアクティブ区間とバーチカルブランク区間を示す図である。

30

【0115】

図 22 を参照すると、垂直同期信号 ( $V_{sync}$ ) は、1 フレーム期間を定義する。水平同期信号 ( $H_{sync}$ ) は、1 水平期間 (Horizontal time) を定義する。データイネーブル信号 (DE) は、画面に表示されるピクセルデータを含む有効なデータ区間を定義する。

【0116】

データイネーブル信号 (DE) は、表示パネル 100 のピクセルアレイに表示される有効なデータと同期される。データイネーブル信号 (DE) の 1 パルス周期は 1 水平期間であり、データイネーブル信号 (DE) のハイロジック (high logic) 区間は、1 ピクセルラインのデータ入力のタイミングを示す。1 水平期間は、表示パネル 100 で 1 ピクセルラインのピクセルにデータを書き込むのに必要な時間である。

40

【0117】

タイミングコントローラ 130 は、データイネーブル信号 (DE) と入力映像のデータをアクティブ区間 (AT) の間に受信する。バーチカルブランク区間 (VB) にデータイネーブル信号 (DE) と入力映像のデータがない。アクティブ区間 (AT) の間のすべてのピクセルに書き込まれる 1 フレーム分のデータがタイミングコントローラ 130 に受信される。1 フレーム期間は、アクティブ区間の間 (AT) とバーチカルブランク区間 (VB) を合わせた時間である。

【0118】

データイネーブル信号 (DE) から分かるように、バーチカルブランク区間 (VB) の

50

間、表示装置に入力データが受信されない。バーチカルブランク期間（VB）は、垂直同期時間（Vertical sync time、VS）、バーチカルフロントポーチ（Vertical Front Porch、FP）、及びバーチカルバックポーチ（Vertical Back Porch、BP）を含む。垂直同期時間（VS）は、Vsyncのフォールディングエッジ（falling edge）からライジングエッジ（rising edge）までの時間として、一画面の開始（または終了）のタイミングを示す。バーチカルフロントポーチ（FP）は、1フレームデータの最後のラインのデータのタイミングを示す最後のDEのフォールディングエッジからバーチカルブランク期間（VB）の開始までの時間である。バーチカルバックポーチ（BP）は、バーチカルブランク期間（VB）の終わりから1フレームデータの第1ラインデータのタイミングを示す第1DEのライジングエッジまでの時間である。

10

【0119】

以上説明した内容を通じて当業者であれば、本発明の技術思想を逸脱しない範囲で様々な変更及び修正が可能であることが分かる。したがって、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲によって定めるべきである。

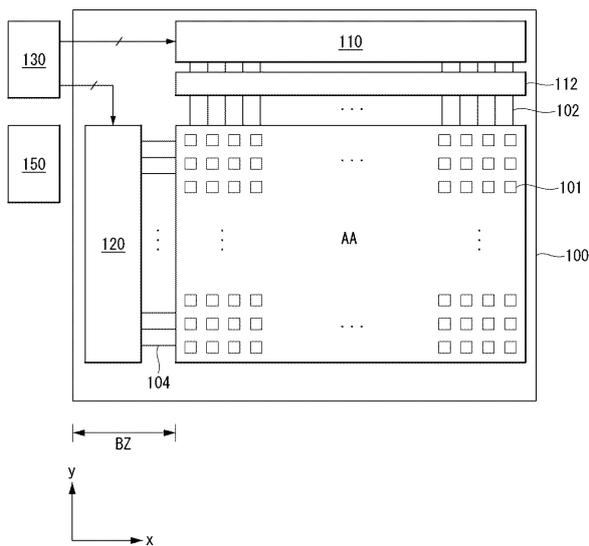
【符号の説明】

【0120】

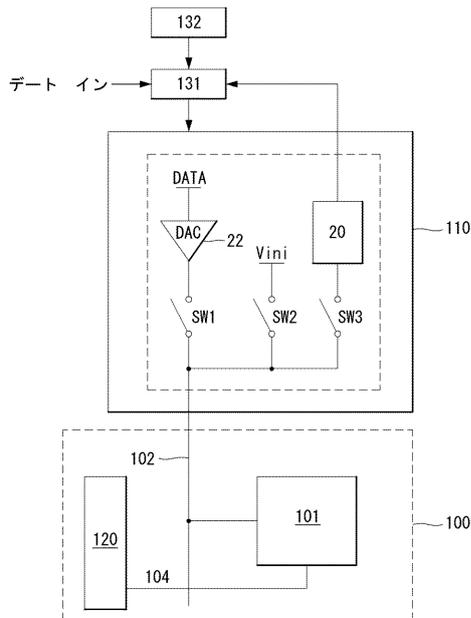
- 20 センシング部
- 26 補償部
- 110 データ駆動部
- 120 ゲート駆動部
- 130 タイミングコントローラ
- 131 補償部
- 140 電源スイッチ回路

20

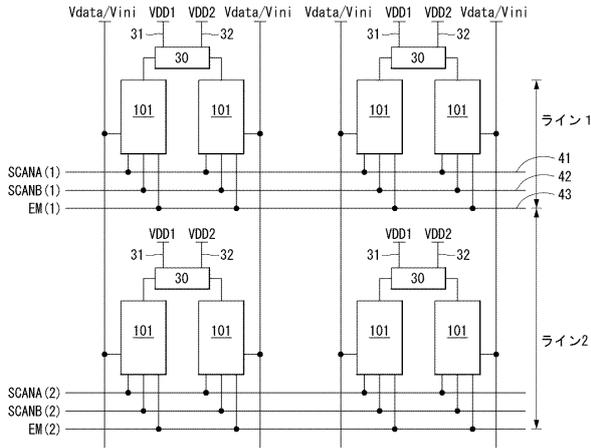
【図1】



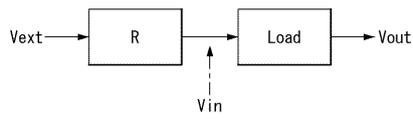
【図2】



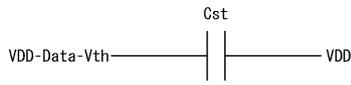
【図3】



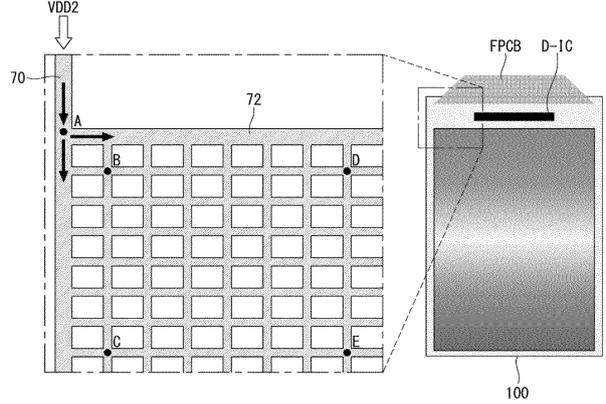
【図4】



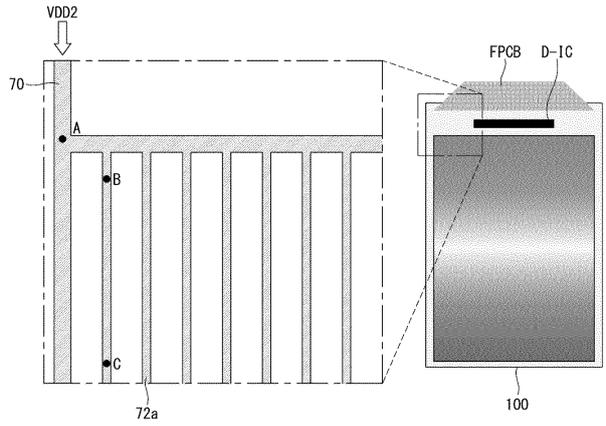
【図5】



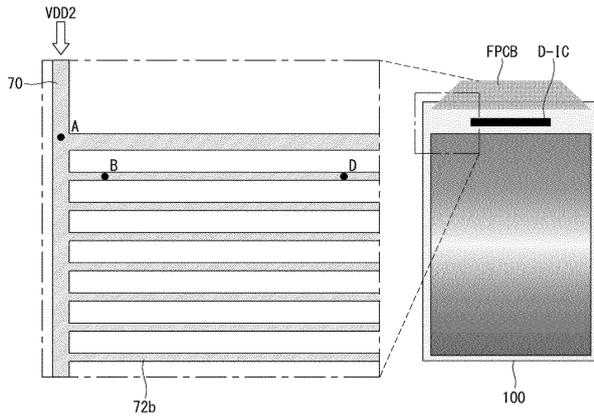
【図6】



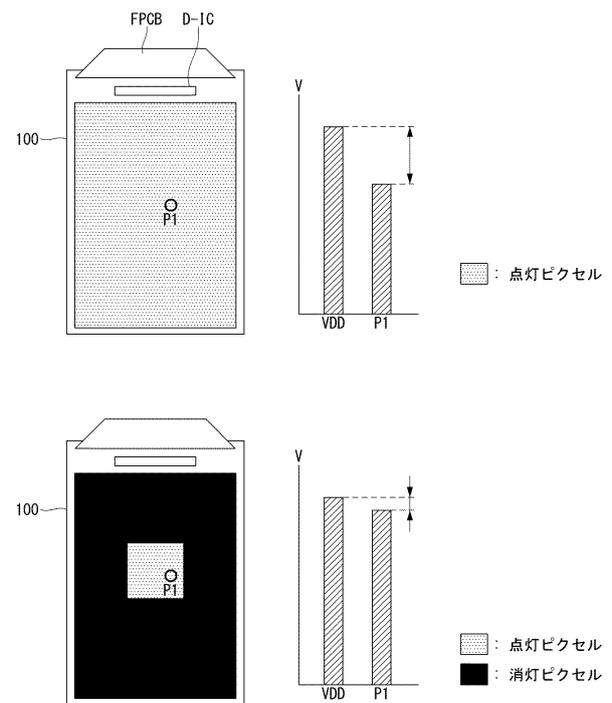
【図7】



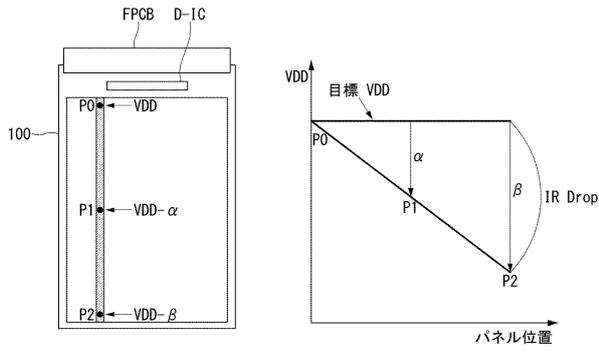
【図8】



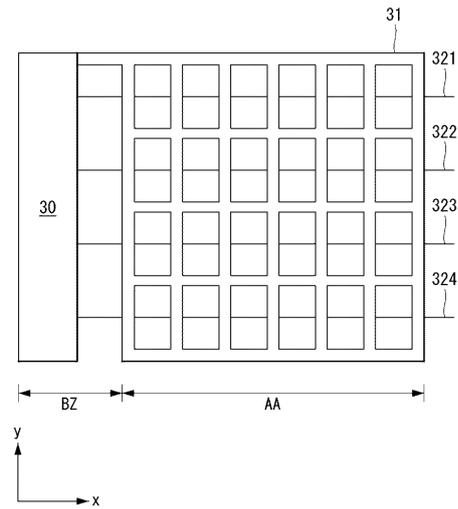
【図9】



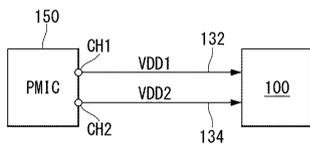
【図10】



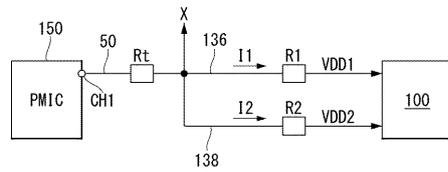
【図12】



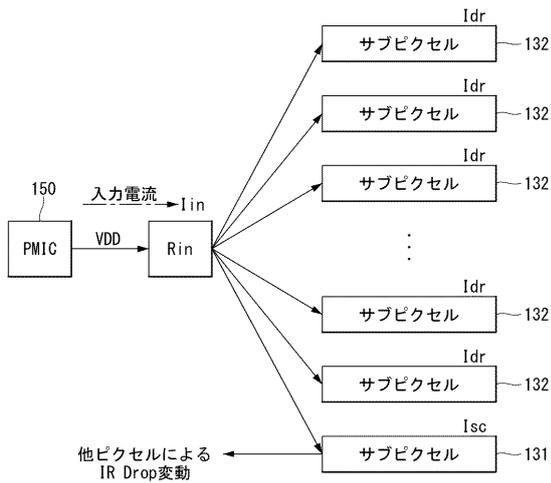
【図11A】



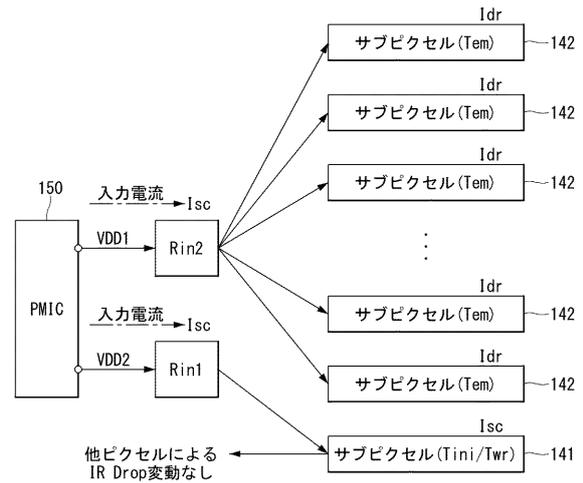
【図11B】



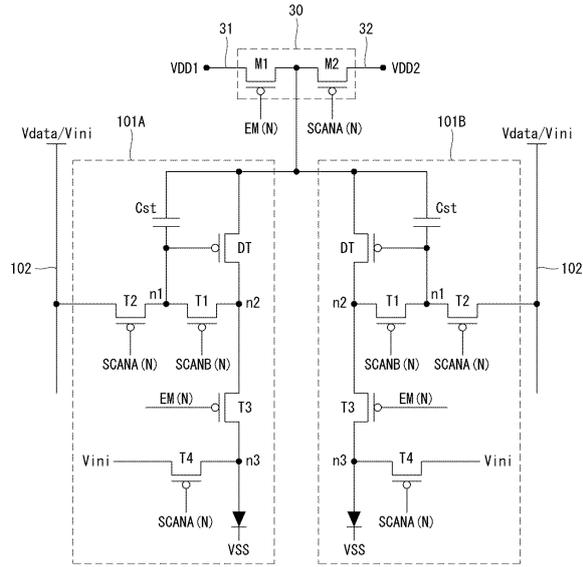
【図13】



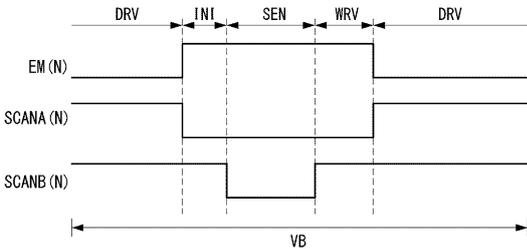
【図14】



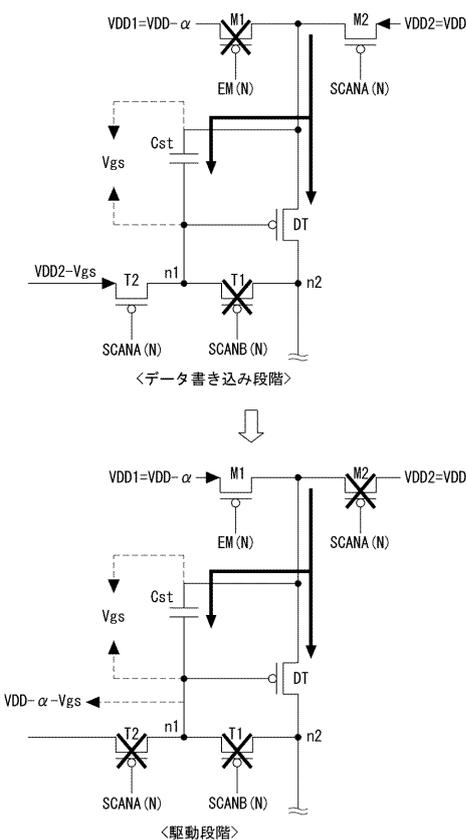
【図15】



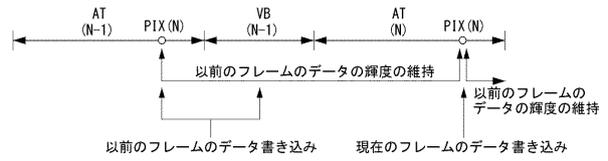
【図16】



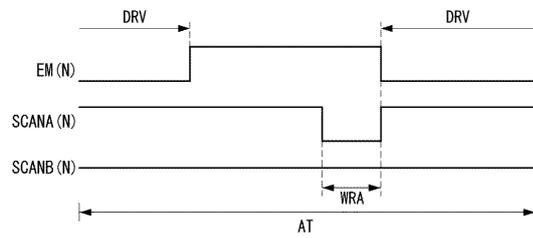
【図19】



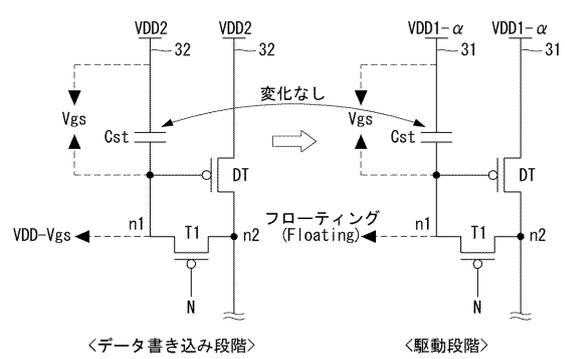
【図17】



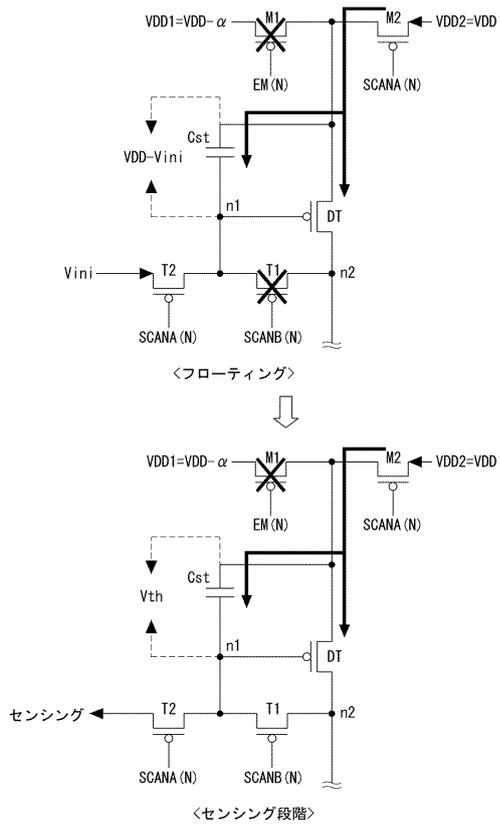
【図18】



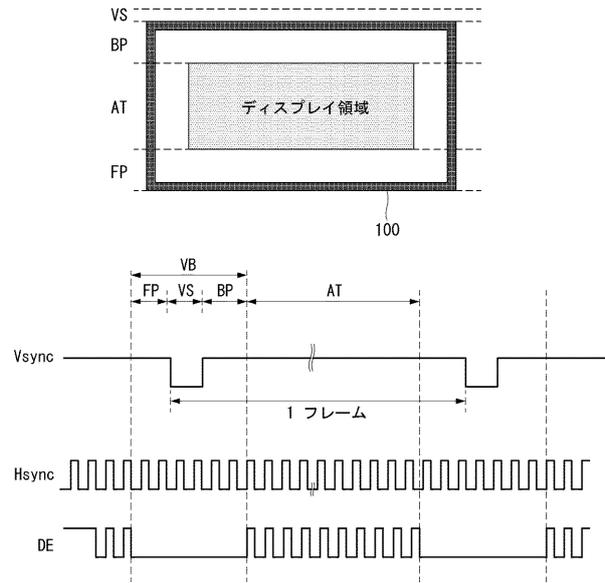
【図20】



【図 2 1】



【図 2 2】



## フロントページの続き

|             |       |           |         |              |
|-------------|-------|-----------|---------|--------------|
| (51)Int.Cl. |       | F I       |         |              |
| H 0 1 L     | 51/50 | (2006.01) | G 0 9 G | 3/20 6 5 0 M |
| H 0 1 L     | 27/32 | (2006.01) | G 0 9 G | 3/30 K       |
| G 0 9 F     | 9/30  | (2006.01) | G 0 9 G | 3/20 6 2 4 B |
|             |       |           | G 0 9 G | 3/20 6 4 1 D |
|             |       |           | G 0 9 G | 3/20 6 2 3 D |
|             |       |           | G 0 9 G | 3/20 6 2 3 C |
|             |       |           | G 0 9 G | 3/3291       |
|             |       |           | G 0 9 G | 3/3266       |
|             |       |           | G 0 9 G | 3/20 6 2 2 A |
|             |       |           | G 0 9 G | 3/20 6 1 2 E |
|             |       |           | G 0 9 G | 3/20 6 1 1 H |
|             |       |           | G 0 9 G | 3/20 6 4 2 A |
|             |       |           | G 0 9 G | 3/20 6 7 0 K |
|             |       |           | G 0 9 G | 3/20 6 1 1 J |
|             |       |           | G 0 9 G | 3/20 6 1 2 D |
|             |       |           | H 0 5 B | 33/14 A      |
|             |       |           | H 0 1 L | 27/32        |
|             |       |           | G 0 9 F | 9/30 3 3 8   |
|             |       |           | G 0 9 F | 9/30 3 6 5   |

(72)発明者 金 奎 珍

大韓民国、1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

審査官 橋本 直明

- (56)参考文献 特開2014 - 115539 (JP, A)  
 特開2016 - 009156 (JP, A)  
 特開2011 - 164135 (JP, A)  
 国際公開第2011 / 125107 (WO, A1)  
 特開2009 - 216801 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 2 3 3  
 G 0 9 F 9 / 3 0  
 G 0 9 G 3 / 2 0  
 G 0 9 G 3 / 3 0  
 G 0 9 G 3 / 3 2 6 6  
 G 0 9 G 3 / 3 2 9 1  
 H 0 1 L 2 7 / 3 2  
 H 0 1 L 5 1 / 5 0