



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 101 25 800 B4 2006.11.02**

(12)

Patentschrift

(21) Aktenzeichen: **101 25 800.3**
 (22) Anmeldetag: **26.05.2001**
 (43) Offenlegungstag: **12.12.2002**
 (45) Veröffentlichungstag
 der Patenterteilung: **02.11.2006**

(51) Int Cl.⁸: **H01L 27/108 (2006.01)**
H01L 21/8242 (2006.01)
G11C 11/40 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Infineon Technologies AG, 81669 München, DE

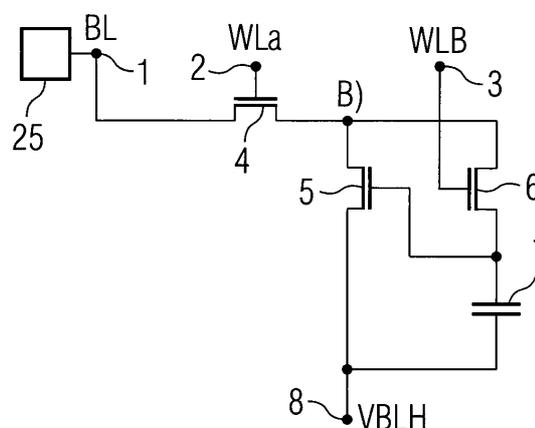
(72) Erfinder:
Beer, Peter, 80539 München, DE

(74) Vertreter:
Wilhelm & Beck, 80636 München

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
DE 197 01 003 A1
US 56 75 160

(54) Bezeichnung: **Speicherbaustein mit einer Speicherzelle und Verfahren zur Herstellung eines Speicherbausteins**

(57) Hauptanspruch: Speicherbaustein mit einer Speicherzelle (5, 7), die einen ersten Transistor (4) und einen Kondensator (7) aufweist, wobei der Kondensator (7) zum Speichern einer Information und der erste Transistor (4) zum Auslesen und/oder Speichern einer Information aus bzw. in den Kondensator (7) verwendet wird, wobei ein erster Anschluss des ersten Transistors (4) mit einer Bitleitung (1) verbunden ist, wobei ein Steueranschluss des ersten Transistors (4) mit einer ersten Wortleitung (2) verbunden ist, wobei der zweite Anschluss des ersten Transistors (4) mit einem ersten Anschluss eines zweiten Transistors (5) verbunden ist, wobei ein zweiter Anschluss des zweiten Transistors (5) mit einem Spannungspotential (8) verbunden ist, wobei der Steueranschluss des zweiten Transistors (5) mit einer ersten Elektrode des Kondensators (7) verbunden ist, dadurch gekennzeichnet, dass ein dritter Transistor (6) mit einem ersten Anschluss an den ersten Anschluss des zweiten Transistors (5) angeschlossen ist, dass ein zweiter...



Beschreibung

Stand der Technik

[0001] Die Erfindung betrifft einen Speicherbaustein mit einer Speicherzelle gemäß dem Oberbegriff des Patentanspruchs 1 und ein Verfahren zur Herstellung eines Speicherbausteins mit einer Speicherzelle gemäß dem Oberbegriff des Patentanspruchs 8, wie aus US 5675 160 und DE 197 01 003 A1 bekannt.

[0002] Speicherbausteine weisen eine Matrix von Speicherzellen auf, die in Form von Zeilen und Spalten angeordnet sind. Die Speicherzellen sind über Wortleitungen und Bitleitungen ansteuerbar. Das Auslesen von Daten aus den Speicherzellen oder das Schreiben von Daten in die Speicherzellen wird durch die Aktivierung der entsprechenden Wortleitung und der entsprechenden Bitleitung durchgeführt.

[0003] Bekannte Speicherzellen, wie z.B. vom Typ DRAM, weisen üblicherweise einen mit einem Kondensator verbundenen Transistor auf. Ein erster Anschluss des Transistors steht dabei mit einer Bitleitung und ein zweiter Anschluss des Transistors mit einer Elektrode des Kondensators in Verbindung. Der Steueranschluss des Transistors ist an eine Wortleitung angeschlossen. Durch Anlegen einer geeigneten Spannung an die Wortleitung wird der Transistor leitend geschaltet und die im Kondensator gespeicherte Ladung wird über die Bitleitung zu einer Verstärkerschaltung geleitet. Ein zentrales Problem bei bekannten DRAM-Varianten besteht darin, eine ausreichend große Kapazität des Kondensators bereitzustellen. Durch die zunehmende Miniaturisierung der Speicherbausteine werden die Kondensatoren fortlaufend in der Größe verkleinert. Durch die Abnahme der Größe wird auch die Kapazität des Kondensators verkleinert. Die Verstärkerschaltung, die die gespeicherte Ladung im Kondensator bewertet, erfordert für eine zuverlässige Funktionsweise eine ausreichend große Spannungsänderung auf der Bitleitung beim Auslesen der Ladung des Kondensators.

[0004] Das Verhältnis der Speicherkapazität zu der Bitleitungskapazität ist entscheidend bei der Bestimmung des Signalpegels, der sich auf der Bitleitung beim Auslesen der Information aus dem Kondensator einstellt. Deshalb darf die Ladungskapazität des Kondensators eine Mindestgröße nicht unterschreiten.

[0005] Aus US 5 675 160 ist ein DRAM-Speicherbaustein mit einer Speicherzelle bekannt, der einen Transistor und einen Kondensator aufweist. Der Kondensator dient zum Speichern einer Information und der Transistor zum Auslesen und/oder Speichern einer Information aus bzw. in den Kondensator. Ein erster Anschluss des Transistors ist mit einer Bitleitung

verbunden. Ein Steueranschluss des Transistors ist mit einer Wortleitung verbunden. Der zweite Anschluss des Transistors ist mit einem ersten Anschluss eines weiteren Transistors verbunden. Ein zweiter Anschluss des weiteren Transistors ist an ein Spannungspotential angeschlossen. Der Steueranschluss des weiteren Transistors ist an eine Elektrode des Kondensators angeschlossen.

[0006] Aus DE 197 01 003 A1 ist eine DRAM-Speicherzelle mit einem ersten Transistor mit einer Gate- und Source- und Drainelektrode und mit einem zweiten Transistor mit einer Gate- und Source- und Drainelektrode bekannt. Die Gateelektrode des zweiten Transistors ist entweder mit der Sourceelektrode oder mit der Drainelektrode des ersten Transistors verbunden. Weiterhin ist ein Kondensator vorgesehen, der mit der Gateelektrode des zweiten Transistors verbunden ist. Eine obere Elektrode des Kondensators ist entweder mit der Sourceelektrode oder mit der Drainelektrode des zweiten Transistors verbunden. Der zweite Transistor kann nur eingeschalten werden, wenn die in der Gateelektrode des zweiten Transistors gespeicherten Ladungsdaten dem Logikwert 1 entsprechen, so dass die Referenzspannung an eine Bitleitung angelegt werden kann, die mit dem Source- oder der Drainelektrode des ersten Transistors verbunden ist.

Aufgabenstellung

[0007] Die Aufgabe der Erfindung besteht darin, einen Speicherbaustein mit einer Speicherzelle bereitzustellen, die eine größere Ladungskapazität aufweist.

[0008] Die Aufgabe der Erfindung wird durch die Merkmale des Anspruchs 1 gelöst.

[0009] Weiterhin besteht die Aufgabe der Erfindung darin, ein Verfahren zum Herstellen eines Speicherbausteins mit einer Speicherzelle bereitzustellen, die eine größere Ladungskapazität aufweist. Die Aufgabe der Erfindung wird durch die Merkmale des Anspruchs 8 gelöst.

[0010] Ein Vorteil der Erfindung besteht darin, dass die Ladung des Kondensators der Speicherzelle zum Schalten eines Transistors verwendet wird, der die Bitleitung mit einem Spannungspotential verbindet. Auf diese Weise reicht eine geringe Ladungskapazität der Speicherzelle aus, um den Transistor in einen leitenden Zustand zu schalten. Die Bewertung des Ladungszustandes der Speicherzelle erfolgt aufgrund des Spannungspotentials. Somit ist sichergestellt, dass der Leseverstärker ein ausreichend großes Signal erhält. Da der Transistor nahe dem Kondensator der Speicherzelle angeordnet ist, wird die in der Speicherzelle gespeicherte Ladungskapazität nicht durch lange Leitungswege beeinträchtigt. Somit

kann der Kondensator relativ klein ausgebildet werden und die Ladungskapazität des Speicherkondensators kann trotzdem noch zuverlässig ausgewertet werden.

[0011] Weiterhin ist ein dritter Transistor vorgesehen, der eine elektrisch leitende Verbindung mit dem Kondensator ermöglicht. Durch die Verwendung des dritten Transistors ist ein Aufladen des Kondensators möglich.

[0012] Weitere vorteilhafte Ausführungsformen der Erfindung sind in den abhängigen Ansprüchen angegeben.

[0013] Vorzugsweise sind die Transistoren und der Kondensator in einem Graben eines Substrates eingebracht. Das Substrat ist beispielsweise aus einem Halbleitermaterial gefertigt. Durch die Anordnung der Transistoren und des Kondensators in einem vertikalen Graben wird nur ein geringer Flächenbedarf auf der Oberfläche des Substrats zur Ausbildung der Speicherzelle benötigt. Somit eignet sich die erfindungsgemäße Anordnung für eine große Integrationsdichte.

[0014] In einer bevorzugten Ausführungsform ist der erste Transistor auf der Oberfläche des Substrats ausgebildet. Auf diese Weise ist der Aufbau des Grabens vereinfacht.

[0015] In einer weiteren bevorzugten Ausführungsform ist auch der erste Transistor in dem Graben angeordnet. Auf diese Weise wird nur eine sehr geringe Oberfläche zur Anordnung der Speicherzelle benötigt.

[0016] In einer weiteren bevorzugten Ausführungsform sind die erste und die zweite Wortleitung wenigstens teilweise im Graben angeordnet. Auf diese Weise wird zusätzlich Oberfläche des Substrats eingespart. Dadurch wird eine weitere Zunahme der Integrationsdichte ermöglicht.

[0017] Vorzugsweise sind wenigstens zwei Transistoren an gegenüberliegenden Seitenwänden des Grabens angeordnet. Auf diese Weise wird eine effiziente Ausnutzung der Fläche des Grabens erreicht. Damit kann insgesamt die Grabenstruktur mit einer geringeren Tiefe ausgebildet werden.

[0018] Vorzugsweise ist der Kondensator im untersten Bereich des Grabens angeordnet und darüberliegend sind die Transistoren, die zur Ansteuerung des Kondensators verwendet werden, ausgebildet. Auf diese Weise wird ein einfacher Aufbau der Grabenstruktur ermöglicht.

[0019] Die Erfindung wird im Folgenden anhand der Figuren näher erläutert. Es zeigen:

[0020] [Fig. 1](#) ein elektrisches Schaltbild einer ersten Ausführungsform einer Speicherzelle,

[0021] [Fig. 2](#) einen Querschnitt durch die erste Ausführungsform der Speicherzelle,

[0022] [Fig. 3](#) einen schematischen Programmablauf zur Herstellung der ersten Ausführungsform der Speicherzelle,

[0023] [Fig. 4](#) einen schematischen Querschnitt durch die zweite Ausführungsform der Speicherzelle und

[0024] [Fig. 5](#) einen schematischen Verfahrensablauf zur Herstellung der zweiten Ausführungsform der Speicherzelle.

Ausführungsbeispiel

[0025] [Fig. 1](#) zeigt ein elektrisches Ersatzschaltbild einer ersten Ausführungsform einer Speicherzelle. Es ist eine Bitleitung **1** vorgesehen, die mit einem ersten Anschluss eines ersten Transistors **4** verbunden ist. Ein zweiter Anschluss des ersten Transistors **4** steht mit einem ersten Anschluss eines zweiten Transistors **5** in Verbindung. Ein Steueranschluss des ersten Transistors **4** ist an eine erste Wortleitung **2** angeschlossen. Der erste Transistor **4** ist als MOS-Feldeffekttransistor ausgebildet. Der zweite Transistor **2** ist ebenfalls als MOS-Feldeffekttransistor ausgebildet und steht mit seinem zweiten Anschluss mit einer Spannungsquelle **8** in Verbindung, die ein einstellbares Spannungspotential zur Verfügung stellt. Ein Steueranschluss des zweiten Transistors **5** ist an eine erste Elektrode eines Kondensators **7** angeschlossen. Weiterhin steht der erste Anschluss des zweiten Transistors **5** mit einem ersten Anschluss eines dritten Transistors **6** in Verbindung. Ein zweiter Anschluss des dritten Transistors **6** ist an die erste Elektrode des Kondensators **7** angeschlossen. Der dritte Transistor **6** ist als MOS-Feldeffekttransistor ausgebildet und weist einen Steuereingang auf, der mit einer zweiten Wortleitung **3** in Verbindung steht. Eine zweite Elektrode des Kondensators **7** ist an die Spannungsquelle **8** angeschlossen.

[0026] Die Schaltungsanordnung der [Fig. 1](#) stellt einen Teil eines Speicherbausteins dar, der matrixförmig aufgebaut ist und eine Vielzahl von Speicherzellen aufweist. Jede Speicherzelle weist einen Kondensator **7** auf. Der Speicherbaustein weist Bitleitungen und Wortleitungen auf, die in Form einer Matrix angeordnet sind. Zur Abspeicherung einer Information dient der Kondensator **7**, dessen Spannungszustand über die Bitleitung **1** ausgelesen und von einer Auswerteschaltung **25** ausgewertet wird, die an die Bitleitung **1** angeschlossen ist. Die Auswerteschaltung **25** weist eine Verstärkerschaltung auf, die das auf der Bitleitung **1** anliegende Spannungspotential ver-

stärkt.

[0027] Zum Auslesen der Information, die im Kondensator **7** abgespeichert ist, wird ein entsprechendes Spannungspotential an die erste Wortleitung **2** angelegt. Als Folge davon wird der erste Transistor **4** leitend geschaltet. In Abhängigkeit davon, ob die erste Elektrode des Kondensators **7** eine positive oder negative Spannung gespeichert hat, wird über die am Steueranschluss des zweiten Transistors **5** anliegende Spannung der zweite Transistor **5** leitend oder sperrend geschaltet. Somit wird in Abhängigkeit von der Ladung, die im Kondensator **7** gespeichert ist, die Bitleitung **1** mit der Spannungsquelle **8** verbunden oder nicht. Da die Spannungsquelle **8** eine ausreichende Ladungskapazität aufweist, wird auf der Bitleitung **1** bei einer elektrischen Verbindung der Spannungsquelle **8** mit der Bitleitung **1** ein hohes Potential auf die Bitleitung **1** übertragen. Somit kann die Auswerteschaltung **25** das auf der Bitleitung **1** anliegende Potential sicher erkennen. Somit wird je nachdem, ob im Kondensator **7** eine „1“ oder eine „0“ abgespeichert ist, die Bitleitung nach Ansteuerung der ersten Wortleitung **2** mit der Spannungsquelle **8** verbunden oder nicht.

[0028] Nach der Bewertung der auf der Bitleitung **1** anliegenden Spannung durch die Auswerteschaltung **25** kann die auf der Bitleitung **1** anliegende Spannung über eine Ansteuerung der zweiten Wortleitung **3** wieder in den Kondensator **7** zurückgeschrieben werden. Dazu wird an die zweite Wortleitung **3** eine entsprechende Spannung angelegt. Damit wird der dritte Transistor **6** leitend geschaltet. Somit wird die erste Elektrode des Kondensators **7** mit der Bitleitung **1** verbunden. Bei dem Rückschreibevorgang lädt die Auswerteschaltung **25** die erste Elektrode des Kondensators **7** auf das Potential auf, das auf der Bitleitung **1** anliegt. In entsprechender Weise kann auch über die erste Bitleitung **1** ein neues oder anderes Datum, d.h. ein anderes Potential, in den Kondensator **7** eingeschrieben werden.

[0029] **Fig. 2** zeigt einen schematischen Ausschnitt eines Speicherbausteins, der eine Speicherzelle in einer ersten Ausführungsform aufweist. Die Speicherzelle ist in ein Substrat **9** eingebracht, das beispielsweise aus einem positiv dotierten Siliciumkristall besteht. In das Substrat **9** ist ein vertikaler Graben **10** eingebracht, der im Wesentlichen mit einer leitenden Füllschicht **11** gefüllt ist, die insbesondere Polysilicium aufweist. Der Graben **10** ist mit einer ersten Isolierschicht **12** in einem ersten Oberflächenbereich umgeben. Die erste Isolierschicht **12** ist beispielsweise aus Siliciumdioxid gebildet. Angrenzend an die erste Isolierschicht **12** ist eine erste Leitungszone **13** im Substrat **9** ausgebildet, die beispielsweise als negativ dotierte Siliciumschicht dargestellt ist. Die erste Leitungszone **13** stellt die zweite Elektrode des Kondensators **7** dar und ist mit der Spannungsquelle **8**

leitend verbunden. Die Füllschicht **11** des Grabens **10** stellt die erste Elektrode des Kondensators **7** dar.

[0030] Die erste Leitungszone **13** ist im Wesentlichen U-förmig ausgebildet, wobei ein zweiter Schenkel der U-Form gegenüber dem ersten Schenkel um eine vorgegebene Länge verkürzt ausgebildet ist. Angrenzend an den verkürzten Schenkel ist eine fünfte Isolierschicht **24** angrenzend an die Füllschicht **11** ausgebildet. Die fünfte Isolierschicht **24** weist eine vorgegebene Länge auf und grenzt an eine zweite Leitungszone **14**. Die zweite Leitungszone **14** ist im Querschnitt halbellipsenförmig ausgebildet und ragt mit dem abgerundeten Ende, ausgehend vom Graben **10**, nahezu senkrecht in das Substrat **9**. Im oberen Endbereich der zweiten Leitungszone **14** ist am Rande des Grabens **10** eine vierte Isolierschicht **20** ausgebildet, die eine vorgegebene Strecke nach oben entlang einer Seitenfläche des Grabens **10** geführt ist. Am oberen Ende der vierten Isolierschicht **20** ist eine dritte Leitungszone **15** angeordnet, die in Form einer Wanne in das Substrat **9** eingebracht ist und bis zur Obergrenze des Substrats **9** ausgebildet ist. Die Füllschicht **11** ist durch eine dritte Isolierschicht **19** gegenüber der dritten Leitungszone **15** isoliert. Die dritte Isolierschicht **19** weist im Querschnitt eine Rechteckform auf und ragt in die Wannenform der dritten Leitungszone **15** hinein. Angrenzend an die dritte Isolierschicht **19** ist im rechten oberen Bereich des Grabens **10** die zweite Wortleitung **3** ausgebildet, wobei die zweite Wortleitung **3** durch die vierte Isolierschicht **20** elektrisch von der Umgebung der Füllung **26** des Grabens **10** isoliert ist. Die zweite Wortleitung **3** ist im Querschnitt quadratisch ausgebildet und an der Außenfläche von der vierten Isolierschicht **20** und der dritten Isolierschicht **19** umgeben. Zwischen dem langen Schenkel der ersten Leitungszone **13** und dem linken Wannenbereich der dritten Leitungszone **15** ist ein Abstandsbereich vorgegeben, in dem das Substrat **9** an den Graben **10** grenzt.

[0031] Auf der dritten Leitungszone **15** ist eine isolierende Deckschicht **18** aufgebracht, die die gesamte Oberfläche der Leitungszone **15** abdeckt. Angrenzend an die Deckschicht **18** ist die erste Wortleitung **2** über einer Oxidschicht **27** auf der Substratoberfläche des Substrats **9** angeordnet. Neben der ersten Wortleitung **2** ist die Bitleitung **1** mit einem Bitleitungskontakt **38** auf der Oberfläche des Substrats **9** angeordnet. Der Bitleitungskontakt **38** ist an den Seitenwänden von einer zweiten Isolierschicht **17** umgeben und dadurch gegenüber der ersten Wortleitung **2** elektrisch isoliert. Das Substrat **9** weist angrenzend an den Bitleitungskontakt **38** eine vierte Leitungszone **16** auf, die im Querschnitt vorzugsweise halbkreisförmig ausgebildet ist. Zwischen dem linken Bereich der dritten Leitungszone **15** und dem langen Schenkel der ersten Leitungszone **13** ist im Graben **10** angrenzend an das Substrat **9** eine Gateoxidschicht **28** ausgebildet, die sowohl an die dritte Isolierschicht **19**

als auch an die erste Isolierschicht **11** angrenzt.

[0032] Die erste, zweite, dritte und vierte Leitungszone **13**, **14**, **15** und **16** sind vorzugsweise aus negativ dotiertem Silicium hergestellt. Die erste, zweite, dritte, vierte und fünfte Isolierschicht **12**, **17**, **19**, **20** und **24** sind vorzugsweise aus Siliciumdioxid gebildet. Die Bitleitung **1** und die erste und zweite Wortleitung **2**, **3** sind vorzugsweise aus einer Metallschicht hergestellt.

[0033] Der erste Transistor **4** wird durch die vierte Leitungszone **16**, die erste Wortleitung **2**, den linken Bereich der dritten Leitungszone **15** und einen zwischen der vierten und der dritten Leitungszone **16**, **15** ausgebildeten ersten Leitungskanal **21** dargestellt. Der zweite Transistor **5** wird durch den linken Bereich der dritten Leitungszone **15**, den langen Schenkel der U-förmigen ersten Leitungszone **13** und einem zweiten Leitungskanal **22** gebildet, der zwischen der dritten Leitungszone **15** und dem langen Schenkel der ersten Leitungszone **15**, **13** im Substrat **9** ausgebildet ist. Der dritte Transistor **6** wird durch den rechten Teil der dritten Leitungszone **15**, der zweiten Leitungszone **14**, der zweiten Wortleitung **2** und einem im Substrat **9** und zwischen dem rechten Teil der dritten Leitungszone **15** und der zweiten Leitungszone **14** ausgebildeten dritten Leitungskanal **23** dargestellt. Durch die vertikal übereinander angeordnete Ausbildung des Kondensators **7**, der durch die Füllschicht **11**, die erste Isolierschicht **12** und die erste Leitungszone **13** ausgebildet ist, und die darüber im Wesentlichen im Graben **10** und in dem Bereich des Substrats **9**, das an den Graben **10** angrenzt, ausgebildeten zweiten und dritten Transistoren, wird eine vertikale Anordnung der Speicherzelle ermöglicht. Dadurch wird nur ein geringer Bedarf an Oberfläche des Substrats **9** für die Ausbildung der Speicherzelle benötigt.

[0034] Die an gegenüberliegenden Seitenflächen des Grabens **10** gewählte Anordnung des zweiten und dritten Transistors **5**, **6** führt zu einem relativ kurzen Graben **10**. Damit wird die Bauhöhe des Speicherbausteins in vorteilhafter Weise reduziert.

[0035] Anstelle der in der [Fig. 2](#) beschriebenen Dotierung des Substrats **9** und der Dotierzonen, die die Leitungszone bilden, kann auch eine inverse Dotierung vorgesehen sein, so dass das Substrat **9** grundsätzlich negativ dotiert ist und die Dotierzonen, die die Leitungszone bilden, positiv dotiert ausgebildet sind.

[0036] Im Folgenden wird schematisch ein Herstellungsverfahren zum Herstellen einer Speicherzelle gemäß [Fig. 2](#) beschrieben:

Zuerst wird in ein Substrat **9** ein Graben **10** über eine Hartmaske und ein entsprechendes anisotropes Ätzverfahren eingätzt. Anschließend wird der Graben

10 bis zu einer vorgegebenen Höhe *a* mit negativem Material, wie z.B. einer mit Arsen dotierten Glasschicht **33**, gefüllt und über einen Diffundierungsprozess eine entsprechende Dotierschicht in den Bereich des Substrats **9** eingebracht, das den Graben **10** umgibt. Diese erste Dotierschicht stellt einen Teil der ersten Leitungszone **13** dar ([Fig. 3a](#)).

[0037] Anschließend wird in einem Oxidationsprozess die fünfte Isolierschicht **24** eingebracht ([Fig. 3b](#)). Daraufhin wird bis zu einer zweiten Höhe *b* der Graben **10** wieder mit einer weiteren mit Arsen dotierten Glasschicht aufgefüllt und in einem zweiten Ausdiffundierungsprozess sowohl der verlängerte Schenkel der ersten Leitungszone **13** als auch die zweite Leitungszone **14** im Substrat **9** hergestellt ([Fig. 3c](#)).

[0038] In einem folgenden Verfahrensprozess wird der gesamte Graben **10** wieder aufgeätzt und die Glasschicht **33** entfernt. Im folgenden Prozess wird die erste Isolierschicht **12** über ein Oxidationsverfahren hergestellt. Anschließend wird der Graben **10** mit leitendem Polysilicium aufgefüllt. Anschließend wird ein zweiter Graben **34** in paralleler Ausrichtung zu dem ersten Graben **10** bis zur ersten Höhe *a* in den ersten Graben **10** eingätzt. Daraufhin wird die Gateoxidschicht **28** aufoxidiert. Der zweite Graben **24** wird daraufhin mit Siliciumdioxid aufgefüllt.

[0039] In einem weiteren Verfahrensschritt wird ein dritter Graben **35** für die zweite Wortleitung **3** in den zweiten Graben **34** eingätzt. Der dritte Graben **35** ist parallel zum zweiten Graben **34** ausgebildet und weist eine kleinere Breite als der zweite Graben **34** auf. Anschließend wird in einem Oxidationsvorgang die vierte Isolierschicht **20** eingebracht, die sowohl eine Isolation der zweiten Wortleitung gegenüber der Füllschicht **11** des Grabens **10** darstellt, als auch eine Gateoxidschicht für den dritten Transistor ausbildet ([Fig. 3d](#)).

[0040] In einem folgenden Verfahrensschritt wird die zweite Wortleitung **3** in Form einer Metallfüllung ausgebildet. Anschließend wird der Graben **10** bis zu einer dritten Höhe *d* wieder aufgeätzt und es wird die dritte Isolierschicht **19** aufgebracht ([Fig. 3e](#)).

[0041] In einem weiteren Verfahrensschritt wird der Graben **10** bis zu einer vierten Höhe *e* zurückgeätzt und mit einem negativ dotierten Material aufgefüllt. In einem folgenden Ausdiffundierungsprozess wird die dritte Leitungszone **15** als Dotierzone ausgebildet. Anschließend wird nach einem Standardprozess der erste Transistor **1** auf der Oberfläche des Substrats **9** ausgebildet und eine Speicherzelle entsprechend [Fig. 2](#) erhalten.

[0042] Das in [Fig. 3](#) beschriebene Verfahren stellt ein einfaches Verfahren der Herstellung der ersten

Ausführungsform der Speicherzelle dar.

[0043] **Fig. 4** zeigt einen Querschnitt durch einen Teil eines Speicherbausteins mit einer zweiten Ausführungsform einer Speicherzelle, wobei der Unterschied im Gegensatz zur Ausführungsform der **Fig. 2** darin besteht, dass auch der erste Transistor in dem vertikalen Graben **10** ausgebildet ist. Dadurch wird eine zusätzliche Verringerung des Oberflächenbedarfs des Substrats **9** zur Ausbildung der Speicherzelle benötigt. Somit ist eine höhere Integrationsdichte mit dieser Ausbildungsform zu erreichen. Das elektrische Ersatzschaltbild der zweiten Ausführungsform entspricht dem elektrischen Ersatzschaltbild der Ausführungsform der **Fig. 2**, das in **Fig. 1** dargestellt ist.

[0044] **Fig. 4** zeigt ein Substrat **9**, das beispielsweise in Form eines positiv dotierten Siliciumkristalls ausgebildet ist. In das Substrat **9** ist im Wesentlichen ein vertikaler Graben **10** eingebracht, der mit einer elektrisch leitenden Füllung **11**, die beispielsweise aus Polysilicium besteht, im Wesentlichen aufgefüllt ist. Ein abgerundeter Endbereich des Grabens **10** ist von einer ersten Isolierschicht **12** umgeben, die im Querschnitt eine U-Form aufweist, wobei jedoch ein erster Schenkel länger ausgeführt ist als ein zweiter Schenkel. Die erste Isolierschicht **12** ist von einer ersten Leitungszone **13** umgeben, die im Wesentlichen die gleiche U-Form wie die erste Isolierschicht **12**, aber eine größere Dicke als die erste Isolierschicht **12** aufweist. Angrenzend an den kurzen Schenkel der ersten Isolierschicht **12** und der ersten Leitungszone **13** ist eine fünfte Isolierschicht **24** ausgebildet, die eine vorgegebene Strecke entlang der Seitenwand des Grabens **10** geführt ist und eine vorgegebene Dicke aufweist. Vorzugsweise ist die fünfte Isolierschicht **24** im Querschnitt rechteckförmig ausgebildet. Das obere Ende der fünften Isolierschicht **24** ist unterhalb des Endes des langen Schenkels der ersten Leitungszone **13** angeordnet. Angrenzend an das obere Ende der fünften Isolierschicht **24** ist eine zweite Leitungszone **14** ausgebildet, die sich ausgehend von der fünften Isolierschicht **24** entlang der Seitenfläche des Grabens **10** eine vorgegebene Strecke erstreckt. Angrenzend an den oberen Endbereich der zweiten Leitungszone **14** ist im Graben **10** eine elektrisch isolierte zweite Wortleitung **3** am rechten Randbereich des Grabens **10** ausgebildet. Oberhalb der zweiten Wortleitung **3** ist im Substrat **9** angrenzend an den Graben **10** und an die zweite Wortleitung **3** eine dritte Leitungszone **15** ausgebildet, die bis zur Oberfläche des Substrats **9** reicht und im Querschnitt eine Teilkreisform aufweist.

[0045] Gegenüberliegend zur zweiten Wortleitung **3** ist eine erste Wortleitung **2** im linken Randbereich des Grabens **10** ausgebildet, die ebenfalls elektrisch von der Füllung **11** durch eine siebte Isolierschicht isoliert ist. Am unteren Endbereich der ersten Wortleitung **2** ist angrenzend an den Graben **10** im Substrat

9 eine fünfte Leitungszone **29** ausgebildet. Die fünfte Leitungszone **29** ist einen vorgegebenen Abstand über dem langen Schenkel der ersten Leitungszone **13** angeordnet.

[0046] Oberhalb der ersten Wortleitung **2** ist angrenzend an den Graben **10** im Substrat **9** eine vierte Leitungszone **16** ausgebildet, die sich bis zur Oberfläche des Substrats **9** erstreckt. Über der vierten Leitungszone **16** ist ein Bitleitungskontakt **38** der Bitleitung **1** auf der Oberfläche des Substrats **9** aufgebracht. Die vierte Leitungszone **16** ist elektrisch leitend mit der Bitleitung **1** verbunden. Die restliche Oberfläche des Substrats **9** ist durch eine zweite Isolierschicht **17** abgedeckt.

[0047] Die zweite Wortleitung **3** ist von einer vierten Isolierschicht **20** umgeben, die die zweite Wortleitung **3** elektrisch vom Substrat **9** und von der Füllung **26** des Grabens **10** isoliert. Die vierte Isolierschicht **20** steht mit einer fünften Isolierschicht **30** in Verbindung, die quer durch die Füllung **11** bis zum gegenüberliegenden Randbereich des Grabens **10** geführt ist und im unteren Endbereich der fünften Leitungszone **29** an die Seitenwand des Grabens **10** angrenzt. Die fünfte Isolierschicht **30** und die vierte Isolierschicht **20** unterteilen die Füllung **11** des Grabens **10** in einen oberen Füllbereich **31** und einen unteren Füllbereich **32**, die voneinander elektrisch isoliert sind.

[0048] Im Randbereich des Grabens **10** ist im Substrat **9** zwischen der fünften Leitungszone **29** und dem langen Schenkel der ersten Leitungszone **13** eine Gateoxidschicht **28** ausgebildet. Die Gateoxidschicht **28** stellt eine Isolierschicht zwischen dem Substrat **9** und der Füllung **11** dar.

[0049] Der erste Transistor **4** wird durch die vierte Leitungszone **16**, die erste Wortleitung **2**, die fünfte Leitungszone **29** und die zwischen der vierten und fünften Leitungszone **16**, **29** dargestellt.

[0050] Der zweite Transistor **5** wird durch die fünfte Leitungszone **29**, den Endbereich des langen Schenkels der ersten Leitungszone **13** und den unteren Füllbereich **32** dargestellt. Bei einer entsprechenden Ansteuerung des unteren Bereiches der Füllung **11** wird ein elektrisch leitender zweiter Leitungskanal **22** zwischen der fünften und der ersten Leitungszone **30**, **13** im Substrat ausgebildet.

[0051] Der dritte Transistor **6** wird durch die dritte Leitungszone **15**, die zweite Leitungszone **14**, die zweite Wortleitung **3** und einen dritten Leitungskanal **23** ausgebildet, der bei einer entsprechenden Ansteuerung der zweiten Wortleitung **3** zwischen der dritten Leitungszone **15** und der zweiten Leitungszone **14** ausgebildet wird.

[0052] Der Kondensator **7** wird durch den unteren

Bereich der Füllung **11**, die erste Isolierschicht **12** und die erste Leitungszone **13** ausgebildet. Die erste Leitungszone **13** steht mit der Spannungsquelle **8** in elektrisch leitender Verbindung.

[0053] Bei einer entsprechenden Ansteuerung der ersten Wortleitung **2** wird der erste Transistor **4** leitend geschaltet. Weist nun der Kondensator **7** eine entsprechend große Ladung auf, so wird auch der zweite Transistor **5** leitend geschaltet, so dass die Bitleitung **1** mit der Spannungsquelle **8** elektrisch leitend verbunden ist. Zum Einschreiben einer Ladungsinformation in den Kondensator **7** wird die zweite Wortleitung **3** mit einer vorgegebenen Spannung beaufschlagt, so dass der dritte Transistor **6** elektrisch leitend wird und die auf der Bitleitung **1** anliegende Spannung über den ersten Transistor und den dritten Transistor in den unteren Füllbereich **32** und damit in den Kondensator **7** eingespeichert wird.

[0054] Die erste, zweite, dritte, vierte und fünfte Leitungszone **13**, **14**, **15**, **16**, **29** sind vorzugsweise als negativ dotierte Siliciumbereiche ausgebildet. Die erste, zweite, dritte, vierte, fünfte und sechste Isolierschicht **12**, **17**, **19**, **20**, **24**, **30** sind vorzugsweise aus Siliciumdioxid hergestellt. Anstelle der in [Fig. 4](#) dargestellten Dotierungspolarität können auch das Substrat **9** negativ dotiert und die Leitungszone positiv dotiert sein. Die Bitleitung **1**, der Bitleitungskontakt **38** und die erste und zweite Wortleitung **2**, **3** sind aus einem metallischen Material hergestellt.

[0055] [Fig. 5](#) zeigt einen schematischen Verfahrensablauf zur Herstellung der Speicherzelle gemäß [Fig. 4](#). Bei einem ersten Verfahrensschritt wird in ein positiv dotiertes Siliciumsubstrat **9** über eine Ätzmaske ein Graben **10** eingetätzt. Anschließend wird in einem zweiten Verfahrensschritt der Graben **10** mit einem negativ dotierten Material, wie z.B. einer mit Arsen dotierten Glasschicht **33**, bis zu einer ersten Höhe *a* aufgefüllt. In einem anschließenden Ausdiffusionsprozess wird eine erste Diffusionsschicht in dem Bereich des Substrats **9** hergestellt, die den Graben **10** bis zur ersten Höhe *a* umgibt. Der erste Diffusionsbereich stellt einen Teil der ersten Leitungszone **13** dar ([Fig. 5a](#)).

[0056] Anschließend wird ein zweiter Graben **34** in paralleler Ausrichtung zum ersten Graben **10** bis zur ersten Höhe *a* in den ersten Graben **10** eingetätzt. [Fig. 5b](#) zeigt eine Ansicht von oben auf den ersten und zweiten Graben **10**, **34**. In einem folgenden Verfahrensschritt wird über einen Oxidationsprozess die fünfte Isolierschicht **24** in das Substrat **9** eingebracht. Anschließend wird der erste und der zweite Graben bis zur zweiten Höhe *b* mit negativ dotiertem Material, wie z.B. einer mit Arsen dotierten Glasschicht **33**, aufgefüllt und in einem folgenden Diffusionsprozess eine zweite Dotierzone hergestellt, die den oberen Teil des langen Schenkels der ersten Leitungszone **13** und

den unteren Teil der zweiten Leitungszone **14** darstellt. Anschließend wird in einem weiteren Oxidationsprozess die Gateoxidschicht **28** in das Substrat **9** eingebracht ([Fig. 5c](#)).

[0057] Daraufhin wird der Graben **10** bis zu einer dritten Höhe *d* mit einem negativen Dotiermaterial, wie z.B. einer Arsenglasschicht, aufgefüllt. In einem anschließenden Diffusionsprozess wird die fünfte Leitungszone **29** und ein weiterer Abschnitt der zweiten Leitungszone **14** in das Substrat **9** eindiffundiert ([Fig. 5d](#)).

[0058] Anschließend wird der gesamte Graben **10** in einem Ätzverfahren wieder vollständig freigeätzt. In einem folgenden Verfahrensschritt wird die erste Isolierschicht **12** aufoxidiert.

[0059] Daraufhin wird der Graben **10** mit leitendem Polysilicium als Füllung **26** aufgefüllt. In einem folgenden Verfahrensschritt wird ein dritter Graben **35** für die erste Wortleitung **2** parallel zur Längsrichtung des Grabens **10** bis zu einer dritten Tiefe *d* eingetätzt.

[0060] Anschließend wird ein fünfter Graben bis zur zweiten Höhe *b* in die Füllung **11** eingetätzt. In einem folgenden Verfahrensschritt wird die sechste Isolierschicht **30** auf den unteren abgestuften Füllbereich **32** des Grabens **10** aufgebracht ([Fig. 5e](#)).

[0061] In einem weiteren Verfahrensschritt wird der obere leere Bereich des Grabens **10** weiter mit leitendem Polysilicium als Füllung **11** aufgefüllt.

[0062] Anschließend werden die Wände des dritten Grabens **35** mit einer Oxidschicht bedeckt, die die siebte Isolierschicht **37** darstellt. Anschließend wird der dritte Graben **35** mit einer metallischen Füllung versehen und dadurch die erste Wortleitung **2** hergestellt. Abschließend wird der dritte Graben **35** mit einer Oxidschicht aufgefüllt.

[0063] Daraufhin wird bei einem weiteren Verfahrensschritt ein vierter Graben **36** parallel zu dem Graben **10** bis zu der vierten Höhe *f* eingetätzt. Der vierte Graben **36** wird mit Siliciumdioxid als fünfte Isolierschicht **24** aufgefüllt. Anschließend wird ein Graben für die Wortleitung in den vierten Graben **36** eingetätzt, der fünfte Graben mit einem metallischen Material aufgefüllt und dadurch die dritte Wortleitung **3** hergestellt. Anschließend wird auf die metallische Füllung des vierten Grabens **36** eine Oxidschicht aufgebracht ([Fig. 5f](#)).

[0064] Anschließend wird der obere Bereich des vierten Grabens aufgefüllt. Daraufhin werden die Sourceanschlüsse des ersten und des dritten Transistors **1**, **6** implantiert. Anschließend wird die zweite Isolierschicht **17** auf die Oberfläche des Substrats **9** aufgebracht. Anschließend wird im Bereich über der

vierten Leitungszone **16** ein Anschlussloch in die zweite Isolierschicht **17** eingätzt und die Bitleitung **1** aus einem metallischen Material aufgedampft. Somit wird eine Speicherzelle gemäß [Fig. 4](#) erhalten.

Patentansprüche

1. Speicherbaustein mit einer Speicherzelle (**5**, **7**), die einen ersten Transistor (**4**) und einen Kondensator (**7**) aufweist, wobei der Kondensator (**7**) zum Speichern einer Information und der erste Transistor (**4**) zum Auslesen und/oder Speichern einer Information aus bzw. in den Kondensator (**7**) verwendet wird, wobei ein erster Anschluss des ersten Transistors (**4**) mit einer Bitleitung (**1**) verbunden ist, wobei ein Steueranschluss des ersten Transistors (**4**) mit einer ersten Wortleitung (**2**) verbunden ist, wobei der zweite Anschluss des ersten Transistors (**4**) mit einem ersten Anschluss eines zweiten Transistors (**5**) verbunden ist, wobei ein zweiter Anschluss des zweiten Transistors (**5**) mit einem Spannungspotential (**8**) verbunden ist, wobei der Steueranschluss des zweiten Transistors (**5**) mit einer ersten Elektrode des Kondensators (**7**) verbunden ist, **dadurch gekennzeichnet**, dass ein dritter Transistor (**6**) mit einem ersten Anschluss an den ersten Anschluss des zweiten Transistors (**5**) angeschlossen ist, dass ein zweiter Anschluss des dritten Transistors (**6**) mit der ersten Elektrode des Kondensators (**7**) verbunden ist, dass ein Steueranschluss des dritten Transistors (**6**) mit einer zweiten Wortleitung (**3**) verbunden ist.

2. Speicherbaustein nach Anspruch 1, dadurch gekennzeichnet, dass die Speicherzelle in ein Substrat (**9**) eingebracht ist, dass das Substrat (**9**) einen Graben (**10**) aufweist, dass wenigstens der zweite Transistor (**5**) und der Kondensator (**7**) in dem Graben (**10**) und in den an den Graben (**10**) angrenzenden Bereich des Substrates (**9**) angeordnet sind.

3. Speicherbaustein nach Anspruch 2, dadurch gekennzeichnet, dass der erste Transistor (**4**) auf der Oberfläche des Substrates (**9**) ausgebildet ist.

4. Speicherbaustein nach Anspruch 2, dadurch gekennzeichnet, dass der erste Transistor (**4**) in dem Graben (**10**) und in dem an den Graben (**10**) angrenzenden Bereich des Substrates (**9**) ausgebildet ist.

5. Speicherbaustein nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die erste und zweite Wortleitung (**2**, **3**) wenigstens teilweise in dem Graben angeordnet sind.

6. Speicherbaustein nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, dass wenigstens

zwei Transistoren (**5**, **6**) an gegenüberliegenden Seitenwänden des Grabens (**10**) angeordnet sind und die Leitungskanäle der Transistoren außerhalb des Grabens (**10**) in angrenzenden Bereichen des Substrates (**9**) ausgebildet sind.

7. Speicherbaustein nach einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, dass der Kondensator (**7**) im unteren Endbereich des Grabens (**10**) ausgebildet ist.

8. Verfahren zur Herstellung eines Speicherbausteins nach Anspruch 1, dadurch gekennzeichnet, dass ein Graben (**10**) in das Substrat (**9**) eingebracht wird, zur Bildung des Kondensators (**7**) in dessen Bodenbereich.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

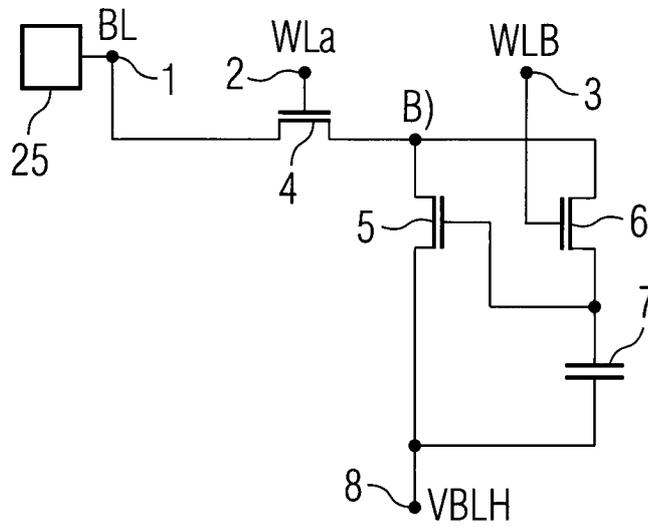


FIG 2

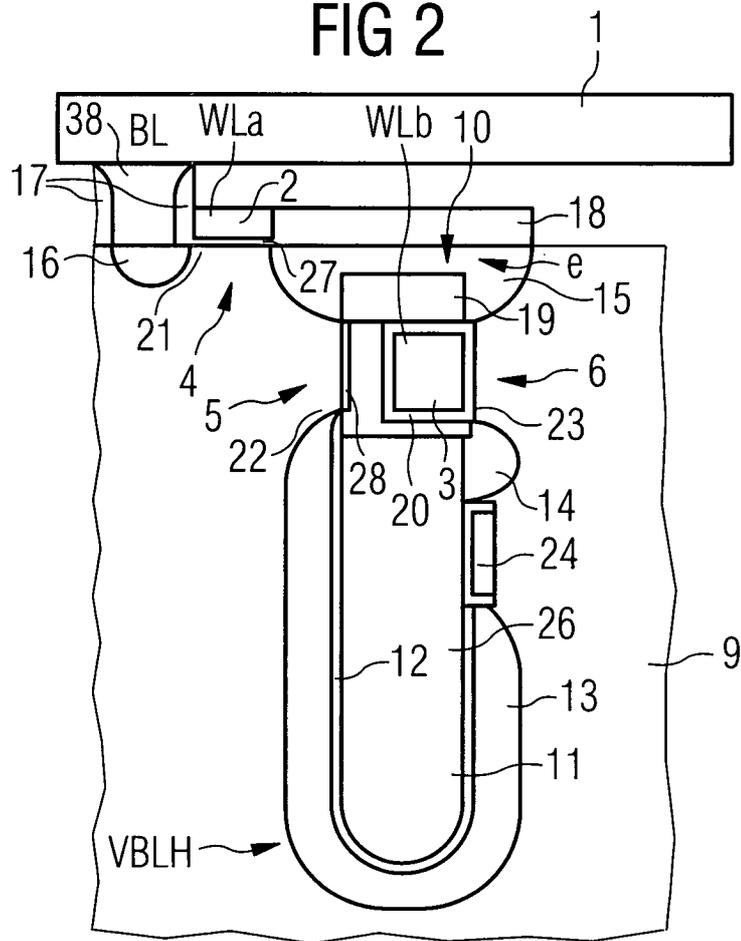


FIG 3a

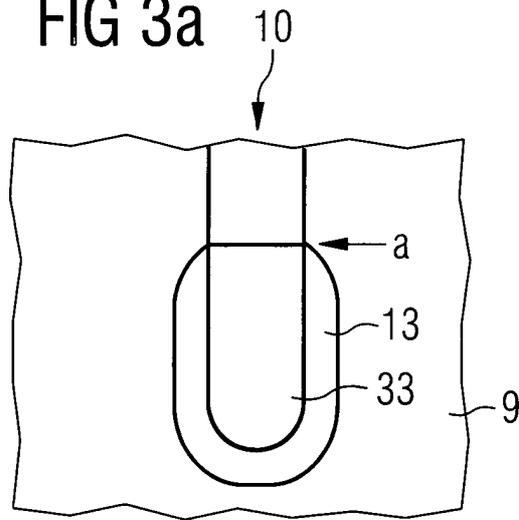


FIG 3b

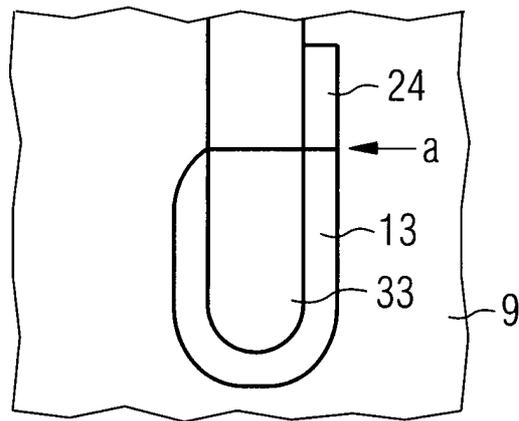


FIG 3c

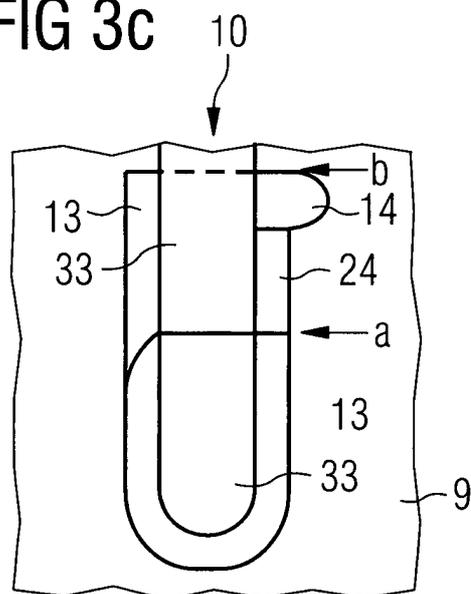


FIG 3d

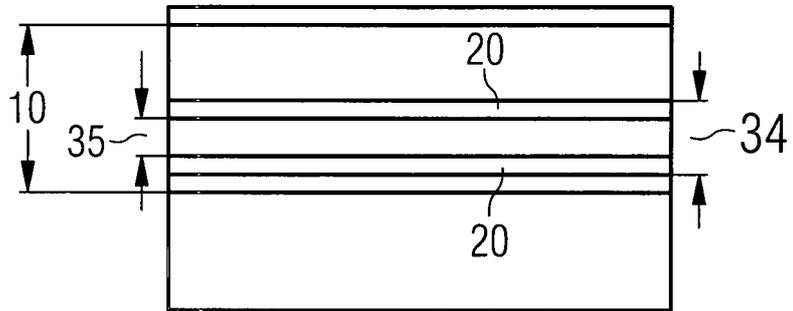


FIG 3e

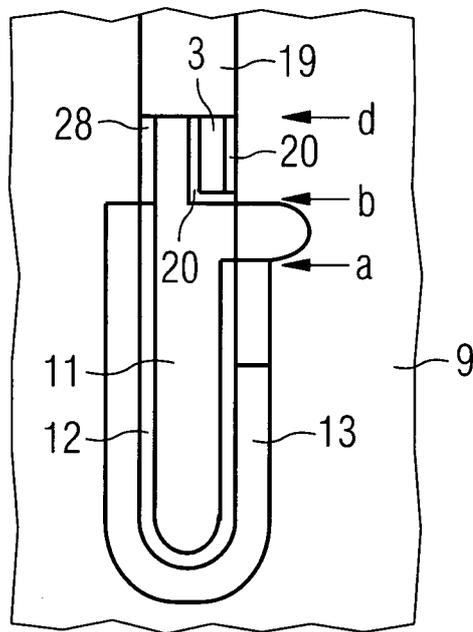


FIG 3f

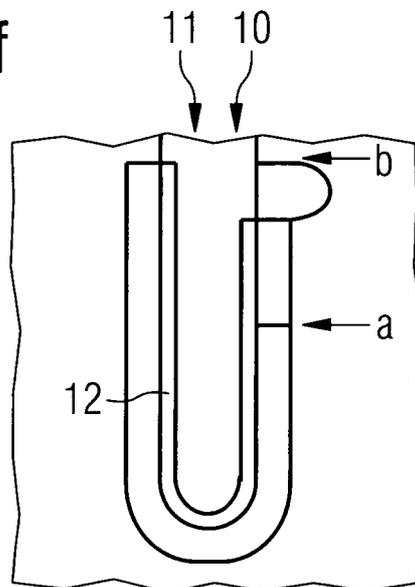


FIG 4

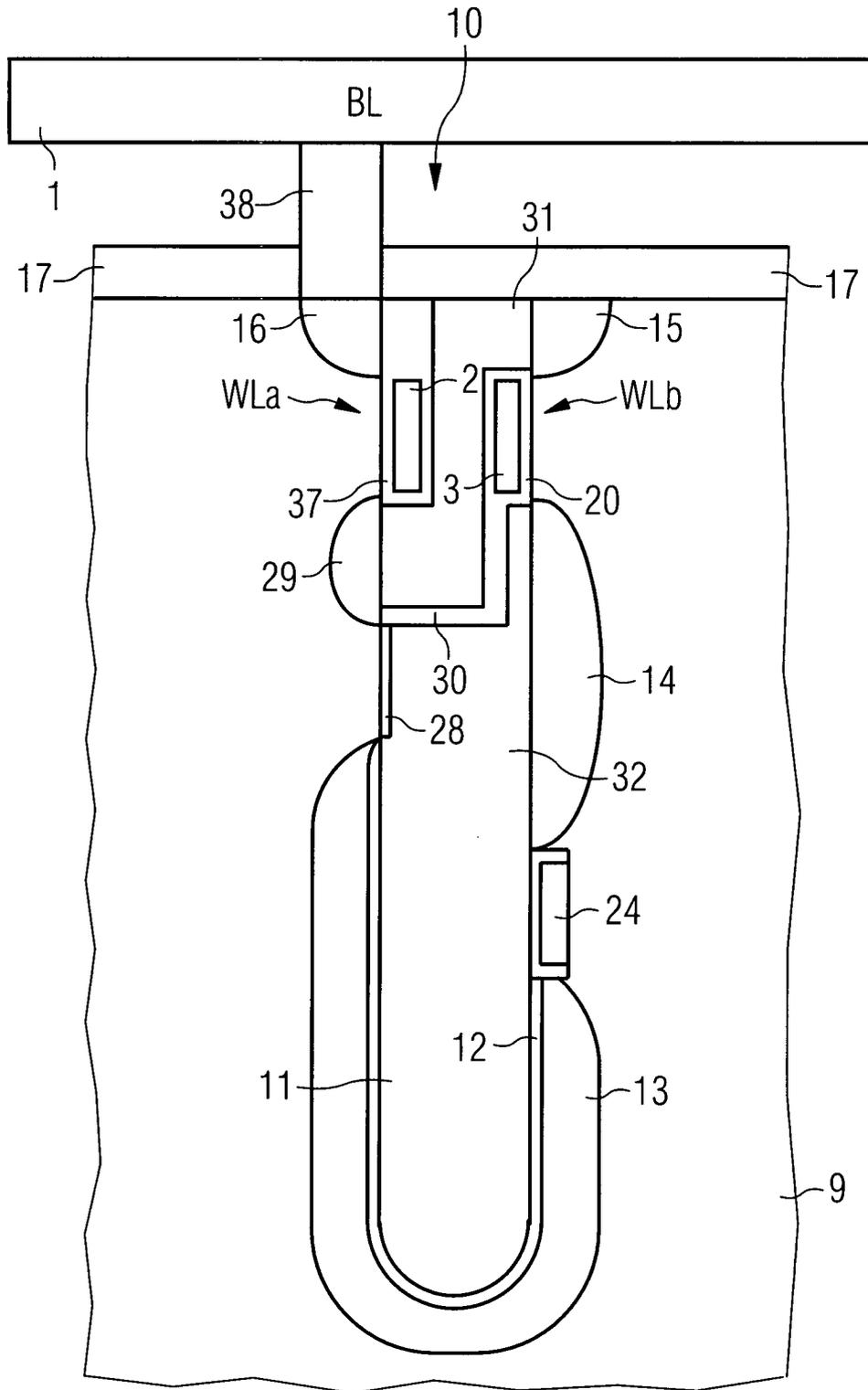


FIG 5a

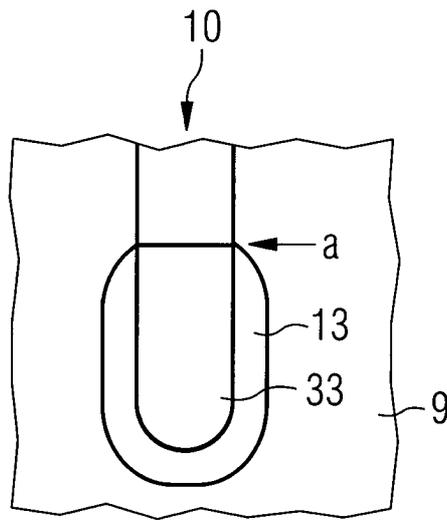


FIG 5b

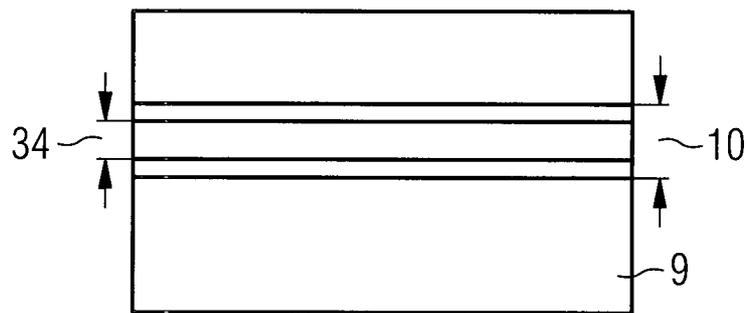


FIG 5c

