

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4627106号
(P4627106)

(45) 発行日 平成23年2月9日(2011.2.9)

(24) 登録日 平成22年11月19日(2010.11.19)

(51) Int.Cl.		F I	
H03F 3/30	(2006.01)	H03F 3/30	
H03F 3/45	(2006.01)	H03F 3/45	A
H03K 17/04	(2006.01)	H03K 17/04	E
H03K 17/687	(2006.01)	H03K 17/687	H

請求項の数 6 (全 15 頁)

(21) 出願番号	特願2000-230497 (P2000-230497)	(73) 特許権者	308014341 富士通セミコンダクター株式会社 神奈川県横浜市港北区新横浜二丁目10番 23
(22) 出願日	平成12年7月31日(2000.7.31)	(74) 代理人	100068755 弁理士 恩田 博宣
(65) 公開番号	特開2002-43870 (P2002-43870A)	(74) 代理人	100105957 弁理士 恩田 誠
(43) 公開日	平成14年2月8日(2002.2.8)	(72) 発明者	鈴木 久雄 愛知県春日井市高蔵寺町二丁目1844番 2 富士通ヴィエルエスアイ株式会社内
審査請求日	平成19年6月8日(2007.6.8)	審査官	麻生 哲朗

最終頁に続く

(54) 【発明の名称】 オペアンプ回路、電流出力回路及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

出力端子に接続された第1及び第2の出力トランジスタを含む出力段回路を備え、前記第1及び第2の出力トランジスタのゲート電圧を制御してプッシュプル動作するオペアンプ回路において、

第1のトランジスタと、そのトランジスタのゲート - ソース間に接続された第1の抵抗素子とを有し、該第1の抵抗素子に流れる第1の電流と前記第1のトランジスタの第1のドレイン電流とを一致させるように制御した定電流源回路と、

第1及び第2の入力信号をそれぞれ受ける第1及び第2の入力トランジスタを含む差動入力回路と、前記定電流源回路から前記第1の電流に応じた電流が供給され、該第1の電流に応じたバイアス電流を前記差動入力回路に供給する定電流源とを含む入力段回路とを備え、

前記第1のトランジスタと同極性の前記第2の出力トランジスタのソース - ゲート間に前記第1の抵抗素子の抵抗値と比例した抵抗値を有する第2の抵抗素子を接続し、

前記第1の電流の電流値との比が、前記第1及び第2の抵抗素子の抵抗比の逆数比となる第2の電流を前記第2の抵抗素子に流し、該第2の抵抗素子の抵抗値と前記第2の電流の電流値により前記第2の出力トランジスタのゲート電圧を設定し、

前記定電流源回路は、

前記第1の抵抗素子にソースが接続され、前記第1のトランジスタのドレインにゲートが接続された第3のトランジスタと、

10

20

前記第3及び第1のトランジスタのドレインにそれぞれドレインが接続された第4及び第5のトランジスタからなるカレントミラー回路とを備え、

前記カレントミラー回路は、前記第4のトランジスタのソース及び前記第5のトランジスタのソースが電源線に接続され、前記第4のトランジスタの前記ドレインが前記第4のトランジスタのゲート及び前記第5のトランジスタのゲートに接続されたカレントミラー回路であり、

前記出力段回路は、

前記第1の入力トランジスタのドレインがゲートに接続され、前記第2の出力トランジスタのゲートにドレインが接続される第6のトランジスタを含み、

前記第2の入力トランジスタのドレインが前記第1の出力トランジスタのゲートに接続されることを特徴とするオペアンプ回路。

10

【請求項2】

前記入力段回路は、

前記第1及び第2の入力トランジスタのドレインにドレインがそれぞれ接続された一对の第7及び第8のトランジスタからなるカレントミラー回路を含む前記差動入力回路と、

前記定電流源回路の第4のトランジスタにカレントミラー接続された第9のトランジスタと、

前記第9のトランジスタのドレインに接続され、該第9のトランジスタのドレイン電流と比例した電流値の前記バイアス電流を前記差動入力回路に供給する前記電流源とを備え、

20

前記第1の出力トランジスタのゲートは前記第8のトランジスタのドレインに接続され、

前記第6のトランジスタは、前記差動入力回路のカレントミラー回路を構成する入力側の第7のトランジスタとカレントミラー接続され、該入力側の第7のトランジスタの素子サイズとの比が、前記第1及び第2の抵抗素子の抵抗比の逆数比となる素子サイズを有し、ドレインが前記第2の抵抗素子に接続されたことを特徴とする請求項1記載のオペアンプ回路。

【請求項3】

前記第2の出力トランジスタを前記第1のトランジスタの素子サイズに比例した素子サイズとし、前記第2の出力トランジスタのアイドル電流を、前記第1の電流との比が前記第1のトランジスタと前記第2の出力トランジスタの素子サイズ比となるように設定したことを特徴とする請求項1又は2記載のオペアンプ回路。

30

【請求項4】

第1のトランジスタと、そのトランジスタのゲート-ソース間に接続された第1の抵抗素子とを有し、該第1の抵抗素子に流れる第1の電流と前記第1のトランジスタの第1のドレイン電流とを一致させるように制御した定電流源回路と、

前記第1の抵抗素子の抵抗値と比例した抵抗値を有する第2の抵抗素子と、該第2の抵抗素子の両端がゲートとソースに接続された第2のトランジスタを有し、前記第1の電流の電流値との比が、前記第1及び第2の抵抗素子の抵抗比の逆数比となる第2の電流を前記第2の抵抗素子に流し、該第2の抵抗素子の抵抗値と前記第2の電流の電流値により前記第2のトランジスタのゲート電圧を設定し、該第2のトランジスタの第2のドレイン電流を出力する出力段回路とを備え、

40

前記定電流源回路は、

前記第1の抵抗素子にソースが接続され、前記第1のトランジスタのドレインにゲートが接続された第3のトランジスタと、

前記第3及び第1のトランジスタのドレインにそれぞれドレインが接続された第4及び第5のトランジスタからなるカレントミラー回路とを備え、

前記カレントミラー回路は、前記第4のトランジスタのソース及び前記第5のトランジスタのソースが電源線に接続され、前記第4のトランジスタのドレインが前記第4のトランジスタのゲート及び前記第5のトランジスタのゲートに接続されたカレントミラー回路

50

であり、

前記出力段回路は、前記カレントミラー回路の入力側の第4のトランジスタとカレントミラー接続され、該第4のトランジスタの素子サイズとの比が、前記第1及び第2の抵抗素子の抵抗比の逆数比となる素子サイズを有し、ドレインが前記第2の抵抗素子に接続された第6のトランジスタを備えたことを特徴とする電流出力回路。

【請求項5】

前記第2のトランジスタを前記第1のトランジスタの素子サイズに比例した素子サイズとし、前記第1の電流との比が前記第1及び第2のトランジスタの素子サイズ比となる前記第2のドレイン電流を出力するようにしたことを特徴とする請求項4記載の電流出力回路。

10

【請求項6】

請求項1～3のうちの何れか一項記載のオペアンプ回路、及び請求項4又は5記載の電流出力回路の少なくとも一方を備えた半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はプッシュプル型オペアンプ回路に関するものである。

半導体集積回路装置には、基本動作回路としてオペアンプ回路が広く用いられている。近年、半導体集積回路装置の低電源電圧化により、オペアンプ回路の出力駆動能力の低下と、それに伴う動作速度の低下が問題となっている。そのため、より出力駆動能力が大きく、動作速度の速いオペアンプ回路が求められている。

20

【0002】

【従来の技術】

図4は、第一従来例のオペアンプ回路10の回路図である。

定電流源11は、カレントミラー回路12に定電流 I_a を供給する。カレントミラー回路12は、NチャネルMOSトランジスタ Q_1 、 Q_2 、 Q_3 から構成され、トランジスタ Q_1 のドレインに定電流 I_a が供給される。トランジスタ Q_1 のドレインはトランジスタ Q_1 ～ Q_3 のゲートに接続され、各トランジスタ Q_1 ～ Q_3 のソースは低電位電源 V_S に接続される。トランジスタ Q_2 のドレインはカレントミラー回路13に接続され、トランジスタ Q_3 のドレインは差動入力回路14に接続される。

30

【0003】

出力側のトランジスタ Q_2 は入力側のトランジスタ Q_1 と同一の素子サイズを有し、定電流源11の定電流 I_a と等しいドレイン電流をカレントミラー回路13に供給する。出力側のトランジスタ Q_3 はトランジスタ Q_1 の2倍の素子サイズを有し、定電流源11の定電流 I_a の2倍のドレイン電流を差動入力回路14に供給する。

【0004】

カレントミラー回路13はPチャネルMOSトランジスタ Q_4 、 Q_5 から構成され、トランジスタ Q_4 のドレインがトランジスタ Q_2 のドレインに接続される。トランジスタ Q_4 、 Q_5 のソースは高電位電源 V_D に接続され、両トランジスタ Q_4 、 Q_5 のゲートは互いに接続されるとともに、同トランジスタ Q_4 のドレインに接続される。

40

【0005】

出力側のトランジスタ Q_5 は入力側のトランジスタ Q_4 の2倍の素子サイズを有し、トランジスタ Q_5 に流れる電流の2倍のドレイン電流を流す。トランジスタ Q_4 には定電流源11の定電流 I_a と等しいドレイン電流が流れるため、トランジスタ Q_5 はドレインから定電流 I_a の2倍の定電流を流す。

【0006】

差動入力回路14は、一对のNチャネルMOSトランジスタ Q_6 、 Q_7 及び一对のPチャネルMOSトランジスタ Q_8 、 Q_9 から構成され、トランジスタ Q_6 、 Q_7 のソースがトランジスタ Q_3 のドレインに接続される。トランジスタ Q_6 のドレインはトランジスタ Q_8 のドレインとトランジスタ Q_8 、 Q_9 のゲートに接続され、トランジスタ Q_8 のソース

50

は高電位電源 V_D に接続される。トランジスタ Q_7 のドレインはトランジスタ Q_9 のドレインに接続され、トランジスタ Q_9 のソースは高電位電源 V_D に接続される。

【0007】

トランジスタ Q_6 、 Q_7 のゲートには入力信号 I_M 、 I_P がそれぞれ入力される。従って、差動入力回路 14 は、トランジスタ Q_3 から供給されるバイアス電流に基づいて動作し、入力信号 I_M 、 I_P の電位差に応じて流す電流によりトランジスタ Q_7 、 Q_9 間のノード N_1 の電位を設定する。

【0008】

ノード N_1 は、PチャネルMOSトランジスタ Q_{10} のゲート、及び最終出力段のPチャネルMOSトランジスタ Q_{11} のゲートに接続される。トランジスタ Q_{10} 、 Q_{11} のソースは高電位電源 V_D に接続され、トランジスタ Q_{11} のドレインは出力端子 T_o に接続される。トランジスタ Q_{11} はトランジスタ Q_{10} の10倍の素子サイズを有し、トランジスタ Q_{10} のドレイン電流の10倍のドレイン電流を流す。

10

【0009】

トランジスタ Q_{10} のドレインはカレントミラー回路 15 に接続される。カレントミラー回路 15 は、NチャネルMOSトランジスタ Q_{12} 、 Q_{13} から構成され、トランジスタ Q_{12} のドレインがトランジスタ Q_{10} のドレインに接続される。両トランジスタ Q_{12} 、 Q_{13} のソースは低電位電源 V_S に接続され、トランジスタ Q_{12} のドレインはトランジスタ Q_{12} 、 Q_{13} のゲートに接続される。

【0010】

トランジスタ Q_{13} はトランジスタ Q_{12} と同一の素子サイズを有し、トランジスタ Q_{12} のドレイン電流、即ちトランジスタ Q_{10} のドレイン電流と等しいドレイン電流を流す。

20

【0011】

トランジスタ Q_{13} のドレインはトランジスタ Q_5 のドレインに接続され、両トランジスタ Q_{13} 、 Q_5 間のノード N_2 はカレントミラー回路 16 に接続される。

【0012】

カレントミラー回路 16 はNチャネルMOSトランジスタ Q_{14} 、 Q_{15} から構成され、トランジスタ Q_{14} のドレインがノード N_2 に接続される。両トランジスタ Q_{14} 、 Q_{15} のソースは低電位電源 V_S に接続され、トランジスタ Q_{14} のドレインはトランジスタ Q_{14} 、 Q_{15} のゲートに接続される。

30

【0013】

トランジスタ Q_{15} は最終出力段のトランジスタであり、そのドレインは出力端子 T_o に接続される。トランジスタ Q_{14} はトランジスタ Q_{12} 、 Q_{13} と、更にはトランジスタ Q_1 、 Q_2 と同一の素子サイズを有する。トランジスタ Q_{15} はトランジスタ Q_{14} の10倍の素子サイズを有し、トランジスタ Q_{14} に流れる電流の10倍のドレイン電流を流す。

【0014】

このように構成されたオペアンプ回路 10 は、出力段を構成するPMOSトランジスタ Q_{11} 及びNMOSトランジスタ Q_{15} のゲート電圧を、トランジスタ Q_{11} 、 Q_{15} のオン/オフが常に逆動作となるように制御することで、プッシュプル動作を実現している。

40

【0015】

即ち、入力信号 I_P の電圧が入力信号 I_M の電圧より高い時には、トランジスタ Q_3 のサチレーション電圧(ソース・ドレイン間電圧)を $V(Q_3)$ 、トランジスタ Q_7 のサチレーション電圧を $V(Q_7)$ とすれば、ノード N_1 すなわちトランジスタ Q_{11} のゲート電圧 $V_g(Q_{11})$ は、

$$V_g(Q_{11}) = V_S + V(Q_3) + V(Q_7)$$

となる。

【0016】

この時、トランジスタ Q_{15} のゲート電圧は、出力段トランジスタ Q_{11} と同相で動作す

50

るトランジスタQ10によりトランジスタQ5の定電流が全てトランジスタQ14に流れ、その定電流の10倍の電流をトランジスタQ15のドレインから引き込む電圧となる。

【0017】

一方、入力信号IPの電圧が入力信号IMの電圧より低い時には、トランジスタQ9のサチレーション電圧をV(Q9)とすれば、トランジスタQ11のゲート電圧Vg(Q11)は、

$$Vg(Q11) = VD - V(Q9)$$

まで上昇する。

【0018】

この時、トランジスタQ15のゲート電圧は、同様に、出力段トランジスタQ11と同相で動作するトランジスタQ10によりトランジスタQ5の定電流が全てトランジスタQ13に流れ、低電位電源VSの電位となる。

10

【0019】

このように、オペアンプ回路10は、出力段を構成するトランジスタQ11, Q15のゲート電圧を逆相に電源電圧範囲のほぼ全域を上下させ、それに応じた出力駆動能力を得ている。

【0020】

ところで、オペアンプ回路10においては、±入力端子に入力される入力信号IP, IMの電圧が同一電圧であった時に出力上段トランジスタQ11と出力下段トランジスタQ15のドレイン電流は同一でなくてはならない。

20

【0021】

第一従来例のオペアンプ回路10では、IP = IMの時、トランジスタQ8, Q9に流れる電流は等しい。これにより、出力上段トランジスタQ11のドレイン電流は、そのトランジスタサイズと差動入力回路14のトランジスタQ8, Q9のトランジスタサイズとのサイズ比で設定される。

【0022】

出力下段トランジスタQ15のドレイン電流は、上段のトランジスタQ11と同様に、トランジスタQ8, Q9との素子サイズ比により決まるトランジスタQ10のドレイン電流と、カレントミラー回路15、16のトランジスタサイズ比により設定される。

【0023】

このように、上段トランジスタQ11は、そのゲート電圧がほぼ電源電圧間を上下することができ、トランジスタの持つ電流駆動能力を最大限に発揮することができる。下段トランジスタQ15は、入力信号IP, IMの電圧が同一であったときのトランジスタQ13側の電流を大きくし、トランジスタQ14側の電流を小さくすることで、Q7の持つ電流駆動能力を最大限に発揮させることができる。

30

【0024】

しかし、出力回路上段では、トランジスタQ8, Q9から見て電圧電流変換を最終段のトランジスタQ11のみで行っているのに対し、出力回路下段では、トランジスタQ10, Q13及び最終段のトランジスタQ15の合計3段が必要となる。これらにより、第一従来例のオペアンプ回路10の構成では、出力駆動能力は大きくすることができるが、動作速度が低下してしまっている。

40

【0025】

図5は、高速動作を目的とした第二従来例のオペアンプ回路20の回路図である。

このオペアンプ回路20は、ノードN1の電圧変化と逆相の電圧変化を有するトランジスタQ8のドレイン電圧にて最終出力段のトランジスタQ15を駆動するようにしたものである。

【0026】

即ち、トランジスタQ8, Q6間のノードN3はPチャネルMOSトランジスタQ10のゲートに接続され、そのトランジスタQ10のドレイン電流を受けるNチャネルMOSトランジスタQ12のゲートに最終出力段のトランジスタQ15のゲートが接続される。従

50

って、このオペアンプ回路 20 では、図 4 においてノード N2 に接続される N チャンネル MOS トランジスタ Q13, Q14 及びそのノード N2 に電流を供給するためのトランジスタ Q2, Q4, Q5 が省略されている。

【0027】

このように構成されたオペアンプ回路 20 は、差動入力回路 14 のトランジスタ Q8, Q9 から見て電圧電流変換をトランジスタ Q12, Q15 にて行っている。これにより、第一従来例と比較して高速な動作が可能となる。

【0028】

【発明が解決しようとする課題】

しかしながら、第二従来例のオペアンプ回路 20 では、トランジスタ Q10 は差動入力回路 14 のトランジスタ Q8 のドレイン及びゲートに接続され、カレントミラー回路を構成する。このため、入力信号 IP, IM の電圧が非同一電圧であるとき、出力下段トランジスタ Q15 には両信号 IP, IM が同一電圧であったときの 2 倍の電流までしか流すことができない。これにより、このオペアンプ回路 20 では、高速に動作するものの、出力駆動能力の低下を招いてしまっている。

【0029】

本発明は上記問題点を解決するためになされたものであって、その目的は高速に動作し、出力駆動能力の低下を抑えることのできるオペアンプ回路、電流出力回路及び半導体装置を提供することにある。

【0030】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 に記載の発明は、第 1 のトランジスタと、そのトランジスタのゲート - ソース間に接続された第 1 の抵抗素子とを有し、該第 1 の抵抗素子に流れる第 1 の電流と第 1 のトランジスタの第 1 のドレイン電流とを一致させるように制御した定電流源回路と、第 1 及び第 2 の入力信号をそれぞれ受ける第 1 及び第 2 の入力トランジスタを含む差動入力回路と、前記第 1 の電流が供給され、該第 1 の電流に応じたバイアス電流を前記差動入力回路に供給する定電流源とを含む入力段回路とを備え、第 1 のトランジスタと同極性の第 2 の出力トランジスタのソース - ゲート間に第 1 の抵抗素子の抵抗値と比例した抵抗値を有する第 2 の抵抗素子を接続し、第 1 の電流の電流値との比が、第 1 及び第 2 の抵抗素子の抵抗比の逆数比となる第 2 の電流を第 2 の抵抗素子に流し、該第 2 の抵抗素子の抵抗値と第 2 の電流の電流値により第 2 の出力トランジスタのゲート電圧を設定した。これにより、出力駆動能力の低下が抑制される。

【0031】

また、定電流源回路は、第 1 の抵抗素子にソースが接続され、第 1 のトランジスタのドレインにゲートが接続された第 3 のトランジスタと、第 3 及び第 1 のトランジスタのドレインにそれぞれドレインが接続された第 4 及び第 5 トランジスタからなるカレントミラー回路とを備えた。このカレントミラー回路は、前記第 4 のトランジスタのソース及び前記第 5 のトランジスタのソースが電源線に接続され、前記第 4 のトランジスタの前記ドレインが前記第 4 のトランジスタのゲート及び前記第 5 のトランジスタのゲートに接続されたカレントミラー回路である。

さらに、出力段回路は、前記第 1 の入力トランジスタのドレインがゲートに接続され、前記第 2 の出力トランジスタのゲートがドレインに接続される第 6 のトランジスタを含み、前記第 2 の入力トランジスタのドレインが前記第 1 の出力トランジスタのゲートに接続される。

【0033】

請求項 2 に記載の発明によれば、前記入力段回路は、前記第 1 及び第 2 の入力トランジスタのドレインにドレインがそれぞれ接続された一対の第 7 及び第 8 のトランジスタからなるカレントミラー回路を含む前記差動入力回路と、前記定電流源回路の第 4 のトランジスタにカレントミラー接続された第 9 のトランジスタと、前記第 9 のトランジスタのドレインに接続され、該トランジスタのドレイン電流と比例した電流値の前記バイアス電流を

10

20

30

40

50

前記差動入力回路に供給する前記電流源とを備え、前記第 1 の出力トランジスタのゲートは前記第 8 のトランジスタのドレインに接続され、前記第 6 のトランジスタは、前記差動入力回路のカレントミラー回路を構成する入力側の第 7 のトランジスタとカレントミラー接続され、該入力側のトランジスタの素子サイズとの比が、前記第 1 及び第 2 の抵抗素子の抵抗比の逆数比となる素子サイズを有し、ドレインが前記第 2 の抵抗素子に接続された。このように、出力段上段は第 1 の出力トランジスタにより電圧電流変換し、出力段下段は第 6 のトランジスタ及び第 2 の出力トランジスタにより電圧電流変換するため、動作速度が向上する。

請求項 3 に記載の発明のように、第 2 の出力トランジスタを第 1 のトランジスタの素子サイズに比例した素子サイズとし、第 2 の出力トランジスタのアイドル電流を、第 1 の電流との比が第 1 のトランジスタと第 2 の出力トランジスタの素子サイズ比となるように設定した。

【 0 0 3 4 】

請求項 4 に記載の発明は、第 1 のトランジスタと、そのトランジスタのゲート - ソース間に接続された第 1 の抵抗素子とを有し、該第 1 の抵抗素子に流れる第 1 の電流と第 1 のトランジスタの第 1 のドレイン電流とを一致させるように制御した定電流源回路と、第 1 の抵抗素子の抵抗値と比例した抵抗値を有する第 2 の抵抗素子と、該第 2 の抵抗素子の両端がゲートとソースに接続された第 2 のトランジスタを有し、第 1 の電流の電流値との比が、第 1 及び第 2 の抵抗素子の抵抗比の逆数比となる第 2 の電流を第 2 の抵抗素子に流し、該第 2 の抵抗素子の抵抗値と第 2 の電流の電流値により第 2 のトランジスタのゲート電圧を設定し、該第 2 のトランジスタの第 2 のドレイン電流を出力する出力段回路とを備えた。

【 0 0 3 5 】

また、定電流源回路は、第 1 の抵抗素子にソースが接続され、第 1 のトランジスタのドレインにゲートが接続された第 3 のトランジスタと、第 3 及び第 1 のトランジスタのドレインにそれぞれドレインが接続された第 4 及び第 5 トランジスタからなるカレントミラー回路とを備えた。このカレントミラー回路は、前記第 4 のトランジスタのソース及び前記第 5 のトランジスタのソースが電源線に接続され、前記第 4 のトランジスタのドレインが前記第 4 のトランジスタのゲート及び前記第 5 のトランジスタのゲートに接続されたカレントミラー回路である。

さらに、前記出力段回路は、前記カレントミラー回路の入力側の第 4 のトランジスタとカレントミラー接続され、該第 4 のトランジスタの素子サイズとの比が、前記第 1 及び第 2 の抵抗素子の抵抗比の逆数比となる素子サイズを有し、ドレインが前記第 2 の抵抗素子に接続された第 6 のトランジスタを備えた。

【 0 0 3 7 】

請求項 5 に記載の発明のように、第 2 のトランジスタを第 1 のトランジスタの素子サイズに比例した素子サイズとし、第 1 の電流との比が第 1 及び第 2 のトランジスタの素子サイズ比となる第 2 のドレイン電流を出力するようにした。

【 0 0 3 8 】

【発明の実施の形態】

以下、本発明を具体化した一実施の形態を図 1 ~ 図 3 に従って説明する。

図 1 は、本実施形態のプッシュプル型オペアンプ回路 30 の回路図である。

【 0 0 3 9 】

オペアンプ回路 30 は、定電流源回路 31、入力段回路 32 及び出力段回路 33 を含む。定電流源回路 31 は、カレントミラー回路 41、N チャネル MOS トランジスタ Q21、Q22、抵抗素子 R1 から構成される。

【 0 0 4 0 】

カレントミラー回路 41 は P チャネル MOS トランジスタ Q23、Q24 から構成され、両トランジスタ Q23、Q24 のソースは高電位電源 VD に接続され、トランジスタ Q23 のドレインはトランジスタ Q23、Q24 のゲートに接続される。トランジスタ Q23

10

20

30

40

50

、Q 2 4 のドレインはそれぞれトランジスタ Q 2 1 , Q 2 2 のドレインに接続される。

【 0 0 4 1 】

トランジスタ Q 2 1 は、ゲートがトランジスタ Q 2 2 のドレインに接続され、ソースがトランジスタ Q 2 2 のゲートに接続される。また、トランジスタ Q 2 1 のソースは抵抗素子 R 1 を介して低電位電源 V S に接続され、トランジスタ Q 2 2 のソースは低電位電源 V S に接続される。

【 0 0 4 2 】

トランジスタ Q 2 1 はゲートがトランジスタ Q 2 2 のドレインに接続され、ソースが抵抗素子 R 1 を介して低電位電源 V S に接続される。トランジスタ Q 2 1 と抵抗素子 R 1 の間のノード N 1 1 はトランジスタ Q 2 2 のゲートに接続され、トランジスタ Q 2 2 のソースは低電位電源 V S に接続される。

10

【 0 0 4 3 】

入力段回路 3 2 は、P M O S トランジスタ Q 2 5、定電流源 4 2、差動入力回路 4 3 から構成される。

P M O S トランジスタ Q 2 5 は、ソースが高電位電源 V D に接続され、ゲートがカレントミラー回路 4 1 のトランジスタ Q 2 3 のゲートに接続され、ドレインが定電流源 4 2 に接続される。トランジスタ Q 2 5 はカレントミラー回路 4 1 を構成するトランジスタ Q 2 3 , Q 2 4 と同一の素子サイズを有し、トランジスタ Q 2 3 , Q 2 4 のドレイン電流、即ちトランジスタ Q 2 1 のドレイン電流 I 2 1 と等しいドレイン電流を定電流源 4 2 に供給する。

20

【 0 0 4 4 】

定電流源 4 2 は N M O S トランジスタ Q 2 6 , Q 2 7 から構成され、トランジスタ Q 2 6 のドレインがトランジスタ Q 2 5 のドレインに接続される。トランジスタ Q 2 6 , Q 2 7 はソースが低電位電源 V S に接続され、トランジスタ Q 2 6 のドレインが両トランジスタ Q 2 6 , Q 2 7 のゲートに接続され、トランジスタ Q 2 7 のドレインが差動入力回路 4 3 に接続される。

【 0 0 4 5 】

トランジスタ Q 2 7 は入力側トランジスタ Q 2 6 の 2 倍の素子サイズを有する。従って、定電流源 4 2 は、トランジスタ Q 2 5 のドレイン電流、即ち定電流源回路 3 1 のトランジスタ Q 2 1 のドレイン電流 I 2 1 の 2 倍のバイアス電流 I 2 7 を差動入力回路 4 3 に供給する。

30

【 0 0 4 6 】

差動入力回路 4 3 は、一対の N チャネル M O S トランジスタ Q 2 8 , Q 2 9 及び一対の P チャネル M O S トランジスタ Q 3 0 , Q 3 1 から構成され、トランジスタ Q 2 8 , Q 2 9 のソースがトランジスタ Q 2 7 のドレインに接続される。トランジスタ Q 2 8 のドレインはトランジスタ Q 3 0 のドレインとトランジスタ Q 3 0 , Q 3 1 のゲートに接続され、トランジスタ Q 3 0 のソースは高電位電源 V D に接続される。トランジスタ Q 2 9 のドレインはトランジスタ Q 3 1 のドレインに接続され、トランジスタ Q 3 1 のソースは高電位電源 V D に接続される。

【 0 0 4 7 】

トランジスタ Q 3 0 , Q 3 1 は同一の素子サイズを有する。従って、入力信号 I M , I P が同一電圧の時、トランジスタ Q 3 0 , Q 3 1 は同一値のドレイン電流 I 3 0 , I 3 1 を流し、それらドレイン電流 I 3 0 , I 3 1 はバイアス電流 I 2 7 の 1 / 2 となる。

40

【 0 0 4 8 】

トランジスタ Q 2 8 , Q 2 9 のゲートには入力信号 I M , I P が入力される。従って、差動入力回路 4 3 は、トランジスタ Q 2 7 から供給されるバイアス電流に基づいて動作し、入力信号 I M , I P の電位差に応じて流す電流により、トランジスタ Q 2 8 , Q 3 0 間のノード N 1 2 の電位と、トランジスタ Q 2 9 , Q 3 1 間のノード N 1 3 の電位とを、相補的に変更する。

【 0 0 4 9 】

50

差動入力回路 4 3 のノード N 1 2 , N 1 3 は、出力段回路 3 3 に接続される。

出力段回路 3 3 は、PMOS トランジスタ Q 3 2 , Q 3 3、NMOS トランジスタ Q 3 4、抵抗素子 R 2 から構成され、トランジスタ Q 3 2 , Q 3 3 のゲートが各ノード N 1 2 , N 1 3 にそれぞれ接続される。そして、ノード N 1 2 は、トランジスタ Q 3 0 のドレイン及びゲートに接続される。従って、トランジスタ Q 3 2 は、トランジスタ Q 3 0 とカレントミラー接続されている。

【 0 0 5 0 】

トランジスタ Q 3 2 はソースが高電位電源 V D に接続され、ドレインが抵抗素子 R 2 に接続される。トランジスタ Q 3 2 は、トランジスタ Q 3 0 の素子サイズ、即ちトランジスタ Q 2 3 の素子サイズの n 倍 (n は整数であり、本実施形態では n = 2) の素子サイズを有し、トランジスタ Q 3 0 のドレイン電流 I 3 0 の 2 倍のドレイン電流 I 3 2 を抵抗素子 R 2 に流す。

10

【 0 0 5 1 】

トランジスタ Q 3 3 は最終出力段の上段トランジスタであり、ソースが高電位電源 V D に接続され、ドレインが出力端子 T o に接続される。トランジスタ Q 3 3 は差動入力回路 4 3 のトランジスタ Q 3 0 , Q 3 1 の 1 0 倍の素子サイズを有し、その素子サイズとトランジスタ Q 3 0 , Q 3 1 の素子サイズとのサイズ比により設定されるドレイン電流 I 3 3 を出力端子 T o から出力する。

【 0 0 5 2 】

抵抗素子 R 2 は、抵抗素子 R 1 の抵抗値と同じ抵抗値を有する n 本 (本実施形態では 2 本) の抵抗を並列に接続した抵抗値を有する。即ち、抵抗素子 R 2 は、抵抗素子 R 1 と同一の抵抗値を有し、並列接続された抵抗素子 R 2 a , R 2 b から構成される。

20

【 0 0 5 3 】

抵抗素子 R 2 とトランジスタ Q 3 2 の間のノード N 1 4 は、トランジスタ Q 3 4 のゲートに接続される。トランジスタ Q 3 4 は最終出力段の下段トランジスタであり、ソースが低電位電源 V S に接続され、ドレインが出力端子 T o に接続される。

【 0 0 5 4 】

トランジスタ Q 3 4 は、トランジスタ Q 3 2 のドレイン電流 I 3 2 と抵抗素子 R 2 の抵抗値により決まるノード N 1 4 の電位を持つゲート電圧 V 3 4 に応じたドレイン電流 I 3 4 を出力端子 T o から引き込む。

30

【 0 0 5 5 】

このように構成されたオペアンプ回路 3 0 は、入力信号 I P , I M が同一値である時に出力段のトランジスタ Q 3 4 のアイドル電流を、そのソース - ゲート間に接続した抵抗素子 R 2 によりトランジスタ Q 3 4 のゲート電圧を設定し、トランジスタ Q 3 4 はその設定されたゲート電圧に応じた電流をアイドル電流として流す。そして、オペアンプ回路 3 0 は、最終出力段のトランジスタ Q 3 3 のドレイン電流 I 3 3 を出力端子 T o から吐出させ、又はトランジスタ Q 3 4 のドレイン電流 I 3 4 を出力端子 T o から吸引することで、プッシュプル動作する。

【 0 0 5 6 】

次に、上記のように構成されたオペアンプ回路 3 0 の作用を説明する。

40

先ず、出力段トランジスタ Q 3 4 のアイドル電流の設定を説明する。

図 3 は、図 1 の出力段トランジスタ Q 3 4 のアイドル電流の設定を説明するための原理図であり、電流出力回路 5 0 の回路図である。尚、説明の便宜上、図 1 と同様の構成については同一の符号を付してその説明を一部省略する。

【 0 0 5 7 】

電流出力回路 5 0 は、定電流源回路 3 1 と出力段回路 5 1 から構成される。出力段回路 5 1 は、PMOS トランジスタ Q 3 5、NMOS トランジスタ Q 3 6、抵抗素子 R 3 から構成される。トランジスタ Q 3 5 は定電流源回路 3 1 のトランジスタ Q 2 3 とカレントミラー回路を構成するように接続され、そのトランジスタ Q 2 3 の A 倍の素子サイズを有する。

50

【 0 0 5 8 】

トランジスタQ 3 5のソースは高電位電源V Dに接続され、ドレインは抵抗素子R 3を介して低電位電源V Sに接続される。抵抗素子R 3は抵抗素子R 1をA個並列接続させた抵抗値を有する。トランジスタQ 3 5と抵抗素子R 3との接続ノードには、トランジスタQ 3 6のゲートが接続される。

【 0 0 5 9 】

トランジスタQ 3 6はソースが低電位電源V Sに接続され、ドレインが出力端子T oに接続される。トランジスタQ 3 6は、定電流源回路3 1のトランジスタQ 2 2のB倍の素子サイズを有する。

【 0 0 6 0 】

このように構成された定電流源回路3 1において、トランジスタQ 2 1は抵抗素子R 1へ電流を供給することにより、トランジスタQ 2 2のゲート電圧(ノードN 1 1の電位)を設定する。トランジスタQ 2 2はそのドレイン電流により、ドレイン電圧を決定し、トランジスタQ 2 1のゲート電圧を設定する。カレントミラー回路4 1はトランジスタQ 2 1のドレイン電流を受け、トランジスタQ 2 2へのドレイン電流を制御する。

【 0 0 6 1 】

これらにより、トランジスタQ 2 1はトランジスタQ 2 2のドレイン電流がトランジスタQ 2 1のドレイン電流と同一電流になるよう、トランジスタQ 2 2のゲート電圧を制御している。

【 0 0 6 2 】

この時のトランジスタQ 2 1のドレイン電流I 2 1とトランジスタQ 2 2のゲート電圧V 2 2は、トランジスタQ 2 2の素子サイズと抵抗素子R 1の抵抗値によって決定され、その値は固有である。

【 0 0 6 3 】

トランジスタQ 3 5は、トランジスタQ 2 2のドレイン電流I 2 2のA倍のドレイン電流I 3 5を抵抗素子R 3に流す。この抵抗素子R 3は抵抗素子R 1と同一な抵抗値を持つ抵抗素子をA個並列接続させた抵抗値を有する。従って、トランジスタQ 3 5と抵抗素子R 2との接続ノードの電位は、ノードN 1 1の電位と等しくなる。即ち、トランジスタQ 3 6のゲート電圧V 3 6は、トランジスタQ 2 2のゲート電圧V 2 2と常に等しく設定される。

【 0 0 6 4 】

このトランジスタQ 3 6は、トランジスタQ 2 2のB倍の素子サイズを有する。従って、トランジスタQ 3 6は、トランジスタQ 2 2のドレイン電流I 2 2のB倍のドレイン電流I 3 6を出力する。

【 0 0 6 5 】

このように動作する電流出力回路5 0において、トランジスタQ 3 5の素子サイズをトランジスタQ 2 3の2倍(A = 2)に設定したものが図1のトランジスタQ 3 2である。抵抗素子R 3の抵抗値を抵抗素子R 1と同一な抵抗値を持つ抵抗素子を2個並列接続されたものが図1の抵抗素子R 2である。更に、トランジスタQ 3 6の素子サイズをトランジスタQ 2 2の2倍(B = 2)に設定したものが図1のトランジスタQ 3 4である。

【 0 0 6 6 】

従って、トランジスタQ 2 2のドレイン電流I 2 2と同一値の電流I 2 1が、トランジスタQ 2 5, Q 2 6, Q 2 7を介してバイアス電流I 2 7として差動入力回路4 3に供給される。このバイアス電流I 2 7は、トランジスタQ 2 7のサイズ設定により、

$$I 2 7 = I 2 1 \times 2 = I 2 2 \times 2$$

となる。

【 0 0 6 7 】

入力信号I P, I Mが同一電圧であった場合、バイアス電流I 2 7はトランジスタQ 2 8とトランジスタQ 2 9に均一に流れる。これにより、ミラーを構成するトランジスタQ 3 0, Q 3 1のドレイン電流I 3 0, I 3 1も同一電流となる。そして、バイアス電流I 2

10

20

30

40

50

7はドレイン電流 I_{22} の2倍の電流量であることから、各トランジスタ Q_{30} 、 Q_{31} のドレイン電流 I_{30} 、 I_{31} は、

$$I_{30} = I_{31} = I_{22}$$

となる。

【0068】

トランジスタ Q_{30} とミラーを構成するトランジスタ Q_{32} のドレイン電流 I_{32} は、そのトランジスタ Q_{32} の素子サイズがトランジスタ Q_{30} の素子サイズの2倍であるため、素子サイズ比によって、

$$I_{32} = I_{30} \times 2 = I_{22} \times 2$$

となる。

10

【0069】

抵抗素子 R_2 は抵抗素子 R_1 と同一の抵抗値を持つ抵抗素子を2個並列接続させた抵抗値を有し、トランジスタ Q_{32} のドレイン電流 I_{32} を受け、トランジスタ Q_{34} のゲート電圧 V_{34} を成す。従って、そのゲート電圧 V_{34} は、

$$V_{34} = I_{32} \times R_2$$

$$= (I_{22} \times 2) \times (R_1 \div 2)$$

$$= I_{22} \times R_1$$

$$= V_{22}$$

となる。

【0070】

20

このように、トランジスタ Q_{34} のゲート電圧 V_{34} は、定電流源回路31のトランジスタ Q_{22} のゲート電圧 V_{22} と同一電圧となる。

そして、トランジスタ Q_{34} のドレイン電流 I_{34} （アイドリング電流）は、トランジスタ Q_{34} とトランジスタ Q_{22} の素子サイズ比によって決定され、

$$I_{34} = I_{22} \times 10$$

となる。

【0071】

出力上段のトランジスタ Q_{33} は、ドレイン電流 I_{30} とドレイン電流 I_{31} が等しい時、トランジスタ Q_{31} のドレイン電圧（ノード N_{13} の電圧）がトランジスタ Q_{30} のドレイン電圧（ノード N_{12} の電圧）と同一電圧になることから、ドレイン電流 I_{30} に対する素子サイズ比のドレイン電流 I_{33} を出力する。そして、ドレイン電流 I_{30} は、入力信号 I_P 、 I_M が等しい電圧の時、ドレイン電流 I_{22} と等しい。従って、ドレイン電流 I_{33} は、

$$I_{33} = I_{22} \times 10$$

となる。

30

【0072】

このように、入力信号 I_P 、 I_M が同一電圧であった場合、出力段上段及び下段のトランジスタ Q_{33} 、 Q_{34} はそれぞれ同一なドレイン電流 I_{33} 、 I_{34} を出力する。

【0073】

そして、出力下段トランジスタ Q_{34} は、トランジスタ Q_{30} から見て電圧電流変換をトランジスタ Q_{32} 、 Q_{34} の2段で完了しており、図5の第二従来例と同様に、高速に動作する。

40

【0074】

入力信号 I_P の電圧が入力信号 I_M の電圧より高い時には、トランジスタ Q_{27} のサチレーション電圧（ソース・ドレイン間電圧）を $V(Q_{27})$ 、トランジスタ Q_{29} のサチレーション電圧を $V(Q_{29})$ とすれば、ノード N_{13} すなわちトランジスタ Q_{33} のゲート電圧 V_{33} は、

$$V_{33} = V_S + V(Q_{27}) + V(Q_{29})$$

となる。

【0075】

50

一方、入力信号 I P の電圧が入力信号 I M の電圧より低い時には、トランジスタ Q 3 1 のサチレーション電圧を $V(Q 3 1)$ とすれば、トランジスタ Q 3 3 のゲート電圧 $V 3 3$ は、

$$V 3 3 = V D - V(Q 3 1)$$

まで上昇する。

【 0 0 7 6 】

このように、出力上段のトランジスタ Q 3 3 は、図 4 , 図 5 の従来例と同様に、電源電圧範囲のほぼ全域に上下するゲート電圧 $V 3 3$ によりドレイン電流 $I 3 3$ を出力する。

【 0 0 7 7 】

入力信号 I P の電圧が入力信号 I M の電圧より低い時、トランジスタ Q 3 0 のドレイン電流 $I 3 0$ は最大バイアス電流 $I 2 7$ と等しくなり、

$$I 3 0 = I 2 7 = I 2 2 \times 2$$

となる。

【 0 0 7 8 】

これは、入力信号 I P , I M が同一電圧であった場合の 2 倍である。従って、トランジスタ Q 3 0 とカレントミラー回路を成すトランジスタ Q 3 2 のドレイン電流も最大で入力信号 I P , I M が同一電圧であった場合の 2 倍になる。これにより、トランジスタ Q 3 4 のゲート電圧 $V 3 4$ (詳しくはソース - ゲート間電圧) は、入力信号 I P , I M が同一電圧であった場合の 2 倍の電圧となる。

【 0 0 7 9 】

そして、図 2 に示すように、MOS トランジスタのゲートソース間電圧 (V_{GS}) - ドレイン電流 (I_D) 特性は 2 次曲線を描く。このため、トランジスタ Q 3 2 のドレイン電流 $I 3 2$ と抵抗素子 R 2 によるトランジスタ Q 3 4 のゲート電圧 $V 3 4$ に対し、トランジスタ Q 3 4 のドレイン電流 $I 3 4$ は 2 次特性で反応する。尚、図 2 のソース - ゲート間電圧 V_{GS} は、ソース - ドレイン間電圧 V_{DS} を 100 パーセントとした表示であり、ドレイン電流 I_D は、ソース - ゲート間電圧 V_{GS} とソース - ドレイン間電圧 V_{DS} が等しい時のドレイン電流を 100 パーセントとしたときの表示である。

【 0 0 8 0 】

例えば、入力信号 I P , I M が同一電圧である時のトランジスタ Q 3 4 のゲート電圧 $V 3 4$ (V_{GS}) を 50 パーセントに設定すると、アイドル電流は最大ドレイン電流の約 17 パーセントの電流値となる。これに対し、ゲート電圧 $V 3 4$ が 2 倍 (100 パーセント) になると、トランジスタ Q 3 4 のドレイン電流 $I 3 4$ は 100 パーセント、即ち約 6 倍になる。

【 0 0 8 1 】

このように、本実施形態では、図 5 の第二従来例に比べて多くのドレイン電流 $I 3 4$ を出力下段のトランジスタ Q 3 4 に流すことができる。これにより、出力駆動能力の低下を抑えている。

【 0 0 8 2 】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 定電流源回路 3 1 は、ゲート - ソース間に抵抗素子 R 1 が接続されたトランジスタ Q 2 2 を備え、トランジスタ Q 2 1 , Q 2 3 , Q 2 4 により、抵抗素子 R 1 に流れる電流 $I 2 1$ とトランジスタ Q 2 2 のドレイン電流 $I 2 2$ を一致させる。出力段のトランジスタ Q 3 4 はトランジスタ Q 2 2 の 10 倍の素子サイズを有し、ソース - ゲート間に抵抗素子 R 1 と同じ抵抗値を有する抵抗素子 R 2 a , R 2 b を並列接続した抵抗素子 R 2 が接続され、その抵抗素子 R 2 にドレイン電流 $I 2 2$ の 2 倍の電流 $I 3 2$ が供給され、それにより出力段のトランジスタ Q 3 4 のゲート電圧 $V 3 4$ が設定される。これにより、トランジスタ Q 3 4 のドレイン電流 $I 3 4$ は、ゲート電圧 $V 3 4$ に対して 2 次特性で反応するため、出力駆動能力の低下を抑えることができる。

【 0 0 8 3 】

(2) 出力段回路 3 3 は、抵抗素子 R 2 にドレイン電流 $I 3 2$ を流すトランジスタ Q 3 2

10

20

30

40

50

を備え、そのトランジスタQ32のゲートは差動入力回路43のカレントミラー回路を構成するトランジスタQ30のドレインに接続される。従って、トランジスタQ30から見てトランジスタQ32と出力段のトランジスタQ34の2段にて電圧電流変換を行っているため、高速に動作することができる。

【0084】

尚、前記実施形態は、以下の態様に変更してもよい。

・上記実施形態において、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを入れ替えて実施してもよい。その際、高電位電源VDと低電位電源VSとを入れ替えて供給することはいうまでもない。

【0085】

【発明の効果】

以上詳述したように、本発明によれば、出力駆動能力の低下を抑制し、高速動作が可能なオペアンプ回路、それに用いられる電流出力回路及び半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 一実施形態のオペアンプ回路の回路図である。

【図2】 MOSトランジスタの $V_{GS} - I_D$ 特性図である。

【図3】 電流出力回路の回路図である。

【図4】 第一従来例の回路図である。

【図5】 第二従来例の回路図である。

【符号の説明】

31 定電流源回路

32 差動入力回路

33, 51 出力段回路

I21 第1の電流

I22 ドレイン電流

I36 第2の電流(ドレイン電流)

Q22 第1のトランジスタ

Q33, Q34 第1及び第2の出力トランジスタ

Q36 第2のトランジスタ

R1 第1の抵抗素子

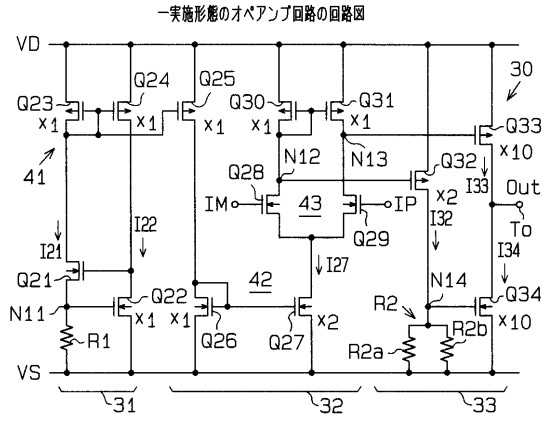
R2, R3 第2の抵抗素子

10

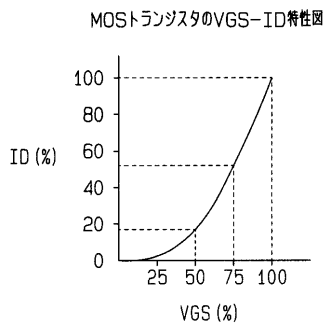
20

30

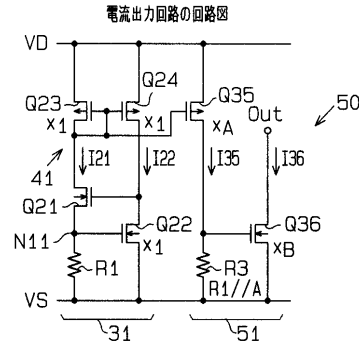
【図1】



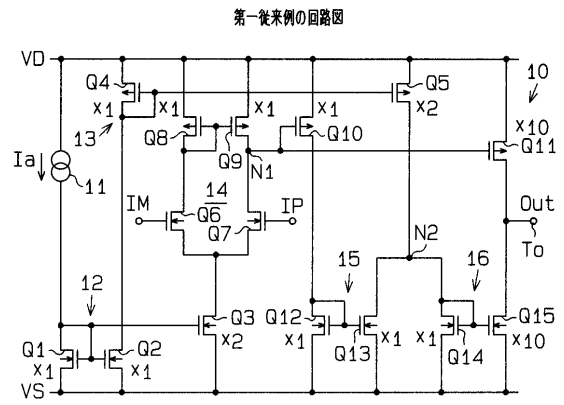
【図2】



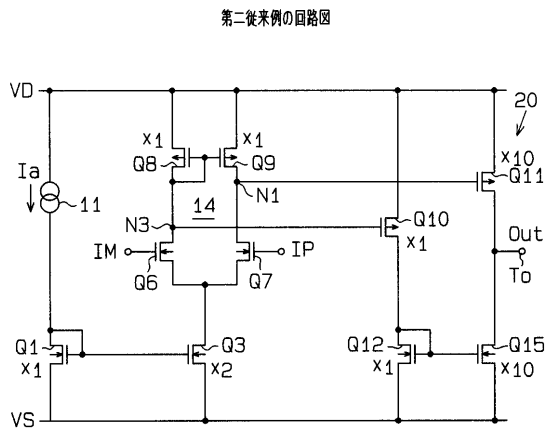
【図3】



【図4】



【図5】



フロントページの続き

- (56)参考文献 特開平09 - 307369 (JP, A)
特開平06 - 132739 (JP, A)
特開平09 - 219636 (JP, A)
特開平07 - 073670 (JP, A)
特開平09 - 186534 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/30
H03F 3/45
H03K 17/04
H03K 17/687