



(12) 发明专利申请

(10) 申请公布号 CN 117716342 A

(43) 申请公布日 2024. 03. 15

(21) 申请号 202280052919.8

(22) 申请日 2022.08.01

(30) 优先权数据

17/391,830 2021.08.02 US

(85) PCT国际申请进入国家阶段日

2024.01.29

(86) PCT国际申请的申请数据

PCT/US2022/039008 2022.08.01

(87) PCT国际申请的公布数据

WO2023/014632 EN 2023.02.09

(71) 申请人 美光科技公司

地址 美国爱达荷州

(72) 发明人 A·D·韦切斯 R·J·鲁尼

D·M·贝尔

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

专利代理师 王龙

(51) Int.Cl.

G06F 11/10 (2006.01)

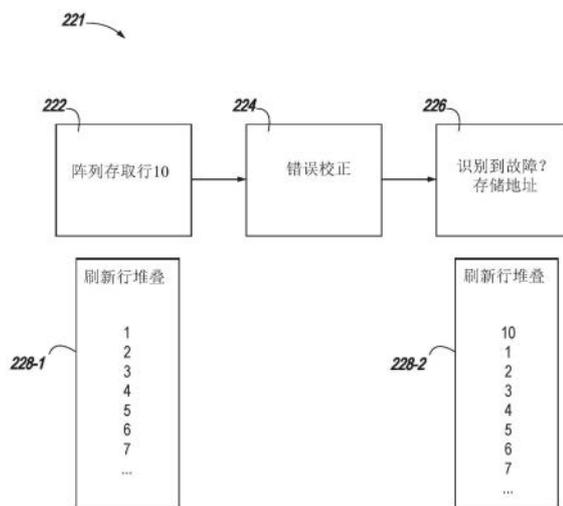
权利要求书2页 说明书8页 附图5页

(54) 发明名称

存储器装置的裸片上ECC数据

(57) 摘要

描述与存储器装置的裸片上ECC数据相关的方法、装置及系统。在实例中,可对数据执行擦除操作以便确定阵列中的存储器单元的哪些行包含特定错误数目。所述特定错误数目可为超过阈值错误数目的错误数目。具有所述特定数目错误的所述经确定行的地址可存储在所述阵列的存储器单元中以便以后存取。可存取所述经确定行的所述地址以执行用户启动的修复操作、自修复操作、刷新操作,及/或改变所述单元的存取时序或改变所述单元的电压。



1. 一种存储器装置,其包括:
存储器单元的阵列;
控制电路系统,其耦合到所述阵列,其中所述控制电路系统经配置以:
对存储在所述阵列中的数据的一部分执行擦除操作,所述擦除操作产生错误校正码(ECC)数据;
其中数据的所述部分存储在所述阵列的存储器单元的多个行中且所述ECC数据的部分对应于所述多个行中的每一者;
基于所述ECC数据而确定一组所述多个行包含满足特定准则的错误数目;及
存储对应于所述一组所述多个行的行地址。
2. 根据权利要求1所述的存储器装置,其中所述特定准则包括超过阈值错误数目。
3. 根据权利要求1所述的存储器装置,其中所述控制电路系统进一步经配置以:
致使所述一组所述多个行上的刷新操作比在与所述一组所述多个行不同的一组所述多个行上更频繁地发生;及
致使所述刷新操作独立于在所述一组所述多个行上发生行锤击事件。
4. 根据权利要求1所述的存储器装置,其中所述控制电路系统进一步经配置以从主机接收用以对对应于所述经存储行地址的所述一组所述多个行的所述存储器单元执行修复操作的请求。
5. 根据权利要求4所述的存储器装置,其中:
所述主机是外部处理器;且
所述控制电路系统经配置以接收消息,而不从所述主机接收对所述多个行中的哪些行执行所述修复操作的指示。
6. 根据权利要求1所述的存储器装置,其中所述控制电路系统经配置以使用对应于所述经存储行地址的存储器单元执行自修复操作。
7. 根据权利要求1至6中任一权利要求所述的存储器装置,其中所述控制电路系统经配置以确定所述一组所述多个行包含超过阈值错误数目的所述错误数目,而不执行自测试操作。
8. 根据权利要求1至6中任一权利要求所述的装置,其中所述控制电路系统经配置以基于所述确定而改变存取时序或施加到所述一组所述多个行内的至少一个存储器单元的电压。
9. 一种方法,其包括:
对阵列的存储器单元的多个行的数据执行擦除操作以产生对应于所述多个行中的每一者的错误校正码(ECC)数据;
基于所述ECC数据而确定与所述数据相关联的错误数目超过阈值错误数目;
将指示与超过所述错误阈值数目的所述数据相关联的行地址的一或多个位写入在所述阵列的额外存储器单元中;及
对对应于所述行地址中的至少一者的存储器单元执行修复操作。
10. 根据权利要求9所述的方法,其进一步包括响应于从主机接收用以执行所述修复操作的消息而执行所述修复操作,其中所述消息不包含与将对哪一行执行所述修复操作相关联的数据。

11. 根据权利要求9所述的方法, 其中:
将与所述经写入的一或多个位相关联的所述行地址添加到用于执行刷新操作的列表;
且
以比不与所述行地址关联的存储器单元更高的频率刷新与所述行地址相关联的存储器单元。
12. 根据权利要求9所述的方法, 其中所述行地址包括与包含比其它行地址的存储器单元更大的错误数目的存储器单元相关联的行地址。
13. 根据权利要求9至12中任一权利要求所述的方法, 其中将所述一或多个位写入到存储器单元的多个行, 其中存储器单元的所述多个行中的每一者包括包含比阈值错误计数数目更大的错误计数数目的存储器单元。
14. 一种存储器装置, 其包括:
存储器单元的阵列;
控制电路系统, 其耦合到所述阵列, 其中所述控制电路系统经配置以:
从对阵列的存储器单元的多个行的擦除操作产生错误校正码 (ECC) 数据;
确定所述ECC数据是否指示与存储器单元的特定行相关联的错误计数超过阈值错误计数; 及
响应于与所述特定行相关联的所述错误计数超过所述阈值错误计数, 将所述特定行的地址记录在所述阵列中。
15. 根据权利要求14所述的存储器装置, 其中所述控制电路系统进一步经配置以响应于所述错误计数超过所述阈值错误计数而改变施加到所述特定行中的所述存储器单元中的至少一者的电压。
16. 根据权利要求14所述的存储器装置, 其中所述控制器进一步经配置以将与超过所述阈值错误计数的错误计数相关联的行的地址存储在非易失性存储器中且在电力故障或断电重启事件之后检索所述地址。
17. 根据权利要求14所述的存储器装置, 其中所述控制器进一步经配置以:
比与小于所述阈值错误计数的错误计数相关联的行的第二组存储器单元更频繁地刷新与超过所述阈值错误计数的错误计数相关联的行的第一组存储器单元; 及
响应于电力故障或重新启动, 以与所述第二组存储器单元相同的频率刷新所述第一组存储器单元。
18. 根据权利要求14至17中任一权利要求所述的存储器装置, 其中所述控制器经配置以:
从主机接收用以执行修复操作的请求;
检索与超过所述阈值错误计数的错误计数相关联的存储器单元的所述行的所述地址;
及
对所述经检索地址处的所述存储器单元执行修复操作。

存储器装置的裸片上ECC数据

技术领域

[0001] 本公开大体上涉及存储器装置的裸片上错误校正码 (ECC) 数据。

背景技术

[0002] 存储器装置通常被提供为计算机或其它电子装置中的内部半导体集成电路。存在许多不同类型的存储器, 包含易失性及非易失性存储器。易失性存储器可能需要电力来维持其数据, 且包含随机存取存储器 (RAM)、DRAM及同步动态随机存取存储器 (SDRAM) 等等。非易失性存储器可通过在不被供电时保留经存储数据来提供持久数据, 且可包含NAND快闪存储器、NOR快闪存储器、只读存储器 (ROM)、电可擦除可编程ROM (EEPROM)、可擦除可编程ROM (EPROM) 及电阻可变存储器, 例如相变随机存取存储器 (PCRAM)、电阻式随机存取存储器 (RRAM) 及磁阻式随机存取存储器 (MRAM) 等等。

[0003] 存储器还被用作广泛范围的电子应用的易失性及非易失性数据存储装置。例如, 非易失性存储器可被用于个人计算机、便携式存储棒、数码相机、蜂窝电话、便携式音乐播放器 (例如MP3播放器)、电影播放器及其它电子装置中。存储器单元可被布置成阵列, 所述阵列被用于存储器装置中。

[0004] 存储器可为用于计算装置中的存储器模块 (例如, 双列直插式存储器模块 (DIMM)) 的部分。存储器模块可包含易失性存储器 (例如举例来说DRAM) 及/或非易失性存储器 (例如举例来说快闪存储器或RRAM)。DIMM可被用作计算系统中的主存储器。

附图说明

[0005] 图1是根据本公开的数个实施例的呈包含存储器系统的计算系统的形式的设备的框图。

[0006] 图2是根据本公开的数个实施例的用于执行刷新操作的方法的流程图。

[0007] 图3是根据本公开的数个实施例的用于对存储器装置中的地址位置执行修复操作的方法的流程图。

[0008] 图4是根据本公开的数个实施例的用于对存储器装置中的地址位置执行修复操作的方法的流程图。

[0009] 图5是根据本公开的实施例的用于存储存储器装置的裸片上ECC数据的方法的流程图。

具体实施方式

[0010] 本公开涉及描述与存储器装置的裸片上ECC数据相关的方法、装置及系统。在实例中, 可对数据执行擦除操作以便确定阵列中的存储器单元的哪些行包含特定错误数量 (或数目)。特定错误数目可为超过阈值错误数量的错误数量。指示具有特定错误数量的经确定行的地址 (或位置) 的地址可存储在存储器装置中以便以后存取, 例如存储在存储器装置的寄存器中。可存取经确定行的地址以执行用户启动的修复操作、自修复操作、刷新操作, 及/

或改变单元的存取时序或改变单元的电压。

[0011] 由于很多次存取DRAM存储器,存储数据的存储器单元可能因对存储器单元(例如,耦合到存取线的单元)的特定行的这些重复存取而经历故障。由数据中的错误引起的这些间歇性故障可能影响数据的读取且可通过修复数据、读取及写入数据超过正常存储器刷新的额外次数、改变与存储器单元相关联的时序及/或电压等来减少。存储器单元的行中的错误数量可通过执行错误校正码(ECC)操作来确定。错误数量可存储在存储器装置中。通过这样做,正经历错误的存储器单元的行或存储在包含错误的存储器单元的那些行中的数据可位于存储器装置内,而无需接收存储器装置外部的数据来指示要修复哪些行、增加刷新、改变时序及/或改变电压等。对数据执行的错误校正可降低位错误率(BER)且增加数据的可靠性。

[0012] 存储器刷新是指出于保存数据的目的而周期性地读取存储在存储器中的数据且立即将数据无修改地重写回到存储器的过程。在动态随机存取存储器(DRAM)装置(例如,芯片)时,存储器的每一位作为电荷存储在存储器单元的小电容器上。随着时间的推移,如果存储在电容器上的电荷不以特定时间间隔刷新,那么其可能泄漏。在缺乏存储器刷新的情况下,数据最终可能丢失。在存储器刷新期间,电路系统可周期性地致使读取每一存储器单元且将存储器单元的数据重写回到存储器单元,从而将存储器单元的电容器上的电荷恢复到其原始电平。在DRAM处于操作模式中时,存储器刷新可在后台自动地执行。

[0013] 存储器刷新在用来存取数据的正常存储器操作(例如,读取及写入循环)之外发生。代替地,被称为刷新循环的专用循环由单独计数器电路产生且散布在正常存储器存取之间。刷新循环与正常读取循环类似,但在两个重要方面有所不同。首先,刷新仅使用行地址,因此列地址是不必要的。其次,在存储器刷新期间从所述单元读取的数据不通过输出缓冲器及/或在数据总线上发送到主机(例如,存储器控制器、外部主机处理器等)。例如,存储在存储器阵列中的数据可从所述单元读取到对应感测放大器中并接着存储回到所述单元中,且借此将原始数据值刷新到全状态。

[0014] 通过对存储具有阈值错误数量(或数目)的数据的存储器单元执行这些方法,存储在存储器单元中的数据中的错误数量可被维持在无法再校正存储器的水平以下。例如,错误校正方法及/或系统可能限于所述方法或系统可校正的可校正位及/或数据部分的数目。一旦存储器阵列超过这些限制,存储器阵列就可能变得不可校正。通过将错误率维持在阈值以下,存储器阵列保持可校正。

[0015] ECC操作可包含例如通过对存储在阵列的存储器单元中的数据执行XOR及/或RAID运算来产生奇偶校验数据。奇偶校验数据可与数据一起存储在DRAM装置及/或非易失性存储器装置中(例如,写入到DRAM装置及/或非易失性存储器装置)。在一些实例中,奇偶校验数据可嵌入在易失性存储器装置及/或非易失性存储器装置中的数据中。

[0016] 存储在易失性及/或非易失性存储器装置中的数据可使用奇偶校验数据来重建。控制器可从DRAM存储器装置接收(例如,读取)奇偶校验数据且响应于读取故障而重建数据。读取故障可能是由于DRAM存储器装置中的受损存储器。在一些实例中,控制器可在一个时钟循环内读取及重建数据,因为奇偶校验数据在DRAM存储器装置处容易获得。

[0017] 在数个实施例中,可在对存储器(或DRAM)装置断电之前将奇偶校验数据存储在存储器装置中的非易失性存储器中。可响应于对DRAM装置通电而将奇偶校验数据重写到DRAM

装置的存储器单元(例如,易失性存储器单元)的阵列。在一些实例中,可响应于对DRAM装置断电及通电而在控制器处再生及/或在DRAM装置处接收奇偶校验数据。例如,控制器可响应于对DRAM装置及/或DIMM通电而从非易失性存储器装置接收用户数据且对用户数据执行XOR运算。

[0018] 在本公开的以下详细描述中,参考形成其一部分且其中以说明的方式展示可如何实行本公开的数个实施的附图。足够详细地描述这些实施例以使所属领域的一般技术人员能够实行本公开的实施例,且应理解,在不脱离本公开的范围的情况下,可利用其它实施例且可进行工艺改变、电气改变及/或结构改变。如本文中所使用,指定符“M”、“N”、“X”及“Y”指示如此指定的数个特定特征可被包含在本公开的数个实施例中。

[0019] 如本文中所使用,“数个”某物可指一或多个此类事物。例如,数个DIMM可指一或多个DIMM。另外,如本文中特别是关于附图中的参考编号所使用的指定符(例如“M”、“N”、“X”及“Y”)指示如此指定的数个特定特征可被包含在本公开的数个实施例中。

[0020] 本文中的图遵循编号惯例,其中首位数字或前几位数字对应于附图图号且其余位识别附图中的元件或组件。不同图之间的类似元件或组件可通过使用类似数字来识别。如将明白,可添加、交换及/或删除本文在各种实施例中所展示的元件以便提供本公开的数个额外实施例。另外,图中所提供的元件的比例及相对尺度意在说明本公开的各种实施例且不应以限制性意义使用。

[0021] 图1是根据本公开的数个实施例的呈包含存储器装置120的计算系统100的形式的设备的框图。如本文中所使用,存储器装置120、存储器阵列130及/或逻辑140(例如,控制逻辑)及/或读取/锁存电路系统150也可被单独地视为“设备”。

[0022] 系统100包含耦合(例如,连接)到存储器装置120的存储器控制器102,存储器装置120包含存储器阵列130。存储器装置120的实例包含DRAM装置。在数个实施例中,DRAM装置包含由存储器装置120的错误校正码(ECC)组件115执行的裸片上ECC能力。ECC组件115可包含用以执行数个错误校正的错误校正电路系统及/或组件。ECC引擎(未说明)可耦合到的存储器阵列130,所述ECC引擎在数据通过输出缓冲器从存储器阵列130读出时校正错误。

[0023] 存储器控制器102可耦合到主机(未说明)。主机可为主机系统,例如个人膝上型计算机、台式计算机、数码相机、智能手机或存储卡读卡器,以及各种其它类型的主机。主机可包含在存储器装置120外部的宿主控制器。宿主控制器可包含控制电路系统,例如硬件、固件及/或软件。在一或多个实施例中,宿主控制器可为耦合到包含物理接口的印刷电路板的专用集成电路(ASIC)。主机可包含系统主板及/或背板且可包含数个处理资源(例如,一或多个处理器、微处理器或某种其它类型的控制电路系统)。

[0024] 系统100可包含单独集成电路或主机110及存储器装置120两者可在同一集成电路上。例如,系统100可为混合存储器立方体(HMC),其中控制组件(例如,控制电路系统或控制逻辑140)可位于逻辑裸片上且存储器组件可位于数个堆叠裸片中。

[0025] 为清晰起见,已简化系统100以集中于与本公开特别相关的特征。例如,存储器阵列130可为DRAM阵列、SRAM阵列、STT RAM阵列、PCRAM阵列、TRAM阵列、RRAM阵列、NAND快闪阵列及/或NOR快闪阵列。阵列130可包括布置成通过存取线(其在本文中可被称为字线或选择线)耦合的行及通过感测线耦合的列的存储器单元。尽管图1中展示单个阵列130,但实施例不限于此。例如,存储器装置120可包含数个阵列130(例如,DRAM单元的数个存储体)。

[0026] 存储器装置120可包含控制器123,控制器123可包含控制电路系统,例如硬件、固件及/或软件。在一或多个实施例中,控制器123可为耦合到包含物理接口的印刷电路板的专用集成电路(ASIC)。在一些实施例中,控制器123可为媒体控制器,例如DRAM存储器控制器或非易失性存储器快速(NVMe)控制器。例如,控制器123可经配置以对于存储器装置130执行例如复制、写入、读取、错误校正等的操作。另外,控制器123可包含用以执行本文中所述的各种操作的专用电路系统及/或指令。即,在一些实施例中,控制器123可包含可经执行以存储包含特定错误数量(或数目)的存储器单元的行的地址(或位置)的电路系统及/或指令。在一些实施例中,提供给控制器123的电路系统及/或指令可控制对具有特定数量的错误的存储器单元的行执行修复操作。

[0027] 存储器阵列130可包含用于存储存储器单元的特定行的地址的额外行或寄存器(例如,“错误行”)147。存储器单元的特定行可与包含超过阈值错误数量的错误数量的存储器单元的行相关联。作为实例,可执行ECC操作且其可指示存储在特定行的存储器单元中的数据内的错误数量。那个特定行的地址可存储在额外行147中以供后续存取。响应于来自主机的用以执行修复操作的消息,可在额外行147中存取那个特定行的地址且可修复位于那个地址处的行中的存储器单元中的数据。此外,可将行的特定地址添加到用于执行刷新操作的列表中且可以比未存储在额外行147中的地址处的行上的刷新操作的速率更高的速率刷新特定行,如下文将关联图2进一步描述。

[0028] 存储器装置120包含用以锁存通过I/O电路系统144在总线154(例如,数据总线)上提供的地址信号的地址电路系统142。地址信号也可由存储器控制器102(例如,经由地址电路系统142及/或经由总线154)发送且接收到控制逻辑140。地址信号由行解码器146及列解码器152接收及解码以存取存储器阵列130。数据可通过使用读取/锁存电路系统150感测数据线上的电压及/或电流变化而从存储器阵列130读取。读取/锁存电路系统150可从存储器阵列130读取及锁存一页(例如,一行)数据。I/O电路系统144可被用于通过总线154与主机110进行双向数据通信。写入电路系统148被用来将数据写入到存储器阵列130。控制逻辑140包含可被用来在存储器装置120的掉电或断电重启的情况下存储数据的非易失性存储器(“NVM”)149。例如,可在断电重启事件之前将存储在额外行147中的数据写入到非易失性存储器149且可在那个断电重启事件期间维持所述数据。虽然所述实例说明控制逻辑140内的非易失性存储器149,但实例不限于此。非易失性存储器149可位于存储器装置120内的其它地址中。在另一此实例中,非易失性存储器149可存储在存储器阵列130的一部分中。

[0029] 控制逻辑140对由存储器控制器102通过总线154提供的信号进行解码。虽然总线154被说明为发送地址信号、双向通信、解码信号等的单条总线,但实施例不限于此。例如,总线154可被分成多于一条总线,其中每一总线被指定用于特定信号(例如,用于地址信号及/或命令的总线、用于双向通信的总线等)。这些信号可包含被用来控制对存储器阵列130执行的操作(包含数据读取、数据写入及数据擦除操作)的芯片启用信号、写入启用信号及地址锁存信号。在各种实施例中,逻辑140负责执行来自主机110的指令。逻辑140可为状态机、定序器或某种其它类型的控制电路系统。逻辑140可以硬件、固件及/或软件实施。虽然逻辑140被说明为耦合到特定组件(例如,耦合到存储器阵列130及地址电路系统142),但控制器可耦合到存储器装置120内的组件中的任一者。

[0030] 图2是根据本公开的数个实施例的用于执行刷新操作的方法221的流程图。方法

221可由处理逻辑来执行,所述处理逻辑可包含硬件(例如,处理装置、电路系统、专用逻辑、可编程逻辑、微码、装置的硬件、集成电路等)、软件(例如,在处理装置上运行或执行的指令)或其组合。在一些实施例中,方法221由控制器123协同ECC组件115来执行。尽管以特定顺序或次序展示,但除非另有规定,否则可修改过程的次序。因此,所说明实施例应被理解为仅是实例,且所说明过程可以不同次序执行,且一些过程可并行执行。另外,在各种实施例中可省略一或多个过程。因此,并非在每个实施例中均需要所有过程。其它流程是可能的。

[0031] 在框222处,方法221可包含存取实例行10处的阵列。作为实例,可存取存储器阵列的行10,例如存储器单元的第十(10)行。在框224处,可对行10执行错误校正操作。行10的错误校正可由图1中所说明的ECC组件115来执行。响应于行10包含至少一个错误(例如,一个位错误),在框226处,可识别故障且可将与行10的地址相关联的地址存储在存储器阵列的额外行(例如,图1中的错误行147中的额外行)中。

[0032] 经存储行10可被用来对行堆叠执行刷新操作,如由“刷新行堆叠”列表228-1及228-2所指示。刷新行堆叠228-1指示用于在错误校正操作(例如,与框224相关联的错误校正操作)之前执行刷新操作的行及它们的次序的列表。如所说明,刷新行堆叠228-1指示以行“1”、行“2”、行“3”、行“4”、行“5”、行“6”、行“7”等的次序执行刷新操作。响应于行10包含错误(在框224处的错误校正操作期间检测到),可将行“10”移动到刷新行堆叠列表的顶部,从而导致刷新行堆叠228-2最初指示首先对行“10”执行刷新操作。以这种方式,行10可比行1、2、3、4、5、6、7等更频繁地被刷新。

[0033] 虽然行10被描述为更频繁地被刷新,但实例不限于此。例如,如果多于一个行(例如行10连同行5)包含阈值错误数量(或数目),那么行10及行5可被移动到刷新行堆叠列表的顶部且将比其它行更频繁地被刷新。此外,虽然行10被说明为在刷新行堆叠228-2的顶部处被刷新,但实例不限于此。可每第10次刷新操作、每第50次刷新操作、每第100次刷新操作刷新行10。行10被刷新的频率可基于行10的错误数量及/或待整体刷新的行的总数目来确定。

[0034] 图3是根据本公开的数个实施例的用于对存储器装置中的地址(或位置)执行修复操作的方法329的流程图。在这个实例中,存储器装置是DRAM装置。方法329可由处理逻辑来执行,所述处理逻辑可包含硬件(例如,处理装置、电路系统、专用逻辑、可编程逻辑、微码、装置的硬件、集成电路等)、软件(例如,在处理装置上运行或执行的指令)或其组合。在一些实施例中,方法329由控制器123协同ECC组件115来执行。尽管以特定顺序或次序展示,但除非另有规定,否则可修改过程的次序。因此,所说明实施例应被理解为仅是实例,且所说明过程可以不同次序执行,且一些过程可并行执行。另外,在各种实施例中可省略一或多个过程。因此,并非在每个实施例中均需要所有过程。其它流程是可能的。

[0035] 在框331处,方法329可包含存取实例行10处的阵列。例如,可存取存储器阵列的行10,例如存储器单元的第十(10)行。在框333处,可对行10执行错误校正操作。行10的错误校正可由图1中所说明的ECC组件115来执行。响应于行10包含至少一个错误(例如,一个位错误),在框335处,可识别故障且可将与行10的位置相关联的地址存储在存储器装置的额外行(例如,图1的存储器装置120中的错误行147中的额外行)中。

[0036] 在框332处,可启动修复操作。在一个实例中,修复操作可由用户来启动。用户可将

用以执行修复操作的消息发送到存储器装置。将执行修复操作的行的地址可存储在存储器装置中且可不由用户发送到存储器装置。作为实例,用户装置(例如,主机)可不存储待修复的行的地址,因为所述地址将存储在存储器装置自身中(例如,在图1中所说明的存储器装置120的“错误行”147处)。在一个实例中,自修复操作可由存储器装置来执行以启动修复操作。借助自修复操作,存储器装置可在没有来自主机的消息的情况下启动修复操作。自修复操作可在存储器装置的正常操作期间发生。自修复操作可在存储器装置上没有发生自测试操作的情况下发生。在一些实例中,由于用于每种类型的修复的时间以及能够在tRFC时间段内隐藏修复的能力,自修复操作可为隐藏的软PPR(例如,使用锁存器)。这可能是存储器装置(例如,DRAM存储器装置)在运行时操作期间控制操作的唯一时间。tRFC时间段可指刷新循环时序。作为实例,tRFC可确定用以刷新存储体上的行的循环量。在一些实例中,如果这被设置得过短,那么其可能引起数据损坏而如果其被设置得过高,那么其可能引起性能损失,但稳定性会提高。

[0037] 在框334处,存储器装置在接收到用以启动修复操作的消息后,可存取经存储地址。在框336处,存储器装置可对存储在存储器装置中的地址处的行执行修复操作。

[0038] 图4是根据本公开的数个实施例的用于对存储器装置中的地址(或位置)执行修复操作的方法412的流程图。在这个实例中,存储器装置是DRAM装置。方法412由处理逻辑来执行,所述处理逻辑可包含硬件(例如,处理装置、电路系统、专用逻辑、可编程逻辑、微码、装置的硬件、集成电路等)、软件(例如,在处理装置上运行或执行的指令)或其组合。在一些实施例中,方法412由控制器123协同ECC组件115来执行。尽管以特定顺序或次序展示,但除非另有规定,否则可修改过程的次序。因此,所说明实施例应被理解为仅是实例,且所说明过程可以不同次序执行,且一些过程可并行执行。另外,在各种实施例中可省略一或多个过程。因此,并非在每个实施例中均需要所有过程。其它流程是可能的。

[0039] 在框414处,方法412可包含存取实例行10处的存储器装置(举例来说,例如图1中的存储器装置120)的阵列。作为实例,可存取存储器阵列的行10,例如存储器单元的第十(10)行。在框416处,可对行10执行错误校正操作。行10的错误校正可由图1中所说明的ECC组件115来执行。响应于行10包含至少一个错误(例如,一个位错误),在框418处,可识别故障且可将与行10的位置相关联的地址存储在存储器装置的额外行(例如,图1中的错误行147中的额外行)中。

[0040] 在框411处,可启动修复操作。在一个实例中,修复操作可由用户来启动。用户可将用以执行修复操作消息发送到存储器装置。将执行修复操作的行的地址可存储在存储器装置中且可不由用户发送到存储器装置。作为实例,用户装置(例如,主机)可不存储待修复的行的地址,因为所述地址将存储在存储器装置自身中(例如,在图1中所说明的存储器装置120的“错误行”147处)。在一个实例中,自修复操作可由存储器装置来执行以启动修复操作。借助自修复操作,存储器装置可在缺乏来自主机的消息的情况下启动修复操作。自修复操作可在存储器装置的正常操作期间发生。自修复操作可在存储器装置上没有发生自测试操作的情况下发生。

[0041] 在框413处,存储器装置在接收到用以启动修复操作的消息后,可存取经存储地址。在一个实例中,在框417处,存储器装置可调整所述地址处的行中的存储器单元的存取时序以便减轻存储器单元中的错误的影响。在一个实例中,在框419处,可调整与具有错误

的行地址处的存储器单元相关联的电压微调。

[0042] 图5是根据本公开的实施例的用于存储存储器装置的裸片上ECC数据的方法551的流程图。在这个实例中,存储器装置是DRAM装置。方法551可由处理逻辑来执行,所述处理逻辑可包含硬件(例如,处理装置、电路系统、专用逻辑、可编程逻辑、微码、装置的硬件、集成电路等)、软件(例如,在处理装置上运行或执行的指令)或其组合。在一些实施例中,方法551由控制器123协同ECC组件115来执行。尽管以特定顺序或次序展示,但除非另有规定,否则可修改过程的次序。因此,所说明实施例应被理解为仅是实例,且所说明过程可以不同次序执行,且一些过程可并行执行。另外,在各种实施例中可省略一或多个过程。因此,并非在每个实施例中均需要所有过程。其它流程是可能的。

[0043] 在框553处,方法551可包含经由控制电路系统对阵列的存储器单元的多个行中的数据执行擦除操作以产生对应于所述多个行中的每一者的错误校正码(ECC)数据。存储器单元的行可在存储器阵列(例如图1中的存储器阵列130)中。擦除操作可指这样一种操作,其中对一组存储器单元执行ECC操作以便确定存储在所述一组存储器单元中的数据是否出现错误及在那个特定存储器单元中出现多少错误。在一些实例中,擦除操作可指通过全存储器阵列的读取-修改-写入操作,其中可对错误进行计数及校正。当试图确定用于存储地址且启动修复过程的一或若干行上的错误累积时,运行时ECC校正操作的智能监测可充当擦除操作的置换品。擦除操作可由错误校正码(ECC)组件(例如图1中的ECC组件115)来执行。

[0044] 在框555处,可执行基于ECC数据而确定与一组多个行中的每一者相关联的错误数量(或数目)是否超过阈值错误数量。作为实例,阈值错误数量可包含两(2)个错误且可识别包含多于两个错误的多个行中的每一者。在一些实例中,可识别具有至少或多于阈值错误数量的行。

[0045] 在框557处,可将包含超过阈值错误数量的错误数量的一组行中的每一者的行地址存储在存储器装置的额外存储器单元或寄存器中。额外存储器单元可为图1中的存储器装置120的“错误行”147。在一些实例中,可存储与具有最大错误数量的行相关联的地址。在一些实例中,可存储具有等于或大于阈值错误数量的错误数量的所有行的地址。

[0046] 在框559处,可对对应于经存储行地址中的至少一者的存储器单元执行修复操作。修复操作可包含校正所述数量的错误。在一些实例中,修复操作可包含改变与所述地址相关联的单元的电压或改变与所述地址相关联的单元的存取时序。

[0047] 尽管本文中已说明及描述具体实施例,但所属领域的一般技术人员将明白,经计算以实现相同结果的布置可置换所展示的具体实施例。本公开意在涵盖本公开的各种实施例的调适或变动。应理解,上述描述已以说明性方式,而非限制性方式进行。在检阅上述描述后,上述实施例的组合及本文中未具体地描述的其它实施例对于所属领域的技术人员来说将是显而易见的。本公开的各种实施例的范围包含其中使用上述结构及过程的其它应用。因此,本公开的各种实施例的范围应参考所附权利要求书连同此权利要求书所授权的等效物的全范围来确定。

[0048] 在前述详细描述中,出于简化本公开的目的而将一些特征集合在单个实施例中。本公开方法不应被解释为反映本公开的所公开实施例必须使用比每一权利要求中明确地记载的特征更多的特征的意图。相反,如所附权利要求书所反映,发明主题在于少于单个所

公开实施例的所有特征。因此,所附权利要求书特此并入到所述详细描述中,其中每一权利要求本身作为单独实施例。

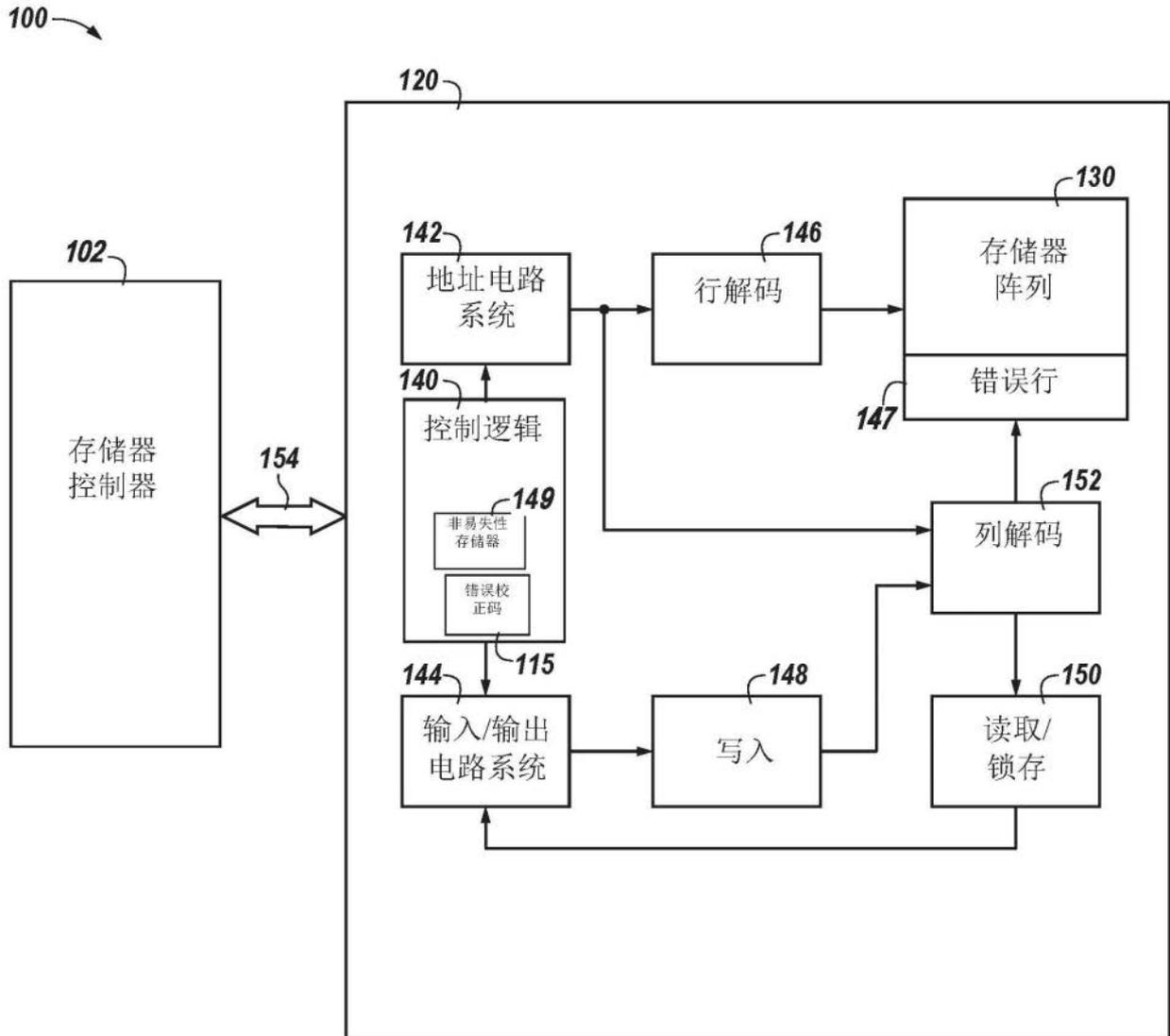


图1

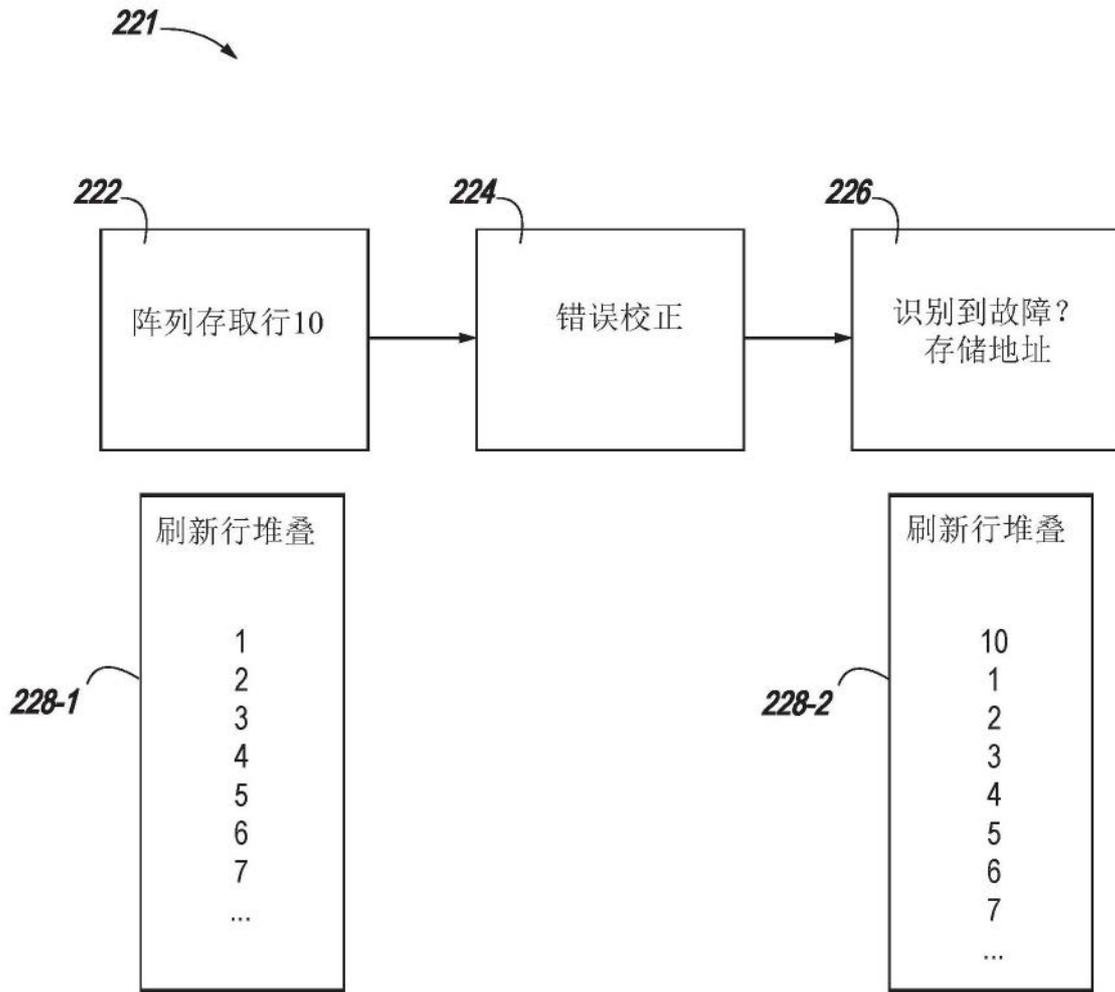


图2

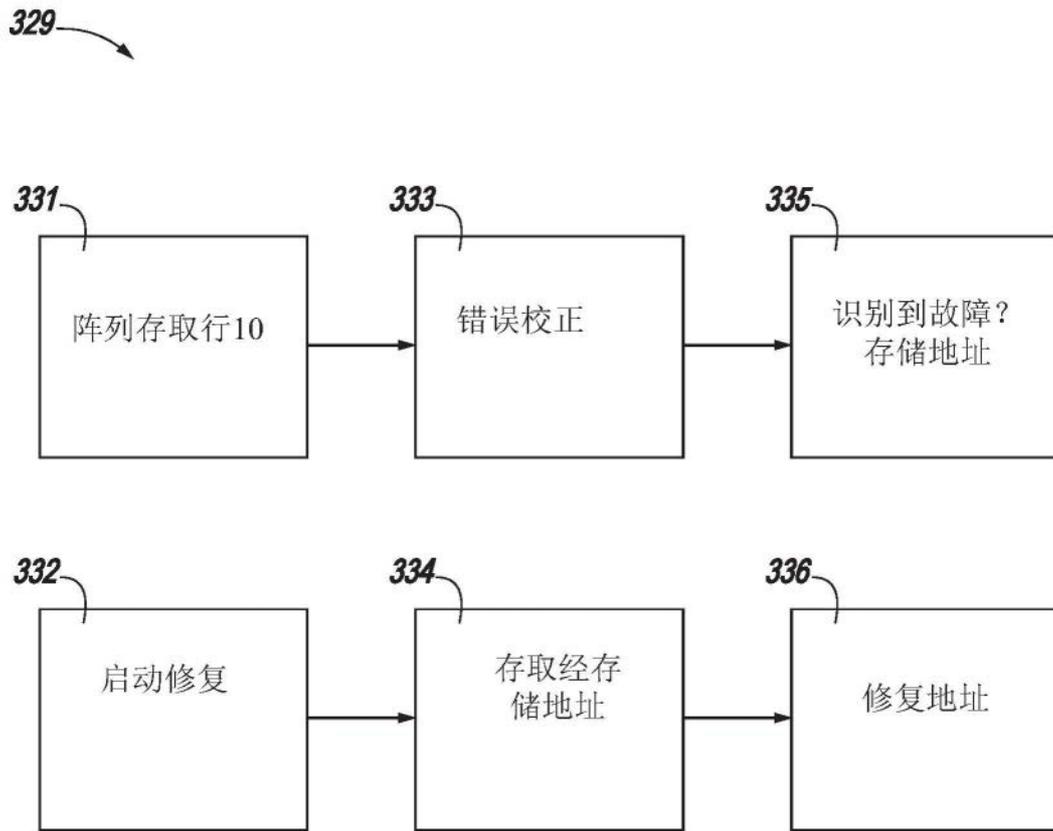


图3

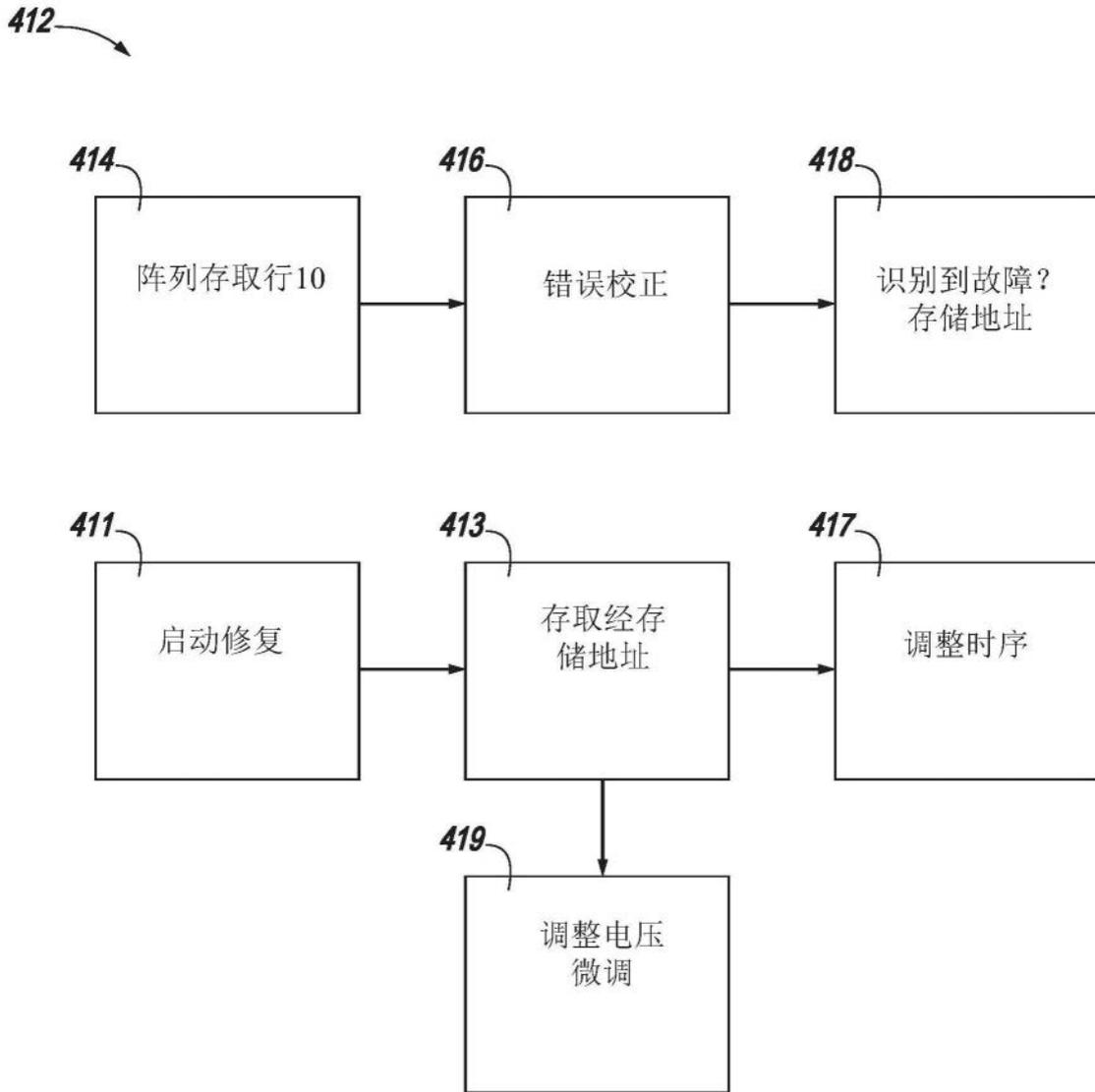


图4

551

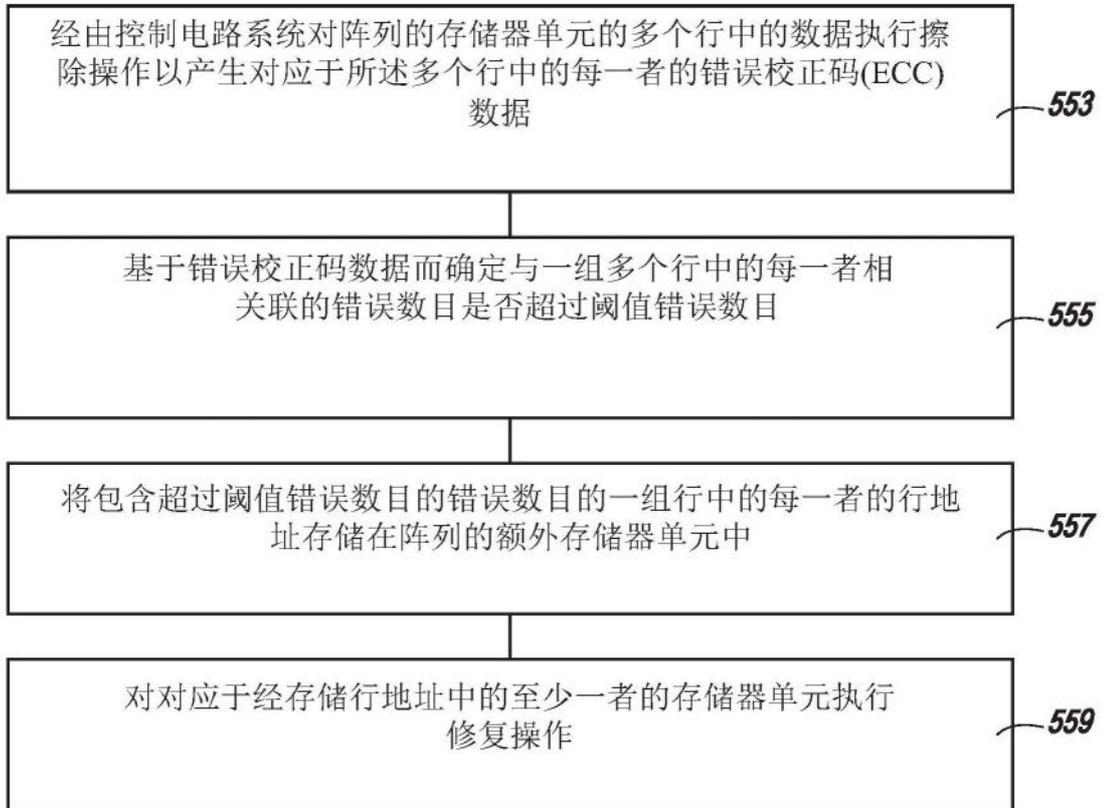


图5