



(21) 申請案號：105124398

(22) 申請日：中華民國 105 (2016) 年 08 月 02 日

(51) Int. Cl. : **H01L29/06 (2006.01)****H01L29/40 (2006.01)****H01L21/28 (2006.01)**

(30) 優先權：2015/10/28 美國

14/925,857

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：李振銘 LEE, CHEN MING (TW)；楊復凱 YANG, FU KAI (TW)；王美勻 WANG,
MEI YUN (TW)；趙高毅 CHAO, HUGO (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：10 項 圖式數：12 共 41 頁

(54) 名稱

半導體裝置及其製造方法

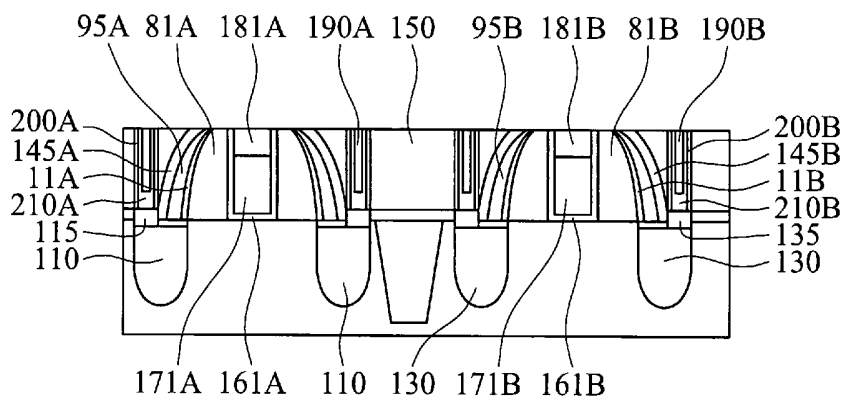
SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57) 摘要

一種半導體裝置，包括：設置於基底上方之閘極結構，及設置於該閘極結構兩側側壁上之側壁間隔物。側壁間隔物包括至少四層間隔物層，其含有從該閘極結構依第一至第四之順序堆疊的間隔物層。

A semiconductor device includes a gate structure disposed over a substrate, and sidewall spacers disposed on both side walls of the gate structure. The sidewall spacers includes at least four spacer layers including first to fourth spacer layers stacked in this order from the gate structure.

指定代表圖：



第 11B 圖

符號簡單說明：

11A、11B . . . 氧化層

81A、81B . . . 側壁間隔物

95A、95B . . . 側壁間隔物

110、130 . . . 應變材料

115、135 . . . 金屬化層

145A、145B . . . 接觸蝕刻停止層(CESL)

150 . . . 層間介電(ILD)層

161A、161B . . . 閘極介電層

171A、171B . . . 埋入閘電極

181A、181B . . . 蓋層

190A、190B . . . W插塞結構

200A、200B . . . 黏合層

210A、210B . . . 阻擋層

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 半導體裝置及其製造方法

Semiconductor device and method of manufacturing
the same

【技術領域】

【0001】 本揭露係關於半導體裝置之製造方法，特別是自對準源極/汲極(S/D)結構及其製造方法。

【先前技術】

【0002】 隨著半導體裝置尺寸的縮小，自對準接觸件(self-aligned contact, SAC)已廣泛地利用於製備中，例如，將源極/汲極接觸件排列靠近至閘極結構於場效電晶體中。通常，SAC係藉由圖案化層間介電(ILD)層來製造，在其下方形成接觸蝕刻停止層(CESL)於具有側壁間隔物的閘極結構上方。ILD層的初始蝕刻停止於CESL，接著蝕刻CESL以形成SAC。當裝置密度增加(即半導體裝置的尺寸縮小)，側壁間隔物的厚度變薄，其可能導致S/D接觸物及閘電極之間產生短路。因此，需要提供SAC結構及製程以改善S/D接觸物及閘電極之間的電性隔離。

【發明內容】

【0003】 根據本揭露之一方面，半導體裝置包括設置於基底上方之閘極結構，及設置於該閘極結構兩側側壁上之側壁間隔物。側壁間隔物包括至少四層間隔物層，其含有從該閘極結構依第一至第四之順序堆疊的間隔物層。

【0004】 根據本揭露之另一方面，在半導體裝置的製造方

法中，形成閘極結構於基底上方。形成第一側壁間隔物層於閘極結構的側壁上。於第一側壁間隔物層上形成氧化層以作為第二側壁間隔物層。形成第三側壁間隔物層於第二側壁間隔物層上。形成接觸蝕刻停止層於第三側壁間隔物及基底上。

【0005】 根據本揭露之另一方面，在半導體裝置的製造方法中，於基底上方對n通道電晶體形成第一虛設閘極結構，該n通道電晶體具有設置於其上方的罩幕層。形成第一絕緣層於第一虛設閘極結構上方。透過第一絕緣層對n通道電晶體植入第一離子。形成第二絕緣層於第一絕緣層上方。形成第三絕緣層於第二絕緣層上方。蝕刻第一至第三絕緣從而形成第一n側壁間隔物層於第一虛設閘極結構的側壁上。形成第一源極/汲極結構於第一n側壁間隔物層的側部基底中。在形成第一源極/汲極結構之後，從第一n側壁間隔物層中移除第三絕緣層。於第一n側壁間隔物層上形成氧化層以作為第二側壁間隔物層。形成第三n側壁間隔物層於第二側壁間隔物層上。形成接觸蝕刻停止層於第三n側壁間隔物層及基底上。

【圖式簡單說明】

【0006】 以下將配合所附圖式詳述本揭露之實施例，應注意的是，依照工業上的標準實施，以下圖示並未按照比例繪製，事實上，可能任意的放大或縮小元件的尺寸以便清楚表現出本揭露的特徵。而在說明書及圖式中，除了特別說明外，同樣或類似的元件將以類似的符號表示。

第1A圖係根據本揭露一實施例，顯示在形成虛設閘極之後的FinFET之例示性透視圖，且第1B圖顯示在形成虛設閘極結構

之後的平面型FET之例示性透視圖。

第2A-10A、2B-10B、2C-10C、11A-11B圖係根據本揭露一實施例，顯示半導體裝置的連續製造製程之例示性剖面圖。

第12A及12B圖係根據本揭露一實施例，顯示S/D接觸孔部分之放大剖面圖。

【實施方式】

【0007】 應當理解，以下揭露提供許多不同的實施方法或是例子來實行各種實施例之不同特徵。以下描述具體的元件及其排列的例子以闡述本揭露。當然這些僅是例子且不該以此限定本揭露的範圍。例如，元件之尺寸並非限定於揭露的範圍或數值，但可能取決於製程條件及/或裝置所期望的性質。此外，在描述中提及第一個元件形成於第二個元件上時，其可以包括第一個元件與第二個元件直接接觸的實施例，也可以包括有其他元件形成於第一個與第二個元件之間的實施例，其中第一個元件與第二個元件並未直接接觸。爲了簡化或明確化，各種特徵可以不同的比例任意地繪製。

【0008】 再者，其中可能用到與空間相關的用詞，像是“在…下方”、“下方”、“較低的”、“上方”、“較高的”及類似的用詞，這些關係詞係爲了便於描述圖示中一個(些)元件或特徵與另一個(些)元件或特徵之間的關係，這些空間關係詞包括使用中或操作中的裝置之不同方位，以及圖示中所描述的方位。裝置可能被轉向不同方位(旋轉90度或其他方位)，則其中使用的空間相關形容詞也可相同地照著解釋。此外，“由…所製成”之用語也可代表“包括”或“由…所組成”。

【0009】 第1A圖顯示閘極結構GATE形成於鰭結構上方之後的例示性結構。形成閘極結構的一種製程稱為”後閘極(gate last)”或”替換閘極(replacement gate)”方法。在此類製程中，首先形成使用多晶矽的虛設閘極結構，接著實行與半導體裝置相關的各種製程，隨後將虛設閘極移除並將其取代成金屬閘極。在此實施例中，鰭式場效電晶體(FinFET)裝置包括n型FinFET11及p型FinFET12。

【0010】 首先，製造鰭結構FIN於基底SUB上方。形成鰭結構FIN於基底SUB上方並從隔離絕緣層STI中突出。依據一實施例，為了製造鰭結構FIN，係形成罩幕層於基底上方。罩幕層係藉由例如熱氧化製程及/或化學氣相沉積(CVD)製程形成。基底為例如具有摻雜濃度範圍約 1×10^{15} 公分⁻³至約 1×10^{15} 公分⁻³的p型矽基底。在其他實施例中，基底為具有摻雜濃度範圍約 1×10^{15} 公分⁻³至約 1×10^{18} 公分⁻³的n型矽基底。在一些實施例中，罩幕層包括例如墊氧化物(例如二氧化矽)層及氮化矽罩幕層。

【0011】 另外，基底可另包括諸如鍺的元素半導體；化合物半導體，其包括諸如SiC及SiGe的IV-IV化合物半導體、諸如GaAs、GaP、GaN、InP、InAs、InSb、GaAsP、AlGaN、AlInAs、AlGaAs、GaInAs、GaInP及/或GaInAsP的III-V化合物半導體；或上述之組合。在一實施例中，基底為絕緣體上半導體(semiconductor-on-insulator, SOI)基底。當使用SOI基底時，鰭結構可能從SOI基底的矽層中突出或可能從SOI基底的絕緣層中突出。在後者的情況中，SOI基底的矽層是用來形成鰭結構。基底可包括適合摻雜雜質(例如p型或n型導電)的各個區域。

【0012】 可藉由使用熱氧化或CVD製程來形成墊氧化層。可藉由物理氣相沉積來形成氮化矽罩幕層，例如濺射法、CVD、電漿輔助化學氣相沈積(PECVD)、常壓化學氣相沈積(APCVD)、低壓CVD、高密度電漿CVD、原子層沉積(ALD)及/或其它製程。

【0013】 在一些實施例中，墊氧化層的厚度為約2nm至約15nm及氮化矽罩幕層的厚度為約2nm至約50nm。進一步形成罩幕圖案於罩幕層上方。例如，罩幕圖案為利用微影操作所形成的光阻圖案。藉由使用罩幕圖案作為蝕刻罩幕，以形成墊氧化層及氮化矽罩幕層的硬罩幕圖案。在一些實施例中，硬罩幕圖案的寬度為約4nm至約40nm。在特定的實施例中，硬罩幕圖案的寬度為約4nm至約12nm。

【0014】 利用硬罩幕圖案作為蝕刻罩幕並藉由使用乾蝕刻方法及/或濕蝕刻方法的溝槽蝕刻以將基底圖案化至鰭結構FIN中。鰭結構(Z方向)的高度為約20nm至約100nm。在特定實施例中，該高度為約30nm至約60nm。當鰭結構的高度不一致時，可從相應於鰭結構平均高度的平面來測量從基底的高度。在一些實施例中，鰭結構20的高度為約5nm至約40nm，且在特定實施例為約7nm至約15nm。

【0015】 如第1A圖所示，設置延伸至Y方向的一鰭結構FIN於基底SUB上方，在此實施例中，設置一鰭結構以供n型FET並設置一鰭結構以供p型FET。然而，鰭結構的數量並非限制於一個。可能有二、三、四或五或更多的鰭結構排列於X方向。此外，可設置一或更多的虛設鰭結構於鄰近鰭結構的兩側以於圖

案化製程中增進圖案保真度(fidelity)。在一些實施例中，當設置多重鰭結構時，鰭結構之間の間隔物為約8nm至約80nm，且在其它的實施例中為約7nm至約15nm。然而，本領域之技藝人士應當理解，本揭露所列舉的尺寸及數值僅為實例，且可改變以適用於不同比例之積體電路。

【0016】 在形成鰭結構FIN之後，形成隔離絕緣層STI於鰭結構上方。隔離絕緣層STI包括一或更多層的諸如氧化矽、氮氧化矽或氮化矽的絕緣材料，其藉由LPCVD(低壓化學氣相沉積)、電漿-CVD或可流動式CVD所形成。在可流動式CVD中，設置可流動介電材料而非氧化矽。如其名稱所示，可流動介電材料在沉積期間可”流動”並填滿具有高深寬比的間隙或間隔。通常，加入各種化學物質至含矽前驅物中以允許沉積膜流動。在一些實施例中，加入氮氫鍵(nitrogen hydride bonds)。可流動介電前驅物的範例，特別是可流動的氧化矽前驅物，包括矽酸鹽、矽氧烷、甲基矽氧烷(methylsilsesquioxane, MSQ)、氫矽氧烷(hydrogen silsesquioxane, HSQ)、MSQ/HSQ、全氫矽氮烷(perhydrosilazane, TCPS)、全氫聚矽氮烷(perhydro-polysilazane, PSZ)、四乙基正矽酸鹽(TEOS)或諸如三甲硅烷基胺(TSA)的矽烷基胺。這些可流動的氧化矽材料於多重操作製程中形成。在設置可流動膜之後，將其固化並退火以移除不期望的成分而形成氧化矽。當移除不期望的成分時，該可流動膜會收縮並緻密化。在一些實施例中，執行多重退火製程。將可流動膜固化並退火一次以上。可流動膜可摻雜硼及/或磷。可藉由一或多層的SOG、SiO、SiON、SiOCN及/或氟摻

雜矽酸鹽玻璃(FSG)來形成隔離絕緣層。

【0017】 在形成隔離絕緣層於鰭結構上方之後，實行平坦化操作以移除部分隔離絕緣層及罩幕層(墊氧化層及氮化矽罩幕層)。平坦化操作可包括化學機械研磨(CMP)及/或回蝕製程。接著，進一步地移除(凹蝕)隔離絕緣層使其暴露出鰭結構的上層。

【0018】 形成虛設閘極結構GATE於暴露的鰭結構FIN上方。形成介電層及多晶矽層於隔離絕緣層及暴露的鰭結構上方，接著實行圖案化操作以獲得虛設閘極結構GATE，其包括由多晶矽所製成的虛設閘極層及虛設閘極介電層。在一些實施例中，藉由使用包括形成於氧化矽層上方的氮化矽層之硬罩幕來實行多晶矽層的圖案化。在其它實施例中，硬罩幕包括形成於氮化矽層上方的氧化矽層。虛設閘極介電層為氧化矽，其藉由CVD、PVD、ALD、電子束蒸鍍法(e-beam evaporation)或其它合適的製程來形成。在一些實施例中，閘極介電層包括一或多層的氧化矽、氮化矽、氮氧化矽或高介電常數(high-k)介電材料。在一些實施例中，閘極介電層的厚度為約5nm至約20nm，且在其它實施例中為約5nm至約10nm。

【0019】 在一些實施例中，虛設閘極層GATE的寬度為約5nm至約40nm。在一些實施例中，閘極層的厚度為約5nm至約200nm，且在其它實施例中為約5nm至約100nm。

【0020】 如第1B圖所示，若使用平坦型FET而非FinFET，則形成虛設介電層及虛設多晶矽層於基底上方，接著實行利用硬罩幕層的圖案化操作以獲得虛設閘極結構GATE。

【0021】 第2A-11B圖顯示在本揭露一實施例中，半導體裝置的連續製造製程。應當理解的是，如第2A-11B圖所示，可提供額外的操作於製程之前、期間或之後，且一些下述的操作可在別的實施例中被取代或刪除。操作/製程的順序可互相置換。儘管第2A-11B圖顯示第1A圖之FinFET的連續製造製程，該製造製程亦可應用至第1B圖的平坦型FET。在此類情況中，下方所描述的”鰭結構”可被視為”基底”。

【0022】 在形成閘極結構GATE之後，形成第一絕緣層10於虛設閘極結構及鰭結構上方。第2A圖顯示沿著第1A圖之A-A'線，n型FET11的n通道區及p型FET12的p通道區之例示性剖面圖。

【0023】 如第2A圖所示，n型FET11的虛設閘極包括虛設閘極介電層20A、虛設閘電極層30A及含有第一罩幕層40A及第二罩幕層50A的硬罩幕。相似地，p型FET12的虛設閘極包括虛設閘極介電層20B、虛設閘電極層30B及含有第一罩幕層40B及第二罩幕層50B的硬罩幕。在一些實施例中，虛設閘極介電層20A、20B包括一或多層的介電材料，例如氧化矽、氮化矽及氮氧化矽。在此實施例中，閘極介電層20A、20B由氧化矽所製成。虛設閘電極層30A、30B由諸如多晶矽及非晶矽的合適材料所製成。在此實施例中，虛設閘電極層30A、30B由多晶矽所製成。在一些實施例中，第一硬罩幕層40A、40B由例如氮化矽所製成及第二硬罩幕層50A、50B由例如氧化矽所製成。

【0024】 鰭結構(通道區)上方之虛設閘電極層30A、30B之厚度為約100nm至約150nm。罩幕層的厚度(第一及第二罩幕層

的總和)爲約50nm至約100nm。

【0025】 第一絕緣層包括一或多層之介電材料，例如氧化矽、氮化矽(SiN)、氮氧化矽(SiON)、氮碳化矽(SiCN)及SiOCN。在一些實施例中，第一絕緣層10由氮化矽基化合物(silicon-nitride based compound)所製成。在此實施例中係使用SiCN。第一絕緣層10的厚度爲約3nm至約5nm。第一絕緣層可由CVD或ALD所製成。

【0026】 在一實施例中，ALD方法包括對矽源導入前驅物材料的步驟，包括但不限於二矽烷(DIS)、二氯矽烷(DCS)、六氯二矽烷(HCD)或矽烷。接著，導入包括諸如但不限於乙烯(C₂H₄)的碳氫(C_xH_x)氣體之碳源氣體，及包括諸如但不限於氨(NH₃)的氮源氣體，從而形成單層SiCN。藉由重複上述操作，可得到具有期望厚度的SiCN層。

【0027】 接著，如第2B圖所示，p通道區被光阻層70B所覆蓋並對輕摻雜汲極(LDD)實行離子植入NLDD於n通道層上。NLDD的摻雜劑爲磷及/或砷，且劑量爲約 $1 \times 10^{14} \text{cm}^{-2}$ 至約 $1 \times 10^{15} \text{cm}^{-2}$ 。藉由相對於離子束的方向傾斜基底來實行離子植入，且可藉由90、180及270度旋轉基底來重複地實行。在離子植入之後，藉由例如電漿灰化製程來移除光阻層70B。

【0028】 在移除光阻層70B之後，實行後退火製程以再結晶因離子植入所造成的非晶區，並活化植入的雜質。退火操作可爲快速熱退火(RTA)製程於約900°C至約1400°C的溫度實行約1毫秒(millisecond)至約5秒。退火操作包括於約200°C至約700°C的溫度實行預熱步驟約50秒至約300秒。在本實施例中，於約

500-600°C的溫度實行預熱步驟約180秒。在一些實施例中，於大於約1000°C的溫度實行RTA製程大於1.5秒。在一些實施例中，退火操作為毫秒熱退火(MSA)製程，利用高達1400°C的溫度實行數毫秒或更少，例如約0.8毫秒至約100毫秒。可在完成對p通道區實行LDD植入之後，實行退火操作。

【0029】 如第2C圖所示，n通道區被光阻層70A所覆蓋並對LDD實行離子植入PLDD於p通道層上。PLDD的摻雜劑為硼(BF²⁺)，且劑量為約 $1 \times 10^{14} \text{ cm}^{-2}$ 至約 $3 \times 10^{15} \text{ cm}^{-2}$ 。藉由相對於離子束的方向傾斜基底來實行離子植入，且可藉由90、180及270度旋轉基底來重複地實行。在離子植入之後，藉由例如電漿灰化製程來移除光阻層70A並接著實行退火操作。可交換NLDD離子植入及PLDD離子植入的順序。

【0030】 如第3A圖所示，在LDD植入之後，形成第二絕緣層80於第一絕緣層10上方，並形成第三絕緣層90於第二絕緣層80上方。第三絕緣層90保護p通道區免於隨後實行於n通道區上的製造製程之破壞。藉由諸如氧化矽、氮化矽(SiN)、氮氧化矽(SiON)、氮碳化矽(SiCN)及SiOCN的介電材料來形成第二及第三絕緣層。在一些實施例中，第二絕緣層80由SiCN所製成且第三絕緣層90由SiN所製成。在一些實施例中，第二絕緣層80的厚度為約3nm至約5nm且第三絕緣層90的厚度為約3nm至約10nm。第二及第三絕緣層可由CVD或ALD所製成。

【0031】 接著，如第3B圖所示，p通道區被光阻層75B所覆蓋，並實行各向異性蝕刻於n通道區中堆疊的絕緣層上，使得側壁間隔物形成於虛設閘極結構的兩側表面上。N通道區的側

壁間隔物在此階段係由第一絕緣層10A、第二絕緣層80A及第三絕緣層90A所構成。

【0032】 在形成n通道區的側壁間隔物之後，如第3B圖所示，n通道區的鰭結構NFIN向下凹蝕至隔離絕緣層STI的頂表面下方，以形成凹蝕部分100。接著，如第3C圖所示，移除光阻層75B。

【0033】 如第4A圖所示，源極/汲極的應變材料磊晶地形成於凹蝕部分100之中。藉由使用應變材料110，其具有不同於鰭結構的通道區之晶格常數，施用適當的壓力至通道區以增加通道區的載子移動率。對n型FET而言，當通道區由Si所製成時，使用含有P(SiP)及/或C(SiC)的矽化合物。在此實施例中，SiP磊晶地形成於凹蝕部分100之中。

【0034】 如第4B圖所示，藉由使用適當的蝕刻操作，在形成應變材料110之後，移除n通道區的側壁間隔物中之第三絕緣層90A及p通道區中之第三絕緣層90。當第三絕緣層由SiN所製成時，使用利用H₃PO₄的濕蝕刻。

【0035】 如第4C圖所示，形成第四絕緣層120於n通道區及p通道區上方。第四絕緣層120保護n通道區免於隨後實行於p通道區上的製造製程之破壞。藉由諸如氧化矽、氮化矽(SiN)、氮氧化矽(SiON)、氮碳化矽(SiCN)及SiOCN的介電材料來形成第四絕緣層。在一些實施例中，第四絕緣層120由SiN所製成。在一些實施例中，第四絕緣層120的厚度為約3nm至約10nm。第四絕緣層可由CVD或ALD所製成。

【0036】 如第5A圖所示，在n通道區被光阻層75A所覆蓋之

後，實行各向異性蝕刻於p通道區中堆疊的絕緣層上，使得第四絕緣層的側壁間隔物形成於p通道區的虛設閘極結構之兩側表面上。p通道區的側壁間隔物在此階段係由第一絕緣層10B、第二絕緣層80B及第四絕緣層120B所構成。

【0037】 在形成p通道區的側壁間隔物之後，如第5B圖所示，p通道區的鰭結構PFIN向下凹蝕至隔離絕緣層STI的頂表面下方，以形成凹蝕部分105。接著，如第5C圖所示，移除光阻層75A。

【0038】 如第5C圖所示，源極/汲極的應變材料磊晶地形成於凹蝕部分105之中。藉由使用應變材料130，其具有不同於鰭結構的通道區之晶格常數，施用適當的壓力至通道區以增加通道區的載子移動率。對p型FET而言，當通道區由Si所製成時，使用含有鍺(SiGe)及/或Ge的矽化合物。在此實施例中，SiGe磊晶地形成於凹蝕部分105之中。

【0039】 如第6A圖所示，藉由使用適當的蝕刻操作，在形成應變材料130之後，移除p通道區的側壁間隔物中之第四絕緣層120B及n通道區中之第四絕緣層120。當第四絕緣層由SiN所製成時，使用利用H₃PO₄的濕蝕刻。在此階段，側壁間隔物的寬度W1於虛設閘電極層(30A或30B)之上表面的高度處為約5nm至約10nm。

【0040】 接著，如第6B圖所示，形成有機層140於第6A圖所示之最終結構上方。有機層140包括光阻或抗反射塗層材料。形成有機層140使得虛設閘極結構完全地內埋有機層140之中。

【0041】 如第6C圖所示，藉由使用例如回蝕操作，形成的

有機層 140 之厚度減少。藉由調整蝕刻時間，可得具有期望的厚度之有機層 140。在一實施例中，將有機層 140 的厚度減少至基本上與虛設閘電極層 30A 及 30B 之上表面的高度相同。

【0042】 接著，藉由使用回蝕製程來移除第一罩幕層 40A、40B 及第二罩幕層 50A、50B。接著藉由例如使用 O₂ 電漿的灰化操作來移除有機材料層 140。

【0043】 藉由移除罩幕層及有機材料層的操作，也會移除 n 通道區的側壁間隔物 10A、80A 之上部及 p 通道區的側壁 10B、80B。第 7A 圖顯示其最終結構。在第 7A 圖及其後，側壁結構 10A、80A 及 10B、80B 分別由一層的側壁間隔物 81A 及 81B 來繪示以簡化。

【0044】 如第 7A 圖所示，在移除罩幕層的操作期間，氧化側壁 81A 及 81B 之表面及虛設閘電極層 30A 及 30B 之上表面並形成氧化層 11A 及 11B (於側壁上)、31A 及 31B (於虛設閘電極層上) 以及 111 及 131 (於 S/D 中之應變材料上)。氧化層 11B 及 11A 係由二氧化矽或含有碳及/或氮的二氧化矽所製成 (統稱氧化矽基材料 (silicon-oxide based material))。

【0045】 接著，如第 7B 圖所示，藉由沉積第五絕緣層及各向異性地蝕刻沉積的第五絕緣層來形成側壁間隔物 95A 及 95B。

【0046】 藉由 ALD 方法於約 450 至約 550°C 的溫度下形成第五絕緣層。在蝕刻操作中，利用改變電壓及/或偏壓條件，使用具有包括 CH₄、CHF₃、O₂、HBr、He、Cl₂、NF₃ 及/或 N₂ 的製程氣體之變壓耦合電漿 (transform coupled plasma, TCP) 以獲得

期望的側壁間隔物結構。蝕刻之後進行濕式清洗以移除形成於蝕刻操作期間的的聚合物殘餘。

【0047】 在一些實施例中，第五絕緣層由SiCN、SiOCN或SiN所製成。如沉積的第五絕緣層之厚度為約2nm至約4nm。在一些實施例中，側壁間隔物95A及95B的寬度W2於虛設閘電極層(30A或30B)之上表面的高度處為約8nm至約14nm。

【0048】 在一些實施例中，如第7B圖所示，介於側壁95A與氧化層11A(11B)之間的介面L1A(L1B)位於應變材料層110(130)與其表面的鰭結構NFIN(PFIN)之間。換句話說，調整側壁81A(81B)的厚度及氧化層11A(11B)的厚度以調整介面L1A(L1B)的位置。因此，如第7B圖所示，側壁95A(95B)的側向底端位於S/D的應變材料層110(130)上方。藉由使用側壁95A及95B，可改善後來形成的S/D接觸件與閘電極之間的電性隔離。

【0049】 在形成側壁95A及95B之後，如第7C圖所示，形成接觸蝕刻停止層(CESL)145於第7B圖的最終結構上方。CESL145包括一或多層的氮化矽基化合物，例如SiN、SiON、SiCN或SiOCN。在此實施例中，使用SiN作為CESL145。CESL145的厚度為約3nm至5nm。CESL145可由CVD或ALD所製成。

【0050】 在形成CESL145之後，形成層間介電(ILD)層150於第7C圖的最終結構上方。如第8A圖所示，形成ILD層150使得具有側壁間隔物的虛設閘極結構完全地內埋ILD層150之中。

【0051】 可藉由CVD、HDPCVD、可流動式CVD、旋轉塗佈法沉積、PVD、濺射法或其它合適方法來形成ILD層150。ILD

層 150 包括氧化矽、氮氧化矽、低 k 材料及 / 或其它合適介電材料。如第 8B 圖所示，共形地沉積 ILD 層 150 且接著藉由 CMP 製程來平坦化 ILD 層 150。虛設閘極結構在 CMP 製程中作為平坦化停止器。也就是說，如第 8B 圖所示，CMP 製程停止於虛設閘極結構之暴露的頂表面。

【0052】 如第 8C 圖所示，移除虛設閘極電極 30A、30B 及虛設閘極介電層 20A、20B，從而提供開口 155A 及 155B 其分別介於 n 通道區の間隔物元件 81A 及 p 通道區の間隔物元件 81B 之間。藉由諸如氨水及 / 或其它合適蝕刻劑的蝕刻液來移除虛設閘極電極 30A 及 30B。在一替代的實施例中，藉由合適的乾蝕刻製程來移除虛設閘極電極 30A 及 30B。例示性蝕刻劑包括氨基蝕刻劑。在一些實施例中，使用蝕刻製程 (濕蝕刻、乾蝕刻、電漿蝕刻等) 來移除虛設閘極介電層 20A 及 20B。虛設閘極介電層 20A 及 20B 的移除暴露了鰭結構中通道層的頂表面。

【0053】 如第 9A 圖所示，藉由虛設閘極結構的移除以形成金屬閘極結構於開口 155A、155B 中。n 型 FET 的閘極結構包括閘極介電層 161A 及金屬閘極層 170A，且 p 型 FET 的閘極結構包括閘極介電層 161B 及金屬閘極層 170B。

【0054】 在一些實施例中，閘極介電層 161A 及 161B 包括一或多層諸如高介電常數金屬氧化物的金屬氧化物。用於高介電常數介電材料的金屬氧化物之實例包括 Li、Be、Mg、Ca、Sr、Sc、Y、Zr、Hf、Al、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu 的氧化物及 / 或其混合物。在此實施例中，使用氧化鈦 (HfO₂)。可藉由 ALD、CVD、PVD 及 / 或其它

合適方法來形成閘極介電層 161A 及 161B。

【0055】 金屬閘極層 170A 及 170B 包括一或多層 Al、Cu、W、Ti、Ta、TiN、TiAl、TiAlC、TiAlN、TaN、NiSi、CoSi、具有與基底材料相容的功函數之其它導電材料或其組合。可藉由 CVD、PVD、電鍍及/或其它合適製程來形成金屬閘極層 170A 及 170B。於閘極結構形成期間可實行一或更多 CMP 製程。可採用鑲嵌製程以製造閘極結構。

【0056】 在一些實施例中，可插入一或更多個功函數調整層(未繪示)於閘極介電層 161A、161B 與金屬閘極層 170A、170B 之間。功函數調整層係由諸如單層 TiN、TaN、TaAlC、TiC、TaC、Co、Al、TiAl、HfTi、TiSi、TaSi 或 TiAlC 或是兩層或更多這些材料之多層的導電材料所組成。對於 n 通道 FET，使用一或更多 TaN、TaAlC、TiN、TiC、Co、TiAl、HfTi、TiSi 及 TaSi 作為功函數調整層，且對於 p 通道 FET，使用一或更多 TiAlC、Al、TiAl、TaN、TaAlC、TiN、TiC 及 Co 作為功函數調整層。

【0057】 接著，如第 9B 圖所示，為了形成埋入閘電極 171A 及 171B，回蝕金屬閘極層 170A 及 170B 至特定深度以部分移除金屬閘極層。沉積第六絕緣層 180 以填滿由金屬閘極層 170A 及 170B 之部分移除所產生的凹蝕部分。第六絕緣層可包括一或多層諸如 SiN、SiON、SiCN 或 SiOCN 的氮化矽基化合物。在此實施例中，使用 SiN 作為第六絕緣層 180。可藉由 PVD、CVD、PECVD、APCVD、LPCVD、HDPCVD、ALD 及/或其它製程來形成第六絕緣層 180。如第 9C 圖所示，藉由實行諸如 CMP 製程的平坦化操作，移除形成於 ILD 層 150 上的第六絕緣層 180，使

得蓋層 181A 及 181B 被留在埋入金屬閘電極 171A 及 171B 上。

【0058】 接著，藉由使用微影操作，圖案化光阻層以形成接觸孔圖案於 n 通道 FET 及 p 通道 FET 的 S/D 區上方。如第 10A 及 10B 圖所示，藉由使用圖案化的光阻罩幕，蝕刻 ILD150 以形成 S/D 接觸孔 157A 及 157B。在一實施例中，較佳為在 HDP 中使用諸如 C₄F₈ 及 CH₃F 的蝕刻氣體來進行蝕刻，以得到對於 SiN 層之高選擇性。如第 10A 圖所示，由氧化矽或氧化物基絕緣材料所製成的 ILD 層 150 之蝕刻停止於由 SiN 或氮化物基絕緣材料所製成的 CESL145A、145B。因此，即使接觸孔光阻圖案在微影操作中因未對準而側向位移至閘電極，ILD 層之蝕刻也不會移除閘極結構側壁上之 CESL 且接觸孔也不會接觸閘電極。於是，接觸孔藉由自對準至 S/D 區而形成(即，形成的 SAC)。再者，由於形成額外的側壁層 95A 及 95B，故可進一步改善後來形成的 S/D 接觸件及閘電極之間之電性隔離。

【0059】 如第 10B 圖所示，在蝕刻停止於 CESL 之後，實行額外的蝕刻操作以移除接觸孔 157A 及 157B 底部中的 CESL。在一些實施例中，在 CESL 蝕刻期間或之後，也可移除形成於 S/D 區之應變材料上的氧化層 111 及 131。

【0060】 如第 10C 圖所示，在分別暴露 n 型 FET 及 p 型 FET 之 S/D 區應變材料 110 及 130 之表面之後，形成 n 型 FET 之 S/D 區的金屬化層 115 及 p 型 FET 之 S/D 區的金屬化層 135。金屬化層包括一或更多矽化物層，例如 TiSi、TaSi、WSi、NiSi、CoSi 或其它合適的過渡金屬矽化物。n 型 FET 之矽化物層 115 可相同或不同於 p 型 FET 之矽化物層 135。

【0061】 第11A及11B圖顯示S/D接觸件形成之製程。由例如Ti或Ti-W所製成之黏合層220A及220B藉由CVD、PVD、電鍍及/或其它合適製程形成於接觸孔157A及157B之側面上。接著，由例如TiN所製成之阻擋層210A及210B透過濺射或蒸鍍製程設置於黏合層200A、200B上方。n型FET之黏合層200A及/或阻擋層210A可各自相同或不同於p型FET之黏合層200B及/或阻擋層210B。

【0062】 接著，如第11A圖所示，藉由CVD設置鎢(W)層190。如第11B圖所示，藉由實行CMP操作以移除設置於ILD層150上的W層190，可得具有W插塞結構190A及190B的S/D接觸件。

【0063】 第12A及12B圖顯示S/D圖接觸孔部分之放大剖面圖。第12A及12B圖分別相應於例如第9C及11B圖之n通道區。然而，於第12A及12B圖中，排列了兩個閘極結構，即兩個n通道FET的第一及第二閘極結構。第一閘極結構包括高介電常數閘極介電層161A、金屬閘電極層171A、蓋層181A、側壁間隔物81A、11A、95A及CESL145A，而第二閘極結構包括高介電常數閘極介電層161A'、金屬閘電極層171A'、蓋層181A'、側壁間隔物81A'、11A'、95A'及CESL145A。第一及第二閘極結構係同時形成，且其材料及構造基本上與彼此相同。再者，如第12A圖所示，設置S/D區的應變層110於第一與第二閘極結構之間。

【0064】 如第12A圖所示，在如第9C圖所示之蓋層181A形成之後的階段，側壁間隔物81A於金屬閘電極層171A之上表面

的高度處具有約6nm至約10nm之厚度 W_a 。側壁間隔物95A於金屬閘電極層171A之上表面的高度處具有約2nm至約4nm之厚度 W_b 。CESL145A於金屬閘電極層171A之上表面的高度處具有約3nm至約5nm之厚度 W_c 。氧化層11A於金屬閘電極層171A之上表面的高度處具有約0.5nm至約1nm的厚度。

【0065】 如第12B圖所示，在如第11B圖所示之W插塞形成之後的階段，側壁間隔物81A、11A、95A及145A於金屬閘電極層171A之上表面的高度處具有約8nm至約16nm之厚度 W_e 。如第12B圖所示，側壁間隔物層包括至少四層，81A、11A、95A及145A。由於側壁間隔物層81A可具有二或更多層(例如10A及80A)，側壁間隔物層的數量可為五層或更多。若間隔物層95A及145A由相同材料所製成，且不可能明確地區隔此兩層，則側壁間隔物可具有三層，其包括由氮化矽基材料所製成的層81A、由氧化矽基材料所製成的層11A及由氮化矽基材料所製成的層95A及145A。

【0066】 在側壁間隔物層之中，間隔物層95A及CESL145A之底部位於S/D區之應變層110上方。再者，側壁間隔物的高度與蓋層181A的高度相同或低於蓋層181A的高度數奈米，即側壁間隔物的高度基本上相同於蓋層181A的高度。

【0067】 由於層95A設置於氧化層11A及CESL145A之間，因此可增加側壁間隔物的總厚度，並改善S/D接觸件(W插塞)與閘電極之間的電性隔離。

【0068】 應當理解，第11B圖所示之裝置經歷進一步的CMOS製程以形成諸如互連金屬層、介電層、保護層等之各種

元件特徵。

【0069】 描述於此的各種實施例或實例提供一些優於習知技術之優點。例如，藉由引入額外的側壁間隔物(例如95A、95B)，由於例如表面張力及毛細孔效應，有可能改善間隔物介電區對蝕刻液(例如稀釋的HF及/或氨水溶液)的抗擾性(immunity)。亦可能改善閘電極與S/D接觸件(W插塞)之間的電性隔離，且可改善於熱載子退化下的裝置半生期。

【0070】 應當理解，並非所有優點已必然在此討論，且並非所有的實施例或實例都需要特定的優點，且其它實施例或實例可提供不同的優點。

【0071】 根據本揭露之一面向，半導體裝置包括設置於基底上方之閘極結構；及設置於該閘極結構兩側側壁上之側壁間隔物。側壁間隔物包括至少四層間隔物層，其含有從該閘極結構依第一至第四之順序堆疊的間隔物層。

【0072】 根據本揭露之另一面向，在半導體裝置的製造方法中，形成閘極結構於基底上方。形成第一側壁間隔物層於閘極結構的側壁上。於第一側壁間隔物層上形成氧化層以作為第二側壁間隔物層。形成第三側壁間隔物層於第二側壁間隔物層上。形成接觸蝕刻停止層於第三側壁間隔物及基底上。

【0073】 根據本揭露之又一面向，在半導體裝置的製造方法中，於基底上方對n通道電晶體形成第一虛設閘極結構，該n通道電晶體具有設置於其上方的單幕層。形成第一絕緣層於第一虛設閘極結構上方。透過第一絕緣層對n通道電晶體植入第一離子。形成第二絕緣層於第一絕緣層上方。形成第三絕緣層

於第二絕緣層上方。蝕刻第一至第三絕緣從而形成第一 n 側壁間隔物層於第一虛設閘極結構的側壁上。形成第一源極/汲極結構於第一 n 側壁間隔物層的側部基底中。在形成第一源極/汲極結構之後，從第一 n 側壁間隔物層中移除第三絕緣層。於第一 n 側壁間隔物層上形成氧化層以作為第二側壁間隔物層。形成第三 n 側壁間隔物層於第二側壁間隔物層上。形成接觸蝕刻停止層於第三 n 側壁間隔物層及基底上。

【0074】 前述內文概述了許多實施例的特徵，使本技術領域中具有通常知識者可以更佳的了解本揭露的各個方面。本技術領域中具有通常知識者應該可理解，他們可以很容易的以本揭露為基礎來設計或修飾其它製程及結構，並以此達到相同的目的及/或達到與本揭露介紹的實施例相同的優點。本技術領域中具有通常知識者也應該了解這些相等的結構並不會背離本揭露的發明精神與範圍。本揭露可以作各種改變、置換、修改而不會背離本揭露的發明精神與範圍。

【符號說明】

【0075】

GATE 閘極結構

STI 隔離絕緣層

SUB 基底

FIN、NFIN、PFIN 鰭結構

NLDD、PLDD 離子植入

W1、W2 寬度

Wa、Wb、Wc、We 厚度

L1A、L1B 介面

10 第一絕緣層

11 n型FinFET

12 p型FinFET

11A、11A'、11B 氧化層

20A、20B 虛設閘極介電層

30A、30B 虛設閘電極層

31A、31B 氧化層

40A、40B 第一罩幕層

50A、50B 第二罩幕層

70A、70B 光阻層

75A、75B 光阻層

80、80A、80B 第二絕緣層(側壁間隔物層)

81A、81A'、81B 側壁間隔物層

90、90A 第三絕緣層

95A、95A'、95B 側壁間隔物層

100、105 凹蝕部分

110、130 應變材料

111、131 氧化層

115、135 金屬化層

120、120B 第四絕緣層

140 有機層

145A、145B 接觸蝕刻停止層(CESL)

150 層間介電(ILD)層

155A、155B 開口

157A、157B S/D接觸孔

161A、161A'、161B 閘極介電層

170A、170B 金屬閘極層

171A、171A'、171B 埋入閘電極

180 第六絕緣層

181A、181A'、181B 蓋層

190A、190B W插塞結構

200A、200B 黏合層

210A、210B 阻擋層

發明摘要

※ 申請案號：105124398

※ 申請日：105/08/02

※IPC 分類：*H01L 29/06* (2006.01)*H01L 29/40* (2006.01)*H01L 21/28* (2006.01)**【發明名稱】** 半導體裝置及其製造方法Semiconductor device and method of manufacturing
the same**【中文】**

一種半導體裝置，包括：設置於基底上方之閘極結構，及設置於該閘極結構兩側側壁上之側壁間隔物。側壁間隔物包括至少四層間隔物層，其含有從該閘極結構依第一至第四之順序堆疊的間隔物層。

【英文】

A semiconductor device includes a gate structure disposed over a substrate, and sidewall spacers disposed on both side walls of the gate structure. The sidewall spacers includes at least four spacer layers including first to fourth spacer layers stacked in this order from the gate structure.

【代表圖】**【本案指定代表圖】**：第(11B)圖。**【本代表圖之符號簡單說明】**：

11A、11B 氧化層

81A、81B 側壁間隔物

95A、95B 側壁間隔物

- 110、130 應變材料
- 115、135 金屬化層
- 145A、145B 接觸蝕刻停止層(CESL)
- 150 層間介電(ILD)層
- 161A、161B 閘極介電層
- 171A、171B 埋入閘電極
- 181A、181B 蓋層
- 190A、190B W插塞結構
- 200A、200B 黏合層
- 210A、210B 阻擋層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種半導體裝置，包括：
 - 一閘極結構，設置於一基底上方；及
 - 一側壁間隔物，設置於該閘極結構的兩側側壁上，其中：
 - 該側壁間隔物包括至少四層間隔物層，其含有從該閘極結構依第一至第四之順序堆疊的間隔物層。
2. 如申請專利範圍第1項所述之半導體裝置，其中：
 - 該第一、第三及第四間隔物層係由一氮化矽基材料 (silicon-nitride based material) 所製成；及
 - 該第二間隔物層係由一氧化矽基材料 (silicon-oxide based material) 所製成。
3. 如申請專利範圍第2項所述之半導體裝置，其中該氮化矽基材料包括 SiN、SiCN、SiON 或 SiOCN，且該氧化矽基材料包括氧化矽；
 - 其中該第一間隔物層係由 SiCN 所製成；
 - 其中該第四間隔物層係由 SiN 所製成；
 - 其中該第三間隔物層係由 SiCN 或 SiN 所製成；
 - 其中該第三間隔物層係由不同於該第四間隔物層之材料所製成。
4. 如申請專利範圍第1項所述之半導體裝置，更包括：
 - 一源極/汲極區；及
 - 一接觸插塞，與部分該源極/汲極區接觸；
 - 其中該第四間隔物層與該接觸插塞接觸，且其中該第三及第四間隔物層的底部位於該源極/汲極區上方。

5. 如申請專利範圍第1項所述之半導體裝置，其中該閘極結構包括：
- 一閘極介電層；
 - 一閘電極層，設置於該閘極介電層上方；及
 - 一蓋層，由絕緣材料所製成且設置於該閘電極層上方；
- 其中該側壁間隔物的高度基本上相同於該蓋層的高度。
6. 一種半導體裝置的製造方法，該方法包括：
- 形成一閘極結構於一基底上方；
 - 形成一第一側壁間隔物層於該閘極結構的側壁上；
 - 於該第一側壁間隔物層上形成一氧化層以作為一第二側壁間隔物層；
 - 形成一第三側壁間隔物層於該第二側壁間隔物層上；及
 - 形成一接觸蝕刻停止層於該第三側壁間隔物及該基底上。
7. 如申請專利範圍第6項所述之半導體裝置的製造方法，更包括：在形成該第四側壁間隔物層之後：
- 形成一層間介電層於具有該第一至第四間隔物層的該閘極結構上方；
 - 以該接觸蝕刻停止層作為蝕刻停止層，形成一接觸孔於該層間介電層之中；
 - 移除該接觸孔中之該接觸蝕刻停止層；及
 - 利用一導電材料填滿該接觸孔；
- 其中該閘極結構為一虛設閘極結構；且
- 該方法更包括：在形成該第四側壁間隔物層之後：
- 形成一層間介電層於具有該第一至第四間隔物層的該閘極

結構上方；

移除該虛設閘極結構以形成一閘極開口；及

形成一金屬閘極結構，其包括一金屬閘電極層設置於該閘極開口中的高介電常數(high-k)閘極介電層上方。

8. 如申請專利範圍第6項所述之半導體裝置的製造方法，其中該氧化層係藉由氧化該第一側壁間隔物層所形成；

其中形成該第一側壁間隔物層的步驟包括：

形成一下層及形成一上層於該下層上方；

其中，於形成該下層及形成該上層於該下層上方的步驟之間，實行穿過該下層的離子植入。

9. 如申請專利範圍第6項所述之半導體裝置的製造方法，更包括：在形成該金屬閘極結構之後：

凹蝕該金屬閘電極層；及

形成一蓋層於該凹蝕的閘電極層上方；

該方法更包括形成一源極/汲極區，其包含具有不同於通道區的晶格常數之應變材料；

其中，該第三間隔物層的底部係位於該源極/汲極區之上方。

10. 一種半導體裝置的製造方法，該方法包括：

於一基底上方對一n通道電晶體形成一第一虛設閘極結構，該第一虛設閘極結構具有設置於其上方的罩幕層；

形成一第一絕緣層於該第一虛設閘極結構上方；

透過該第一絕緣層對該n通道電晶體植入第一離子；

形成一第二絕緣層於該第一絕緣層上方；

形成一第三絕緣層於該第二絕緣層上方；

蝕刻該第一至第三絕緣從而形成一第一 n 側壁間隔物層於該第一虛設閘極結構的側壁上；

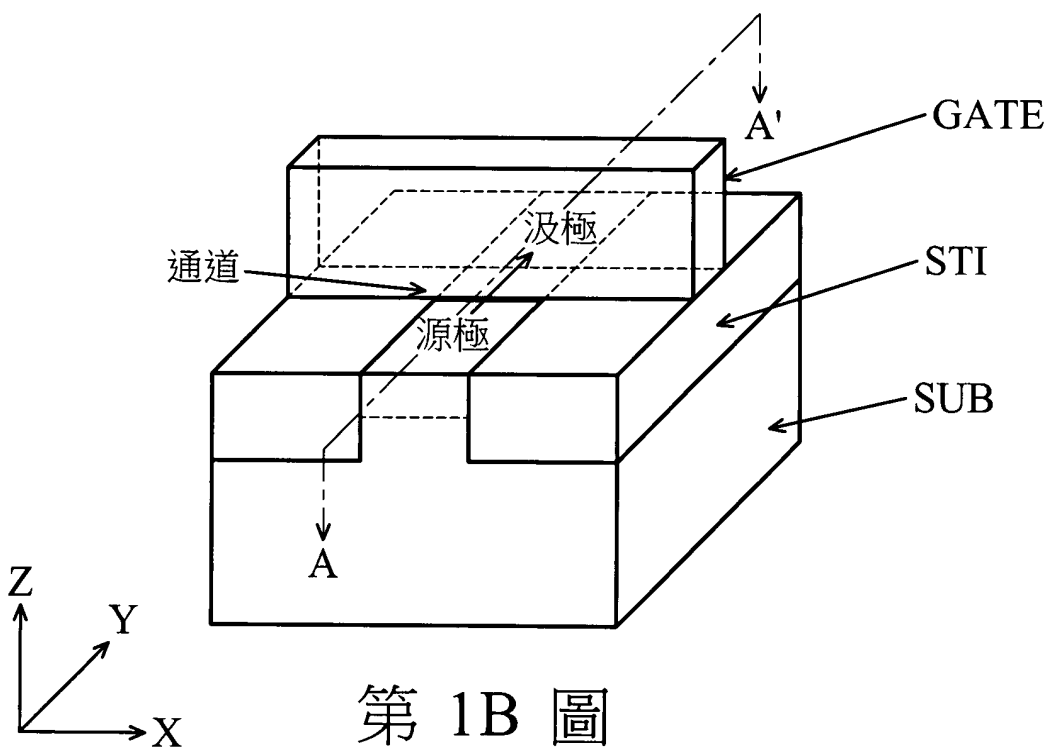
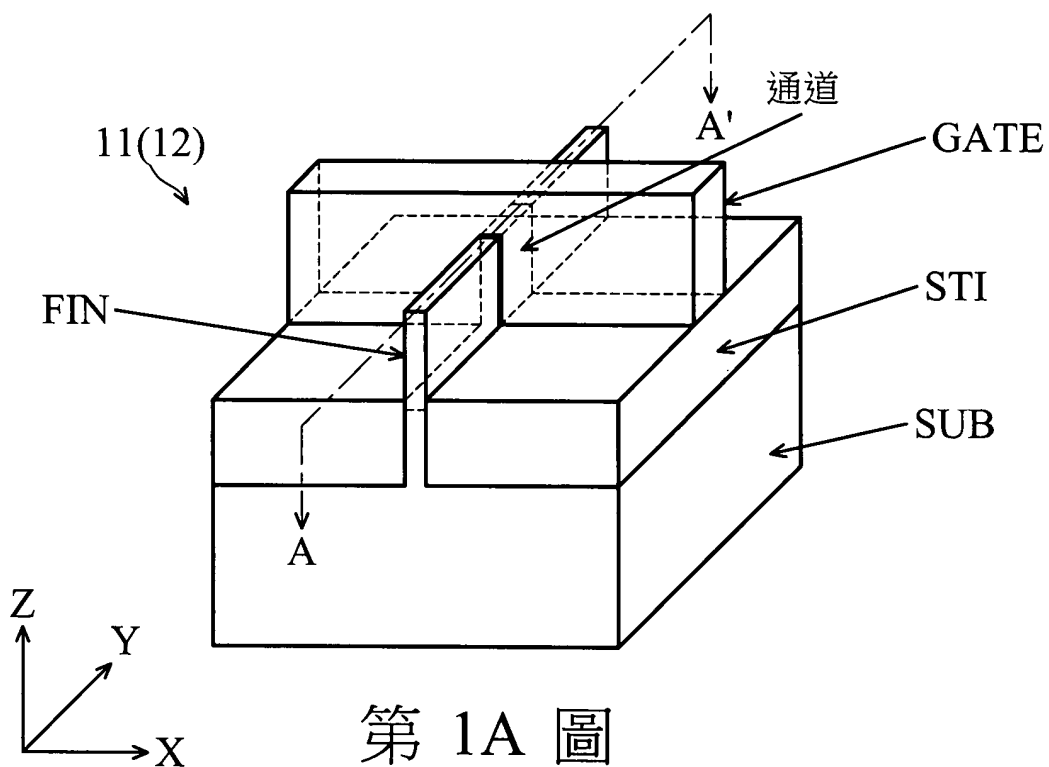
形成一第一源極/汲極結構於該第一 n 側壁間隔物層的側部基底中；

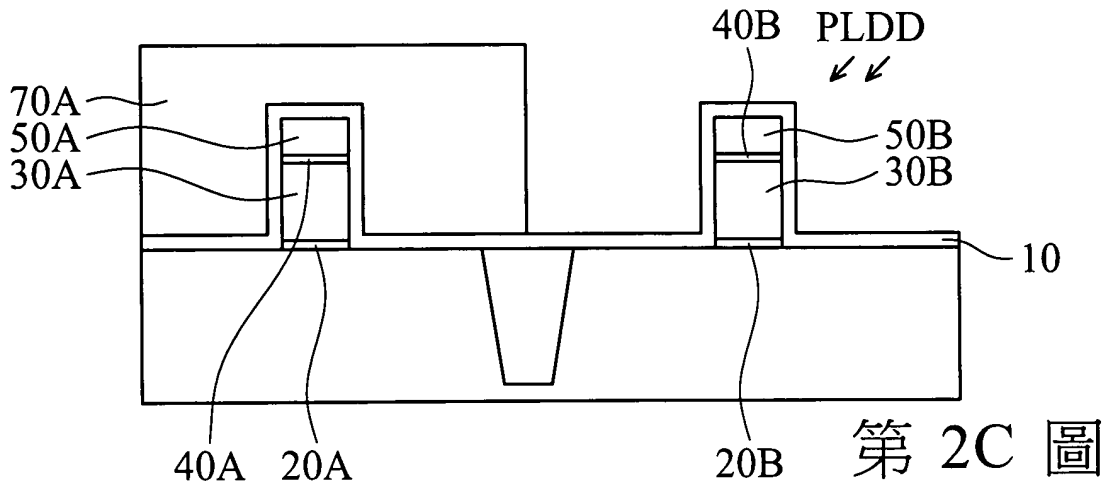
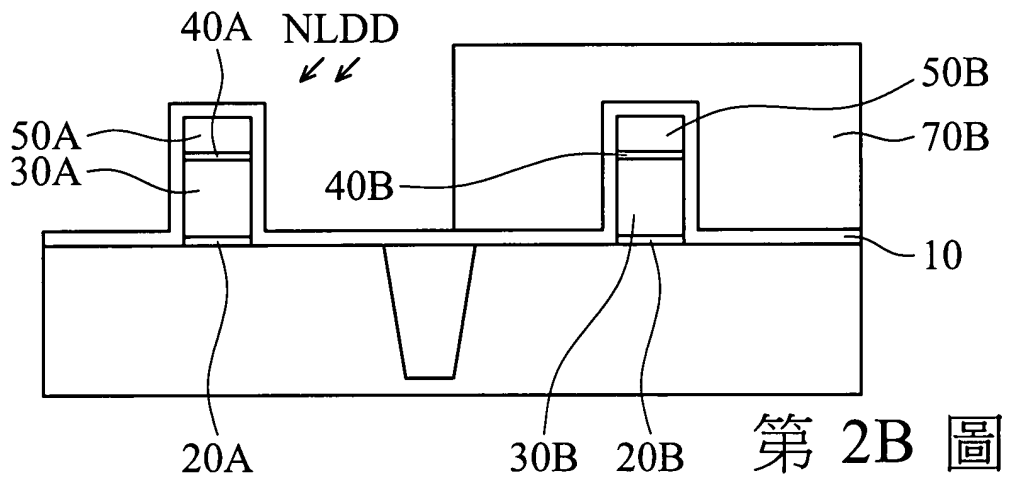
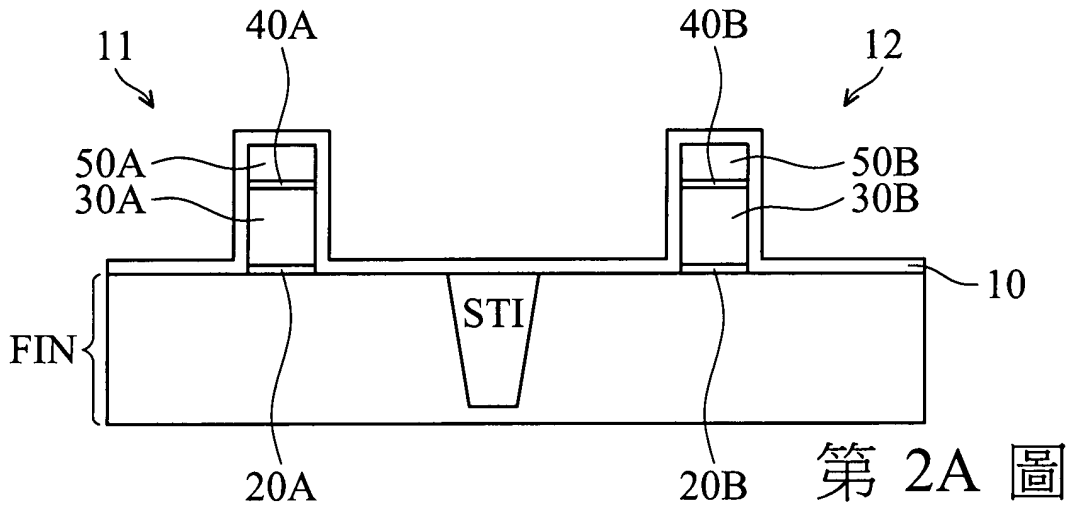
在形成該第一源極/汲極結構之後，從該第一 n 側壁間隔物層中移除該第三絕緣層；

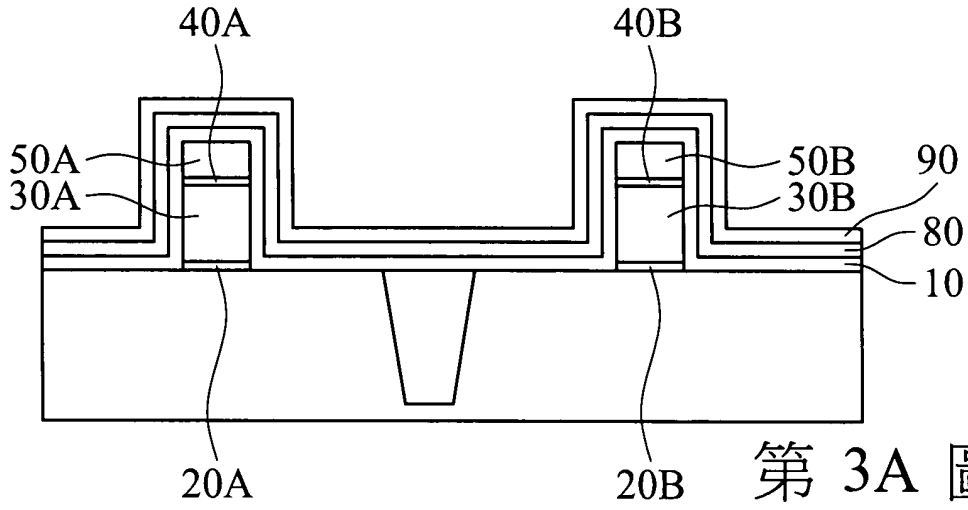
於該第一 n 側壁間隔物層上形成一氧化層以作為一第二側壁間隔物層；

形成一第三 n 側壁間隔物層於該第二側壁間隔物層上；及形成一接觸蝕刻停止層於該第三 n 側壁間隔物層及該基底上。

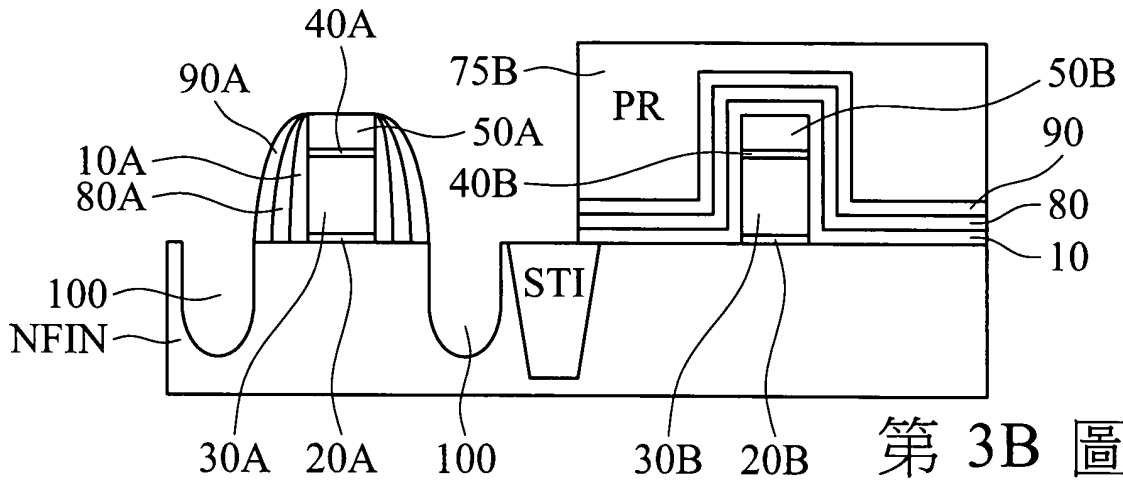
圖式



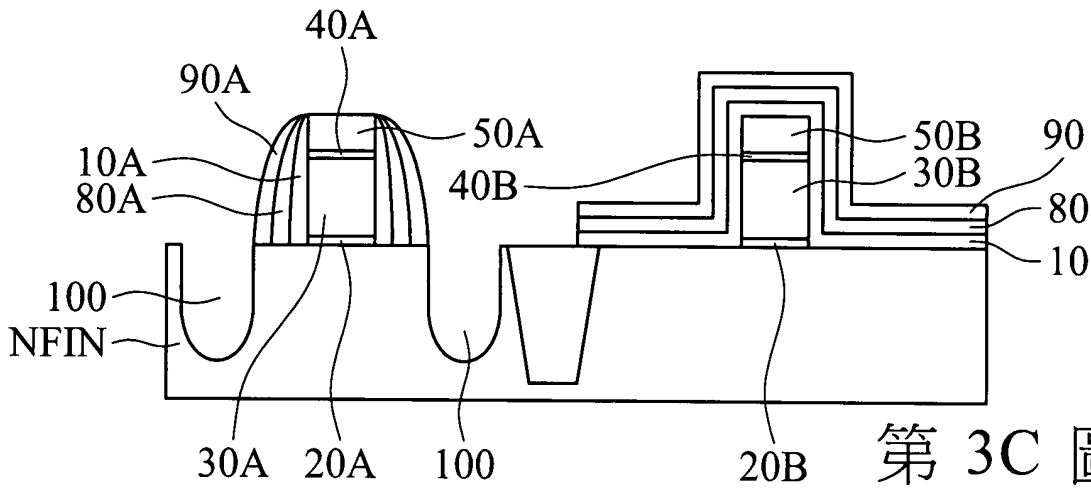




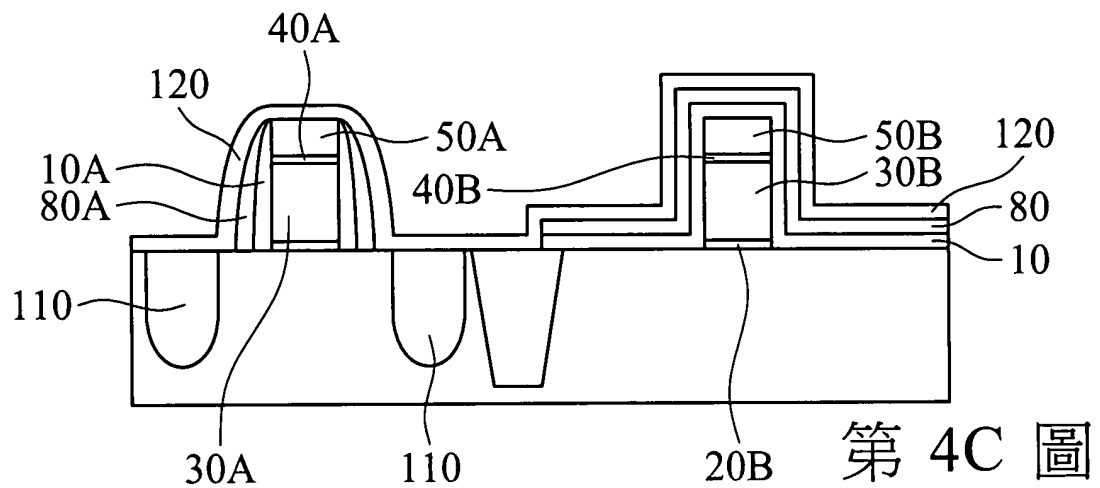
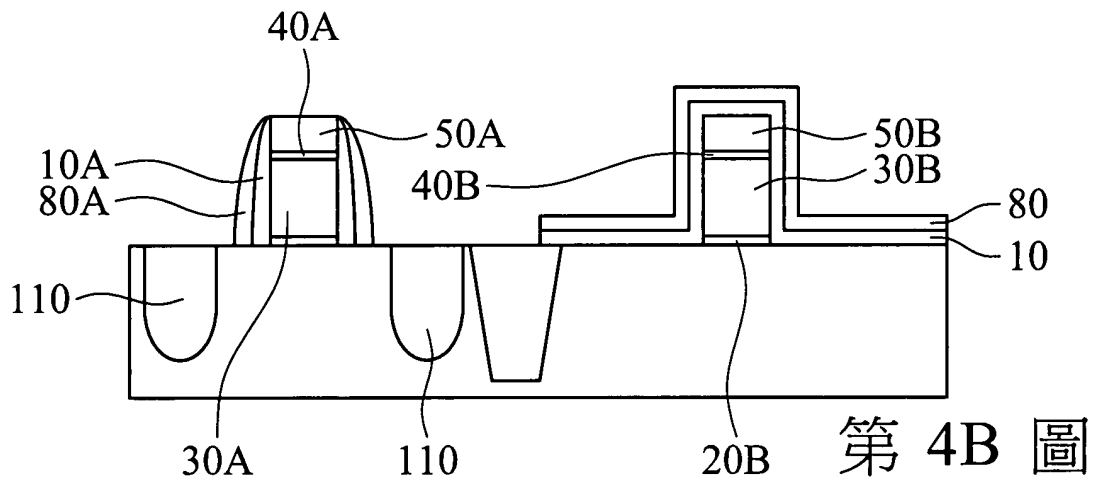
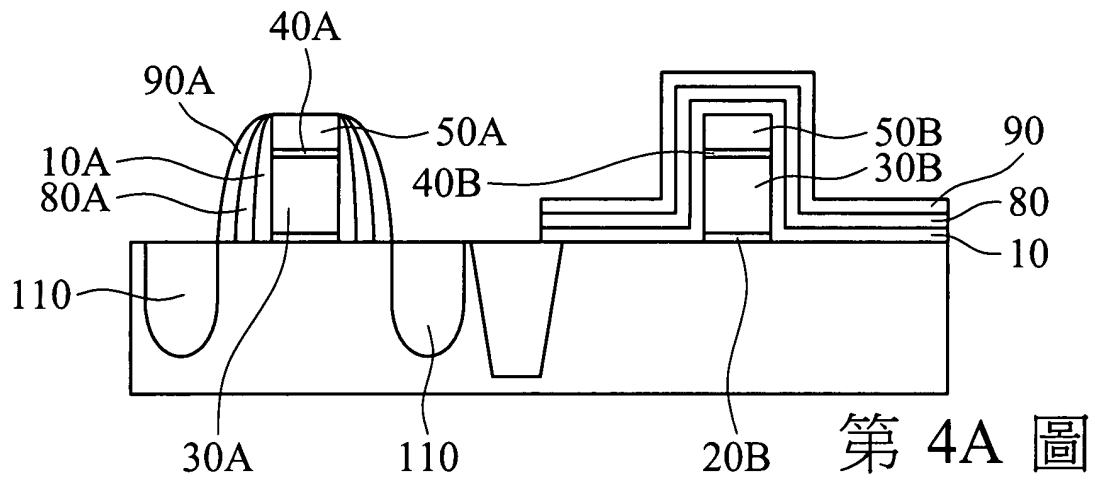
第 3A 圖

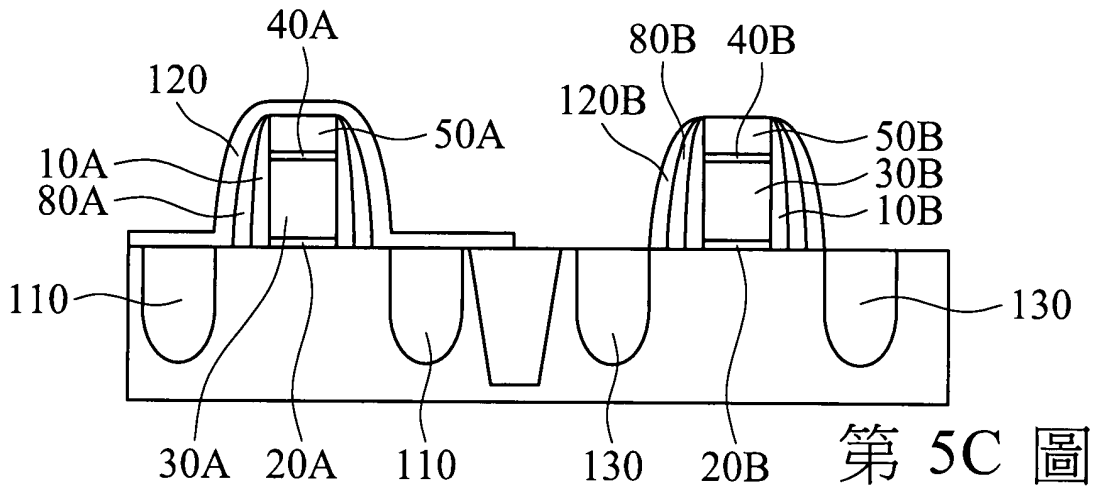
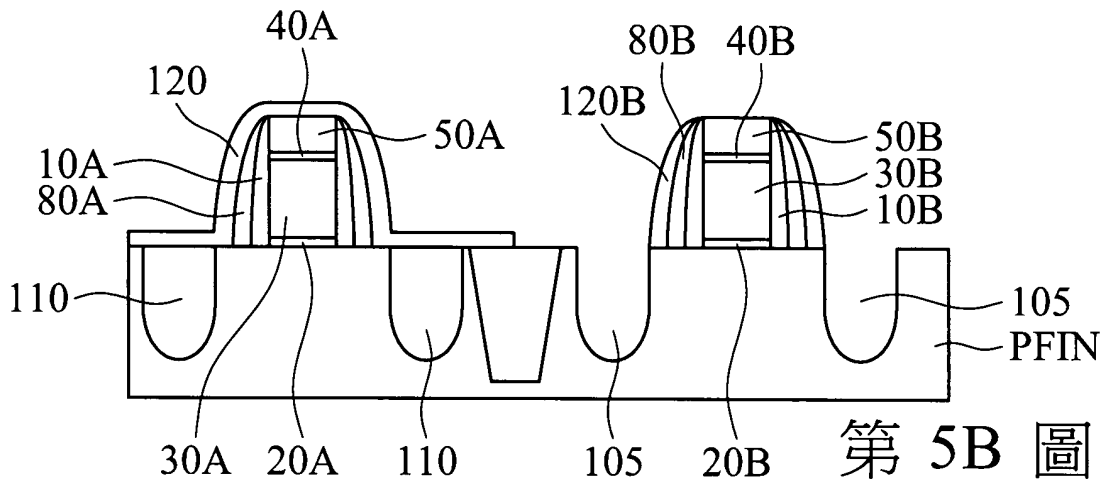
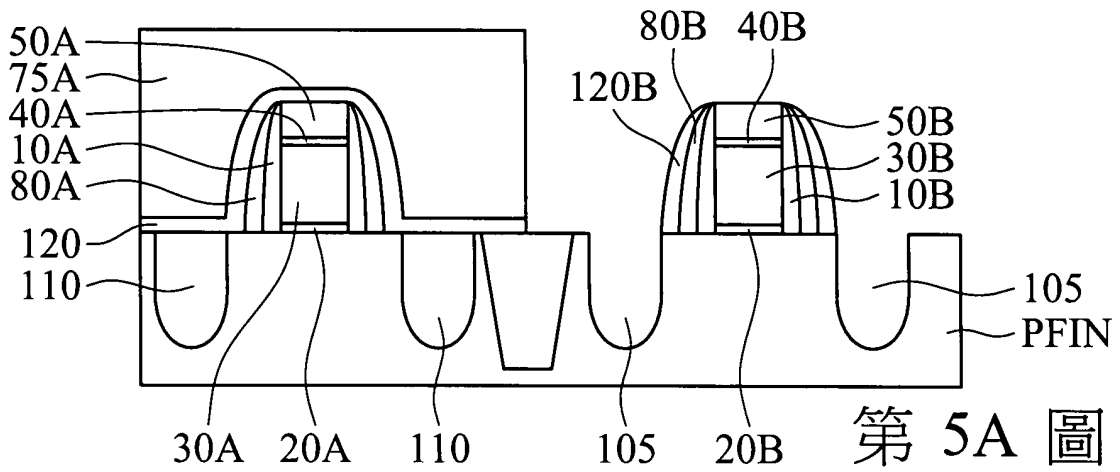


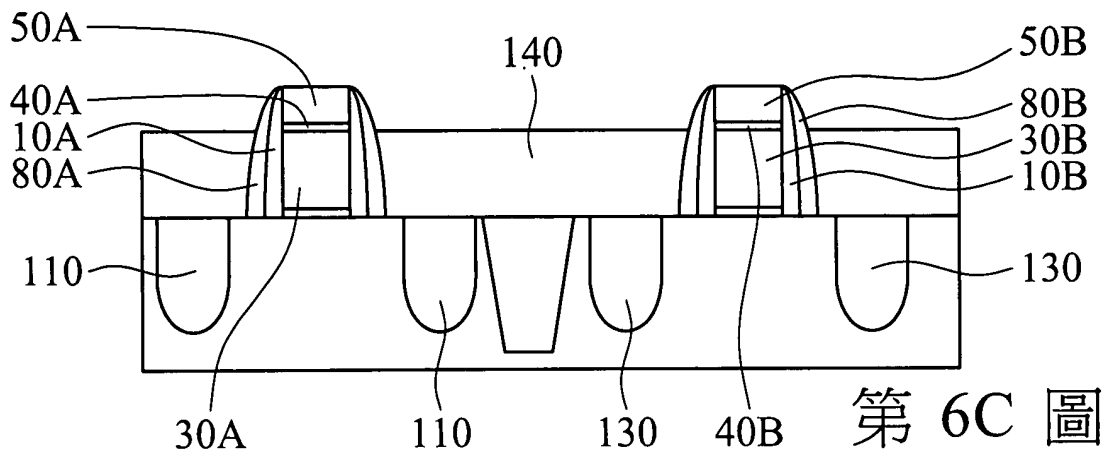
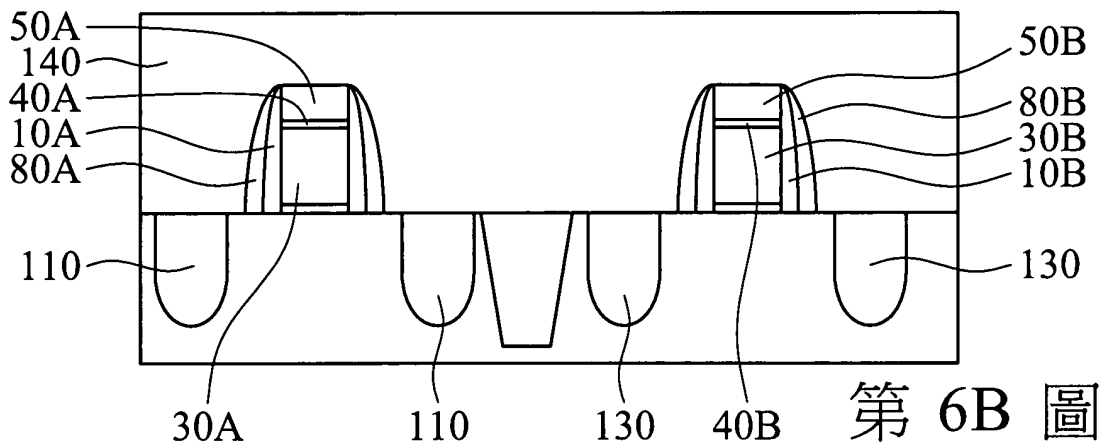
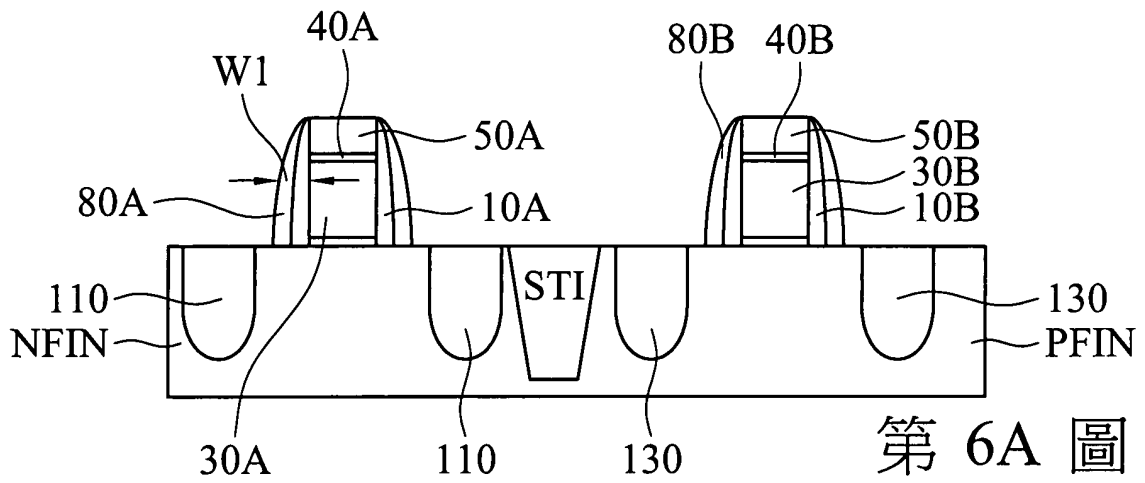
第 3B 圖

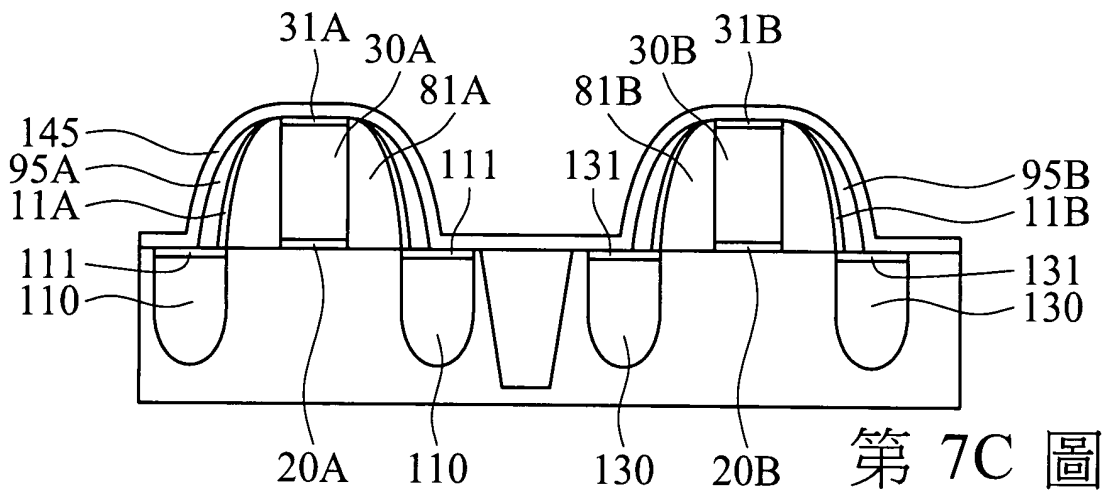
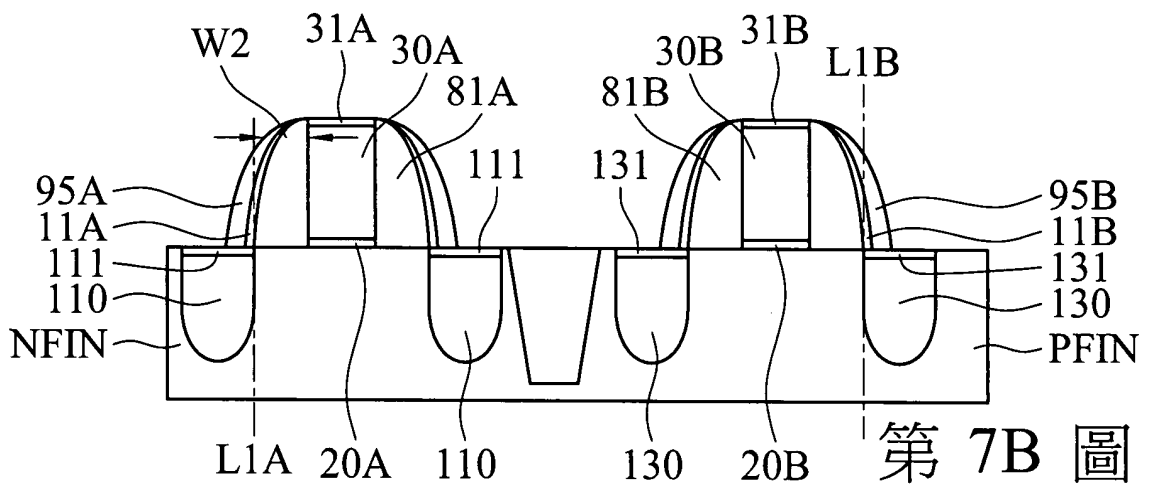
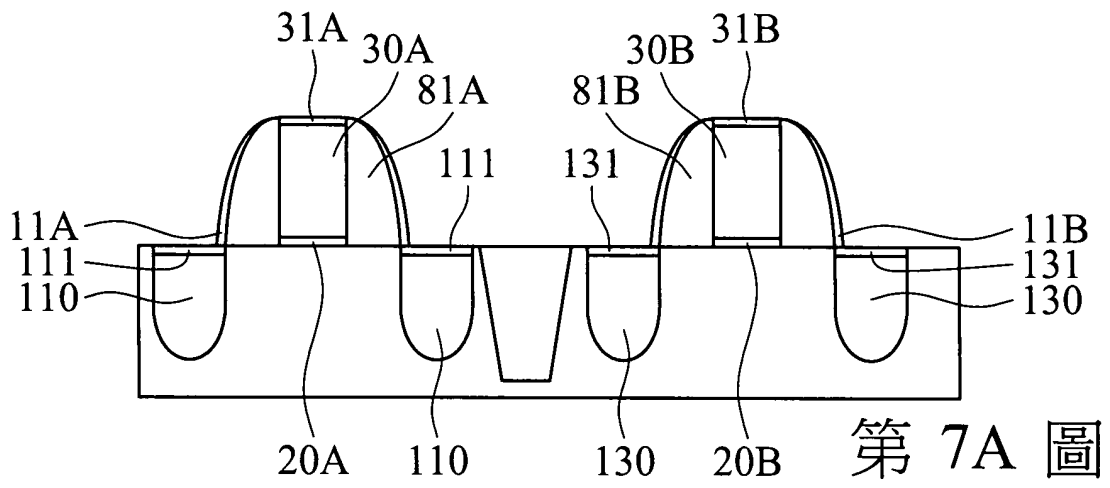


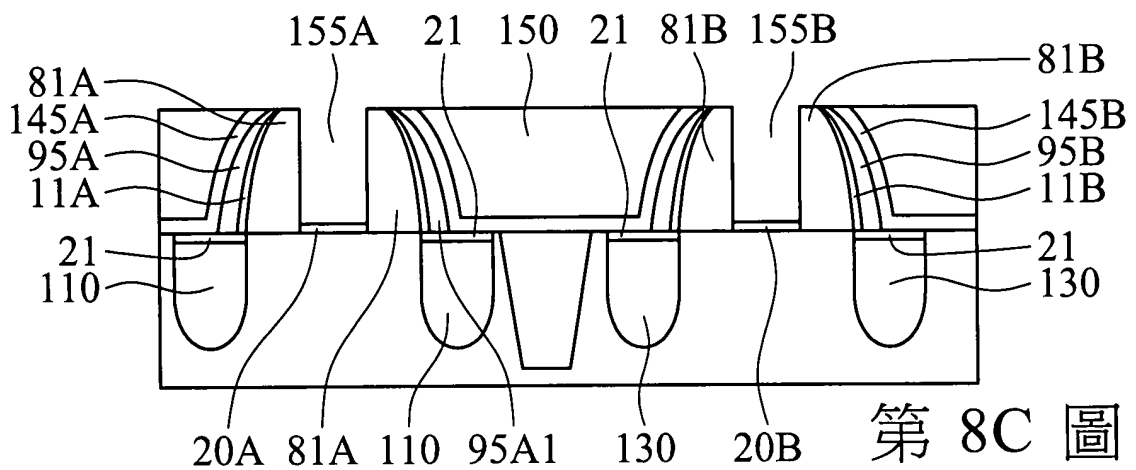
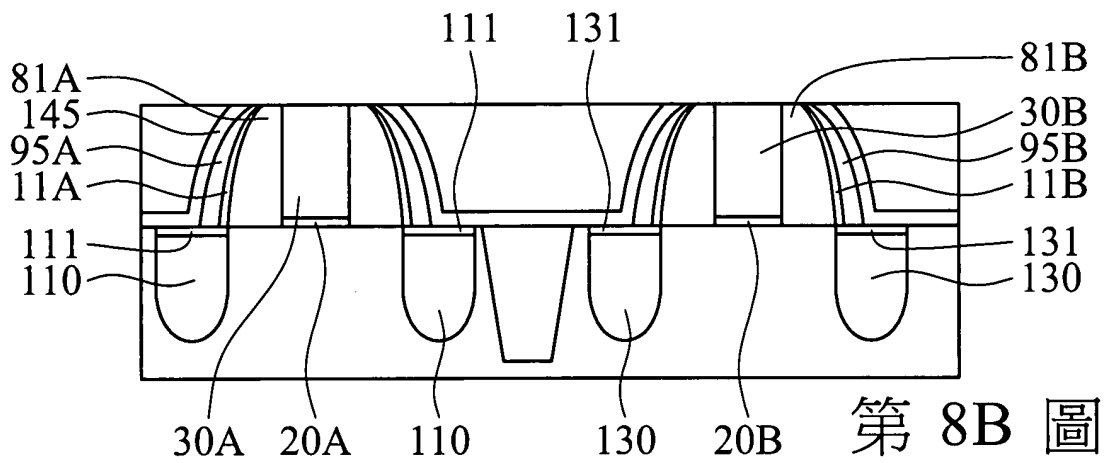
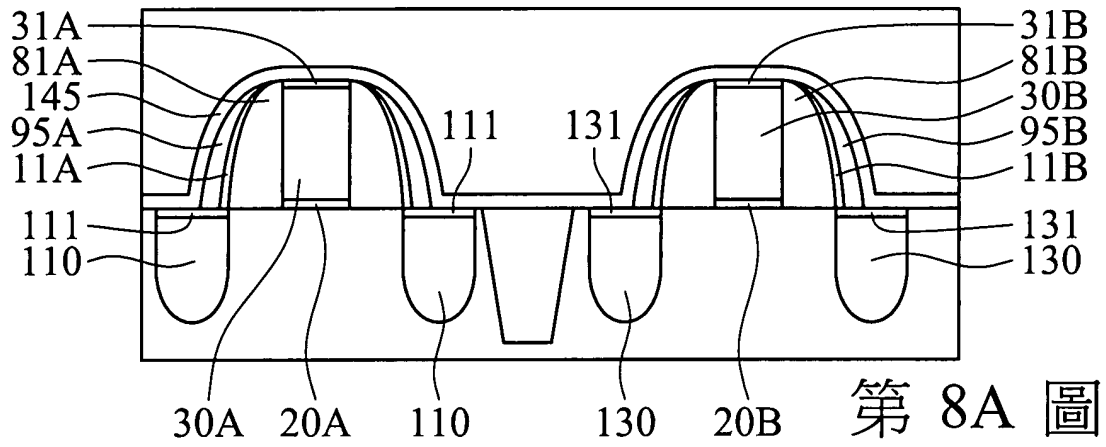
第 3C 圖

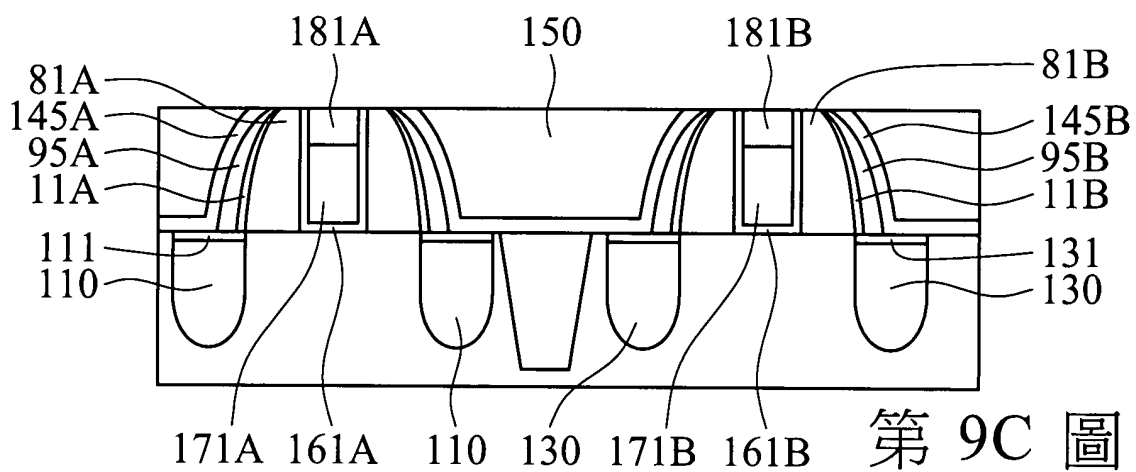
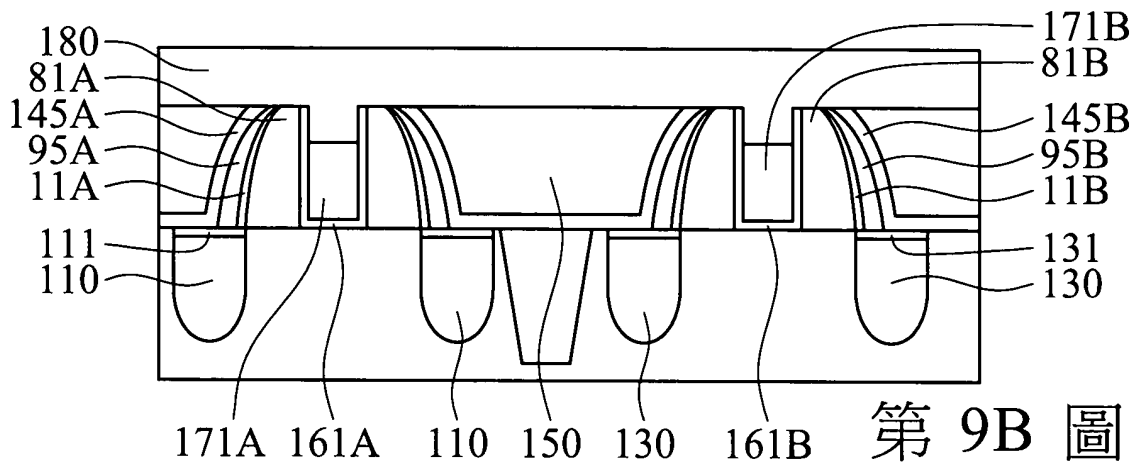
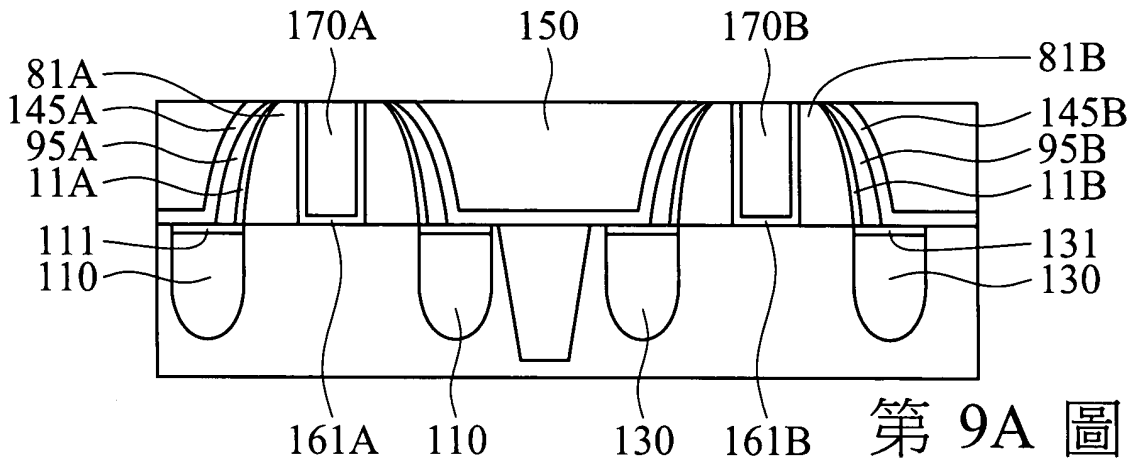


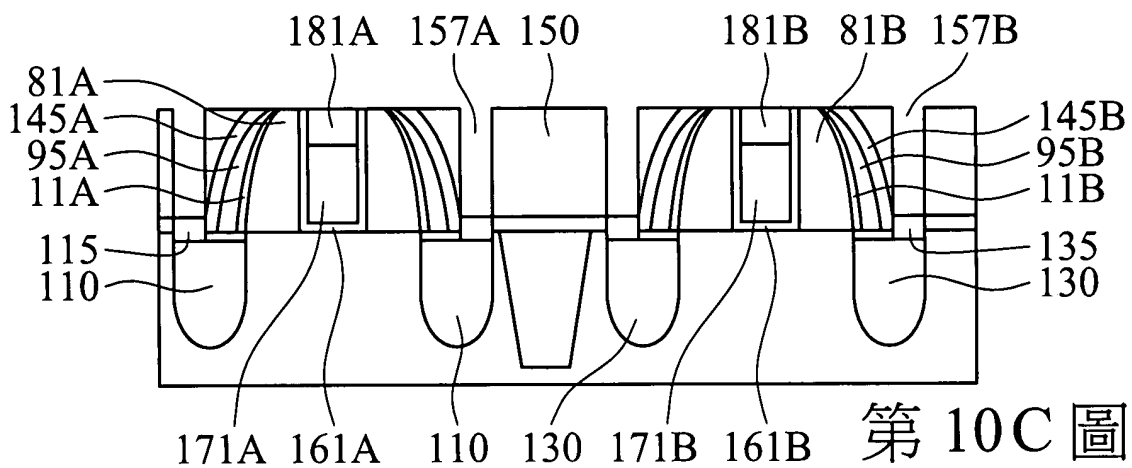
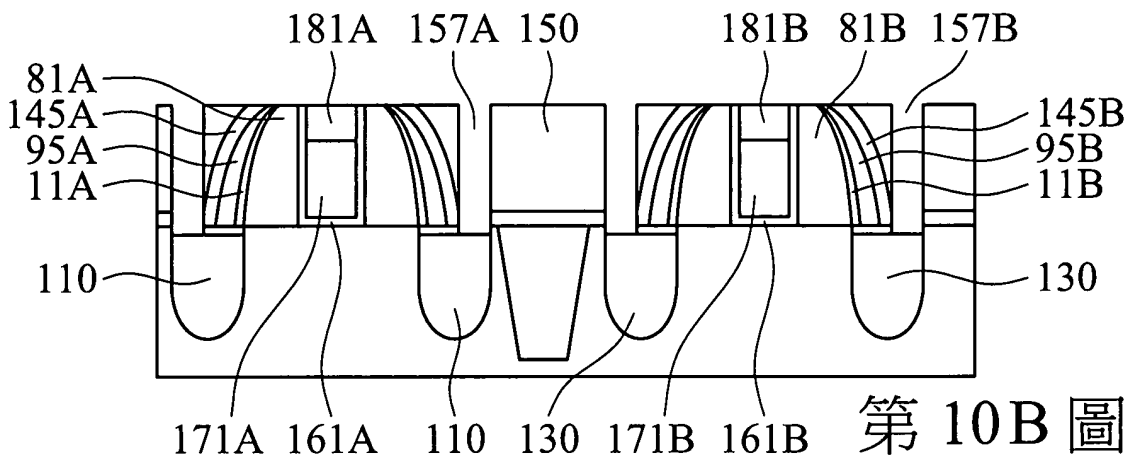
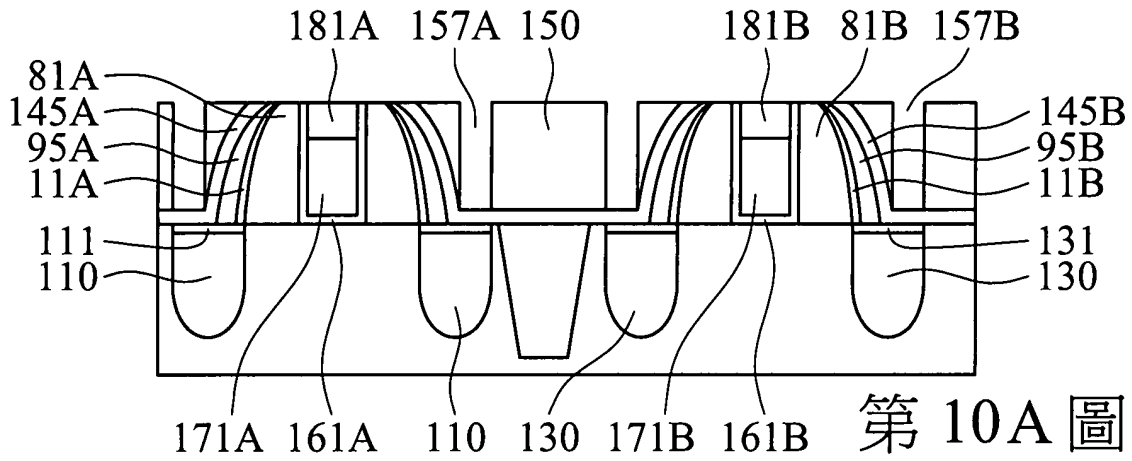


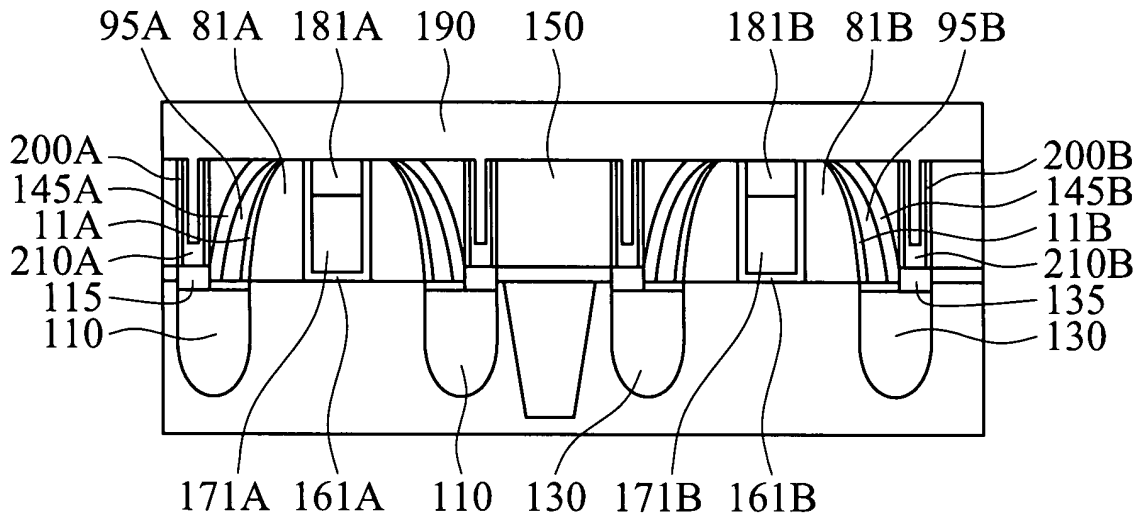




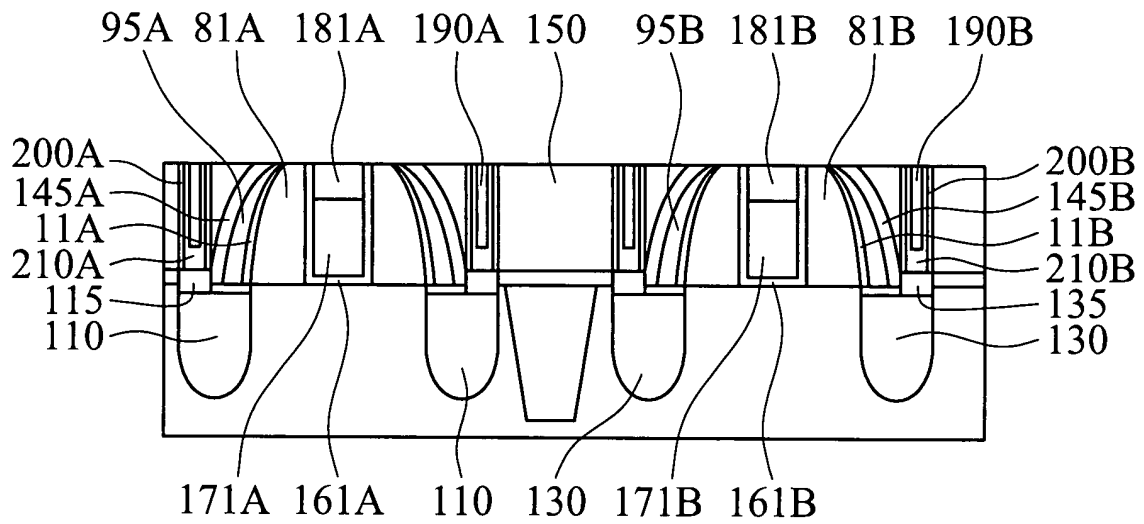




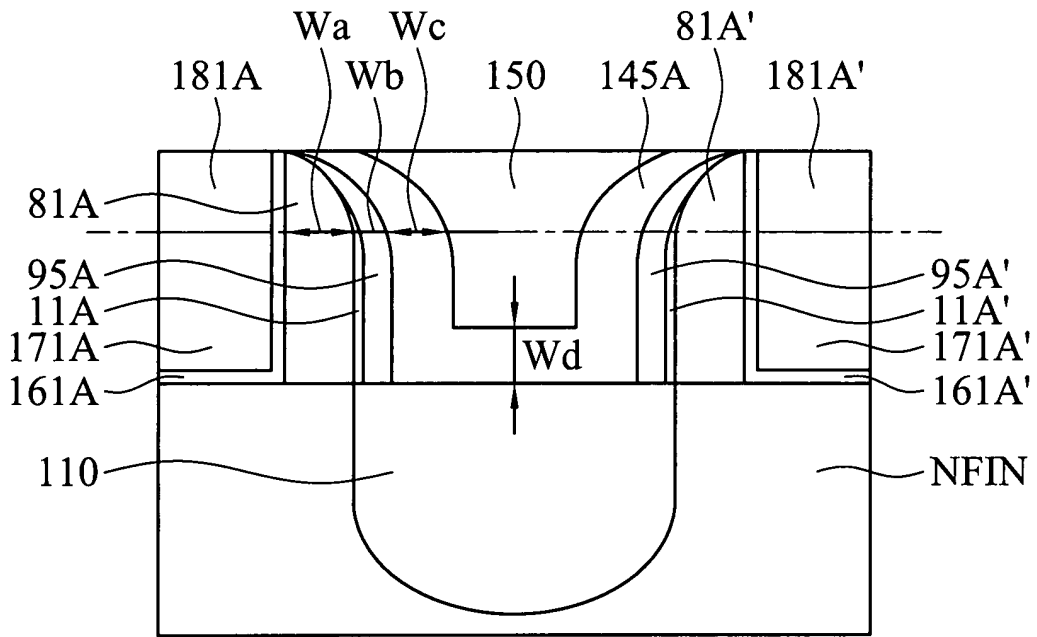




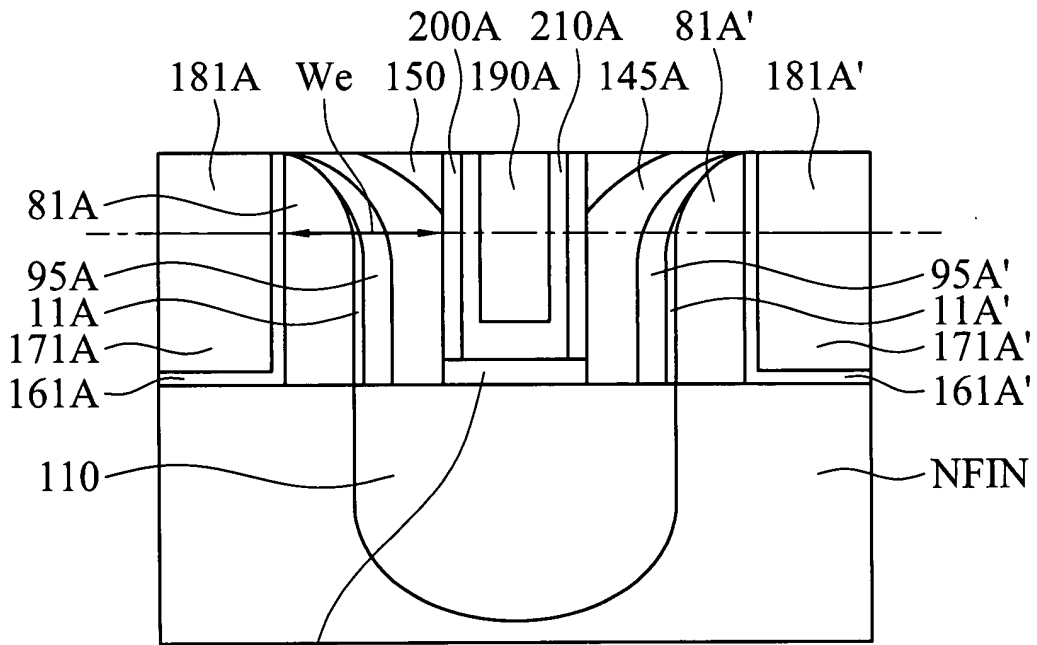
第 11A 圖



第 11B 圖



第 12A 圖



第 12B 圖