

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4595850号
(P4595850)

(45) 発行日 平成22年12月8日(2010.12.8)

(24) 登録日 平成22年10月1日(2010.10.1)

(51) Int.Cl. F I
H O 1 P 1/185 (2006.01) H O 1 P 1/185

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2006-76525 (P2006-76525)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成18年3月20日(2006.3.20)	(74) 代理人	100113077 弁理士 高橋 省吾
(65) 公開番号	特開2007-258763 (P2007-258763A)	(74) 代理人	100112210 弁理士 稲葉 忠彦
(43) 公開日	平成19年10月4日(2007.10.4)	(74) 代理人	100108431 弁理士 村上 加奈子
審査請求日	平成20年8月21日(2008.8.21)	(74) 代理人	100128060 弁理士 中鶴 一隆
		(72) 発明者	遠藤 邦浩 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 移相器

(57) 【特許請求の範囲】

【請求項1】

入力端子、出力端子、第1の反射端子、及び第2の反射端子を有した90°ハイブリッドカプラと、

上記90°ハイブリッドカプラの第1の反射端子に接続された第1の反射性終端回路と

、
上記90°ハイブリッドカプラの第2の反射端子に接続された第2の反射性終端回路とを備え、

上記第1、第2の反射性終端回路は、FETと第1のインダクタを直列に接続した直列回路と、この直列回路と並列に接続された第2のインダクタを有し、

上記FETのOFF時の容量値をC、第1のインダクタのインダクタンスをL1、第2のインダクタのインダクタンスをL2とした時、FETの制御電圧を変化させて、以下の式(1)、(2)のいずれか一方の条件に切り替えて動作させることを特徴とする移相器。

$$C = 1 / \omega^2 L_1 \quad (1)$$

$$C = 1 / \omega^2 (L_1 + L_2) \quad (2)$$

【請求項2】

入力端子、出力端子、第1の反射端子、及び第2の反射端子を有した90°ハイブリッドカプラと、

上記90°ハイブリッドカプラの第1の反射端子に接続された第1の反射性終端回路と

、

上記90°ハイブリッドカプラの第2の反射端子に接続された第2の反射性終端回路とを備え、

上記第1、第2の反射性終端回路は、FETと第1のインダクタを並列に接続した並列回路と、この並列回路と直列に接続された第2のインダクタを有し、
上記FETのOFF時の容量値をC、第1のインダクタのインダクタンスをL1、第2のインダクタのインダクタンスをL2とした時、FETの制御電圧を変化させて、以下の式(1)、(2)のいずれか一方の条件に切り替えて動作させることを特徴とする移相器。

$$C = (L_1 + L_2) / \omega^2 L_1 L_2 \quad (1)$$

$$C = 1 / \omega^2 L_1 \quad (2)$$

【請求項3】

上記FETに、ダイオード素子を用いることを特徴とする請求項1または請求項2に記載の移相器。

【請求項4】

上記FETまたはダイオードに、WBG(Wide Band Gap)素子を用いることを特徴とする請求項1から請求項3のいずれか1項に記載の移相器。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、マイクロ波信号について所望の移相量を得るための反射型の移相器に関し、特に、耐電力の高い高耐電力移相器に関する。

【背景技術】

【0002】

従来の反射型の移相器として、第1の反射性終端回路と、第2の反射性終端回路と、90°ハイブリッドカプラとで構成されたものは開示されている。(例えば、特許文献1参照。)

【0003】

【特許文献1】特開2001-203502号公報(第4図、第8図)

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、上述した従来の移相器では、耐電力性を確保するためにはFETの占有面積を大きくしなければならない。

すなわち、FET ON時の動作に対しては大電流動作が可能ないようにFETのゲート幅を大きく、FET OFF時の動作に対してはFETに印加される電圧を分散させるためにFETを多段接続する必要がある。いずれの場合も回路中のFETの占有面積が増大するため回路が大きくなり、またMMIC(Monolithic Microwave Integrated Circuit)化した場合にはチップサイズが増大する問題があった。

【0005】

また、実用上可能なチップサイズの大きさでは高耐電力性が確保できず、移相器への入力電力は制限される。そのため、移相器を送信モジュールや受信モジュールの位相制御に用いる場合、移相器以降の増幅器の段数が増加し、モジュールサイズが増大するという問題があった。

【0006】

この発明は、上記問題を解決するために為されたものであり、耐電力性を確保したままFETの接続段数や占有面積を減らし、モジュールの小型化を図ることを目的とする。

【課題を解決するための手段】

【0007】

この発明の移相器は、入力端子、出力端子、第1の反射端子、及び第2の反射端子を有した90°ハイブリッドカプラと、90°ハイブリッドカプラの第1の反射端子に接続された第1の反射性終端回路と、90°ハイブリッドカプラの第2の反射端子に接続された

10

20

30

40

50

第2の反射性終端回路とを備え、

上記第1、第2の反射性終端回路は、FETと第1のインダクタを直列に接続した直列回路と、この直列回路と並列に接続された第2のインダクタを有し、

FETのピンチオフ時の容量値をC、第1のインダクタのインダクタンスを L_1 、第2のインダクタのインダクタンスを L_2 とした時、FETの制御電圧を変化させて、 $C = 1 / \omega^2 L_1$ か $C = 1 / \omega^2 (L_1 + L_2)$ の、いずれか一方の条件に切り替えて動作させるものである。

【0008】

この移相器では、例えば、FETはOFF状態でのみ動作するため、OFF時の耐圧が従来のGaAs素子よりも10倍以上高い、GaNなどのWBG(Wide Band Gap)素子を用いることで、移相器の高耐電力化を図ることができる。

10

【発明の効果】

【0009】

この発明によれば、移相器を構成するFETとしてWBG素子を用い、OFF状態のみで使用するることによって、FETの占有面積や接続段数を増大させずに、移相器の高耐電力化を図ることができるという効果が得られる。

【発明を実施するための最良の形態】

【0010】

実施の形態1.

以下、この発明に係る実施の形態1について説明する。図1は実施の形態1による高耐電力移相器の回路図である。この回路は、90°ハイブリッドカップラ5と、反射性終端回路(第1の反射性終端回路)14と、反射性終端回路14と同じ構成の反射性終端回路(第2の反射性終端回路)15とを備えて構成される。

20

【0011】

90°ハイブリッドカップラ5は、高周波信号入力端子1、高周波信号出力端子2、及び反射性終端回路14に接続された端子(第1の反射端子)3、及び反射性終端回路15に接続された端子(第2の反射端子)4を備えて構成される。90°ハイブリッドカップラ5として、例えばブランチラインカップラ(Branch-Line Coupler)等が用いられる。

【0012】

高周波信号入力端子1から90°ハイブリッドカップラ5に入力した高周波信号は等振幅に分配され、端子3と端子4から出力される。このとき、端子4から出力された高周波信号の位相は、端子3から出力された高周波信号の位相に対して90°遅れている。端子3から出力された高周波信号は反射性終端回路14に入力され、端子4から出力された高周波信号は反射性終端回路15に入力される。反射性終端回路14に入力された高周波信号、および反射性終端回路15に入力された高周波信号は、それぞれ反射性終端回路14、15で所望の位相偏移を生じて反射される。なお、反射性終端回路14と反射性終端回路15とは、相互に同じ反射係数を保持するように制御される。

30

【0013】

反射性終端回路14から反射されて所望の位相偏移を生じた高周波信号は再び端子3を介して90°ハイブリッドカップラ5に入力される。端子3から入力された高周波信号は等振幅に分配され、端子1と端子2から出力される。このとき、端子2から出力された高周波信号の位相は、端子1から出力された高周波信号の位相に対して90°遅れている。

40

また、反射性終端回路15から反射されて所望の位相偏移を生じた高周波信号は再び端子4を介して90°ハイブリッドカップラ5に入力される。端子4から入力された高周波信号は等振幅に分配され、端子1と端子2から出力される。このとき、端子1から出力された高周波信号の位相は、端子2から出力された高周波信号の位相に対して90°遅れている。

【0014】

反射性終端回路14は、FET6(第1のFET)のソース(またはドレイン)と、イ

50

ンダクタ（第 1 のインダクタ）7 が直列に接続された直列回路と、その直列回路に並列に接続されたインダクタ（第 2 のインダクタ）8 とを備えて構成される。F E T（第 1 の F E T）6 のドレイン（またはソース）側は端子 3 に接続される。反射性終端回路 1 5 も同様にして、F E T（第 2 の F E T）9 のソース（またはドレイン）とインダクタ（第 3 のインダクタ）1 0 が直列に接続された直列回路と、その直列回路と並列に接続されたインダクタ（第 4 のインダクタ）1 1 とを備えて構成される。F E T（第 2 の F E T）9 のドレイン（またはソース）側は端子 4 に接続される。F E T 6 , 9 のゲートは F E T 制御端子 1 2 , 1 3 にそれぞれ接続される。

【 0 0 1 5 】

F E T 6 , 9 は、G a N などの W B G 素子を用いて構成される。W B G 素子は、O F F 時の耐圧が G a A s 素子の 1 0 倍以上高いことで知られている。このため、移相器の耐電力を確保する際、F E T O F F 時の動作に対しては F E T を多段接続する必要がなくなり、回路における F E T の占有面積を小さくすることができる。

10

【 0 0 1 6 】

図 2 は、図 1 に示した移相器の F E T 6 , 9 が O F F 状態となるときの等価回路を示す。F E T 制御端子 1 2 , 1 3 に、ピンチオフとなる制御電圧（ゲート電圧）として負のバイアス電圧 V_g を印加すると、F E T 6 , 9 は等価的に容量性素子となる。図において、この O F F 時の等価容量性素子を O F F 容量 1 6 , 1 7 で表す。

【 0 0 1 7 】

次に動作について説明する。

20

F E T 6 , 9 は O F F 状態、すなわち容量として動作させ、F E T 制御端子 1 2 , 1 3 に印加するバイアス電圧 V_g を変えて、O F F 時の容量値（O F F 容量値）を変化させる。この時、F E T 6 , 9 の O F F 容量値を C 、インダクタ 7 , 1 0 のインダクタンスを L_1 、インダクタ 8 , 1 1 のインダクタンスを L_2 とすると、反射性終端回路 1 4 , 1 5 のインピーダンスは次式（1）で表される。

【 0 0 1 8 】

【数 1】

$$Z = \frac{j\omega L_2(1 - \omega^2 L_1 C)}{1 - \omega^2 C(L_1 + L_2)} \quad (1)$$

30

【 0 0 1 9 】

式（1）によれば、F E T 6 , 9 の O F F 容量値を、次式（2）で表される値に設定した時、反射性終端回路のインピーダンスは $Z = 0$ となり、端子 3 及び端子 4 は短絡状態となる。

【 0 0 2 0 】

【数 2】

$$C = \frac{1}{\omega^2 L_1} \quad (2)$$

【 0 0 2 1 】

40

また、F E T 6 , 9 の O F F 容量値を、次式（3）で表される値に設定した時、反射性終端回路のインピーダンスは $Z = \infty$ となり、端子 3 及び端子 4 は開放状態となる。

【 0 0 2 2 】

【数 3】

$$C = \frac{1}{\omega^2(L_1 + L_2)} \quad (3)$$

【 0 0 2 3 】

上記のように、反射性終端回路 1 4 , 1 5 の構成要素である F E T 6 , 9 の制御電圧を変化させ、F E T の O F F 容量値を適宜選択することで、F E T が O F F 状態のみで端子 3

50

及び端子4を短絡もしくは開放の状態に制御することができる。このとき、高周波信号出力端子2より出力される高周波信号の位相は、端子3および端子4を短絡した状態と、端子3および端子4を開放にした状態では180°異なる。

【0024】

例えば、高周波信号入力端子1から入力した高周波信号は、90°ハイブリッドカップラ5にて等振幅、90°位相差で2分配され、反射性終端回路14及び15に入力される。この時、反射性終端回路14のFET6について、FET制御端子12にバイアス電圧 V_{g1} を印加し、FET6のOFF容量値を上記式(2)で表される値に設定した時、端子3は所望の周波数で短絡状態となる。

同様にして、反射性終端回路15のFET9について、FET制御端子13にバイアス電圧 V_{g1} を印加し、FET9のOFF容量値を上記式(2)で表される値に設定した時、端子4は所望の周波数で短絡状態となる。

この時、高周波信号入力端子1から入力し、90°ハイブリッドカップラ5にて等振幅、90°位相差で2分配され、反射性終端回路14及び15に入力された高周波信号は、端子3、端子4で全反射し、合成された反射波が高周波信号出力端子2より出力される。

【0025】

一方、反射性終端回路14のFET6について、FET制御端子12に上記 V_{g1} とは異なるバイアス電圧 V_{g2} を印加し、FET6のOFF容量値を上記式(3)で表される値に設定した時、端子3は所望の周波数で開放状態となる。

同様にして、反射性終端回路15のFET9について、FET制御端子13にバイアス電圧 V_{g2} を印加し、FET9のOFF容量値を上記式(3)で表される値に設定した時、端子4は所望の周波数で開放状態となる。

この時、高周波信号入力端子1から入力し、90°ハイブリッドカップラ5にて等振幅、90°位相差で2分配され、反射性終端回路14及び15に入力された高周波信号は、端子3、端子4で全反射し、合成された反射波が高周波信号出力端子2より出力される。合成された反射波の位相は、端子3、端子4が短絡状態のときと比べて180°変化している。

【0026】

以上説明したとおり、この実施の形態1による移相器は、第1～第4の端子を有し、第1の端子から入力され第3の端子から出力される信号よりも、第1の端子から入力され第4の端子から出力される信号の位相が90°遅れる90°ハイブリッドカップラと、90°ハイブリッドカップラの第3の端子に接続された第1の反射性終端回路と、90°ハイブリッドカップラの第4の端子に接続された第2の反射性終端回路とを備え、上記第1、第2の反射性終端回路は、FETと第1のインダクタを直列に接続した直列回路と、この直列回路と並列に接続された第2のインダクタを有し、FETのピンチオフ時の容量値を C 、第1のインダクタのインダクタンスを L_1 、第2のインダクタのインダクタンスを L_2 とした時、FET制御電圧を変化させて、式(2)、(3)の条件が満たされるように、所望の位相に応じて、 $C = 1 / \omega^2 L_1$ (位相)か $C = 1 / \omega^2 (L_1 + L_2)$ (位相 + 180°)のいずれか一方の条件に切り替えて動作させ、FETをOFF状態のみで使用するによって、またFETとしてWBG素子を用いることで、FETの占有面積を増大させずに、移相器の高耐電力を図ることができる。

【0027】

実施の形態2 .

以下、この発明に係る実施の形態2について説明する。この実施の形態では、上述した実施の形態1による移相器の反射性終端回路14, 15の代わりに、図3に示す回路構成の反射性終端回路を使用する。この反射性終端回路は、FET19とインダクタ20が直列に接続され、その直列回路と並列にキャパシタ21が接続された構成となっている。

【0028】

次に動作について説明する。

FET19はOFF状態、すなわち容量として動作させ、FET制御端子22に印加す

10

20

30

40

50

るバイアス電圧を変えてOFF容量値を変化させる。

この時、FET19のOFF容量値を C_1 、インダクタ20のインダクタンスを L 、キャパシタ21の容量を C_2 とすると、図3に示す反射性終端回路のインピーダンスは式(4)で表される。

【0029】

【数4】

$$Z = \frac{1 - \omega^2 C_1 L}{j\omega(C_1 + C_2 - \omega^2 C_1 C_2 L)} \quad (4)$$

【0030】

上式(4)によれば、FET19のOFF容量値が次式(5)で表される値に設定されたとき、反射性終端回路のインピーダンスは $Z = 0$ となる。

【0031】

【数5】

$$C_1 = \frac{1}{\omega^2 L} \quad (5)$$

【0032】

また、FET19のOFF容量値が次式(6)で表される値に設定されたとき、反射性終端回路のインピーダンスは $Z =$ となる。

【0033】

【数6】

$$C_1 = \frac{C_2}{\omega^2 C_2 L - 1} \quad (6)$$

【0034】

この条件式(5)、(6)を満足するように、FET19のFET制御端子22に印加する電圧を制御することにより、実施の形態1と同様に移相器を動作させることができる。

【0035】

実施の形態3。

以下、この発明に係る実施の形態3について説明する。この実施の形態では、上述した実施の形態1による移相器の反射性終端回路14、15の替わりに、図4に示す回路構成の反射性終端回路を使用する。この反射性終端回路は、FET24とインダクタ25が並列に、その並列回路と直列にインダクタ26が接続された構成となっている。

【0036】

次に動作について説明する。

FET24はOFF状態、すなわち容量として動作させ、FET制御端子27に印加するバイアス電圧を変えてOFF容量値を変化させる。

この時、FET24のOFF容量値を C 、インダクタ25のインダクタンスを L_1 、インダクタ26のインダクタンスを L_2 とすると、図4に示す反射性終端回路のインピーダンスは次式(7)で表される。

【0037】

【数7】

$$Z = \frac{j\omega(L_1 + L_2 - \omega^2 C L_1 L_2)}{1 - \omega^2 C L_1} \quad (7)$$

【0038】

上式(7)によれば、FET24のOFF容量値が次式(8)で表される値に設定されたとき、反射性終端回路のインピーダンスは $Z = 0$ となる。

10

20

30

40

50

【 0 0 3 9 】

【 数 8 】

$$C = \frac{L_1 + L_2}{\omega^2 L_1 L_2} \quad (8)$$

【 0 0 4 0 】

また、F E T 2 4 の O F F 容量値が式 (9) で表される値に設定されたとき、反射性終端回路のインピーダンスは $Z =$ となる。

【 0 0 4 1 】

【 数 9 】

$$C = \frac{1}{\omega^2 L_1} \quad (9)$$

10

【 0 0 4 2 】

この条件式 (8)、(9) を満足するように、F E T 2 4 の F E T 制御端子 2 7 に印加する電圧を制御することにより、実施の形態 1 と同様に移相器を動作させることができる。

【 0 0 4 3 】

実施の形態 4 .

以下、この発明に係る実施の形態 4 について説明する。上述した実施の形態 1 による移相器の反射性終端回路 1 4 , 1 5 の代わりに、図 5 に示す回路構成の反射性終端回路を使用する。この反射性終端回路は、F E T 2 9 とインダクタ 3 0 が並列に接続され、その並列回路と直列にキャパシタ 3 1 が接続された構成となっている。

20

【 0 0 4 4 】

次に動作について説明する。

F E T 2 9 は O F F 状態、すなわち容量として動作させ、F E T 制御端子 3 2 に印加するバイアス電圧を変えて O F F 容量値を変化させる。この時、F E T 2 9 の O F F 容量値を C_1 、インダクタ 3 0 のインダクタンスを L 、キャパシタ 3 1 の容量を C_2 とすると、図 5 に示す反射性終端回路のインピーダンスは次式 (1 0) で表される。

【 0 0 4 5 】

【 数 1 0 】

$$Z = \frac{1 - \omega^2 (C_1 + C_2) L}{j \omega C_2 (1 - \omega^2 C_1 L)} \quad (10)$$

30

【 0 0 4 6 】

式 (1 0) によれば F E T 2 9 の O F F 容量値が次式 (1 1) で表される値に設定されるとき、反射性終端回路のインピーダンスは $Z = 0$ となる。

【 0 0 4 7 】

【 数 1 1 】

$$C_1 = \frac{1 - \omega^2 C_2 L}{\omega^2 L} \quad (11)$$

40

【 0 0 4 8 】

また、F E T 2 9 の O F F 容量値が式 (1 2) で表される値に設定されるとき、反射性終端回路のインピーダンスは $Z =$ となる。

【 0 0 4 9 】

【 数 1 2 】

$$C = \frac{1}{\omega^2 L} \quad (12)$$

50

【0050】

この条件式(11)、(12)を満足するように、FET29のFET制御端子32に印加する電圧を制御することにより、実施の形態1と同様に移相器を動作させることができる。

【0051】

なお、上述した実施の形態1～実施の形態4では、半導体素子としてFETを使用しているが、FETに代えて耐電力性の高いダイオードを用いても良く、ダイオードに適宜制御電圧を印加することにより同様の効果を得ることができる。この場合、WBG素子を用いてダイオードを構成すれば良い。

【図面の簡単な説明】

10

【0052】

【図1】この発明の実施の形態1による高耐電力移相器の構成を示す図である。

【図2】この発明の実施の形態1による高耐電力移相器の等価回路を示す図である。

【図3】この発明の実施の形態2による反射性終端回路の構成を示す図である。

【図4】この発明の実施の形態3による反射性終端回路の構成を示す図である。

【図5】この発明の実施の形態4による反射性終端回路の構成を示す図である。

【符号の説明】

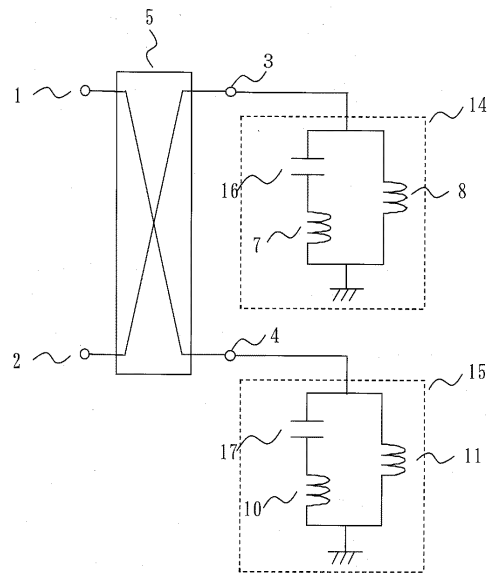
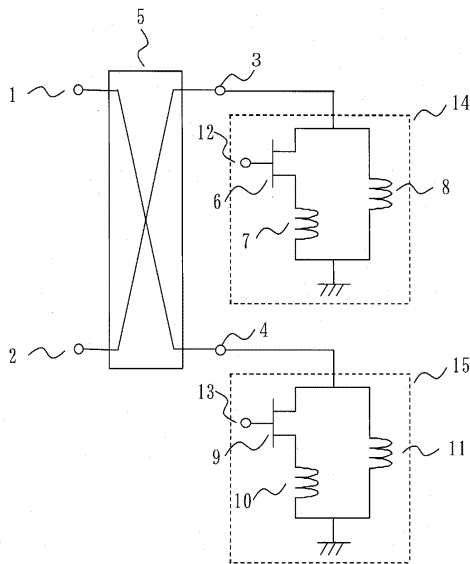
【0053】

1 高周波入力端子、2 高周波出力端子、3, 4 端子、5 90°ハイブリッドカップラ、6 FET、7, 8 インダクタ、9 FET、10, 11 インダクタ、12, 13 FET制御端子、14, 15 反射性終端回路、16, 17 FET OFF容量、18 端子、19 FET、20 インダクタ、21 キャパシタ、22 FET制御端子、23 端子、24 FET、25, 26 インダクタ、27 FET制御端子、28 端子、29 FET、30 インダクタ、31 キャパシタ、32 FET制御端子。

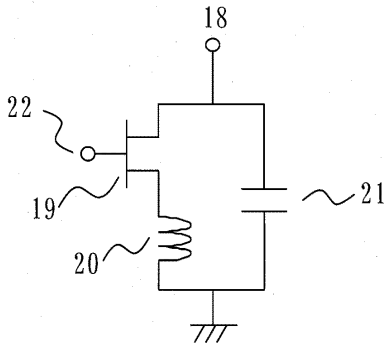
20

【図1】

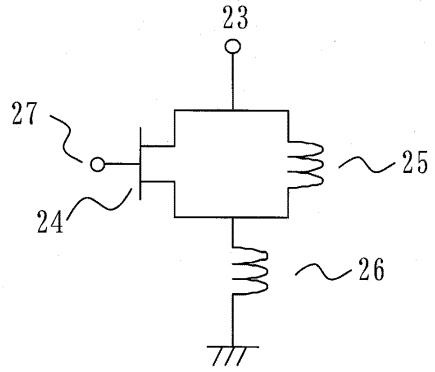
【図2】



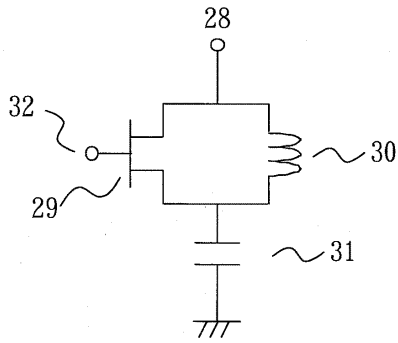
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 畠山 英樹
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 佐藤 当秀

(56)参考文献 国際公開第03/061120(WO, A1)
特開平07-046001(JP, A)
特開2005-286135(JP, A)

(58)調査した分野(Int.Cl., DB名)
H01L 29/772
H01P 1/185